

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6170528号
(P6170528)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int. Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	3 O 1 H		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 1 8 F		
HO 1 L 29/786 (2006.01)	HO 1 L	27/092	C		
HO 1 L 21/8238 (2006.01)	HO 1 L	27/088	3 3 1 E		
HO 1 L 27/092 (2006.01)	HO 1 L	27/11			

請求項の数 13 (全 68 頁) 最終頁に続く

(21) 出願番号	特願2015-162854 (P2015-162854)	(73) 特許権者	315002243
(22) 出願日	平成27年8月20日(2015.8.20)		三重富士通セミコンダクター株式会社
(62) 分割の表示	特願2012-532104 (P2012-532104) の分割		三重県桑名市多度町御衣野2000番地
原出願日	平成22年9月15日(2010.9.15)	(74) 代理人	100107766
(65) 公開番号	特開2015-213200 (P2015-213200A)		弁理士 伊東 忠重
(43) 公開日	平成27年11月26日(2015.11.26)	(74) 代理人	100070150
審査請求日	平成27年8月20日(2015.8.20)		弁理士 伊東 忠彦
(31) 優先権主張番号	61/262, 122	(74) 代理人	100192636
(32) 優先日	平成21年11月17日(2009.11.17)		弁理士 加藤 隆夫
(33) 優先権主張国	米国 (US)	(72) 発明者	トンプソン, スコット イー
(31) 優先権主張番号	12/708, 497		アメリカ合衆国 カリフォルニア州 95
(32) 優先日	平成22年2月18日(2010.2.18)		032-1832 ロス・ガトス ノウル
(33) 優先権主張国	米国 (US)		ズ・ドライブ 130 ディー

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

ソースと、ドレインと、ゲート長を有するゲートとを有する電界効果トランジスタ(FET)であって、

第1のドーパント濃度を有するドーパされたウェルと、

前記ドーパされたウェルと接触し、前記ゲートの下方に配置された遮蔽領域であり、前記第1のドーパント濃度より高い第2のドーパント濃度を有する遮蔽領域と、

前記第1のドーパント濃度より低く且つ 5×10^{17} 原子/cm³ より低いドーパント濃度を有する低ドーパントチャンネル領域であり、前記ドレインと前記ソースとの間且つ前記遮蔽領域と前記ゲートとの間に配置された低ドーパントチャンネル領域と、

前記低ドーパントチャンネル領域と前記遮蔽領域との間の閾値電圧調整領域であり、前記第1のドーパント濃度より高く且つ前記第2のドーパント濃度より低い第3のドーパント濃度を有する閾値電圧調整領域と、

を有し、

前記低ドーパントチャンネル領域と前記閾値電圧調整領域の厚さを足した厚さは、前記ゲート長の1/2以上であり、

前記低ドーパントチャンネル領域は第1のエピタキシャル層として形成され、前記閾値電圧調整領域は第2のエピタキシャル層として形成され、或いは、前記低ドーパントチャンネル領域及び前記閾値電圧調整領域は単一のエピタキシャル層として形成され、

前記ドーパされたウェル、前記遮蔽領域、前記チャンネル領域、及び前記閾値電圧調整領

域は、前記ソース及び前記ドレインと反対の導電型を有する、
F E T。

【請求項 2】

前記遮蔽領域の前記第 2 のドーパント濃度は、 5×10^{18} 原子 / cm^3 より高い、請求項 1 に記載の F E T。

【請求項 3】

前記閾値電圧調整領域の前記第 3 のドーパント濃度は、 5×10^{17} 原子 / cm^3 より高く、 5×10^{18} 原子 / cm^3 より低い、請求項 1 又は 2 に記載の F E T。

【請求項 4】

前記遮蔽領域の前記第 2 のドーパント濃度は、前記低ドーパントチャンネル領域のドーピング濃度の 10 倍より高い、請求項 1 乃至 3 の何れか一項に記載の F E T。 10

【請求項 5】

前記閾値電圧調整領域の前記第 3 のドーパント濃度は、前記遮蔽領域のドーピング濃度の $1/50$ から $1/2$ の間である、請求項 1 乃至 4 の何れか一項に記載の F E T。

【請求項 6】

前記遮蔽領域は、5 nm より大きい厚さを有する層を有し、且つ / 或いは
前記低ドーパントチャンネル領域は、5 nm より大きい厚さを有する層を有し、且つ / 或いは

前記閾値電圧調整領域は、5 nm より大きい厚さを有する層を有する、
請求項 1 に記載の F E T。 20

【請求項 7】

前記遮蔽領域は、5 nm より大きく 50 nm より小さい厚さを有する平面状の層を有し、
且つ / 或いは

前記低ドーパントチャンネル領域は、5 nm より大きく 20 nm より小さい厚さを有する
平面状の層を有し、且つ / 或いは

前記閾値電圧調整領域は、前記遮蔽領域に接触し且つ 5 nm より大きく 50 nm より小さい厚さを有する平面状の層を有する、

請求項 1 に記載の F E T。

【請求項 8】

ソースと、ドレインと、ゲート長を有するゲートとを有する電界効果トランジスタ (F E T) を製造する方法であって、順次に、 30

ドーパされたウェル内に、第 1 のドーパント濃度を有する遮蔽領域を形成する工程と、
イオン注入及び / 又は前記遮蔽領域からの拡散によってドーパされるエピタキシャル層を形成することで、前記遮蔽領域の上に第 1 の厚さを有する閾値電圧調整領域を作り出す工程であり、該閾値電圧調整領域は、前記第 1 のドーパント濃度より低い第 2 のドーパント濃度を有する、工程と、

前記閾値電圧調整領域の上に、第 2 の厚さを有するエピタキシャル層によって形成され且つ前記第 2 のドーパント濃度より低く且つ 5×10^{17} 原子 / cm^3 より低いドーピング濃度を有する低ドーパントチャンネル領域を形成する工程であり、前記閾値電圧調整領域及び前記低ドーパントチャンネル領域それぞれの前記第 1 の厚さ及び前記第 2 の厚さを足した厚さが、前記ゲートの前記ゲート長の $1/2$ より大きく設定される、工程と、 40

前記低ドーパントチャンネル領域、前記閾値電圧調整領域及び前記遮蔽領域をエッチングして、前記 F E T をアイソレートする工程と、

前記低ドーパントチャンネル領域の上にゲートを形成する工程と、
を有し、

前記ドーパされたウェル、前記遮蔽領域、前記チャンネル領域、及び前記閾値電圧調整領域は、前記ソース及び前記ドレインと反対の導電型を有する、
方法。

【請求項 9】

前記遮蔽領域の前記第 1 のドーパント濃度は、 5×10^{18} 原子 / cm^3 より高く、且 50

つ前記閾値電圧調整領域の前記第2のドーパント濃度は、 5×10^{17} 原子/cm³より高く、 5×10^{18} 原子/cm³より低い、請求項8記載の方法。

【請求項10】

前記閾値電圧調整領域の前記第2のドーパント濃度は、前記遮蔽領域のドーピング濃度の1/50から1/2の間である、請求項8又は9に記載の方法。

【請求項11】

前記遮蔽領域は、5nmより大きい厚さを有する平面状の層を有する、請求項8乃至10の何れか一項に記載の方法。

【請求項12】

前記低ドーパントチャンネル領域は、5nmと20nmとの間の厚さを有する平面状の層を有する、請求項8乃至11の何れか一項に記載の方法。

【請求項13】

前記閾値電圧調整領域は、5nmと50nmとの間の厚さを有する平面状の層を有する、請求項8乃至12の何れか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイス及びシステム、並びにその製造方法及び使用方法に関する。

【背景技術】

【0002】

電子デバイスは、かつてなかったほどに、日常生活に欠くことのできない部分になっている。例えばパーソナルコンピュータ及び携帯電話などのシステムは、我々がどのように働き、遊び、そして通信するかに応じて、根本的に形を変えてきた。年を追うごとに、例えばデジタル音楽プレイヤー、電子書籍(eブック)リーダー及びタブレットなどの新たな装置の導入と、既存の製品ファミリーに対する改良とがもたらされている。これらの新たな装置は、我々がどのように生活を送るかに応じて変化し続けるますますのイノベーションを示すものである。

【0003】

世界経済及び現代文化に対する電子システムの高まる重要性は、これまで、かなりの部分が、半導体産業がムーアの法則を堅持することによって実現されてきた。ムーアの法則は、この現象に最初に気付いたインテル社の創業者であるゴードン・ムーアの名にちなんだものであり、集積回路(又はチップ)上の同一面積内にコストを掛けずに製造可能なトランジスタの数が時間とともに着実に増加することを提示している。一部の産業専門家がこの法則を定量化し、例えば、同一面積内のトランジスタ数は大まかにいって、およそ2年ごとに2倍になると述べている。ムーアの法則によって提示される機能の増大並びに関連するコスト及びサイズの低減がなければ、今日広く利用可能な数多くの電子システムは実用化されていなかったり、手頃な価格になっていなかったりしたであろう。

【0004】

しばらくの間、半導体産業は、バルクCMOS技術を用いてチップ内に回路を作製することによってムーアの法則を固守することに成功してきた。バルクCMOS技術は、許容可能な製造コストを維持するために既存の製造プロセス及び設備の最適化及び再利用をしながらバルクCMOSトランジスタをますます小さく製造することができるというわけで、とりわけ“スケラブル”であることが分かっている。歴史的に、バルクCMOSトランジスタのサイズが縮小されるにつれて、その電力消費が低減され、産業界がムーアの法則を順守しながら低下されたコストで増大されたトランジスタ密度を実現する助けとなってきた。故に、半導体産業は、それらのサイズでもバルクCMOSトランジスタの電力消費をスケラリングし、トランジスタ及びそれらが属するシステムを稼働させるコストを低減することができていた。

【0005】

しかしながら、近年、バルクCMOSトランジスタの電力消費を、それらのサイズを縮

10

20

30

40

50

小しながら低減することは、ますます困難になっている。トランジスタの電力消費は直接的にチップの電力消費に影響し、ひいては、システムを稼働させるコスト、そして場合によってシステムの実用性に影響を及ぼす。例えば、トランジスタ当たりの電力消費が同じあるいは増大しながら同一チップ面積内のトランジスタ数が2倍になると、チップの電力消費は2倍より大きくなる。これは、部分的に、得られるチップを冷却する必要があり、それにも更なるエネルギーを必要とするためである。結果として、これは、チップを動作させるエンドユーザに課されるエネルギーコストを2倍より大きくする。このような増大された電力消費はまた、例えば移動式（モバイル）装置の電池寿命を短縮することによって、消費者電子機器の有用性を有意に低下させ得る。例えば熱生成の増大及び熱放散の必要性などのその他の影響もあり、それにより、システムの信頼性を潜在的に低下させ且つ環境に悪影響を及ぼし得る。

10

【0006】

半導体エンジニアの間では、トランジスタサイズが縮小するにつれてトランジスタの動作電圧 V_{DD} を低下させることはもはやできないことを部分的な理由として、バルクCMOSの電力消費の継続的な低減は実現不可能であるとの認識が広がっている。CMOSトランジスタはオンであるかオフであるかの何れかである。CMOSトランジスタの状態は、トランジスタの閾値電圧 V_T に対する、トランジスタのゲートに印加される電圧の値によって決定される。トランジスタは、オンにスイッチされる時、式： $P_{dynamic} = C V_{DD}^2 f$ によって表され得る動的電力を消費する。

【0007】

20

ただし、 V_{DD} はトランジスタに供給される動作電圧であり、 C はトランジスタがオンにスイッチされる時のトランジスタの負荷キャパシタンスであり、 f はトランジスタが動作される周波数である。トランジスタは、オフにスイッチされる時、式： $P_{static} = I_{OFF} V_{DD}$ によって表され得る静的電力を消費する。ただし、 I_{OFF} はトランジスタがオフにスイッチされているときのリーク電流である。歴史的に、産業界は、主に、動的及び静的の双方の電力を低減するものである動作電圧 V_{DD} の低減によって、トランジスタの電力消費を低減してきた。

【0008】

動作電圧 V_{DD} を低減することができるかは、閾値電圧 V_T を正確に設定することができることに部分的に依存するが、それは、トランジスタ寸法が縮小するにつれて、例えばランダムドーパント揺らぎ（Random Dopant Fluctuation; RDF）を含む様々な要因のためにますます困難になっている。バルクCMOSプロセスを用いて製造されるトランジスタでは、閾値電圧 V_T を設定する主なパラメータはチャンネル内のドーパントの量である。 V_T に影響を及ぼすその他の要因は、ハロー（halo）注入、ソース・ドレインエクステンション及びその他の要因である。理論的には、これは、同一チップ上の同じトランジスタが同じ V_T を有するように精度良く行われ得るが、実際には、閾値電圧は有意に変動し得る。このことが意味するのは、それらのトランジスタが同一のゲート電圧に応答して全てが同時にスイッチせず、一部がオンにスイッチしないことがあるということである。100nm以下のチャンネル長を有するトランジスタでは、RDFは、典型的にシグマ V_T 又は V_T と称される V_T バラツキの主な決定因子であり、RDFによって生じる V_T の大きさは、チャンネル長が短縮するにつれて増大するのみである。インテル社によって提供される情報、およびKiyoo Itoh（日立製作所）によるIEEE International Solid-State Circuits Conference 2009でのキーノートプレゼンテーションに基づく図1に示すように、半導体エンジニアの間での従来の知見は、ナノスケールのバルクCMOSにおいて増大する V_T は、今後の動作電圧 V_{DD} の実際上の下限として1.0Vを設けてしまうというものであった。 V_{DD} は右下がりの傾斜関数として示されており、ターゲット領域まで低減するという産業界の目標を有する。しかしながら、デバイス形状（フィーチャ）サイズを短縮するにつれて V_T のカーブが増大し、実際にはRDFによって V_{min} が増大される。動的及び静的電力の電力関数は、 $Power = C V_{DD}^2 f + I V_{DD}$ である。故に、総電力が増大してしまう。

30

40

50

【 0 0 0 9 】

これら及びその他の理由により、半導体産業のエンジニアは、将来のプロセスノードでは、短チャネルデバイスにおいて V_T を抑制する技術が数多く知られているにもかかわらず、バルクCMOSを断念しなければならないと広く信じている。例えば、バルクCMOSにおいて V_T を抑制するための従来の一手法は、(ゲートから基板に向かう)縦方向下方に進むにつれてチャネル内のドーパント濃度を増大させる不均一なドーピングプロファイルを実現するように作用させるものである。この種のレトログレード(逆行性)ドーピングプロファイルはドーピングバラつきに対する感度を低下させるが、デバイス動作に悪影響を及ぼす短チャネル効果に対する感度を増大させる。短チャネル効果のため、これらのドーピングパラメータは、ナノスケールデバイスでは一般的にスケール可能でなく、この手法を、ナノスケール短チャネルトランジスタとの使用に概して適さないものにする。45nm又は更には22nmのプロセスノードで形成される短チャネルデバイスに向けて技術が移行するにつれ、そのようなデバイスにおける上記レトログレード手法の利益は限られたものになると認識される。

10

【 0 0 1 0 】

これらの技術的障害を克服しようと尽力する半導体エンジニアはまた、ナノスケール領域へのスケールに伴う性能問題を解決するために、超急峻レトログレードウェル(super steep retrograde well; SSRW)を使用することを試みてきた。ナノメートルスケールのデバイスのレトログレードドーピングと同様に、SSRW技術は、特別なドーピングプロファイルを使用し、低濃度ドーピングされたチャネルの下に高濃度ドーピングされた層を形成する。SSRWプロファイルは、チャネルドーピングを可能な限り低いレベルまで低減するためにドーピングレベルに非常に急峻な増大を有する点で、レトログレードドーピングとは異なる。そのような急峻なドーパントプロファイルは、短チャネル効果の抑制と、チャネル領域での移動度の増大と、より小さい寄生キャパシタンスとをもたらすことができる。しかしながら、これらのデバイスを大量のナノスケール集積回路用に製造するとき、そのような構造を達成するのは非常に困難である。この困難性は、特に例えばNMOSTランジスタなどのpウェルデバイスにおいて、レトログレードウェル及びSSRWのドーパント種のチャネル領域への外方拡散に部分的に起因する。また、SSRWの使用は、 V_T を許容できないレベルまで増大させ得るランダムドーパント密度揺らぎに伴う問題を排除するものではない。

20

30

【 0 0 1 1 】

既存のバルクCMOS実装の欠点に対処するためのこれら及びその他の試みに加えて、産業界は、チャネル内にドーパントを有しないCMOSTランジスタに重点的に取り組んできた。そのようなトランジスタ構造は、例えば、完全空乏化シリコン・オン・インシュレータ(SOI)及び様々なFINFET、又はオメガゲートデバイスを含む。SOIデバイスは典型的に、埋め込み酸化物(BOX)層として知られるガラス又は二酸化シリコンの薄い絶縁層によってシリコン基板から離隔された薄い頂部シリコン層に画成されたトランジスタ群を有する。FINFETデバイスは、シリコンチャネル内の電界を制御するために複数のゲートを使用する。それらは、シリコンチャネル内に低濃度のドーパントを有することにより、抑制された V_T を有することができる。これは、チャネル内に注入されるドーパント原子の数及び位置における原子レベルの変動を取るに足らないものにする。しかしながら、どちらの種類のデバイスも、バルクCMOSで使用されるウエハー及び関連プロセスより複雑且つ高価なウエハー及び関連プロセスを必要とする。

40

【 0 0 1 2 】

新たな技術への移行に伴う実質的なコスト及びリスクを考慮し、半導体及び電子システムの製造者は長い間、バルクCMOSの利用を広げる道を探し求めてきた。それらの努力はこれまで成功していない。引き続いてのバルクCMOSにおける電力消費の低減は、半導体産業において、ますます、乗り越えられない問題として見られるようになっていく。

【 発明の概要 】

【 発明が解決しようとする課題 】

50

【 0 0 1 3 】

電子デバイスにおける電力消費を低減し得る技術が提供される。

【課題を解決するための手段】

【 0 0 1 4 】

一態様によれば、ソースと、ドレインと、ゲート長を有するゲートとを有する電界効果トランジスタ (F E T) が提供される。当該 F E T は、ドーピングされたウェルと、前記ドーピングされたウェルと接触し、且つ前記ゲート長の $1/2$ より大きい距離を置いて前記ゲートの下方に配置された遮蔽領域と、 5×10^{17} 原子 / cm^3 より低いドーピング濃度を有する低ドーパントチャンネル領域であり、前記ドレインと前記ソースとの間且つ前記遮蔽領域と前記ゲートとの間に配置された低ドーパントチャンネル領域と、前記低ドーパントチャンネル領域と前記遮蔽領域との間の閾値電圧調整領域とを含む。

10

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】デバイスのスケーリングに関する電力限界及び V_T 限界の傾向の一例を示す図である。

【図 2 A】一実施形態に従った深空乏化チャンネル (D D C) を有する電界効果トランジスタを示す図である。

【図 2 B】一実施形態に従った深空乏化領域を有するチャンネルを示す図である。

【図 2 C】一実施形態に従った異なるドーピング濃度の 3 つの領域を有するチャンネルの他の一例を示す図である。

20

【図 2 D】一実施形態に従った深空乏化領域を有するチャンネルの他の一例を示す図である。

【図 3】一実施形態に従ったチャンネル深さに対するドーパント濃度を示すグラフである。

【図 4】一実施形態に従ったデバイス深さに対するドーパント濃度の変化を示すグラフである。

【図 5】一実施形態に従った様々なデバイスからの異なる閾値電圧を電源電圧に対してプロットした統計表示の一例を示す図である。

【図 6】一実施形態に従った改善された V_T の一例を示す図である。

【図 7 A】従来のプロセス及び構造に従って製造されるバルク C M O S トランジスタの一例を示す図である。

30

【図 7 B】図 7 A の従来のバルク C M O S デバイスと比較して有意に深い空乏領域を有する一実施形態に従った D D C トランジスタを示す図である。

【図 8 A】図 7 A に示した従来のバルク C M O S 構造に対応する F E T の一例を示す図である。

【図 8 B】図 7 B に示した新たな深ウェル構造に対応する F E T の一例を示す図である。

【図 9】 N M O S デバイスのユニバーサル移動度カーブの一例を示す図である。

【図 1 0】 D D C 構造の閾値電圧とボディバイアスとの間の関係の、均一チャンネルに対する比較の一例を示す図である。

【図 1 1】 D D C 構造のボディバイアスに対する V_T の、均一チャンネルに対する比較を示す図である。

40

【図 1 2】新たな D D C 構造のプロファイルと従来の S S R W を有するバルク C M O S のプロファイルとの間の比較の一例を示す図である。

【図 1 3】従来の C M O S デバイスの、ここで開示される実施形態に従って構成される構造との比較の一例を示す図である。

【図 1 4 A】 D D C ドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図 1 4 B】 D D C ドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図 1 4 C】 D D C ドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

50

【図14D】DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図14E】DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図14F】DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図14G】DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図14H】DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

10

【図14I】DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローの例を示す図である。

【図15】高濃度ドーピングされたスクリーン領域を有するマルチモードデバイスとボディにボディバイアス電圧を印加する機構との一例を示す図である。

【図16】 n チャンネルDDCデバイスと従来の n チャンネルデバイスとの間での、バイアス電圧 V_{BS} に対する閾値電圧 V_T の比較の一例を示す図である。

【図17A】従来デバイスにおいてデバイスごとの閾値電圧のバラつきがどのように遅延時間の大きな広がりを生じさせるかの一例を示す図である。

【図17B】一実施形態に従ったDDCデバイスに特有の改善された遅延時間の一例を示す図である。

20

【図18】一実施形態に従ったデバイスの静的 V_T 値の組を示すグラフである。

【図19】一実施形態に従った個々のボディを有するトランジスタの複数のグループの一例を示す図である。

【図20】一実施形態に従った n チャンネル四端子トランジスタの一例を示す図である。

【図21】一実施形態に従った浅Pウェル(SPW)を有する n チャンネル四端子トランジスタの一例を示す図である。

【図22】一実施形態に従ったボディアクセストランジスタを有する動的マルチモードトランジスタの一例を示す図である。

【図23】一実施形態に従った部分トレンチアイソレーション(PTI)を有する動的マルチモードトランジスタの他の一例を示す図である。

30

【図24】一実施形態に従ったPTIを有する四端子トランジスタの一例を示す図である。

【図25】一実施形態に従ったローカルインターコネクトを有する三端子トランジスタの一例を示す図である。

【図26】一実施形態に従ったボディをゲートに接続するPGCを備えた三端子トランジスタの他の一例を示す図である。

【図27】一実施形態に従ったゲートエクステンションの下に延在するアクティブ領域内に作成されたボディコンタクトを備えた三端子トランジスタの他の一例を示す図である。

【図28】一実施形態に従ったボディコンタクトを備えた三端子トランジスタの他の一例を示す図である。

40

【図29】一実施形態に従ったプログラマブル四ノ三端子トランジスタの一例を示す図である。

【図30】一実施形態に従った四端子トランジスタを用いて動的モード切替を行うことが可能な回路の一例を示す図である。

【図31】一実施形態に従った四端子トランジスタを用いた動的モード切替回路の一例を示す図である。

【図32A】一実施形態に従った動的モード切替可能な回路の一例を示す図である。

【図32B】図32Aの回路ブロックの断面の一例を示す図である。

【図33A】一実施形態に従った動的モード切替可能な回路の一例を示す図である。

【図33B】図33Aの回路ブロックの断面の一例を示す図である。

50

【図34A】様々な共用部品を用いて構成された回路の一例を示す図である。

【図34B】一実施形態に従ったボディアクセスポリを用いるトランジスタ群の一例を示す図である。

【図34C】一実施形態に従ったボディアクセストランジスタを用いるトランジスタ群の一例を示す図である。

【図34D】一実施形態に従った別個のタップを備えたボディアクセストランジスタを用いるトランジスタ群の一例を示す図である。

【図34E】図34Dに対応する断面図の一例を示す図である。

【図35】一実施形態に従った混合されたレガシーデバイス及び新たなデバイスを用いるマルチモード切替回路の一例を示す図である。

10

【図36】レガシー手法に基づく他のマルチモード切替回路の一例を示す図である。

【図37】一実施形態に従った部分空乏化(PD)SOI技術に基づくマルチモード切替回路の一例を示す図である。

【図38】一実施形態に従った6T SRAMセルの一例を示す図である。

【図39】図38の6T SRAMのレイアウトの一例を示す図である。

【図40A】図39のレイアウトの断面図の例を示す図である。

【図40B】図39に対応する6T SRAMセルの斜視図の一例を示す図である。

【図41A】図39に対応するウェルの上面図の一例を示す図である。

【図41B】一実施形態に従った2×2アレイを形成するように敷き詰められた6T SRAMセルの一例を示す図である。

20

【図42】ここに記載される実施形態とともに使用可能なタップセルのレイアウトの一例を示す図である。

【図43】図42に対応する断面図の一例を示す図である。

【図44】図42のタップセルの上面図の一例を示す図である。

【図45】一実施形態に従った2×2 SRAMアレイの形成の一例を示す図である。

【図46】一実施形態に従ったSPWアイソレーションにタップセルを用いる4×4 SRAMアレイの一例を示す図である。

【図47】一実施形態に従った口ウごとの V_{SS} の6T SRAM回路の一例を示す図である。

【図48】図47に対応するSRAMセルのレイアウトの一例を示す図である。

30

【図49A】図48に対応するSRAMレイアウトのSPW及びSNWの一例を示す図である。

【図49B】一実施形態に従った口ウごとの V_{SS} 技術を有する2×2 SRAMアレイを示す図である。

【図49C】一実施形態に従った口ウごとの V_{SS} 技術を有する4×4 SRAMアレイを示す図である。

【図50】図47に対応するSRAMセルのレイアウトの他の一例を示す図である。

【図51A】図50に対応するSRAMレイアウトのSPW及びSNWの一例を示す図である。

【図51B】一実施形態に従った口ウごとの V_{SS} を有する2×2 SRAMアレイの一例を示す図である。

40

【図51C】一実施形態に従った口ウごとの V_{SS} を有する4×4 SRAMアレイを示す図である。

【図52】ここに記載されるDDCデバイス及び実施形態のシステム応用を例示する図である。

【図53】ここに記載されるDDCデバイス及び実施形態のシステム応用を例示する図である。

【図54】ここに記載されるDDCデバイス及び実施形態のシステム応用を例示する図である。

【発明を実施するための形態】

50

【 0 0 1 6 】

電子デバイス及びシステムの幅広いアレイにおいて電力消費を低減するため、一組の新たな構造及び方法が提供される。それらの構造及び方法の一部は、概して既存のバルクCMOSプロセスフロー及び製造技術を再利用することによって実現されることができ、半導体産業及びより広範な電子装置産業がコスト及びリスクを伴って代替技術に切り替わることを回避することを可能にする。

【 0 0 1 7 】

後述するように、構造及び方法の一部は、深く空乏化される深空乏化チャネル(Deeply Depleted Channel; DDC)設計に関する。DDCは、従来のバルクCMOSと比較して低減された V_T を有するCMOSデバイスを可能にするとともに、チャネル領域にドーパントを有するFETの閾値電圧 V_T を遙かに正確に設定することを可能にし得る。DDC設計はまた、従来のバルクCMOSトランジスタと比較して強いボディ効果を有することができ、それにより、DDCトランジスタの電力消費の大幅な動的制御を可能にし得る。DDCを構成して様々な利益を達成することには数多くの手法が存在し、また、ここで提示される更なる構造及び方法を、単独で、あるいはDDCとともに使用して、更なる利益を生み出すことが可能である。

【 0 0 1 8 】

例えば、改善されたチップ電力消費を提供するためにDDCを利用することが可能な実装例を含め、チップ上にトランジスタを集積するための有利な方法及び構造も提供される。さらに、一部の実施形態におけるトランジスタ及び集積回路は、低熱放散化、信頼性向上、小型化、及び/又は更に好適な製造経済性を含む多様なその他の利益をもたらす。静的及び動的の双方で、新たなトランジスタ構造の利点の一部又は全てを増強することには多様な手法が存在する。集積回路レベルでの展開の多くは、ここに記載される新たなトランジスタが存在しない場合にも利点をもたらす。方法及び構造の多くは、例えばチャネル及び/又はボディにドーパントを有するその他の種類のトランジスタを含む、バルクCMOSトランジスタ以外のデバイス種類でも有用であり得る。

【 0 0 1 9 】

一部の实装例において改善されたシステムレベルでの電力消費、向上されたシステム性能、改善されたシステムコスト、向上されたシステム製造性、及び/又は向上されたシステム信頼性を含む利益を提供するように、ここに記載されるイノベーションを例えばエレクトロニクス製品などのシステムに組み入れたり、システム内で使用したりする方法及び構造も提供される。後に例証するように、一部の実施形態において例えばパーソナルコンピュータ、携帯電話、テレビジョン、デジタル音楽プレイヤー、セットトップボックス、ラップトップ型若しくはパームトップ型のコンピューティング装置、電子書籍リーダー、デジタルカメラ、GPSシステム、フラットパネルディスプレイ、可搬式データ記憶装置、及びタブレットなどの家庭用機器、並びに多様なその他電子装置を含む広範な電子システムで本イノベーションが有利に採用され得る。これらの実装例の一部において、トランジスタ及び集積回路は、電子システム全体としての動作、ひいては、商業的な適合性を実質的に高めることができる。一部の実施形態において、ここに記載される革新的なトランジスタ、集積回路、及びそれらを含むシステムはまた、その他の手法より環境に優しい実装形態を可能にし得る。

【 0 0 2 0 】

一実施形態において、従来の短チャネルデバイスと比較して正確に制御された閾値電圧を有する新たな電界効果トランジスタ(FET)構造が提供される。該FET構造はまた、向上された移動度及びその他の重要なトランジスタ特性を有し得る。この構造及びその製造方法は、従来デバイスと比較して低い動作電圧を有するFETトランジスタを可能にし得る。それに加えて、あるいは代えて、そのようなデバイスの閾値電圧を動作中に動的に制御することが可能にされ得る。一部の实装例におけるFETは、集積回路の動作中に動的に調整可能なFETデバイスを有する集積回路を設計する能力を設計者に提供する。集積回路内のFET構造は、一部の実施形態において、名目上同一の構造を有するように

10

20

30

40

50

設計されることができ、それに加えて、あるいは代えて、異なるバイアス電圧に応答して異なる動作電圧で動作するよう制御、調整あるいはプログラムされることが可能なように設計されることができる。これらの構造は、回路が効率的且つ信頼性ある手法で動作モードを静的に指定し且つ/或いは動的に変更することを可能にし得る。また、一部の実装例において、これらの構造は、或る回路内で、様々な用途に合わせて製造後に設定されることが可能である。

【0021】

これら及びその他の利益は、設計者、製造者及び消費者の数多くの要求を満たすような、デジタル回路における進展を提供する。これらの利益は、集積回路の引き続いての更なる進展を可能にする新たな構造を有するシステムを提供し、それにより、向上された性能を有する装置及びシステムをもたらす。一部の实装例において、バルクCMOSは、更なる期間にわたってムーアの法則のペースを保ち続けることができ、バルクCMOSに基づく回路及びシステムにおける更なるイノベーションは、先端性能の速度を向上させることができる。ここでは、実施形態及び例は、トランジスタ、集積回路、電子システム及び関連方法を参照して説明され、新たな構造及び方法が、エレクトロニクス製品のエンドユーザへのものを含め、様々なレベルの製造プロセス及び商業連鎖で提供する特徴及び利益を強調する。これらの例における構造並びに集積回路及び電子システムを製造する方法に特有の概念の適用は広範囲であることが判明するであろう。従って、理解されるように、発明の精神及び範囲は、これらの実施形態及び例に限定されるものではなく、本願及び同一出願人の関連出願に添付の請求項によってのみ限定されるものである。

【0022】

90nm未満のゲート長を有するナノスケールの電界効果トランジスタ(FET)が、従来のナノスケールFETデバイスより正確に制御可能な閾値電圧を有するように提供される。更なる利益は、改善されたキャリア移動度、及び低減された、RDFによる閾値変動を含む。一実施形態は、ゲート長の1/2より大きく設定されるゲート下方の深さまで延在する空乏ゾーン又は空乏領域を有するように動作可能なナノスケールFET構造を含む。このFET構造は、ゲート下方のこの空乏ゾーン又は空乏領域にDDCを画成する助けとなる異なるドーピング濃度を有する少なくとも2つの領域を有する。一例において、ゲート近くの第1の領域は、該第1の領域から離隔され且つゲートの下方に或る距離を置いて配置された第2の領域より低いドーパント濃度を有する。これにより、閾値電圧又はそれより大きい電圧がゲートに印加されるときにゲートから生じる電界を終端させることによってDDCを画成するように作用することが可能な第2のドーパされたスクリーニング(遮蔽)領域と対を為す、第1の低濃度ドーパされたチャンネル領域(典型的に、実質的にアンドープのエピタキシャル成長チャンネル層)が提供される。深く空乏化される領域は、別称でDDC又は深空乏化ゾーンと呼ぶことができ、トランジスタ構造及び電気的な動作条件に応じて空間的な広がり及び特徴において様々となり得る。これらの構造及び領域の正確な幾何学形状及び配置には数多くの変形例が存在するが、以下では、その一部を詳細に説明する。

【0023】

これらの構造、及び構造の製造方法は、従来のナノスケールデバイスと比較して低い動作電圧と低い閾値電圧との双方を有するFETデバイスを可能にする。さらに、これらは、そのようなデバイスの閾値電圧が動作中に動的に制御されることを可能にする。最終的に、これらの構造、及び構造の製造方法は、集積回路が動作している間に動的に調整されることが可能なFETデバイスを有する集積回路を設計することを提供する。故に、集積回路内のトランジスタ群は、名目上同じ構造を有するように設計されながら、異なるバイアス電圧に応答して異なる動作電圧で動作するよう、あるいは異なるバイアス電圧及び動作電圧に応答して異なる動作モードで動作するよう、制御、調整あるいはプログラムされることができる。また、これらは回路内で異なる用途に合わせて製造後に設定される。

【0024】

ここでは、トランジスタを参照して特定の実施形態及び例を説明し、新たな構造及び方法がトランジスタに提供する特徴及び利益を強調する。しかしながら、これらの実施形態における構造及び集積回路の製造方法に特有の概念の適用可能性は、広範囲であり、トランジスタ又はバルクCMOSに限定されない。従って、技術的に理解されるように、発明の精神及び範囲は、これらの実施形態及び例、又は本願及び同一出願人の関連出願に添付の請求項に限定されるものではなく、その他のデジタル回路の状況にも有利に適用され得る。

【0025】

以下の説明においては、発明が実施され得る好適な手法のうちの一部の数多くの具体的な詳細事項が与えられる。直ちに明らかになるように、本発明はこれらの具体的な詳細事項を用いず実施されることも可能である。また、不必要に詳細にして発明を不明瞭にしないよう、周知の回路、構成要素、アルゴリズム及びプロセスについては詳細には示しておらず、あるいは模式図又はブロック図の形態で図示している。また、大抵の部分に関して、材料、工具、処理タイミング、回路レイアウト及びダイ設計については、当該技術の当業者の理解の範囲内であると考えられるので、発明の完全なる理解を得るためにそのような細部が必要でない限りは省略している。以下の説明及び特許請求の範囲の全体を通して、特定のシステム構成要素を参照するために特定の用語を使用する。同様に、認識されるように、構成要素は異なる名称で呼ばれることもあり、ここでの説明は、名称で異なるが機能で異なる構成要素間で区別することを意図するものではない。以下の説明及び特許請求の範囲において、用語“含む”及び“有する”は、終わりのないオープンエンド的なものとして使用され、故に、例えば“含むが、それらに限定されない”などを意味するように解釈されるべきものである。

【0026】

上述の方法及び構造の様々な実施形態及び例を説明する。認識されるように、この詳細な説明は、単に例示的なものであり、何らかの限定を意図したものではない。この開示の恩恵を受ける当業者には、その他の実施形態も示唆される。添付の図面に図示される実施形態が詳細に参照される。図面及び以下の詳細な説明の全体を通して、同一あるいは同様の部分には同一の参照符号を用いる。

【0027】

明瞭化のため、ここに記載される実装例及び実施形態の通常機能の全てを図示して説明するようなことはしない。認識されるように、当然ながら、本発明を実際に実装する開発においては、開発者の具体的な目的を達成するために、典型的に数多くの実装特有の決定が為されることになる。また、認識されるように、そのような開発努力は、複雑で時間を消費するものとなることがあるが、そうは言っても、この開示の恩恵を受ける当業者にとっての通常のエンジニアリング作業であろう。

【0028】

また、半導体の物理的特性及び電気的特性を変化させるために半導体の基板又は結晶層に注入される、あるいはその他の方法で存在する原子の濃度が、物理的及び機能的な領域又は層(レイヤ)との関連で説明される。これらは、当業者によって、特定の平均濃度を有する3次元の材料の集まりとして理解され得る。あるいは、それらは、異なる濃度又は空間的に変化する濃度を有する部分領域又はサブレイヤとして理解され得る。それらはまた、ドーパント原子の小集団、実質的に同様のドーパント原子の領域若しくはそれに類するもの、又はその他の物理的形態として存在し得る。これらの特性に基づく領域の記述は、形状や正確な位置又は向きを限定することを意図するものではない。それらはまた、これらの領域又は層を、特定の、プロセス工程の種類若しくは数、層の種類若しくは数(例えば、複合層若しくは単一層)、使用される半導体堆積技術、エッチング技術若しくは成長技術に限定することを意図したものではない。これらのプロセスは、エピタキシャルに形成される領域若しくは原子層成長、ドーパント注入方法、又は線形、単調増加、レトログレード若しくはその他の好適に空間変化するドーパント濃度を含む特定の縦方向若しくは横方向のドーパントプロファイルを含み得る。ここに含まれる実施形態及び例は、例え

10

20

30

40

50

ば図14A - 14Iに示されて後述されるエピタキシャルプロセス及びその他のプロセスなどの、使用される具体的なプロセス技術又は材料を示すことがある。それらの例は、単に例示的な例として意図されたものであり、限定的なものとして解釈されるべきではない。ドーパントプロファイルは、異なるドーパント濃度の1つ以上の領域又は層を有することができ、プロセスにかかわらず、濃度バラつき、及び領域若しくは層がどのように定義されるかは、赤外線分光法を含む光学技術、ラザフォード後方散乱(RBS)、二次イオン質量分析法(SIMS)、又は様々な定性的あるいは定量的なドーパント濃度決定法を用いるその他のドーパント分析ツールによって検出可能であってもよいし、検出可能でなくてもよい。

【0029】

図2Aは、一実施形態に従って構成された電界効果トランジスタ(FET)100を示している。FET100は、ゲート電極102、ソース104、ドレイン106、及びチャンネル110上に位置するゲートスタック108を含んでいる。チャンネル110は、深く空乏化されることができ、すなわち、より詳細に後述するように、概してゲートスタックからスクリーニング(遮蔽)領域までで測定されるチャンネルの深さは従来のチャンネル深さより顕著に深い。動作時、バイアス電圧 V_{SS} 122がソース104に印加され、P+端子126が接続124にてPウェル114に接続されて回路を閉じる。ゲートスタック108は、ゲート電極102、ゲートコンタクト118及びゲート誘電体128を含んでいる。ゲートをソース及びドレインから分離するようにゲートスペーサ130が含まれている。ソース/ドレインエクステンション(SDE)132が、誘電体128の下までソース及びドレインを延在させている。

【0030】

FET100は、N型ドーパント材料で形成されたソース及びドレインを有するNチャンネルトランジスタとして示されており、ソース及びドレインは、基板116上に形成されたPウェル114を提供するP型ドーパントシリコン基板としての基板上に形成されている。しかしながら、理解されるように、基板又はドーピング材料を適切に変更して、例えばガリウム砒素ベースの材料などのその他の好適基板から形成された非シリコンのP型半導体トランジスタが代用されてもよい。

【0031】

ソース104及びドレイン106は、従来のドーパント注入プロセス及び材料を用いて形成されることができ、また、例えば、応力誘起ソース/ドレイン構造、隆起型あるいは凹部状のソース/ドレイン、非対称ドーパされたソース/ドレイン、カウンタードーパされたソース/ドレイン、結晶構造変化されたソース/ドレイン、又はHDD(高濃度ドーパントドレイン)技術に従ったソース/ドレインエクステンション領域の注入ドーピングなどの変更を含み得る。エクステンション領域132は一般的に基板内に形成され、ドレインに結合されるポテンシャルの一部の吸収を促進する。ソース/ドレインの動作特性を変更する様々なその他の技術も使用可能である。そのような技術は、ソース/ドレイン(S/D)領域付近に、チャンネルの下に延在し得るように局所的なドーパント分布を作り出すことによってデバイスチャンネル長のスケールングを容易にする、ソースドレインチャンネルエクステンション(チップ(tips))又はハロー(halo)注入を含む。特定の実施形態において、複数の異種ドーパント材料が、電気特性を変化させる補償ドーパントとして使用され得る。

【0032】

ゲート電極102は従来材料から形成されることができ、それら材料は、以下に限られないが、特定の金属、金属合金、金属窒化物及び金属シリサイド、並びにそれらの積層体及びそれらの混合物を含む。ゲート電極102はまた、ポリシリコン(例えば、高濃度ドーパされたポリシリコン及びポリシリコン-ゲルマニウム合金を含む)から形成されてもよい。金属又は金属合金は、アルミニウム、チタン、タンタル、及び例えば窒化チタンなどのチタン含有化合物を含むそれらの窒化物を含み得る。ゲート電極102の形成は、シリサイド法、化学気相成長法、並びに、以下に限られないが例えば蒸着法及びスパッタリ

10

20

30

40

50

ング法などの物理気相成長法を含み得る。典型的に、ゲート電極 102 は約 1 nm から約 500 nm までの総厚を有する。

【0033】

ゲート誘電体 128 は、例えば酸化物、窒化物及び酸窒化物などの従来の誘電体材料を含み得る。他の例では、ゲート誘電体 128 は、概して一層高い誘電率の誘電体材料を含むことができ、それら誘電体材料は、以下に限られないが、酸化ハフニウム、ケイ酸ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、チタン酸バリウムストロンチウム、チタン酸ジルコン酸鉛、金属ベースの誘電体材料、及び誘電性を有するその他の材料を含む。好適なハフニウム含有酸化物は、 HfO_2 、 HfZrO_x 、 HfSiO_x 、 HfTiO_x 及び HfAlO_x などを含む。組成及び利用可能な堆積処理装置に応じて、ゲート誘電体 128 は、熱酸化若しくはプラズマ酸化、窒化物形成法、化学気相成長法（原子層成長法を含む）、及び物理気相成長法などの方法によって形成され得る。一部の実施形態において、誘電体材料の、複数の層若しくは複合層、積層体及び組成混合物が使用され得る。例えば、ゲート誘電体は、約 0.3 nm と 1 nm との厚さを有する SiO_2 ベースの絶縁体と、0.5 nm と 4 nm との間の厚さを有する酸化ハフニウムベースの絶縁体とから形成され得る。典型的に、ゲート誘電体は約 0.5 nm から約 5 nm までの総厚を有する。ゲート誘電体 128 の下には、チャンネル領域 110 がスクリーニング層 112 の上に形成される。チャンネル領域 110 は、ソース 104 及びドレイン 106 と接触し、且つそれらの間に延在する。好ましくは、チャンネル領域は、実質的にアンドープのシリコン、又は例えば SiGe ファミリーからの材料などの先端材料、又は非常に低いレベルにドーピングされたシリコンを含む。チャンネルの厚さは典型的に、5 nm から 50 nm の範囲内とし得る。

【0034】

すぐ下に続く議論は、バルク CMOS デバイスに焦点を当てている。多くのナノスケールバルク CMOS FET デバイスにおいて、キャリア移動度は、閾値電圧 V_T を設定するために必要とされる高濃度のチャンネルドーパントによって悪影響を受ける。高いドーパント濃度レベルは有意な電力リークを防止し得るが、ドーパントが高濃度に存在するとき、それらのドーパントは、例えば電子などの移動キャリアのチャンネル移動度を大幅に低下させてしまう散乱中心として作用し得る。そのような場合、チャンネル領域内の電子は、散乱され、ソースとドレインとの間でチャンネル内を効率的に移動しない。これは、実効的に、チャンネルが運ぶことが可能な最大電流量 (I_{dsat}) を制限してしまう。また、非常に薄いゲート及び結果としてゲート誘電体 / チャンネル界面に生じる高い電界は、所与のゲート電圧での反転層電荷密度を低下させる深刻な量子機械効果を生じさせ得る。反転層電荷密度の低下は、移動度の低下及び閾値電圧 V_T の大きさ増大を伴い、やはりデバイス性能を劣化させる。これらの特徴のため、より小さい所望サイズへのバルク CMOS デバイスの従来のスケールリングは、ますます困難であることが分かる。

【0035】

更なる利益として、実質的にアンドープのチャンネル領域の使用は、トランジスタ性能を向上させるためにしばしば使用される特定の従来技術の有効性を高めることができる。例えば、チャンネル領域 110 を挟んで反対側に位置するソース 104 及びドレイン 106 は、チャンネル領域に印加される応力を変更するように構造化されることが出来る。他の例では、チャンネル領域は、チャンネルの面内方向に圧縮歪みを生じさせるように配置された格子整合歪みシリコンゲルマニウム (SiGe) 結晶の薄膜格子によって変更を加えられ得る。これは、真性 Si と比較して正孔移動度が高まるようにバンド構造に変化を生じさせることができる。応力条件は、ゲルマニウム (Ge) 組成を変えることによって変化され得る (Ge が多いほど歪みが増大し、正孔移動度が高くなる)。引張歪みの場合、チャンネル領域の Si は、より大きい格子定数を有する格子緩和 SiGe 上に形成され得る。これは、歪みのない Si チャンネル領域と比較して、電子移動度及び正孔移動度の双方を増大させることになる。この場合も、ベースの SiGe のゲルマニウム組成が多くされるにつれて、歪み Si チャンネル領域内の応力の量及びキャリア移動度が高くなる傾向がある。理解さ

10

20

30

40

50

れるように、チャンネル領域への応力の印加には、連続した応力層は必ずしも必要でない。上、下若しくは横に配置される、あるいは隣接される、複数の応力層を含め、不連続あるいは複数の別々の応力層が、チャンネル領域に沿った様々な箇所に圧縮力又は引張力を印加するために使用可能であり、印加する応力の一層大きな制御を実質的に可能にする。

【 0 0 3 6 】

特定の実施形態において、応力層は、チャンネルに隣接あるいは接触して設けられるときにチャンネル領域に応力を印加するのに適した如何なる材料の層をも意味し得る。一例として、特定の実施形態において、応力層は、半導体基板のその他の部分の一部又は全てに対して異なる熱膨張率を有する材料を含み得る。このような実施形態の製造において、半導体基板の温度が低下されるにつれて、特定の部分群が相異なるように収縮し、チャンネル領域の伸張又は圧縮を生じさせる。結果として、チャンネル領域の少なくとも一部が歪まされ、キャリア移動度を高める。特定の実施形態において、応力層は、半導体基板の一部又は全てより高い熱膨張係数を有する例えば窒化シリコンなどの材料を含み得る。それに加えて、あるいは代えて、チャンネル領域における正孔又は電子の何れかの移動度を選択的に高めるために、複数の異なる応力層が F E T 1 0 0 の様々な部分に設けられてもよい。例えば、n型トランジスタとp型トランジスタとの相補対が適当なp型及びn型ウェル構造によって互いに分離される特定の実施形態において、n型トランジスタのチャンネル領域に引張応力を印加するように、n型トランジスタに応力層が設けられ得る。この引張応力は、チャンネル領域中の電子の移動度を高める歪みをチャンネル領域に誘起し得る。他の応力層が、p型トランジスタのチャンネル領域に圧縮応力を印加するようにp型トランジスタに設けられ得る。この圧縮応力は、正孔の移動度を高める歪みをp型チャンネル領域に誘起し得る。

【 0 0 3 7 】

実質的にアンドープのチャンネルを有するトランジスタを設けることは、応力が印加されるときに更なる利点をもたらす。例えば、応力は、ソース/ドレイン又はチャンネル応力技術により印加される圧縮応力又は引張応力によって印加され得る。均一あるいは高濃度にドーパされたチャンネルを有する従来のナノスケールトランジスタと比較して、歪みチャンネル領域 F E T トランジスタは、ゲート誘電体近くでの低いドーパント濃度（抑制されたイオン化不純物散乱）と低い電界（抑制された表面ラフネス散乱）とにより、より大きな歪み増強移動度を提供する。散乱の抑制により、応力により高められる移動度は、従来デバイスにおいてより有意に高くなる。歪みに起因するこの移動度の利点は、実際に、トランジスタの微細化スケールングとともに大きなものとなる。

【 0 0 3 8 】

図 2 A は、一実施形態に従って構成されるトランジスタの模式図である。図 2 B、2 C 及び 2 D は、図 2 A のチャンネル 1 1 0 と置き換えられ得る D D C トランジスタチャンネルの 3 つの異なる例を更に示す模式図である。異なる領域が、ゲート誘電体（例えば、図 2 A に示した誘電体 1 2 8）の近傍に位置する深空乏化領域、閾値電圧調整領域、及び高濃度ドーパされたスクリーニング領域を含み得る。図 2 B は、ゲート誘電体に隣接して位置する D D C トランジスタチャンネルの断面の一例を示しており、異なるドーパント濃度の 2 つの領域を有している。このチャンネル断面のプロファイルは、ゲート誘電体（図示せず）とスクリーニング領域 2 0 4 との間に位置する空乏領域 2 0 2 を含んでいる。ドーパント原子 2 0 6 は、スクリーニング領域 2 0 4 内のドーパント密度を、スクリーニング領域 2 0 4 と比較した空乏領域 2 0 2 内の相対的なドーパント密度に対応付けて示している。

【 0 0 3 9 】

図 2 C は、他の一例に係るチャンネル領域 2 0 8 を示しており、このチャンネル領域は、ドーピング濃度が異なる 3 つの領域を有している。この例において、空乏化されるドーパントチャンネル領域 2 1 4 は、最も少ない量のドーパント 2 0 6 を有し、閾値調整領域 2 1 2 は概して、空乏化ドーパントチャンネル領域 2 1 4 より高いドーパント原子濃度を有し、スクリーニング領域 2 1 0 は最も高いドーパント原子濃度を有している。

【 0 0 4 0 】

図2Dは、更なる変形例を示しており、チャンネル断面は、頂部のチャンネル領域から底部へと増大していくドーパント原子濃度 2×10^{24} を有している。様々な用途及び実施形態において、チャンネルの頂部におけるドーパント範囲は様々となり得るが、典型的に、チャンネルの頂部に向かって、プロセス及びアニールの条件が許容する限りできるだけ低くされる。ドーパント範囲はチャンネルの中央に向けて増大されることができ、より高いドーパント濃度で、チャンネルの底部を介してスクリーニング領域へと進む。

【0041】

これらの構成の何れかにおいて、閾値電圧調整領域は別個のエピタキシャル成長シリコン層として形成されることができ、あるいは、空乏チャンネル領域をも含む単一のシリコンエピタキシャル層の一部として形成されてもよい。閾値調整領域の厚さは典型的に、5 nmから50 nmの厚さの範囲内とし得る。実質的にアンドープであるとき、領域の厚さの適切な選定それ自体で閾値電圧が僅かに調整されるが、より典型的な用途においては、閾値電圧調整領域は、 5×10^{17} 原子/cm³と 2×10^{19} 原子/cm³との間の範囲内の平均濃度を有するようにドーブされる。例えば、閾値電圧調整領域は、スクリーニング（遮蔽）領域のドーピング濃度の1/50から1/2の間のドーピング濃度を有する。特定の実施形態において、チャンネル領域への、あるいはスクリーニング領域から閾値電圧調整領域への、ドーパントのマイグレーションを防止するため、炭素、ゲルマニウム又はこれらに類するものなどからなるドーパント耐マイグレーション層が、閾値電圧調整領域の上及び/又は下に設けられ得る。

【0042】

スクリーニング領域は、チャンネル領域及び設けられる場合には閾値電圧調整領域の下に埋め込まれた、高濃度ドーブされた領域である。スクリーニング層は概して、ソース及びドレインとの直接的な接触を回避するように、或る距離をおいて位置付けられる。スクリーニング領域は、他の特定の実施形態において、複数のソース/ドレイン/チャンネル領域の下に延在するシートとして形成されてもよく、他の実施形態において、チャンネル領域と同じ広がりをも有するセルフアラインされた注入又は層であってもよい。スクリーニング領域の厚さは典型的に、5 nmから50 nmの範囲内とし得る。スクリーニング領域は、チャンネル、閾値電圧調整領域（設けられる場合）及びPウェルより高濃度にドーブされる。実用上、スクリーニング領域は、 1×10^{18} 原子/cm³と 1×10^{20} 原子/cm³との間の濃度を有するようにドーブされる。特定の実施形態において、閾値電圧調整領域へのドーパントマイグレーションを防止するため、炭素、ゲルマニウム又はこれらに類するものなどからなるドーパント耐マイグレーション層が、スクリーニング領域の上に設けられ得る。

【0043】

動作時、閾値電圧より高い所定の電圧が導電性のゲートに印加されると、ゲートスタックとスクリーニング領域との間に深空乏化領域が形成される。導電性ゲートの下で、深空乏化領域は典型的にはスクリーニング領域内まで下方に延在するが、特定の高濃度ドーブの実施形態においては、深空乏化領域は、設けられる場合の閾値電圧調整領域内で終わり得る。認識されるように、導電性ゲートの下での空乏領域の正確な深さは、FETの設計によって調整可能な多数の因子によって決定される。例えば、空乏領域の深さは、FETのその他要素の空間位置及び絶対的あるいは相対的なドーパント濃度によって決定される。例えば、FETは、ソース領域とドレイン領域との間、且つゲート長 L_g を有するゲートの下、に画成されるチャンネルを有し得る。DDC深さ(X_d)は、ゲート長の半分より、場合によってゲート長の1/2の因数だけ、あるいはそれに近い割合だけ、深くなるように設定され得る。一例において、このDDC深さは、チャンネル長の1/2にほぼ等しく設定されてもよく、動作時に、1V未満の低い動作電圧であっても閾値電圧の正確な設定を可能にする。特定の用途の要求に応じて、異なる深さが異なる有利な結果をもたらし得る。この開示によれば、理解されるように、異なる用途、異なるデバイス構成、及び特定の設計の様々なパラメータにおいて、異なるDDC深さが可能である。特定の用途のパラメータに応じて、DDCトランジスタを形成する際に使用される異なる領域厚さ、ドーパ

ント濃度及び動作条件が、異なる有利な結果をもたらし得る。

【 0 0 4 4 】

例えば、他の一実施形態によれば、空乏深さはゲート長の $1/3$ からゲート長にほぼ等しい深さまでに維持され得る。しかしながら、当業者に認識されるように、トランジスタの構造及び動作が、空乏深さがゲート長の $1/2$ より小さくなるようなものである場合、電力消費に関するデバイスの性能は徐々に低下し、DDCの利益が減少することになる。例えばゲート下の空乏深さがおよそ $0.4 \times L_G$ に設定されるDDCトランジスタなど、空乏深さ X_d がゲート長の $1/3$ と $1/2$ との間であるとき、デバイスは依然として従来デバイスに対する少量の改善を達成することができる。この例において、スクリーニング領域の好適な厚さ範囲は、ドーパント濃度を 1×10^{18} 原子/cm³ から 1×10^{20} 原子/cm³ の範囲として、5 nmから50 nmの間である。閾値電圧調整領域の好適な厚さ範囲は、ドーパント濃度を 5×10^{17} 原子/cm³ から 2×10^{19} 原子/cm³ の範囲として、5 nmから50 nmの間である。アンドープのチャネル領域は、 $X_d > 1/2 \times L_G$ なる制約を満たすのに十分な深さとなるように選択され、且つ 5×10^{17} 原子/cm³ 未満の濃度を有する。

10

【 0 0 4 5 】

実際に、DDCトランジスタの深空乏化領域を設けることは、複数のトランジスタ及び関連デバイスを有する回路において閾値電圧を設定する公差を有意に狭いものにし、RDFによるバラつきを更に抑制することができる。結果として、集積回路の複数のデバイスにわたって、より予測可能で信頼できる閾値電圧を設定することができる。この利益は、デバイス又はシステムにおける電力を低減するために用いられることができ、より良好な全体性能をもたらすことができる。

20

【 0 0 4 6 】

この実施形態によって実現され得る他の1つの利益は、静的に設定されることが可能な、あるいは、ここに記載されるトランジスタ構造のうちの1つ以上を用いて構成される装置又はシステムの動作中に動的に変化されることが可能な、調整可能な閾値電圧である。やはり図2Aに示すように、トランジスタのソース104と、反対導電型のPウェル114に接続されたドーパント材料126との間にバイアス電圧を印加することができる。従来の回路は典型的に電源電圧にバイアスされ、その結果、動作電圧がゲートに印加されるときに、ソースからドレインへと電流が流れることができる。閾値電圧を動的に設定するための調整可能なボディバイアス印加の使用が以前に提案されているが、それは、有意なチップ面積の不利益を引き起こし、故にオンチップ集積のレベルを阻害してしまう傾向があるため、実用的であるとは一般に証明されていない。この実施形態によれば、1つの集積回路若しくはシステム内に構成されていようと、別々の回路内に構成されていようと、ウェルに印加するバイアス電圧を変化させることによってトランジスタ（又は、一群のトランジスタが共通のウェルを共有する場合には、トランジスタ群）の閾値電圧を変化させるように回路が構成され得る。更に詳細に後述するように、密な範囲内で閾値電圧を信頼性高く制御することができることは、チップ面積の不利益を低減しながら動作中に閾値電圧を信頼性高く且つ動的に変化させることができると相俟って、デバイス又はシステム内のトランジスタ又はトランジスタ群の動作モードを動的に変化させることが可能なデバイス又はシステムをもたらす。

30

40

【 0 0 4 7 】

図3は、一実施形態に従ったゲート誘電体下方のチャネル深さに対するドーパント原子濃度のグラフ300を示しており、チャネル内の様々な深さ範囲でのドーパント濃度の範囲を例示するものである。より実際的な曲線308と理想曲線310との2つの曲線が示されている。見て取れるように、最初の5 - 20 nmのチャネル領域と、チャネル領域の次の5 - 20 nmの閾値電圧調整領域と、閾値電圧調整領域の次の5 - 20 nmのスクリーニング領域との、3つのレベルが表されている。これら異なるレベルの濃度は各々、特定のレベル312、314、316に達している。これらの特定のレベルは、必ずしもそうではないが、場合により、それぞれの濃度レベルのグラフの変曲点であり、これらは、

50

5×10^{17} 原子/cm³未満のチャネルドーパント濃度“d”を持つ特定のドーパント濃度レベル302、 5×10^{17} 原子/cm³未満との 5×10^{18} 原子/cm³との間の閾値電圧調整領域濃度“d”を持つ特定のドーパント濃度レベル304、及び 5×10^{18} 原子/cm³より高いスクリーニング領域ドーパント濃度“d”を持つ特定のドーパント濃度レベル306に相当する。一部の実施形態によれば、これらのドーパント濃度範囲内で、深空乏化領域の動作をサポートするナノスケールFETにおける特定の最適な利益を実現することができる。

【0048】

様々な実施形態に従ったドーパントプロファイルは、2つの領域が生じるように定められる。該3つの領域を表1に規定する。領域1はゲート誘電体の近傍に位置するチャネル領域に相当し、領域2は閾値電圧調整領域に相当し、領域3はスクリーニング領域に相当する。ただし、 L_G はゲート長である。理解されるように、ゲート長はチャネル長に実質的に等しく、 t_1 、 t_2 及び t_3 は該3つの領域それぞれの厚さである。これらの領域の各々は、代表的な厚さと、1立方センチメートル当たりの原子数として測定されるドーパントドーズ量とによって表されることができる。これらの厚さ及びドーズ量の値を表1に提示する。

【0049】

【表1】

	領域 1	領域 2	領域 3
ドーズ量範囲	$D \cdot s < 5 \times 10^{17}$ 量	$5 \times 10^{17} < D \cdot s < 2 \times 10^{19}$ 量	$D \cdot s > 2 \times 10^{18}$ 量
レイヤ厚	$\frac{t_1}{L_G} \leq \frac{1}{2}$	$\frac{t_2}{L_G} \leq 1$	$\frac{t_3}{L_G} \geq \frac{1}{10}$

レイヤ(層)厚はプロセスノードに依存し、それらそれぞれの厚さ t_1 、 t_2 及び t_3 は、関心あるデバイスのゲート長(L_G)及びプロセスノードに関係する。表2は、90nmから15nmまでのプロセスノードについての代表的な数値を含んでおり、これらの領域の厚さ要求に対する L_G スケーリングの影響を例示している。

【0050】

【表2】

ノード (nm)	90	65	45	32	22	15
L_G (nm)	60	50	40	35	30	25
チャネル領域最大厚さ t_1 (nm)	30	25	20	18	15	13
V _T 調整領域最大厚さ t_2 (nm)	60	50	40	35	30	25
スクリーニング領域最小厚さ t_3 (nm)	6.0	5.0	4.0	3.5	3.0	2.5

図4は、一実装例におけるデバイス深さに対するボロン濃度(原子/cm³)の変化のグラフ400である。この例において、ドーパント濃度は、ゼロからおよそ20nmまで

の深さのトランジスタゲート付近の低ドーパント領域において最低 (1×10^{17} 未満) であり、およそ 20 nm から 45 nm までの閾値電圧調整領域で少々高い (およそ 5×10^{18})。この例は、およそ 45 nm から 75 nm までのスクリーニング領域において、更に高い値 (およそ 5×10^{19}) でピークとなる。この特定例は、異なるプロセスを用いて為された3つの異なる模擬デバイスを示しており、それらが重ね合わせグラフとして示されている。1つは 975°C で15秒のアニールを使用し、1つは、 800°C で15秒のアニールを使用し、3つ目はアニールを全く使用していない。グラフの結果は実質的に同様であり、これら異なるプロセス環境におけるドーパント濃度の信頼性を示している。当業者に理解されるように、異なる設計パラメータ及び用途は、異なるドーピング濃度を有する領域の異なる変形又は個数を要求し得る。

10

【0051】

実際には、設計者及び製造者は、数学モデルから統計データを集め、且つ現実の回路からの測定値をサンプリングして、回路設計の閾値電圧の分散を決定する。トランジスタ間での電圧の不一致が、製造バラつき又はRDFの何れに由来したものであろうと、 V_T として決定される。そのような統計表示の一例として、様々なデバイスからの異なる閾値電圧を電源電圧に対してプロットしたものを図5に示す。回路が全体として動作するためには、 V_T を考慮して動作電圧 V_{DD} が選定されなければならない。一般に、バラつきが大きいほど V_T 大きいので、動作電圧 V_{DD} はトランジスタが適切に動作するように高く設定されなければならない。1つの回路内に複数のデバイスが実装される場合、該回路が適切に動作するようにするために、 V_{DD} は最も高い全体値に設定される必要があり得る。

20

【0052】

V_T を低減し、集積回路にわたる複数のトランジスタの閾値電圧の変動範囲を縮小する構造及びその製造方法が提供される。低減された V_T を用いて、 V_T の静的な値は、より正確に設定されることができ、さらには、バイアス電圧を変化させることに応答して変化されることが可能である。一実施形態に従った改善された V_T の一例を図6に示す。図6は、異なるデバイスから取得された閾値電圧の低い側におけるバラつきから明らかな、改善された閾値電圧範囲の表示を示している。回路内の名目上相等しいデバイスの閾値電圧は、低減された V_T を用いて、より正確に設定されることができ、故に、デバイスが、より低い動作電圧 V_{DD} を用いて動作し、ひいては、一層少ない電力のみを消費することを可能にする。また、所与のトランジスタ又はトランジスタ群に対して V_T を変化させるためのスペースがより多くあり、デバイスは、特定のモード用の異なるバイアス電圧に対応する異なるモードで動作されることができ、これにより、多くのデバイス及びシステムに機能が追加され、特に、デバイスの電力モードのきめ細かい制御が有用なデバイスに利益がもたらされ得る。

30

【0053】

図7Aは、従来のプロセス及び構造に従って製造されるトランジスタ700の一例を示している。この例は、ソース702と、ドレイン704と、導電性ゲート706及び絶縁層708を含むゲートスタックとを有するN型FETとして示されている。典型的に、ゲート706は高濃度ドーパされたポリシリコンから形成され、絶縁層708は例えば酸化シリコンなどのゲート誘電体で形成される。ゲートスタック706は、ソース702とドレイン704との間を流れる電流を電氣的に制御する。チャネル710は典型的に、ドーパントを含み且つPウェル712まで下方に延在しており、ソース及びドレインの双方を包囲し得る。チャネル深さ X_d 714は、ゲート誘電体708から下方にチャネルの底面720までの距離である。動作時、このチャネル深さ714内を下方に延びてソース702及びドレイン704に向かって屈曲する例えばE716などの複数の電気力線が存在する。これらの力線は典型的に、図示のような直線状ではなく、デバイスの構造及び動作の結果として屈曲し得る。例えば電子 e^- 718などの移動キャリアが、電界E716を介してソース702とドレイン704との間を進行する。ゲートスペーサ724及びSDE722も図示されている。

40

50

【 0 0 5 4 】

対照的に、図 7 B は、図 7 A の従来デバイス 7 0 0 と比較して有意に深い空乏領域を有して動作する D D C トランジスタ 7 0 0 ' の一実施形態を示している。これは、応力誘起層を用いることなく改善された移動度の特徴及び利益を提供するとともに、改善された閾値電圧設定を提供する。この例は、ソース 7 0 2 ' と、ドレイン 7 0 4 ' と、ゲート 7 0 6 ' とを有する N 型 F E T として示されている。このトランジスタは、ゲート誘電体 7 0 8 ' 上に形成されたゲート 7 0 6 ' を含んでおり、ゲート 7 0 6 ' は、ゲート - ソース電圧が閾値電圧より高くまでバイアスされるときに空乏領域 7 1 0 ' を作り出し、ソース 7 0 2 ' とドレイン 7 0 4 ' との間の電流を制御する。空乏領域 7 1 0 ' は、図示のように、P ウェル 7 1 2 ' 内の層としてイオン注入されたスクリーニング層 7 2 0 ' まで下方に延在し、ソース 7 0 2 ' 及びドレイン 7 0 4 ' の双方を包囲し得る。ゲートスペーサ 7 2 4 ' 及び S D E 7 2 2 ' も図示されている。空乏深さ X_d ' 7 1 4 ' は、ゲート誘電体から下方にスクリーニング領域 7 2 0 ' までの距離であり、図 7 A の従来デバイスの空乏領域より有意に深い。図 7 A の従来デバイスと異なり、デバイス 7 0 0 ' のスクリーニング領域 7 2 0 ' が、下方に当該スクリーニング層まで延在する例えば E 7 1 6 ' などの電界に対する高濃度ドープされた終端部を提供する。より深い空乏化 X_d ' により、これらの力線は、従来構造 7 0 0 における電界 E 7 1 6 より概して長く且つ真っ直ぐになる。従来デバイスと同様に、バイアスされるとき、電流がソース 7 0 2 ' からドレイン 7 0 4 ' へと流れ、電子 e^- 7 1 8 ' が、電界 E 7 1 6 ' を介してドレイン 7 0 4 ' からソース 7 0 2 ' の間を進行する。しかしながら、従来デバイスとは対照的に、電子がこれらの電界 E 7 1 6 ' を横切って、より自由に流れ、改善された電流及び更に良好な性能が提供される。また、この構造は、短チャネル効果を抑制して、ランダムドーパント揺らぎによって生じるバラつきを抑制することにより、 V_T を改善する。

【 0 0 5 5 】

図 8 A を参照するに、図 7 A に示した従来構造に対応する F E T 8 0 0 が示されている。トランジスタ構造全体内の様々な箇所、F E T がアクティブにスイッチングされていないときにも電力損失を生じさせるリークが発生する。図 8 A は特に、ソース 7 0 2 とウェル 7 1 2 との間で発生するリークの問題を示している。陽イオン 8 0 2 がウェル 7 1 2 内に存在するとき、それら陽イオンはリーク経路 X_j 8 0 6 を介して正孔 8 0 4 まで移動する傾向にある。比較的短い経路 8 0 6 により、従来のナノスケールデバイス内にはリークが広まっている。

【 0 0 5 6 】

図 8 B は、図 7 B に示したものと同様の、深い空乏領域を有して動作する F E T 8 0 0 ' を示しており、さらに、ソース 7 0 2 ' とウェル 7 1 2 ' との間で発生するリークの問題を示している。陽イオン 8 0 2 ' がウェル 7 1 2 ' 内に存在している。しかしながら、より深いウェルを有する新たな構造により、経路 X_j 8 0 6 ' は有意に長くなっており、陽イオン 8 0 2 ' はリーク経路 X_j 8 0 6 ' を介して正孔 8 0 4 ' まで移動する傾向が低い。この場合、比較的長い経路 8 0 6 ' により、従来デバイスと比較して、リークはあまり広まらない。また、新たな構造における低い電界 E 7 1 6 ' により、ゲート 7 0 6 ' 及び絶縁体 7 0 8 ' におけるリークについても、電子を励起する能力が大幅に低減される。結果として、ゲートにおけるリークが実質的に低減される。故に、D D C を有する新たな構造は、従来デバイスの多くの箇所で発生していたリークの有意な低減をもたらす。

【 0 0 5 7 】

D D C トランジスタはまた、好ましいことに、産業界における大きな関心事であるキャリア移動度の増大を提供する。移動度は、閾値電圧 V_T より高い電圧がゲートに印加されるときにトランジスタのチャネルを横切ってソースからドレインに移動キャリアが移動する能力の定量的な指標である。最適化デバイスの 1 つの目標は、典型的に、ユニバーサル移動度カーブとして知られるゲート印加電界と測定移動度との間の関係に従って、ソースからドレインに最小の障害で電子又は移動キャリアを移動させることである。このユニバーサル移動度カーブは、M O S F E T デバイスにおいて見られる、チャネルの反転領域内

でのキャリア移動度と該反転領域（又は反転電荷）を誘起する電界との間の十分に確立された関係である。図9は、NMOSトランジスタのこのユニバーサルカーブ（実線）を示しているが、PMOSの場合にも同様のカーブが存在する。この図には、アンドープのチャンネルのユニバーサル移動度カーブがプロットされている。領域Aは、典型的な現行技術に係るMOSFETトランジスタの移動度/電界動作レジームに対応し、これらのデバイスが高電力領域では、低電界/低電力領域における移動度に対して低下された移動度で動作することを示している。

【0058】

第2の移動度カーブ（破線）は、高濃度ドーパされたチャンネル（スケーリングの影響を補償するためにしばしば必要である）と、比例的にスケーリングされたゲート電圧及びその結果の低電界とを有するナノスケールゲート長トランジスタに適当なものである。これらのカーブは、チャンネルで高電界を支持する動作条件で一致し得る。ゲート誘電体とチャンネルシリコンとの間の界面に伴う表面ラフネスによって移動度が支配されるためである。より低いゲート電圧（及びその結果の、より低い電界）でトランジスタを動作させるとき、これら2つのカーブは、電子移動度を低下させるように作用するドーパント原子の存在及びチャンネルドーパント散乱（一般に、イオン化不純物散乱と呼ばれる）の優勢化のために分岐する。これは、領域Cとして図示される。領域Cに入る電界で動作する低電力デバイスも構築することは可能であるが、必要とされる高濃度チャンネルドーピングが、図9の領域Aとして印した領域におけるドーパント散乱に起因して、移動度の低下を生じさせる。

【0059】

DDCトランジスタの動作点は、図9に領域Bとして示すように、ユニバーサル移動度カーブに沿って位置する。DDCトランジスタは、低い電界を用いて低電力レジームで動作するだけでなく、その移動度を低下させるドーパント散乱が実質的に低い深空乏化デバイスであることの恩恵を受けることができる。DDCトランジスタは、故に、一部の好適実施形態において、従来の高電力デバイスに対して最大で120%の移動度増大を達成することができる。

【0060】

これらの新たな構造及びその作製方法を用いると、 V_T を動的に変化させる能力を有するように回路を製造・構成することができる。この構造は好ましくは、従来のデバイスと比較して小さい V_T を有するように構成され、デバイスが、より低い公称閾値電圧 V_T 及びより低い動作電圧 V_{DD} のみでなく、バイアス電圧にตอบสนองして変更可能な正確に調整可能な V_T をも有することができるようにする。動作時、デバイスの V_T を上下させるように動作するトランジスタにバイアス電圧を置くことができる。これは、特に、動作電圧 V_{DD} も動的に制御される場合に、回路が効率的且つ信頼性をもって、動作モードを静的に指定し、且つ/或いは動的に変更することを可能にする。さらに、 V_T の調整は、回路の1つ若しくは複数のトランジスタ、一群のトランジスタ、及び異なる区画若しくは領域について行われることができる。このブレイクスルーは、回路内で異なる機能を供するように調整されることが可能な汎用トランジスタを、設計者が使用することを可能にする。また、これらの集積回路構造の特徴及び利益からもたらされる回路レベル及びシステムレベルのイノベーションが数多く存在する。

【0061】

一実施形態において、ソース領域とドレイン領域との間にチャンネルが形成される、DDC深さを有するDDCを備えた半導体構造が提供される。一例において、DDC深さはデバイスのチャンネル長の大きさの少なくとも1/2である。これらの構造は、従来のデバイスより低い電圧で動作することができ、デバイスチャンネルにおけるRDFの影響によって制限されない。この新たな構造はまた、従来のバルクCMOSプロセスツール及びプロセス工程を用いて製造されることが可能である。

【0062】

一実施形態によれば、トランジスタのチャンネル領域は、異なるドーパント濃度を有する

複数の領域を有するように構成され得る。一例において、DDCトランジスタは、3つの区別可能な領域がゲートの下に延在するように構成される。ゲート誘電体から基板内のより深い方向へ、これらの領域は、チャンネル、閾値電圧調整領域、及びスクリーニング領域を含む。当業者に認識されるように、これらの領域の異なる組み合わせ又は置換が存在しうる。

【0063】

チャンネル領域は、集積回路の動作中に小数キャリアがソースからドレインへと進行する領域である。これは、デバイスを流れる電流を構成する。この領域のドーパントの量は、不純物散乱を介して、デバイスの移動度に影響を及ぼす。より低いドーパント濃度が、より高い移動をもたらす。また、ドーパント濃度が低下するにつれてRDFも低減する。このアンドープ（低濃度ドーパント）のチャンネル領域は、DDCトランジスタが高移動度及び低RDFの双方を達成することを可能にし得る。

10

【0064】

閾値電圧調整領域は、例えばPMOSにおけるN型ドーパント及びNMOSにおけるP型ドーパントなどの相補的なドーパントがチャンネル領域の下に導入されることを可能にする。この V_T 調整領域の導入は、チャンネル領域へのその近接性及びドーパントのレベルと合わさって、好ましいことに、チャンネルを直接的にドーピングすることなく、閾値電圧調整領域がチャンネル内の空乏領域を変化させることを可能にする。この空乏制御は、所望の結果を達成するようにデバイスの V_T を変化させることを可能にする。また、 V_T 調整領域は、サブチャンネルパンチスルー及びリークを防止する助けとなり得る。一部の実施形態において、これにより、改善された短チャンネル効果、DIBL及びサブスレッショルド勾配が実現される。

20

【0065】

従来プロセスにおいて、当業者は、特定の構造及び濃度を変化させることによって、トランジスタの様々な性能指標に対処してきた。例えば、短チャンネル効果又はその他のパラメータを改善するようにドーピング濃度を調整するために、ゲートの金属合金又はポリシリコンが使用されることがある。ゲートの上且つチャンネルの上に位置するゲート誘電体も調整され得る。トランジスタのチャンネル内又はその付近のドーパント濃度を設定することが可能なその他のプロセスも存在する。短チャンネル効果及びデバイスのその他のパラメータを改善するためのこれらの従来の試みと異なり、ここで開示する実施形態の一部は、デバイスの更に多くのパラメータを改善するだけでなく、デバイスの閾値電圧を設定する際の正確性及び信頼性を向上させることも可能である。さらに、一部の実装例において、改善されたデバイスはまた、性能向上のための、また採用されるとき装置及びシステムの新たな機能及び動作を提供するための、デバイスの閾値電圧の動的制御を可能にし得る。

30

【0066】

一実施形態において、ゲート近くのチャンネル頂部から下方にチャンネル内までドーパント濃度を単調増加させるトランジスタデバイスが提供される。一例において、ゲート誘電体側から始めて線形増加されたドーパントが存在する。これは、ゲートから距離を置いてスクリーニング領域を形成し、該スクリーニング領域とゲートとの間に空乏化領域を有するようにすることによって成し遂げられ得る。この空乏化領域は、異なるドーパント濃度の1つ以上の領域を含む異なる形態を取り得る。これらの領域は、特定の閾値電圧を設定することの信頼性を向上させること、トランジスタチャンネルにおける移動度を高めること、及びデバイスの異なる複数の動作モードを改善あるいは拡張するように閾値電圧の動的な調整を可能にすること、を含むトランジスタデバイスにおける様々な改善に対処するものである。これらのドーパント濃度は、例えばデバイスのチャンネル深さに関連して図4に示して上述したものなど、ゲート付近の構造頂部から始めて異なる複数の層を通過して下方にスクリーニング層内へと進む濃度グラフにて表現され得る。

40

【0067】

空乏化されるチャンネル領域は、トランジスタのソースからドレインへと電子が自由に移動する領域を提供し、故に、移動度及び全体性能を向上させる。閾値電圧調整領域がスク

50

リーニング領域とともに用いられ、デバイスの名目上の固有の閾値電圧が設定される。スクリーニング領域は、FETデバイスのボディ係数を増大させる高濃度ドーピングされた領域である。より高いボディ係数は、FETの閾値電圧を動的に変化させることにおいてボディバイアスが一層大きい効果を奏することを可能にする。これら3つの領域は、複数の特殊化されたデバイスを達成するように調和して使用され得る。これらの領域のうちの2つ又は3つの複数の組み合わせが、様々な設計上の利益を達成するために使用され得る。例えば、様々な固有の V_T 値（閾値電圧調整ドーピングによって達成される）と動的な動作モード（ボディ効果による）とを備えた低電力デバイスを達成するよう、これらの領域の全てが、ポリゲート又はバンドエッジ金属ゲートとともに使用され得る。

【0068】

チャンネル領域及びスクリーニング領域が、ミッドギャップ金属ゲートスタックとともに使用されて、超低電力デバイス（閾値電圧調整領域の助けなしで、ミッドギャップ金属がチャンネルを完全に空乏化させるように機能する）が達成され得る。他の例では、超低電力デバイスを達成するために、チャンネル領域及びスクリーニング領域が、二重仕事関数金属ゲートスタックとともに使用され得る。また、これらの領域の形成は、複数の手法で達成されることができる。一部の実装例において、単一のエピタキシャルフローを使用することができ、それにより、成長中に制御・変調されるその場（in-situ）ドーピングが、更なる注入なしで、所望のプロファイルを達成することができ、また、アンドープのエピタキシャル領域に続く複数回の注入を用いてプロファイルを達成することができる。他の例では、所望の濃度と同等の注入を用いた二重のエピタキシャルフローが使用され得る。あるいは、任意の数のエピタキシャルとイオン注入との組み合わせで構成される複数のエピタキシャルフローを用いて、所望プロファイルを達成することができる。しかしながら、このようなバリエーションは、添付の請求項の精神及び範囲を逸脱するものではない。

【0069】

デバイスの他の一例において、基板上に形成されるDDC領域に加えて、チャンネル領域上で基板の頂部に、酸化物領域又はその他のゲート絶縁体が形成され得る。このデバイスは、該酸化物領域上に形成された金属ゲート領域を含み得る。この例において得られるデバイスは、チャンネル領域でのRDFに依然として鈍感でありながら、動的に制御可能な閾値電圧を有するトランジスタである。この例においては、動作時、DDC領域は非常に低い V_T を有し、低い V_{DD} が深い空乏領域におけるリークを低く維持する。また、1V以上でのトランジスタ動作を要求するレガシーデバイスを可能にするためのイオン注入が用いられてもよい。

【0070】

以下の例では、様々なデバイス構成、そのようなデバイスを組み入れたシステム、及びそのようなデバイス及びシステムを製造する方法を図示して説明する。これらの例は、そのようなデバイス、システム及びそれらの製造方法の当業者によって十分に理解される図形的な手法で説明される。これらの例は、デバイスの細部を、基礎となるシステムの実現可能性並びに考え得る動作特性及び性能の議論とともに記述して例示するものである。

【0071】

従来構造との更なる比較を図10及び11に示す。図10は、低濃度ドーピング（約 1×10^{17} 原子/cm³）されたチャンネルを有するDDCトランジスタの閾値電圧及びボディバイアスを、スクリーニング領域を有しない均一ドーピングされたチャンネルを有する同等サイズの従来トランジスタに対して比較した一例を示している。見て取れるように、DDCトランジスタは、大きいボディ係数のために通常は必要とされるかなりのチャンネルドーパントを有しないものの、DDCにおけるボディバイアスによる閾値電圧変調は、均一ドーピングされたチャンネルのMOSとなおも同等である。

【0072】

故に、特定の実施形態において、DDC構造は、短チャンネルデバイスの実用的な置き換えではない長チャンネルデバイスにおいてのみ現段階で実現されているのと同等の利益を、

10

20

30

40

50

短チャンネルデバイスにおいて提供することができる。図11を参照するに、ボディバイアス電圧に対する V_T について、均一チャンネルMOSデバイスとDDCデバイスの一例との間で比較したものが示されている。短チャンネルデバイスの閾値電圧の、長チャンネルデバイスに対する有意な劣化が示されている。このDDCデバイスにおいては、ボディバイアス電圧を増大させても、有意に小さい閾値電圧の劣化のみが存在する。この低減は、短チャンネル効果を大幅に抑制する高濃度ドーピングされたスクリーニング領域によって促されるものである。

【0073】

背景技術にて述べたように、特定のトランジスタは、超急峻レトログレドウェル(SSRW)プロファイルに従ってドーピングされたチャンネル層を有するように形成されることができる。この技術は、特別なドーピングプロファイルを用いて、低濃度ドーピングされたチャンネルの下に、高濃度ドーピングされた領域を形成する。図12を参照するに、DDC構造の一例のプロファイルと従来のSSRWとの間での比較が示されている。見て取れるように、SSRWは、チャンネルの頂部を定めるゲート誘電体(図示せず)の近くで、チャンネルに隣接して非常に高いドーパント濃度を有する。このような、チャンネル及びゲート誘電体の近くに位置する高いドーピング濃度は、典型的に、従来デバイスにおいて乏しいリーク性能を生じさせ、この手法をナノスケールのゲート長のトランジスタまでスケールアップすることには深刻な困難性が存在する。故に、それは、電子デバイスにおける電力低減及び性能向上の要求全体に対する、十分な商業的解決策を提供しない。DDCトランジスタの実施形態は、深く空乏化されるチャンネル、及び高濃度ドーピングされ且つチャンネルから隔離されたスクリーニング層を含むことができる。このような構造は、回路性能に対する顕著な改善を提供するとともに、SSRWを実現する回路より製造が単純となり得る。

【0074】

DDCトランジスタを製造することには、数多くの従来CMOS製造プロセスが使用され得る。図13は、従来デバイスを製造するための従来CMOSプロセスの、ここで開示する実施形態に従って構成される構造の製造プロセスとの比較1300を、図形的に示したものである。新CMOSデバイスの一実施形態において、シャロートレンチアイソレーション(STI)1302、1302A、ウェル・チャンネル注入1304、1304A、コンタクト1308、1308A、及びメタルインターコネクタ(金属相互接続)1310、1310Aは標準的なものとし得る。従来CMOSゲートスタックプロセス1306のみが、改良構造のゲートスタック1306Aと異なっている。これは、例えばDDCデバイスなどの新たなCMOS構造を導入するための有意な利点を提供する。第1に、これは、新デバイスを製造するためにリスク又はコストを伴って新たな処理工程を開発することを不要にする。故に、既存の製造プロセス及び関連するIPライブラリを使用することができ、それにより、コストが削減されるとともに、製造者がこのような新たな先端デバイスを、より早く市場に持ち込むことが可能にされる。

【0075】

図13の例に従ったDDCトランジスタプロセスは、DDCドーピングプロファイルを作り出すために、高濃度ドーピングされたN型及びP型の領域の頂部上にアンドープのエピタキシャルシリコン領域を形成する。アンドープのエピタキシャルシリコン領域の厚さは、一部の実施形態において、デバイス性能における重要な因子である。他の一例において、高濃度ドーピング、中濃度ドーピング及び低濃度ドーピング(又は、ドーピングなし)を備える最終的なゲートスタックを実現するために、二重のエピタキシャルシリコン領域が使用される。代替的に、基板レベルに近い1つの高濃度ドーピング領域を備えた最終スタックのために1つのエピタキシャルシリコン領域が成長され、その後、ゲートと高濃度ドーピングされたスクリーニング領域との間でエピタキシャル成長層の中濃度から低濃度のドーピングが行われてもよい。レイヤ間でのドーパントのマイグレーション又は拡散を防止するため、一部の実装例において、様々な耐ドーパントマイグレーションの技術又は層が用いられ得る。例えば、P型エピタキシャルシリコン内では、炭素ドーピングを用いてボロン(B)拡散を抑制することができる。しかしながら、N型エピタキシャルシリコン内で

10

20

30

40

50

は、炭素はAsドーピングに悪影響を有することがある。炭素は、シリコンエピタキシーの全体に配されるか、あるいは各界面の薄い領域に閉じ込められるかし得る。その場ドーブされた炭素又はイオン注入された炭素を用いることが可能である。その場ドーブされた炭素が使用される場合、炭素はN型及びP型の双方に存在し得る。炭素が注入される場合、一部の実施形態において、それはP型でのみ使用されることができるとは限らない。

【0076】

DDCトランジスタは、利用可能なバルクCMOSプロセス技術を用いて形成され得る。そのような技術には、耐ドーパントマイグレーション層を堆積する技術、先端エピタキシャル層成長、ALD、先端CVD及びPVD、又はアニールが含まれる。これらは全て、例えば65nm、45nm、32nm及び22nmなどの先端集積回路プロセスノード技術で利用可能である。これらのプロセスノードは概して、STIアイソレーション、ゲートプロセス及びアニールに関して低いサーマルバジェットを有するが、DDCトランジスタの形成に依然として適している。

10

【0077】

図14A乃至14Iは、DDCドーピングプロファイルを持つチャンネルを有するデバイスを製造するためのプロセスフローを示している。これらの図は、新たなDDCトランジスタ及びデバイスの先端的な特徴及び動作を提供するDDC及びスクリーニング領域を有するNMOSTランジスタ及びPMOSTランジスタの各々がどのように構成されるかを示すために、2つのデバイスの製造の一例を示すものである。各工程における構造を進行的に示して、これら2つのトランジスタデバイスを形成するサンプルプロセスを説明する。他の例では、DDCデバイスを製造するためにその他のプロセスフローが使用されてもよく、この特定のプロセス及び関連する工程群は例示のために示されるものである。このプロセスは、トランジスタ構造を作り出すために形成、堆積あるいはその他の方法で作成される“領域”に関連して説明されるが、様々な形状、大きさ、深さ、幅及び高さの領域群、並びに様々な形態又は輪郭のレイヤ群を含むことが意図される。

20

【0078】

先ず、図14Aを参照するに、構造1400は、例えばP型基板1406である基板から開始する。このP型基板上にNMOSデバイス又はPMOSデバイスを作り出すことができる。これら及びその他の図においては、単純化のため、また、取り得る実施形態及び例を説明するため、DDCデバイスのプロセスフローのこの例は、特定の複数の構造を分離するためのシャローレンチアイソレーション及びパーシャルレンチアイソレーションを併せ持つNMOSデバイス及びPMOSデバイスの例に関して記述される。そうは言うものの、その他の開示構造又はデバイスに関する対応するフローも容易に理解されるであろう。また、図示しないが、これらのプロセスは、例えば、異なる領域として隣り合った構造、及び相互に積み重ねた領域を形成する際に使用されるマスキングなど、技術的に知られた様々な技術を用いて実行されることができるとは限らない。

30

【0079】

P基板1406上に、必要に応じてのNウェル注入領域1402及びPウェル注入領域1404が形成される。そして、Nウェル1402上に浅いPウェル注入領域1408が形成され、Pウェル1404上に浅いNウェル注入領域1410が形成される。これらの異なる領域は、先ず、P基板1406上にパッド酸化膜を形成し、その後、フォトリソストを用いてNウェル1402の第1のNウェル注入を行うことによって形成され得る。別のフォトリソストを用いてPウェル1404が注入され得る。別のフォトリソストを用いたイオン注入によって、浅いNウェル1410が形成され得る。そして、別のフォトリソストを用いて、浅いPNウェル1408が注入され得る。このプロセスは、その後、アニール処理によって続けられ得る。

40

【0080】

図14Bに進んで、このプロセスは、浅いPウェル1408上へのNMOS用RDFスクリーニング領域1412の形成へと続く。この実施形態によれば、NMOS用RDF領域1412は、高いドーパント濃度のスクリーニング領域であり、例えば、RDFを抑制

50

して改善された閾値電圧設定及び信頼性の数多くの利益を提供し且つトランジスタの閾値電圧の動的調整を可能にすることに関して上述したものなどである。このスクリーニング領域は、別のフォトレジストを用いてRDFスクリーニング注入領域として形成され得る。浅いNウェル1410上にPMOS用RDFスクリーニング領域1414が形成される。この領域は、別のフォトレジストを用いてPMOS用RDFスクリーニング注入領域として形成され得る。

【0081】

続いて図14Cを参照するに、イニシャル酸化膜の除去後、フォトレジストを用いて、スクリーニング領域1412上にNMOS閾値電圧調整領域1416が形成される。この閾値電圧調整領域は、エピタキシャル成長法又はその他の同様の技術を用いて堆積され得る。同様に、フォトレジストを用いて、PMOS用RDFスクリーニング領域1414上にPMOS閾値電圧調整領域1418が形成される。その後、NMOSの V_T 調整領域1416及びPMOSの V_T 調整領域1418上でドーパされたこれら閾値電圧調整領域の各々上に、アンドープあるいは低濃度ドーパの領域1420、1422が堆積される。これらのアンドープあるいは低濃度ドーパされた領域を形成することには、エピタキシャル成長法又はその他の同様の技術が用いられ得る。以上の工程群によって、DDCに適ったチャンネルが形成される。これらの例では、各トランジスタに所望のDDCプロファイルを作り出すために2つのエピタキシャル領域が使用されているが、その代わりに、各々に単一のエピタキシャル領域を用いてDDCデバイスを作り出してよい。

【0082】

以上のプロセスフローにより、チャンネルを作り出すことによって、2つのトランジスタ又はその他の更に複雑な回路を作製するために後に処理されるデバイスが準備される。しかしながら、以下のプロセスフローは、図14D乃至14Eに示されるようなnチャンネル及びpチャンネルのトランジスタを作り出すための残りの工程の例を開示するものである。

【0083】

図14Dを参照するに、その後、シャロートレンチアイソレーション(STI)プロセスを適用して、トランジスタを隣接トランジスタから分離することによって、STIトランジスタ境界1424が形成される。ここで、各STI1424、1426及び1428の深さは、STIがPウェル内に入るように適切に設定される。見て取れるように、STIトレンチは、浅いPウェル1408及び浅いNウェル1410の各々の下方まで延在している。これは、トランジスタ間の改善されたアイソレーションを可能にする。

【0084】

さらに、必要に応じて、パーシャルトレンチアイソレーション(PTI)1430、1434が適用され、ウェルトップを接続することが可能な領域が作り出され得る。PTI1430、1434の深さは、PTIが浅いPウェル内に部分的に入るように設定される。その後、図14Eに示すように、チャンネルが形成されることになる領域に、例えば酸化物領域1438、1442などの絶縁体が堆積される。ここでは絶縁体として二酸化シリコンが使用され得るが、その他の種類の絶縁体も使用可能である。そして、それぞれのゲート絶縁体にゲート電極1436、1440が付着され、動作中にゲート電圧を供給することが可能にされる。

【0085】

図14Fを参照するに、NMOS及びPMOSの各々のゲート及び絶縁体の領域の側面に、スペーサ1446が形成される。そして、各ゲート領域を横切ってウエハー表面の下に、ソース領域及びドレイン領域1448、1450がイオン注入される。このとき、ソース領域及びドレイン領域1448並びにソース領域及びドレイン領域1450は、それぞれ、N型並びにP型のドーピングに掛けられる。後述するように、レガシーモードのデバイスでは、必要に応じて、NMOS及びPMOSのハロー(halo)プロセスが実行され得る。また、トランジスタのボディへのコンタクトを作り出すために、ボディコンタクト領域1444及び1464が、それぞれ、p+型ドーピング及びn+型ドーピングに掛けられる。斯くして、NMOSTランジスタ及びPMOSTランジスタが作り出され、図1

10

20

30

40

50

4 Gに示すように、デバイスを動作させるためにソース領域及びドレイン領域に必要な電圧を供給するためのコンタクトが設けられ得る。図1 4 Gには、第2のスペーサ1 4 5 2、並びにフォトレジストを用いたNMOS及びPMOSの1 4 4 8、1 4 5 0へのソース/ドレイン接続も示されている。ソース領域及びドレイン領域1 4 5 4、1 4 5 6、1 4 5 8、1 4 6 0が形成される。その後、フォトレジストを用いてコンタクト及びメタルが形成され、デバイスとの電気接触が実現される。このプロセスがどこにソース及びドレインを配置するかに応じて、電界に大きな影響が及ぼされ得る。

【0086】

DDCデバイスを製造する特定の工程を説明したが、デバイスの性能を更に向上させるために、あるいは様々な用途仕様に適合させるために、その他のオプション工程が含まれてもよい。例えば、図1 4 Gに示すように、ソース/ドレインエクステンションとして技術的に知られた技術を適用して、リーク電流を低減し得る。当業者に認識されるように、異なる領域の数多くの組み合わせが可能であり、領域の組み合わせが、ここでの教示に従う異なる領域を用いて再編成あるいは置換されてもよい。

【0087】

閾値電圧調整領域及びスクリーニング領域のドーピングレベルは、チャンネルの下方のスペーサエッジ間の領域に制限される。一手法において、それぞれのゲート1 4 3 6及び1 4 4 0の周りのスペーサとゲート上のハードマスクとによって定められるマスクを用いて、スペーサ1 4 5 2の外側でシリコンがエッチングされる。エッチングされるシリコンの深さは、スクリーン領域の深さより大きくされる。この例において、シリコンは、同一あるいは異なる工程にて、NMOS及びPMOSの双方でエッチングされる。シリコンエッチングの後、図1 4 Hに示すように、ゲート誘電体より僅かに高さまでシリコン1 4 4 6がエピタキシャル成長される。エピタキシャル成長されたシリコンのドーピングは、その場ドーピングで行われてもよいし、図1 4 Iに示すソース/ドレイン領域1 4 6 8、1 4 7 0、1 4 7 2及び1 4 7 4を形成するためのソース/ドレイン注入マスクを用いて行われてもよい。第1のゲート誘電体1 4 3 8及び第2のゲート誘電体1 4 3 7が層状に重ねられている。層1 4 3 5及び1 4 3 6は、適切なN+又はP+の仕事関数を有するように設計されたメタルゲート電極である。図1 4 Iにおいては、ゲート誘電体と一体化されたメタルゲート電極でポリシリコンが置換されている。ポリをメタルゲートで置換するには、適切な仕事関数を有する2つの別々の金属が必要とされる。NMOSデバイス及びPMOSデバイスの V_T をCMOSプロセスで伝統的に使用されるN+/P+ドーフトポリと同等に調整するには、 $\sim 4.2 \text{ eV}$ 及び $\sim 5.2 \text{ eV}$ の仕事関数の金属が必要である。ゲートの周りのスペーサ1 4 5 2及びゲート上のハードマスクにより、セルフアラインされたソース/ドレイン領域が形成される。これは、より小さいソース/ドレイン-ボディ間キャパシタンスをもたらす。他の一手法において、補償ソース/ドレイン注入が実行されてもよい。この手法において、ゲート周囲のスペーサ及びゲート上のハードマスクにより、ゲートがセルフアラインすることが可能にされる。

【0088】

認識されるように、複数の電力モードで効率的に回路を動作させられることは望ましいことである。また、異なる電力モード間で迅速且つ効率的に切り替えられることは、トランジスタ、及びそのようなトランジスタを用いて作成されるチップや、そのようなチップを実装するシステムの電力節減能力及び全体性能を有意に向上させ得る。動作モードを効率的に変化させることができる能力により、デバイスは、必要時に高い性能を届けることができるとともに、非アクティブ時にスリープモードに入ることによって電力を節減することが可能である。一実施形態によれば、個々の部分回路、及び更には個々のデバイスを、動的に制御することができる。デバイスの閾値電圧を動的に変化させられることにより、デバイスのモードも動的に変化され得る。

【0089】

深空乏化チャンネルデバイスは、広範囲の公称閾値電圧を有することができ、広範囲の動作電圧を用いて動作されることが可能である。一部の実施形態は、1.0 Vから1.1 V

10

20

30

40

50

までの現行の標準バルクCMOSの動作電圧の範囲内で実現されることができ、また、例えば0.3Vから0.7Vといった更に低い動作電圧で動作することも可能である。これらは、低電力動作のための回路構成を提供する。また、DDCデバイスは、その強いボディ効果により、従来デバイスより応答に優れたものになり得る。この点において、強いボディ効果は、デバイスが共通の共有ウェルを介したその他のデバイスとの実質的な直接接続によって回路に変化をもたらすことを可能にし得る。一例において、共有ウェルは、一群のデバイスの下に位置する共通のPウェル又はNウェルを含み得る。動作時、これらのデバイスは、それぞれのボディバイアス電圧及び V_{GS} 又はそのデバイスの動作電圧の設定を変更することによって、モードを変化させることができる。これは、単一のデバイス又は1つ以上のグループのデバイスの切替を、従来デバイスより遙かに高速で少ないエネルギーを使用するものにし得る。故に、モードの動的な変更が迅速に行われ、システムは電力節減及び全体的なシステム性能を、より良好に管理することができる。

10

【0090】

また、一部の用途においては、DDCに基づくデバイスが従来デバイスと一体となって動作し得るように、既存の環境との後方互換性が要求されることがある。例えば、新たなDDCに基づくデバイスと従来デバイスとが混合されたものが1.1Vの動作電圧で動作することがある。DDCに基づくデバイスと従来デバイスとのインタフェースをとるためにレベルシフトを実行する必要性が存在し得る。DDCに基づくデバイスがレガシーデバイスと一体となって動作することは非常に望ましいことである。

【0091】

20

スクリーン領域は、トランジスタにおける応答性のよいマルチモード切替に利用される高いボディ効果を提供する。スクリーン領域を有するトランジスタの応答は、ボディバイアスの変化に対して、より広い範囲内で変化することができる。より具体的には、高濃度ドーピングのスクリーニング領域は、デバイスのオン電流及びオフ電流が様々なボディバイアスの下で一層広範囲に変化することを可能にし、それにより、動的なモード切替を支援することができる。これは、DDCデバイスは、従来デバイスより低い V_T 、すなわち、設定閾値電圧の小さいバラつきを有するように構成されることができ、故に、閾値電圧 V_T は異なる複数の値に設定されることが可能である。さらに、デバイス又は一群のデバイスは、閾値電圧を変化させるようにボディバイアスされることができ、故に、ボディバイアス電圧を変化させることに応答して V_T 自体が変化することができる。故に、より低い V_T は、より低い最小動作電圧 V_{DD} と、より広範囲の利用可能な V_T 公称固有値とをもたらす。増大されたボディ効果は、そのような広い範囲内での V_T の動的制御を可能にする。

30

【0092】

さらに、最高性能が電力消費の増大をもたらし得る場合であっても、必要に応じて性能を最大化させるようにデバイスを構成することが望ましいことがある。他の一実施形態において、デバイスが高性能なアクティブ動作条件にないときにデバイスを有意に低い電力モード（スリープモード）に置くことが望ましいことがある。回路にDDCトランジスタを利用する際、全体的なシステム応答時間に影響を及ぼさないように、モード切替に十分に高速な切替時間を与えることができる。

40

【0093】

ここで図示して説明する様々なDDCの実施形態及び例に従って構成されるトランジスタ又は一群のトランジスタに望ましいものとなり得る幾つかの異なる種類のモードが存在する。1つのモードは、ボディとソースとの間のバイアス電圧 V_{BS} がゼロである低電力モードである。このモードにおいて、デバイスは、低い動作電圧 V_{DD} 及び非DDCデバイスより低いアクティブ/パッシブ電力で動作するが、従来デバイスと同等の性能を有する。他の1つのモードは、デバイスのバイアス電圧 V_{BS} が順バイアスされるターボモードである。このモードにおいて、デバイスは低い V_{CC} 及び高性能に合わせられたパッシブ電力で動作する。他の1つのモードは、バイアス電圧 V_{BS} が逆バイアスされるスリープモードである。このモードにおいて、デバイスは低い V_{CC} 及び低いパッシブ電力で動

50

作する。レガシーモードでは、非DDC型のMOSFETがレガシーデバイスと実質的に同じように動作することを可能にするよう、プロセスフローが変更される。

【0094】

DDC構造にされたデバイスは、従来デバイスに対する性能上の大きな利点を有しながら、スクリーン領域によって利用可能にされる強いボディ効果の結果として、強化された動的モード切替をも可能にする。ボディタップが、所望のモードを達成するために所望のボディバイアスをデバイスに印加することを可能にする。これは、上述のような低濃度ドープされたチャネルとスクリーニング領域とを有するDDCを用いて、あるいは代替的に、異なるドーパント濃度を有する複数の領域又は層を有するDDCを用いて達成され得る。例えばメモリブロック又はロジックブロックなどの一群のトランジスタに対してマルチモード切替が使用されるとき、従来のバルクCMOS技術を用いた個々のトランジスタ制御は、実用的でなく、また、制御回路に実質的なオーバーヘッドを生じさせ得る。追加の制御回路や異なるデバイス若しくは異なるデバイス群を制御するための大規模な専用配線を実装する必要があり、全てが、集積回路の総コストへの有意な追加となる。故に、動的モード切替用の一群のトランジスタ又はより多くグループのトランジスタを作り出すために使用可能な、部分回路又はユニットを開発することが望ましい。また、レガシーデバイスも、独立して、あるいは混合された環境で、動的制御の恩恵を受け得るように、レガシーデバイスにボディバイアス制御技術を提供することが可能な解決策を提供することが望ましい。

【0095】

さらに、従来のバルクCMOSデバイスは物理的な設計変更を必要とし得るが、スクリーン領域を有するトランジスタの比較的高いボディ効果は、設計によって静的にであろうと、あるいは動的にであろうと、特定の実施形態において、様々なモードで動作するようにデバイスを制御する手段としてボディバイアスを使用することに関して、該トランジスタを適したものにする。

【0096】

高濃度ドープされたスクリーン領域とボディバイアス電圧をボディに印加するための機構とを有する基本的なマルチモードデバイスを、異なる複数のモードを示す対応する表を添えて図2Aを複製した図15に示す。図2Aに関連して説明したように、ソースとデバイスボディとの間の電界を含むデバイスの電界を制御するために、バイアス電圧 V_{BS} をウェルタップとソースとの間に印加し得る。図15は、 n チャネル四端子MOSFETのサンプル構造を示している。端子106はドレインとして指定され、端子104はソースとして指定されている。動作中、これら2つの端子間に電流が流れる。端子102はゲート電極と呼ばれ、この端子にはしばしば、ドレインとソースとの間の電流を制御する電圧が印加される。端子126は、この例ではPウェルであるトランジスタのボディへの接続を提供する。ドレインに印加される電圧は正の電源電圧であり、 V_{DD} と呼ばれており、ソース端子に印加される電圧は低い方の電源電圧である。電界がデバイスの特性に影響を及ぼす。ここに記載される様々な実施形態によれば、バイアス電圧 V_{BS} 及び電源電圧 V_{DD} を適切に選択することにより、デバイスを複数の区別可能なモードに設定することができる。

【0097】

従来のバルクCMOSデバイスにおいては、同じソースボディ電圧を維持するように、基板はしばしばソースに接続される。故に、ボディバイアスは典型的に、基板上の全てのデバイスに対して同一である。これは、通常の動作電圧とゼロバイアス電圧($V_{BS} = 0$)が印加される上述の通常の高電力/低リークモードでDDCデバイスが使用される状況と同様である。しかしながら、ここに記載される様々な実施形態に従って構成されるマルチモードデバイスは、ボディタップの代わりに、効果的なモード制御手段を提供し得る。これは特に、上述のようにデバイスが高濃度ドープされたスクリーン領域をゲートから距離を置いて含む場合である。低いボディ効果を有するシリコン・オン・インシュレータ(SOI)ベースのデバイスと異なり、DDCベースのデバイスはバルクシリコン上に構成

されて、高いボディ効果を有するデバイスを作り出すことができる。故に、DDC構成のデバイスは、マルチモード動作を実現する手段として可変ボディバイアスを利用することができる。図15の例に示すマルチモードトランジスタはPウェル上にnチャンネルを有し得る。P+型領域がPウェル上に形成される。後述するボディタップ（図示せず）がP+領域に結合されて、nチャンネルデバイスのボディであるPウェルへの導電コンタクトを生成する。ボディタップはp+ドープされているので、ボディタップへの接続はデバイスのPウェル（すなわち、デバイスのボディ）への接続を実現することになる。そして、ボディバイアス電圧がソースとボディタップとの間に印加され得る。ボディバイアス電圧は、nチャンネルデバイスの動作モードを効率的に制御することが可能である。nチャンネルデバイスにおいてのように、この動的モード切替技術は、Nウェル上のpチャンネルデバイス（ボディタップを提供するようにn+領域が形成される）にも適用されることができ、また、ここに記載される強いボディバイアスを有する新構造は、同一の基板又はウェル上にnチャンネルデバイス及びpチャンネルデバイスの双方が存在するCMOSデバイスにも適用可能である。

【0098】

ソースとボディとの間に印加されるボディバイアス電圧は、CMOSデバイスの挙動を実効的に変化させることができる。ボディタップを有する上述のデバイスでは、ソース-ボディ電圧は、ゲート-ソース電圧及びドレイン-ソース電圧とは独立に印加されることができる。マルチモード制御の制御手段としてボディバイアスを用いることの利点の1つは、デバイスがあたかも従来デバイス、例えば、ゲート-ソース電圧及びドレイン-ソース電圧が同じように設定されるデバイスであるようにデバイスが接続され得ることである。この場合、モード選択は、ボディバイアスに応答して為されることができ、故に、デバイスはゼロバイアスで通常に動作されることができ、これは従来デバイスと同じである。より高性能なモード（ターボモード）が望まれるとき、ウェルタップとソースとの間に順バイアス電圧、すなわち、 $V_{BS} > 0$ が印加され得る。ターボモードの動作電圧は、ノーマルモードの動作電圧と同じ、あるいはそれより僅かに高くされ得る。一方で、スリープモードが望まれるとき、ウェルタップとソースとの間に逆バイアス電圧、すなわち、 $V_{BS} < 0$ が印加され得る。スリープモードの動作電圧は、ノーマルモードの動作電圧と同じ、あるいはそれより僅かに低くされ得る。

【0099】

ゼロボディバイアスが印加されるとき、マルチモードデバイスは通常の高電力モードで動作される。ボディバイアスは、デバイスの性能を高めるために、図15の例に示すようにボディとソースとの間に正電圧を印加して、順バイアスされることができ、この順バイアスモードは、高い駆動電流の形態の高められた性能のための“ターボモード”と称される。しかしながら、性能の増強はリーク電流の増大という犠牲の下で成り立つ。深いスリープモードにおいては、リーク電流を抑制するために、図15の例に示すようにボディとソースとの間に負電圧が印加され、ボディが逆バイアスされる。このモードは、デバイスがアイドル状態又は非アクティブ状態にあるときに望ましい。

【0100】

図16は、nチャンネルDDCデバイスの一例と従来のnチャンネルデバイスとの間での、バイアス電圧 V_{BS} に対する閾値電圧 V_T の比較を示している。カーブ1610はDDCデバイスを表し、カーブ1612は従来デバイスを表す。図16は、一部の実装例において、DDCデバイスの閾値電圧が従来デバイスより遙かにバイアス電圧に敏感であることを示している。DDCデバイスはまた、ボディバイアスに反応して広い遅延範囲を提供することができる。従来デバイスでは、デバイス間の閾値電圧のバラつきは、図17Aに示されるように、遅延時間の大きい広がりを生じさせる。バンド1702、1704及び1706は、それぞれ、 $-0.5V$ 、 $0.0V$ 及び $+0.5V$ のバイアス電圧 V_{BS} についての遅延のバラつきを表している。ただし、遅延時間は、 $V_{DD} = 1.1V$ 、 $V_{BS} = 0.0V$ 、 $V_T = 0.0V$ 且つ温度 = 85 での従来デバイスの遅延時間を1に正規化した相対スケールで示されている。横軸は3 V_T 値に対応している。従来デバイスの V

10

20

30

40

50

V_T は典型的におよそ 15 mV であり、これは $3 V_T = 45 \text{ mV}$ をもたらす。図 17 A に示されるように、3つのバンド 1702、1704 及び 1706 は実質的に重なりを有し、このことが、遅延時間に従ってモードを区別することを困難にする。図 17 B は、D D C デバイスの例での改善された遅延時間を示している。図 17 B において、3つのバンドは重なりを有しないのみでなく、遙かに小さい広がりを持っている。- 0.5 V、0.0 V 及び + 0.5 V (逆バイアス、ゼロバイアス及び順バイアス) の 3つの異なるバイアス電圧において、D D C デバイスは 3つの容易に区別可能なバンド 1708、1710 及び 1712 を示す。これらの区別可能なバンドは、D D C デバイスが一部の実施形態において、複数の動作モードでの使用に非常に効果的であることを示している。

【0101】

低減された V_T 、ひいては、より正確に制御可能な V_T を提供することができるトランジスタがもたらし得るその他の 1つの利益は、 V_T を動的に制御可能なことである。従来デバイスにおいては、 V_T が非常に多きため V_T は広範囲にわたって考慮される必要がある。ここに記載される実施形態によれば、ボディバイアス電圧を調整することによって V_T を動的に変化させることができる。 V_T の動的な調整は、増大されたボディ効果によって実現され、動的制御の範囲は、低減された V_T によって与えられる。図 18 を参照するに、デバイスに対して設定される静的 V_T である V_{T0} と、そのデバイスが調整されることが可能な複数の V_T とを示すグラフの一例が示されている。各々が対応する V_T 、すなわち、対応する V_T 値ごとに個別の V_T を有する。ここに記載される実施形態によれば、デバイスは、要求される電圧範囲内且つ好適な電圧調整速度でボディバイアス電圧を調整することによって動的に調整可能な V_T を有するように構成されることができ、特定の実施形態において、電圧調整は、所定の刻みで行われることができ、あるいは連続的に可変にされることができ、

【0102】

他の一実施形態によれば、図 15 は様々なモードの下で動作することがかのようなマルチモードデバイスのサンプルを示しているが、デバイスが一群のトランジスタのためのボディをアイソレートするための構造を含むことも有用である。これは、デバイスが実効的に様々なモードの下で独立に動作することを可能にする。マルチモードトランジスタのグループのボディが接続される場合、そのグループ全体が同時に切り替えられることになり、モード切替を促進する能力を制限する。一方で、2つのグループのマルチモードトランジスタのボディが接続されない場合、それら 2つのグループは個々に制御されることができ、故に、図 15 に示した基本のマルチモードトランジスタは更に、グループごとに個別のボディバイアスを用いる多数のブロックに分割されることが可能なトランジスタのグループを提供することができる。これについては後述する。

【0103】

故に、例えば図 14 A 乃至 14 I に図示して上述したトランジスタ構造などの D D C 構造を利用して、改善されたシステムを構成することができる。そのような構造についての変形例が、性能上の強力な進展を有する集積回路及びシステムに実装され得る。これらの構造がどのようにして、トランジスタをスケールリングするために構成され得るかを示してきた。ここでは、これらの構造がどのようにして、より広い集積回路及びシステムに拡張するための構成ブロックとして使用されるかを示す。例えば集積回路及びシステムに組み込まれた D D C 構造、S T I、P T I、浅いウェル及びノ又は共有ウェルを用いることは、新たな向上されたシステム性能に合わせて構成され得る。また、集積回路及びシステムの新たな機能及び利益を実現するために、D D C はさておき、ボディタップ及びノ又はボディアクセストランジスタを利用する新たなイノベーションが利用され得る。故に、バルク C M O S 並びにその他の新たな構造及びプロセスにおけるこれらのイノベーションを用いて、大いに改善された動作を有する新たにスケールリングされた集積回路チップが構築され得る。

【0104】

以上にて説明したトランジスタの実施形態は概して、バルク C M O S トランジスタ及び

10

20

30

40

50

その他のデバイスの引き続いての電力スケールリングを提供し得るが、とりわけ、チップレベルでDDC構造の利益及び特徴の一部を完全に活用することを望む者は、ここに記載されるトランジスタの実施形態に従ったチップ上の回路ブロックのレイアウト及びルーティングの適切な変更によってそうすることができる。例えば、上述のように、トランジスタの閾値電圧を調整するためにトランジスタのボディバイアス電圧を動的に調整するという概念は知られてはいるが、ナノスケールデバイスにおける実装に実用的であるとは一般に証明されていない。その理由には、一部の实装例において、(1)従来のバルクCMOSナノスケールデバイスの大きい V_T により、既存のナノスケールデバイスに関するトランジスタ間での十分な区別が実現されないこと；(2)従来のバルクCMOSナノスケールデバイスの比較的低いボディ係数により、チップ動作への影響を回避するのに十分な迅速さで動作モード間の切替えを行うことができないこと；及び(3)ボディバイアス配線を各トランジスタ又は各回路ブロックにルーティングすることが、チップ上に集積可能なトランジスタ数を有意に減少され、故に、チップレベルでのスケールリングを妨げてしまうこと；が含まれる。一部のDDCトランジスタの実施形態は、最初の2つの問題を、(1)有意に低減された V_T を提供し、それにより、同じトランジスタが、異なる閾値電圧のみでなく異なる動作電圧でも動作するように設計されることを可能にすること；及び/又は(2)トランジスタ及び回路ブロックが動作モード間で迅速且つ効率的に切り替わることを可能にする有意に増大されたボディ係数を提供すること；によって解決することができる。DDCトランジスタは、一部の实施形態において、一部又は全てが、名目上同じ構造及び特性を有するが、従来バルクCMOSにおいては異なるように製造されなければならないトランジスタとして動作するように独立に設定可能であるという、カメレオンのようなフィールドプログラマブルトランジスタ(field programmable transistor; FPT)として取り扱われることができる。ボディバイアス配線の改善されたルーティングは、以下の議論における別の要素であり、それも、マルチモードトランジスタがどのように使用され得るかの更なる例を提供する。

【0105】

図19は、各々のブロック又は回路が、それに供給されるボディバイアス電圧及び動作電圧に基づいて、異なるモードで動作し得るという、トランジスタのグループのマルチモード動作の概念を簡略化して示している。一部の实装例において、個々のブロックに別々のボディバイアスを印加することは、その閾値電圧を動的に調整することによって、共通に接続されたコンポーネントが共通のモードで動作し、且つ別々に接続されたコンポーネント又はシステムが別々に制御されたモードで動作することを可能にするように、システムを制御することを可能にし得る。図19に示す例示的な状況において、デバイス1900は、別個のボディバイアスコンタクトを有する5つのグループのトランジスタ又は回路ブロック1910、1920、1930、1940及び1950に分割されている。ここに記載される実施形態によれば、これら5つの回路ブロックのボディは、各ブロックに独立に異なるボディバイアスが印加され得るように互いに分離(アイソレート)されている。この例において、これらの回路ブロックの各々は、その他のグループから分離された自身のボディを有し、そのボディはそれぞれのボディタップ(1915、1925、1935、1945及び1955)に接続されている。これら5つのブロックは、分離されたブロックを作り出すためにトランジスタのグループ間にアイソレーションを設ける必要があることを例示するためのものである。図19はまた、各ブロックがそれぞれ個別のボディバイアス V_{B1} 、 V_{B2} 、 V_{B3} 、 V_{B4} 及び V_{B5} に接続されることを示している。当業者に理解されるように、各ブロックはまた、例えばドレインの V_{DD} 、ソースの V_{SS} 、ゲートの V_G 及びその他の信号などのその他の供給電圧を必要とする。また、各回路ブロックに別々に異なる動作電圧 V_{DD} が与えられてもよい。各回路ブロックのモードは、設計によって静的に設定されることができ(例えば、互いに独立に動作モードを設定するために異なる回路ブロックを異なるボディバイアス電圧に接続することによる)、且つ/或いは動作中に各回路ブロックのボディバイアス及び/又は動作電圧をその動作モードを設定するために調整する制御回路及びアルゴリズムを介して動的に設定されることができ

10

20

30

40

50

低い V_T と、比較的広範囲の値にわたって閾値電圧 V_T を調整する能力とにより、個々のトランジスタ又はトランジスタのグループの動作モードが別々に制御され得る。

【0106】

以下の例では、様々なトランジスタを説明する。これらのトランジスタは、トランジスタの1つグループを、アイソレートされたボディを有する複数のブロックに形成するための構成ブロックとして使用されるものである。例えば、再び図14Gを参照するに、新DDC構造を有するように構成された一対のCMOSTランジスタの一実施形態が示されており、これらのトランジスタはボディタップを有し、これらのnチャネルデバイス及びpチャネルデバイスは同一の基板上にある。これらの構造は、以下にて説明する実施形態を含む大いに向上された性能の回路及びシステムを開発するために使用され得る。その他のトランジスタが新DDC構造のトランジスタと組み合わせて使用されてもよく、また、ここでの実施形態の一部はDDC構造のトランジスタを用いずに構成されてもよい。

10

【0107】

図20は、P基板2080上に単一のPウェル2060があるウェル構造を有するnチャネル四端子トランジスタレイアウトの一例を示している。この四端子トランジスタのレイアウト2000は、ソース/ドレイン対2020及び2030、ゲート2040及びボディタップ2050を示している。位置2010における断面図も示されており、シャロートレンチアイソレーション(STI)2070の深さはPウェルの深さより小さい。Pウェル2060は、P基板2080上の全てのnチャネルトランジスタに共通である。故に、この四端子トランジスタは、nチャネルトランジスタ間にアイソレーションを設けなくてもよい。この例に示すように、ボディタップはP+(P-plus; PP)ドープされ且つトランジスタの横隣(図示のゲート方向を基準にして)に配置されている。さらに、ボディタップはSTI2070によってトランジスタからアイソレートされている。

20

【0108】

図21は、新たな浅いPウェル(shallow P-well; SPW)を有するnチャネル四端子トランジスタの一例を示しており、SPWの深さはSTIの深さより小さくされている。この四端子nチャネルトランジスタのレイアウト2100は、ソース及びドレインの対2020及び2030、ゲート2040及びボディタップ2050を示している。断面図2180は位置2110を示し、断面図2190は位置2112を示している。浅いウェルはボディアイソレーションを可能にし、従って、特定の実装例において、例えばメモリセル又はその他のデジタル回路などのデバイスのグループの動的モード切替、ひいては、集積回路上で引き回されなければならないボディバイアス電圧配線の数を削減することを可能にする。断面図2180及び2190に示すように、トランジスタは、相補的なNウェル2164上に浅Pウェル2160を有する。p-n接合により、Nウェル2164は浅Pウェル2160に導通的には接続されず、該NウェルはP基板2080に導通的に接続されない。故に、このトランジスタは、同一基板上のNウェル2164上に浅Pウェル2160を有するその他のnチャネルトランジスタからアイソレートされることが可能である。アクティブ領域はゲートの下まで延在されている。ゲート下に延在されたアクティブ部には最小のアクティブ限界寸法(クリティカルディメンジョン; CD)が用いられる。延在されたアクティブエッジは、シリサイド化による短絡を回避するために、スペーサエッジ間に配置されてもよい。ボディコンタクトは、ゲートの外側に延在されたアクティブ領域の上に形成され得る。N+注入領域のエッジは、ゲート延在(エンドキャップ)領域の下とし得る。この例はnチャネル四端子トランジスタを作成する一手法を例示するものであるが、このレイアウトはpチャネル四端子トランジスタを作成するのにも適用され得る。図21に示すように、一部の実装例において、STIはSPWより深くし得る。一部の実施形態において、2つの隣接し合うトランジスタが共通のSPWを有しない場合、それらは互いに独立にバイアスされることが出来る。他の例では、隣接するトランジスタのグループは、共通のSPWを有していてもよく、同じボディバイアスを印加することによって同じモードで動作され得る。

30

40

【0109】

50

動的マルチモードトランジスタの更なる他の一実施形態において、図22に示すように、実際のトランジスタとボディタップとの間にボディアクセストランジスタが形成され得る。図22は、nチャネル四端子トランジスタレイアウト2200及び関連する断面図2280を示しており、浅Pウェル(SPW)2160はSTI2070によってアイソレートされている。ボディアクセストランジスタはボディタップをトランジスタからアイソレートすることができる。ボディアクセストランジスタは、ゲート2041がボディアクセストランジスタのゲートとして機能し且つボディタップがソース/ドレインとして扱われるトランジスタであるかのように作成されることができる。これは、プロセスを単純化するとともに、ボディタップ接続を形成するのに必要な面積を減少させ得る。浅いウェルと組み合わせられたボディアクセストランジスタの使用は、細かい粒度での動的モード切替を可能にするのに有用な構成ブロックとなる。一緒に切り替えられるトランジスタ又は回路のグループに関し、それらは同一の浅ウェルを共有するように配置されることができる。また、ボディアクセストランジスタを用いてボディへの接続を提供し且つボディバイアスを供給することによって、1つ以上のゲートタップが作成され得る。

10

【0110】

上述のように、パーシャルトレンチアイソレーション(PTI)は、ボディタップをトランジスタからアイソレートするのに好適な別の手法である。図23に示す他の一実施形態によれば、nチャネル四端子トランジスタの例示的なレイアウト2300及び断面図2380は、浅Pウェル(SPW)及びパーシャルトレンチアイソレーション(PTI)を含んでいる。断面図2380は位置2310での断面に相当する。SPWの深さはSTIの深さより小さくし得る。PTI酸化物は、n型ソース/ドレインとp型バルクタップとの間のシリサイド短絡を防止することができる。PTIの深さは、トランジスタ内の浅ウェルの連続性が維持されるように、浅ウェルの深さより小さくされ得る。PTIによる手法は、一部の実装例において、ボディタップとソース/ドレインとの間で考えられるシリサイドによる短絡に対する優れた保護を提供することができる。しかしながら、PTIは、デバイスの製造において1つ以上の追加プロセス工程を必要とする。PTIの深さは、一部の実施形態において、好ましくは、P+バルクタップとN+ソース/ドレインとを隔離させることでN+/P+接合リークを最小化するように、ソース/ドレイン接合より深くされる。

20

【0111】

ソース/ドレインのアクティブ領域及びウェルタップのアクティブ領域の相対的な平面位置は、図24の例に示すようなPTIを有する四端子トランジスタ2400を作り出すように、異なるように配置されてもよい。断面図2480及び2490は、それぞれ、位置2410及び2412に対応する。図示のように、浅PウェルはSTIによってアイソレートされる。

30

【0112】

以上の例は、ボディバイアス電圧を印加するためのボディタップを提供する四端子トランジスタを示していたが、ボディバイアス用の第4の端子を不要とし得る状況も存在する。例えば、CMOSトランジスタが共通のNウェル上に浅いPウェル及びNウェルを有するとき、Nウェル上に浅いNウェルを有するpチャネルトランジスタは、常に共通のNウェルを有することになる。そのような実装例においては、ボディに接続する別個の第4の端子を設ける必要がないことがある。従って、ここでは、ボディがアイソレートされた複数のブロックを有するトランジスタのグループを作成するための構成ブロックとして使用され得る三端子トランジスタについて、幾つかの例を説明する。他の一状況において、トランジスタが相補的なウェル上に浅いウェルを有し、該トランジスタがボディをフローティングにして動作するよう意図されることがある。そのような実装例においては、第4の端子を使用する必要がないことがある。

40

【0113】

図25に示すように、一例に係る三端子構造2500においては、端子数を4から3に削減するため、ローカルインターコネクタがゲートとボディとを接続する。断面図258

50

0及び2590は、それぞれ、位置2510及び2512に対応する。断面図2580において、ローカルインターコネクタ(LI)コンタクト2551が、延在されたゲートにボディコンタクトを接続するために使用されている。この例において、ゲート-ボディコンタクトは、メタルコンタクトを用いて、延在されたアクティブ領域上で為されている。SRAMセルで使用される矩形コンタクトも、ゲートをボディに接続するために使用され得る。

【0114】

更なる他の一実施形態において、三端子動的マルチモードトランジスタは、ポリの下のボディコンタクトを用いることによって形成される。GA(Gate to Active)コンタクトマスクを用いて、ゲートの下の酸化膜が除去される。このゲート誘電体除去領域上で、SPWと同じ極性を有するポリシリコンゲートコンタクト(PGC)注入が行われ得る。図26の構造2600に示すように、PGC2650の使用により、ボディがゲートに接続される。断面図2680及び2690は、それぞれ、位置2612及び2614に対応する。このレイアウト方式には、ボディへのセルフアラインされたゲートコンタクトを形成可能なこと、及び/又はセルフアラインされたGC(ゲートコンタクト)注入を実行可能なことを含む幾つかの潜在的な利点が存在し得る。GC注入はSPW(P+ドーピング)と同じ極性を有し得るので、一部の実施形態において、アクティブ領域に屈曲が存在しないようにすることができ、これは製造適合設計(design-for-manufacturing;DFM)フレンドリーである。接続にPGCを使用することは、ボディに対して、より高いコンタクト抵抗をもたらし得る。しかしながら、一部の実施形態における静的モード制御では、コンタクト抵抗は極めて重要なものではない。故に、PGCは、静的制御が要求されるときに使用するようにしてもよい。

【0115】

他の例では、ボディコンタクトは、図27に示す三端子単一ゲートトランジスタ2700と同様に、ゲートエクステンションの下に延在されたアクティブ領域に形成されることができる。断面図2780及び2790は、それぞれ、位置2712及び2714に対応する。延在されたアクティブ部には最小アクティブ限界寸法(CD)が用いられ得る。延在されたアクティブエッジは、ゲートの下のアクティブ領域のスペースエッジ間に配置され得る。ゲートの下の酸化膜が、GAコンタクトマスクを用いて除去され得る。ゲートが除去された領域上で、SPWと同じ極性を有するGC注入が行われ、ボディを用いてボディがゲートに結合され得る。一部の実装例において、この手法は、GC注入がSPW(P+ドーピング)と同じ極性を有するので、ボディへのセルフアラインされたゲートコンタクト、又はセルフアラインされたGC注入を使用可能なことを含む同様の利点を提供することができる。

【0116】

図27の例に示すように、ゲートのコンタクト及びウェルトップのコンタクトは、ポリに沿った相異なる位置にすることができるが、それらは、図28の構造2800に示すように、同じ位置に置かれてもよい。断面図2880及び2890は、それぞれ、位置2812及び2814に対応する。

【0117】

他の一実施形態において、レイアウトは、プログラム可能な四端子/三端子トランジスタを可能にする。図29の構造2900に示すように、ゲート及びボディは、金属領域2950を用いて切断あるいは接続され、それにより、それぞれ、四端子又は三端子が得られる。断面図2980及び2990は、それぞれ、位置2912及び2914に対応する。従って、金属領域接続により、プログラマブル四端子/三端子トランジスタレイアウトが容易にされる。

【0118】

様々なトランジスタを説明してきたが、多くの例において、従来システムに対して改善された性能を有する有用なシステムを作り出すために、様々な実施形態及び例で説明された異なる構造が、異なる組み合わせ及び基礎構造で用いられてもよい。これらのトランジ

10

20

30

40

50

スタ構造はまた、動的モード切替のために複数のブロックに分割され且つ個々のボディバイアス接続を有するトランジスタグループを作り出すための構成ブロックとして使用され得る。幾つかの例を以下にて説明する。

【0119】

ここに記載される実施形態の一部に従って構成されるトランジスタの利点のうちの1つは、動的モード切替が可能なことである。これは、制御されたボディバイアス電圧を印加して可変動作電圧を設定あるいは調整することによって実現されることが可能である。図30は、四端子トランジスタを用いて動的モード切替を行うことが可能な回路3000の一例を示している。この図には、様々なバイアス電圧及び動作電圧が示されている。回路ブロックa1 - a4は、それぞれ、標準モード、低リークモード、及び2つのターボモードに対応している。これらの回路ブロックは各々、一對の四端子トランジスタ、すなわち、4つの端子がS（ソース）、D（ドレイン）、G（ゲート）及びB（ボディ）として指定されたpチャネル四端子トランジスタ3010及びnチャネル四端子トランジスタ3020を使用している。ブロックa1では、ボディタップを有する四端子トランジスタが従来のトランジスタとして使用される。nチャネルデバイス（図示した下側のトランジスタ）のボディはソース電圧 V_{SS} に結合されている。pチャネルデバイス（図示した上側のトランジスタ）のボディは動作電圧 V_{DD} に接続されている。ブロックa2では、デバイスがアクティブに使用されていないときに低リークを達成するように、デバイスは逆バイアスされている。この逆バイアスは、nチャネルデバイスのボディを、 V_{SS} より低いnチャネル用の逆バイアス電圧 V_{BBN} に接続し、且つpチャネルデバイスのボディを、 V_{DD} より高いpチャネル用の逆バイアス電圧 V_{BBP} に接続することによって達成され得る。より高い性能が望まれる場合、デバイスは、ブロックa3及びa4に示すような順バイアス状態に置かれることができる。a3(i)では、pチャネルのボディ及びnチャネルのボディは、それぞれ、専用の順バイアス電圧 V_{FBP} 及び V_{FBN} に接続されている。ただし、 V_{FBP} は V_{DD} より低く、 V_{FBN} は V_{SS} より高い。他の例では、順バイアス電圧用に必要な追加電源を排除することによってシステムコストを削減するために、ソース電圧及びドレイン電圧が順バイアスに使用され得る。a3(ii)に示すように、pチャネルのボディは V_{SS} に結合され、nチャネルのボディは V_{DD} に結合される。a4(i)及びa4(ii)の回路は、高い動作電圧 V_{DDH} が接続されていることを除いて、a3(i)及びa3(ii)の回路と同様である。

【0120】

図31に示すように、動的切替環境に四端子デバイスを使用することにはその他の変形例も存在する。図31において、回路ブロックa1は、ボディをフローティングにするために四端子デバイスのボディが未接続のまま残される状況を示している。図31に示すフローティングボディ3100には2つのバージョンが存在し、サブブロックa1(i)は動作電圧として V_{DD} を使用し、サブブロックa1(ii)は動作電圧として V_{DDH} を使用している。これは中間の性能を届けることになる。回路ブロックa2では、pチャネルデバイス及びnチャネルデバイスのボディ及びドレインが全て互いに結合されて、ターボモードを達成している。ここに記載される一実施形態によれば、同じ動的モード切替機能が、より多数のトランジスタを有する大規模な回路に拡張される。

【0121】

図32Aは、簡略化したケースを用いて動的モード切替の実装例を示している。図32Aは、2つの回路ブロック3220及び3230が、独立したボディバイアスが印加され得るようにアイソレートされたボディを有する回路3200を示している。回路ブロック3220のボディバイアスはボディコンタクト3225を介して印加されることができ、回路ブロック3230のボディバイアスはボディタップ3235を介して印加されることが可能である。図30に示したもののような、その他の電圧のための電源ラックは示していない。しかしながら、図32におけるシステムの電源ラックの実装は当業者に容易に理解されるであろう。このような回路ブロックの例示的な断面3250を図32Bに示す。図32Bは、回路ブロック3220及び3230に対応して、Nウェル上に浅いPウェル32

60及び3261を有するnチャンネルデバイスを示している。浅いPウェル3260及び3261はSTI3263によって2つの回路ブロックの間でアイソレートされ、2つの回路ブロック用の別々の浅いウェルが作り出されている。2つの浅いPウェル3260及び3261は、p-n接合効果のため、その下の、P基板3266上に位置するNウェル3264によって接続されてはいない。ボディアクセストランジスタが、タップを作り出し、且つSPWウェルを共有するアクティブトランジスタからタップをアイソレートするために使用されている。浅いPウェルへの接続を提供するボディコンタクトのためにp型コンタクト領域3210が使用される。図32Bの例は、動的モード切替のためにアイソレートされた複数の回路ブロックを作り出すための、ボディタップに沿った浅いチャンネルSTI3262の使用を示している。この例はnチャンネルデバイスに関して示されているが、pチャンネルデバイスにも容易に適用され得る。

10

【0122】

また、これは、構造3310内にpチャンネルデバイスとnチャンネルデバイスとを併せ持つ図33Aの例に示されるデバイス3300にも拡張され得る。図33Bは、CMOSデバイスが2つの浅いPウェル3260、3261と浅いNウェル3360とを有する状況を表している。これらの浅いウェル3260、3261及び3360は、それぞれのボディコンタクト3325、3335及び3345を備えている。これらの浅いウェルは全てNウェル3264上にある。3つの回路ブロックが示されており、回路ブロック3320及び回路ブロック3330はnチャンネルデバイスであり、回路ブロック3340はpチャンネルデバイスである。これらの回路ブロックの各々は同一のNウェル3264を共有することができる。p-n接合効果により、回路ブロック3320及び3330の浅いPウェルは、一部の実装例において、pチャンネルデバイスから常にアイソレートされることができ、2つ以上のpチャンネル回路ブロックが存在してもよい。しかしながら、浅いNウェルはその下のNウェルに常に接続されるので、pチャンネルデバイスの各々は同一のボディバイアスを有し得る。故に、一部の用途において、pチャンネルデバイス用の例えば3360などの浅いNウェルは、その他の浅いNウェルデバイスと共通のNウェルを共有することができない。そのような用途においては、共通のウェルが使用されるとき、Nウェルデバイスは、アイソレートされた複数の浅いウェルへと分割されることができない。故に、動的電力モード切替の観点からは、pチャンネルデバイス用の個別の回路ブロックを形成する必要がない場合がある。一部の実施形態において、単一のNウェルの状況において、nチャンネル

20

30

【0123】

以下の図は、ここに記載される実施形態に従った集積回路の構成ブロックとして使用され得る多数の回路例を示すものである。これらの回路は、多数の方法及び構造を用いて形成され得る。産業界で現在使用されている一部の構成ブロックのプロセス及び構造を用いる例を用いて、説明を始めることとする。その後説明する図は、従来手法を大いに改善する構成ブロックのプロセス及び構造を用いる例を示すものである。

40

【0124】

図34Aは、動的モード切替の実装例を示す後述の図にて使用されることになる一般的に使用される相異なる回路要素を用いて構成された回路の一例を示している。図34Aには、NANDゲートNAND2 3402と、インバータINV3404と、ボディタップTAP3406とを有する結合回路3410が示されている。これらの有用な構造は、より良好に構成され且つ有用な、新たな強化機能を有する回路を提供するために、ここで開示される様々な実施形態に従って使用され得る。

【0125】

図34Bにおいて、レイアウト3420は、トランジスタのグループを実装する従来手法を示しており、それぞれのウェル内にタップ3427及び3429を作成するためにダ

50

ミーポリ 3 4 2 8 を用いている。このボディタップは、全てのデバイスに共通のウェル又は基板への接続を提供する。図 3 4 B は、ウェル内に延在するボディタップを示している。このレイアウトの下部は、N ウェル上に浅い P ウェルを有する n チャンネルにて実装されるデバイス部分を示している。浅い P ウェルは、その深さが S T I の深さより小さいので、S T I によって隣接デバイスからアイソレートされる。このレイアウトの上部は、P ウェル上に浅い N ウェルを有する p チャンネルにて実装されるデバイス部分を示している。やはり、浅い N ウェルは S T I によって隣接デバイスからアイソレートされる。2 つの別々のウェル (P ウェル及び N ウェル) 及びそれぞれの浅ウェルが使用されるので、完全に相補的なデバイスによって、n チャンネルデバイス及び p チャンネルデバイスに対する別々の個別動的制御が可能にされる。NAND ゲート NAND 2 3 4 2 2、インバータ INV 3 4 2 4 及び TAP 3 4 2 6 を含む図 3 4 B において、デバイスの上部及び下部は、それぞれそれぞれのボディ結合 3 4 2 7 及び 3 4 2 9 を有している。このレイアウトの下部は、P ウェル上に浅い P ウェルを有する n チャンネルにて実装されるデバイス部分を示している。このレイアウトの上部は、N ウェル上に浅い N ウェルを有する p チャンネルにて実装されるデバイス部分を示している。NAND ゲート NAND 2 3 4 2 2、インバータ INV 3 4 2 4 及びボディアクセストランジスタ TAP 3 4 2 6 を含む図 3 4 C は、単一のボディタップ 3 4 3 7 及び 3 4 3 9 が新たなボディアクセストランジスタに基づいて実装されることを除いて、図 3 4 B と同様である。これら新たなボディアクセストランジスタは、トランジスタのボディへのアクセスを可能にする新たな構成を提供する。従来のデバイス設計と異なり、これらの構造は、デバイス及び回路に有意義な動作能力を提供する。

【 0 1 2 6 】

図 3 4 D は、NAND ゲート NAND 2 3 4 2 2、インバータ INV 3 4 2 4 及びボディアクセストランジスタ TAP 3 4 4 6 を含む回路レイアウト 3 4 4 0 の一例を示している。回路レイアウト 3 4 4 0 は、それぞれのウェルへの接続を実現するために、ボディアクセストランジスタ 3 4 5 0 を用いて、S T I によって分離された 2 つのボディタップ 3 4 3 7 又は 3 4 3 9 を作成している。図 3 4 D では、ボディアクセスポリを用いてボディへの接続を実現している。2 つの別々のボディタップを有するボディアクセストランジスタは S T I によってアイソレートされている。すなわち、S T I の左側及び右側は、アイソレートされた浅ウェルを有し、該左側及び右側に個別のボディバイアスが接続されることが可能にされている。図 3 4 E は、それぞれ位置 3 4 8 2 及び 3 4 8 4 に対応する断面図 3 4 9 0 及び 3 4 9 5 を示している。断面図 3 4 9 0 において、S T I 3 4 6 4 及び 3 4 6 5 によって両側でアイソレートされた浅い P ウェル 3 4 6 2 上に n チャンネルトランジスタ (例えば、3 4 6 0) がある。浅い P ウェル 3 4 6 2 は N ウェル 3 4 6 6 上にあり、該 N ウェルは P 基板 3 4 6 8 上にある。ボディタップ 3 4 3 9 が浅 P ウェル 3 4 6 2 に接続されている。デバイス 3 4 4 0 の上部は、S T I 3 4 7 4 及び S T I 3 4 7 5 によってアイソレートされた浅い N ウェル 3 4 7 2 上の p チャンネルトランジスタ (例えば、3 4 7 0) を含んでいる。浅い N ウェル 3 4 7 2 は P ウェル 3 4 7 6 上にあり、該 P ウェルは同一の P 基板 3 4 6 8 上にある。ボディタップ 3 4 3 7 が浅 N ウェル 3 4 7 2 への接続を提供している。デバイス 3 4 4 0 は、動的モード制御のための、別個のボディタップ (3 4 3 9 及び 3 4 3 7) を備えた、アイソレートされた浅いウェル (3 4 6 2 及び 3 4 7 2) を有する、完全に相補的な複数のトランジスタを用いる実施形態の一例を示している。

【 0 1 2 7 】

図 3 4 D は、D D C を有するように構成されたトランジスタに基づく動的モード切替実装を示しているが、動的モード切替は、レガシーデバイスと新デバイスとを有する混合環境にも適用可能である。図 3 5 は、浅いウェルを分離する S T I 3 5 2 4 及び 3 5 3 4 を含む NAND ゲート NAND 2 3 5 0 2、INV 3 5 0 4 及び TAP 3 5 0 6 で構成された同じ回路に関して、レガシーデバイスと新デバイスとを混合して用いる一実装例を示している。この場合も、N ウェル及び P ウェルの双方が使用される。しかしながら、NAND 2 及び TAP が何れも、浅ウェルが同じドーピング型のウェル上にあるレガシー手法を用いて実装される。NAND 2 3 5 0 2 及び TAP 3 5 0 6 は常に、N ウェル又は P

ウェルの何れかの上に共通のウェルを有する。故に、NAND 2 3502 及び TAP 3506 のための浅ウェルは STI によってアイソレートされることができない。この構成は、INV 3504 用の浅ウェルをアイソレート可能にするのみである。設計に応じて、INV 3504 のボディは、フローティングにされてもよいし（すなわち、それぞれの浅ウェルに接続するためのボディタップが設けられない、あるいはボディタップが接続されない）、ボディバイアスに接続されてもよい。しかしながら、2つの別々のウェルが使用されるので、Pウェル上のnチャネルデバイスとNウェル上のpチャネルデバイスとに、2つの別個のボディバイアス電圧を印加することができる。

【0128】

図35はまた、それぞれ位置3510及び3512における断面図3550及び3560を示している。断面図3550は、浅いPウェル3522及び3521上のnチャネルトランジスタ及びタップ3516の双方を示している。浅いPウェル3522及び3521は何れもPウェル3526上にあり、Pウェル3526はP基板3528上にある。ボディタップ3516は、nチャネルトランジスタのボディへの接続を提供する。下部内のpチャネル用の浅いNウェル3532は、アイソレートされてフローティングのままにされている。断面図3560は、浅いNウェル3533及び3535上のpチャネルトランジスタ及びタップ3514の双方を示している。浅いNウェル3533及び3535は何れもNウェル3536上にあり、Nウェル3536はP基板3538上にある。ボディタップ3514は、pチャネルトランジスタのボディへの接続を提供する。上部内のnチャネル用の浅いPウェル3523は、アイソレートされてフローティングのままにされている。上述のボディアクセストランジスタを用いて、浅いNウェル3532内のpチャネルデバイス用のボディタップ、及び浅いPウェル3523内のnチャネルデバイス用のボディタップが追加されてもよい。

【0129】

図36は、2つの別個のウェルが用いられるレガシー手法に基づく一実装例を示している。nチャネルトランジスタは、STI 3623及び3624によってアイソレートされた浅いPウェル3622上にある。全てのnチャネルトランジスタ用のこの浅Pウェル3622はPウェル3626上にあるので、浅いPウェル3632は、STI 3624とSTI 3625との間の隣接回路からアイソレートされることにある。Pウェルが、その他の浅いPウェル上のnチャネルトランジスタ間の接続を提供するためである。Pウェル3626及びNウェル3636は何れも深いNウェル3628上にあり、深いNウェル3628はP基板3630上にある。ボディアクセスコンタクト3612及び3614も図示されている。

【0130】

以上の例は、バルクCMOSを用いる様々な動的モード切替の実装例を示している。しかしながら、新たなボディ結合設計は、非バルクCMOSデバイスを用いる半導体デバイスにも適用可能である。例えば、ボディタップは、図37に示すような部分空乏化（partially depleted; PD）SOI技術上にも形成されることができる。図37は、NAND 2 3722、INV 3724 及び TAP 3746 を含んでいる。回路3700は、図34Dと同様であり、別々のボディタップ3712及び3714を作り出すためにボディアクセストランジスタが使用されている。図37はまた、位置3716及び3718に沿ったレイアウトに対応する断面図3740及び3760を示している。回路3700の下部は、STI 3743 及び 3745 によってアイソレートされたPウェル3744上のnチャネルデバイスに関するものである。故に、それぞれの回路ブロックに独立にボディバイアスが印加され得るように、SOI上に複数のアイソレートされたPウェルを形成することが可能である。回路3700の上部は、STI 3747 及び 3749 によってアイソレートされたNウェル3764上のpチャネルデバイスに関するものである。故に、それぞれの回路ブロックに独立にボディバイアスが印加され得るように、SOI上に複数のアイソレートされたNウェルを形成することが可能である。Pウェル3744及びNウェル3764は何れも埋め込み酸化膜（BOX）3748上にある。この構造は、ここに記載

される様々な実施形態に従ってトランジスタ又は関連する切替可能デバイスのグループを別々にバイアスすることを容易にする。

【0131】

例えば中央演算処理ユニット(CPU)、マイクロプロセッサ/マイクロコントローラ、デジタル信号プロセッサ(DSP)、フィールドプログラマブルゲートアレイ(FPGA)及びその他のデバイスなどの、様々なデジタルプロセッサの内部で、あるいはそれに結合されて、スタティックランダムアクセスメモリ(SRAM)が広く使用されている。産業界で、幾つかのデバイス構造が広く使用されている。それらの中で、6T-SRAM(6トランジスタSRAM)セルが最もよく使用されている。6T-SRAMセルは汎用CMOSプロセスを用いて実装されることができるとして、従って、それは、デジタルプロセッサに容易に埋め込まれることができる。上述の新構造を利用して、より良い性能及び縮小された回路面積を有する改良SRAMが構成され得る。新ボディタップ、ボディアクセストランジスタ、及び/又は新DDC構造を用いることにより、周知の処理装置及び設備を用いて、有意に改善されたSRAMを製造することができる。また、これらのSRAM回路の実施形態の一部は、新たなDDC構造のトランジスタを用いて、また、新たなDDC構造のトランジスタと組み合わせてその他の種類のトランジスタを用いて製造され得る。実施形態の一部は、ここでは、改善されたSRAM性能及び機能の恩恵を依然として受けながら、DDC構造のトランジスタと用いずに構成され得る。

10

【0132】

一実施形態において、基本の6T-SRAMセルは、1ビットのデータを格納する2つのプルアップ(PU)トランジスタ及び2つのプルダウン(PD)トランジスタと、ビットライン及び反転ビットラインを制御する2つのパスゲート(PG)トランジスタとを含む。この一例を図38の構造3800に示す。パストラジスタのスイッチングは、低い動作電力消費及び低リーク電流を有するSRAMの設計を可能にするように、ワードラインによって制御され得る。図38の6T-SRAMの例において、PUトランジスタはpチャネル四端子トランジスタ3010を用いて実装され、その他はnチャネル四端子トランジスタ3020を用いて実装される。図38はまた、ワードライン(WL)、ビットライン(BL)、ビットライン否定(BLN)、 V_{SS} 及び V_{DD} を含む6T-SRAM用の様々な信号及び電源を示している。図38はまた、nチャネルトランジスタのボディ(浅いPウェル、SPW)及びpチャネルトランジスタのボディ(Nウェル、NW)への接続が設けられ得ることを示している。

20

30

【0133】

メモリアクセスは、電子システムにおいてかなりの量の電力を消費し得る。メモリアクセス中及びデータ保持中の電力消費を低減する実装及びシステムを開発するための努力が為されてきた。SRAMは典型的に、コンピュータシステムにおいてプログラム及びデータ記憶のために使用される。プログラムの実行又はデータアクセスの間、メモリの一部はアクティブにアクセスされ、その他の部分はアイドル状態となり得る。SRAMの動作モードが細かい粒度で動的に切り替えられるとしたら、それは有利である。一実施形態において、各セルのボディは、該セルのバイアスが個別に制御され得るように構造的にアイソレートされ得る。実際には、1つのロウ(行)のセル群が、該ロウのソース電圧を接続することによって一緒に制御され得る。上述の V_{SS} に基づく6T-SRAMモード切替制御並びにボディタップ及びボディアクセストランジスタに加えて、これは、マルチモードSRAMを作り出す別の一手法である。この手法は、例えばボディアクセストランジスタ技術を用いてセルのブロックの浅いウェル拡散を分割することによって、SRAMでの使用のために実装され得る。所望の動作モードを決定するために、所望のボディバイアスがボディタップを介してSRAMセルのブロックに選択的に印加され得る。

40

【0134】

動的なマルチモードSRAMアレイを作り出すため、コンポーネント構成ブロックを使用する実施形態例が提供される。これらのブロックは、様々な四端子トランジスタ、三端子トランジスタ、及びプログラム可能な三/四端子トランジスタを含む。これらの構成ブ

50

ロックが、様々なボディ接続構造と一緒に組み合わされることで、より効率的に動作する改良SRAM回路が構築され得る。例えば、ボディアクセストランジスタは、ボディタップをソース/ドレイン対の一方として扱いながらSTI上のポリをトランジスタに転換することによって形成されることができ、ボディアクセスセルは、SRAMアレイに個別にボディバイアスを印加することができるよう、SRAMアレイの浅ウェルをアイソレートするように周囲領域に付加され得る。以下、6T SRAM実装及び付随するボディアクセストランジスタの一例を、動的マルチモードSRAMアレイを作り出すようにSRAMセルとボディアクセスセルとを接続するプロセスとともに説明する。

【0135】

図39は、図38の6T SRAMのレイアウト例を示している。6T SRAMセルは6個のトランジスタを含んでおり、PGはパsgateトランジスタの位置を指し示し、PDはプルダウントランジスタの位置を指し示し、PUはプルアップトランジスタの位置を指し示す。PDトランジスタ及びPGトランジスタは、nチャネルトランジスタであり、N+(NP)注入領域3910内に形成され、PUTランジスタは、pチャネルトランジスタであり、P+(PP)注入領域3920内に形成される。nチャネルトランジスタは浅いPウェル3940上に形成され、pチャネルトランジスタはNウェル3950上に形成される。Nウェル3950内に浅いNウェルを使用することは、この実施形態の実装例ではオプションである。信号配線及び電源配線が図38及びその他の図に示される。

【0136】

SRAMセル構造3900の一好適レイアウト例の断面を図40Aに示す。断面図4010は、PGトランジスタ及びPDトランジスタが位置する直線4015に対応する。更なるPG及びPDトランジスタが、SRAMセルの他方の端部側に配置され、同様の断面図を有する。断面図4010はまた、これらのトランジスタがNウェル4040上に浅いPウェル3940を有することを示している。NウェルはP型基板4050上にある。断面図4020は、PUTランジスタが位置する直線4025に対応する。この断面図は、PUTランジスタがNウェル4040上に浅いNウェル3950を有することを示している。pチャネルトランジスタの浅いNウェル3950は、同じドーパント型を有するウェル(Nウェル)上にある。故に、浅Nウェル及びNウェルは導通的に接続され得る。Nウェル内の浅Nウェルは必要に応じてのものである。しかしながら、nチャネルデバイスでは、浅いPウェル3940は、その下のNウェル4040からアイソレートされ得る。図39に対応する6T SRAMセルを3Dで見たものを、ウェル構造及びトランジスタ種類を付した図40Bに示す。

【0137】

図41Aは、1つの好適ウェル構造の上面図の一例を示している(Nウェルはセル領域全体を延在しているもので示していない)。図39の6T SRAMレイアウトでは、浅いPウェルはy方向で端から端まで延在している。ただし、x及びyは、6T SRAMセルの相対的な向きを特徴付けるための恣意的な方向である。図41Bは、一実施形態に従った2x2アレイを形成するように敷き詰められた6T SRAMセルを示しており、y方向で隣接し合う2つのセルのうち的一方は、セルの鏡像を形成するようにy方向に反転されている。図41Bに示すように、浅いPウェル3940はy方向でセルを跨いで連続となる。故に、多数のセルがy方向に接続される場合、それらのセルの全てが同一の浅いPウェルを共有することになる。動的モード切替のきめ細かさを増すためには、浅いPウェル3940の連続性と断ち切る構造を使用する必要がある。タップセルは、浅いPウェルをアイソレートし且つ浅いPウェルへの接続を提供する目的を果たす。

【0138】

図42は、ここに記載される実施形態とともに使用され得るタップセルのレイアウト例を示している。このレイアウトは、後述のSRAMセルレイアウトと一致するように設計されている。タップセルの上部及び下部は、アイソレートされた浅Pウェルを有しており、故に、それぞれのボディバイアス源(VSPW0及びVSPW1として示す)を個別に接続されることができ、図43は、破線で示した2つの位置での断面図の例を示してい

10

20

30

40

50

る。なお、この図は回転されている。断面図 4 2 1 0 は位置 4 2 1 5 での切断図に相当する。左側の浅い P ウェル 3 9 4 0 は、S T I の右側の浅い P ウェル 3 9 4 0 からアイソレートされることができる。この浅い P ウェルアイソレーションは、2 つの浅い P ウェルに異なるポディバイアスを印加することを可能にする。浅い P ウェルへのコンタクトを作り出すため、p 型注入がボディアクセストランジスタのソース/ドレイン領域に用いられる。この p 型ソース/ドレイン領域は浅い P ウェルと同じドーピング型を有するので、p 型ソース/ドレイン（すなわち、ボディタップ）から浅い P ウェルへの導通が生成される。断面図 4 2 2 0 は位置 4 2 2 5 に対応する。ボディタップ領域は、浅い N ウェルと同じドーピング型でドーピングされるので、ボディタップによって浅い N ウェルへの接続が生成される。断面図 4 2 1 0 及び 4 2 2 0 のウェル構造は、それぞれ、断面図 4 0 1 0 及び 4 0 2 0 のそれと同様である。

10

【 0 1 3 9 】

図 4 4 は、図 4 2 のタップセルの上面図の一例を示している。浅い P ウェル 3 9 4 0 が端から端まで延在する S R A M セルとは異なり、上側のタップセルのウェル構造 3 9 4 0 は、分割ライン 4 4 8 0 で、下側のそれからアイソレートされることができる。上述のように、浅い N ウェルのアイソレーションは重要ではない。浅い N ウェルはその下の、セル全体にわたって延在した、N ウェルに導通接続されているためである。タップセルはまた、S P W タップ 4 4 6 0 を介した浅い P ウェル 3 9 4 0 への接続と、S N W タップ 4 4 7 0 を介した浅い N ウェル 3 9 5 0 への接続とを提供する。図 4 5 は、ここに記載される実施形態に従った動的モード制御機能を利用する 2×2 S R A M アレイ 4 5 0 0 の一形成例を示している。この S R A M アレイは、 2×2 の S R A M セルと、y 境界の各々の側に 2 つの、S P W タップ及びアイソレーションを形成するタップセルとで構成されている。この場合も、x - y 方向はアレイの向きを示すための相対的な方向である。図 4 5 に示すように、y 方向に隣接し合う 2 つの S R A M セルは、連続した S P W を有する。y 方向での、それら 2 つの隣接セルを超えての S P W の連続性は、タップセル 4 2 0 0 内の S T I によって終端される。故に、この 2×2 S R A M アレイにポディバイアス $V_{S P W n}$ を印加し、頂部で隣接するアレイ（完全には図示せず）にポディバイアス $V_{S P W (n - 1)}$ を印加し、且つ底部で隣接するアレイ（完全には図示せず）にポディバイアス $V_{S P W (n + 1)}$ を印加することが可能である。図 4 6 は、S P W アイソレーションにタップセルを用いる 4×4 の S R A M アレイ 4 6 0 0 の一例を示している。図 4 5 及び 4 6 は、y 方向において S P W の連続性を有する S R A M セルの使用と、S P W の連続性を終端するボディアクセスセル（タップセルとも称する）の使用とを例示している。故に、これに従って、所望のサイズを有する動的モード切替式の S R A M アレイを形成することができる。

20

30

【 0 1 4 0 】

図 4 5 及び 4 6 は S P W の連続性及びアイソレーションの例に焦点を当てているが、上述のように、完全なるアレイを形成するためには、数多くのその他の信号及び電源電圧が必要とされる。これらの信号及び電源電圧の S R A M アレイへの接続は、当業者には技術的に周知であり、ここでは詳細には説明しない。図 4 6 に対応する完全に接続された 4×4 S R A M アレイにおいては、S R A M アレイの各口ウ（行）にワードライン（W L）信号が接続され、S R A M アレイの各コラム（列）にビットライン（B L）信号が接続され得る。

40

【 0 1 4 1 】

ボディ制御信号（ $V_{S P W n}$ ）はワードラインと平行に走ることができる。S R A M アレイの動作中、選択されたワードグループのポディバイアスが、該選択されたワードラインのワードが選択される場合に正に切り替えられ得る。これは、読出し性能及び書込み性能を向上させる助けとなる。特定のワードグループに対する読出し又は書込み時、サブアレイ内のその他全てのワードグループは、リーク抑制のために逆バイアス（あるいはゼロバイアス）されたボディを有することができる。

【 0 1 4 2 】

モード切替を容易にするためにボディタップ/ボディアクセスセルを用いる 6 T S R

50

AMの一部の使用例において、浅いPウェルボディが動的切替のために使用され、pチャネルボディ(Nウェル)が静的バイアスのために使用され得る。グループ内で選択されたワードは、選択されたワードグループ内の全てのnチャネルトランジスタの浅Pウェルボディを切り替えさせ得る。pチャネル及びnチャネルのバイアスはゼロに設定され、その後、所望のモードに従って順バイアスあるいは逆バイアスされることが出来る。上述のボディアクセスセルに基づく動的モード切替式SRAMアレイは、スケーリング可能な細かい粒度制御において利点を有する。しかしながら、この手法はSRAMセルに加えてボディアクセスセルを必要とする。追加のボディアクセスセルを必要としないその他の手法及びシステムが存在する。そのような手法の1つは、ボディアクセスセルに基づく手法においてはSRAMアレイの全てのセルが共通の V_{SS} を共有するのに対し、ロウごとの V_{SS} (V_{SS} per-row)を使用する。 V_{SS} がロウごとに個別に制御可能な場合、各ロウに固有の V_{SS} を印加して、該ロウに所望のボディバイアスを生成することができる。この状況においては、ボディ電圧は制御可能でなくてもよい。しかしながら、異なる V_{BS} 電圧(ボディとソースとの間の電圧)を生じさせて動的モード切替を達成するように、 V_{SS} を個別に制御することができる。

【0143】

図47は、ロウごとの V_{SS} に基づくマルチモードスイッチの6T-SRAM回路4700の一例を示している。この場合も、SRAMセルは、2つのプルアップ(PU)トランジスタと、2つのプルダウン(PD)トランジスタと、2つのパスゲート(PG)トランジスタとで構成されている。図47に示す例と図38の6T-SRAMセルとの間の相違の1つは、図47で使用されるパスゲート(PG)がnチャネル三端子デュアルゲートトランジスタ4710であることである。三端子デュアルゲートトランジスタのレイアウト及び対応する断面図は、図26及び図27に示されている。デュアルゲートトランジスタは、ボディに接続されたゲートを有する。すなわち、PGトランジスタのゲート(すなわち、WL)がセルのボディに接続される。PUトランジスタ及びPDトランジスタは、図38の例においてと同じ種類である。図48は、図47のSRAMセルのレイアウト4800の一例を示しており、セル境界4860が示されている。PGトランジスタ及びPDトランジスタには浅いPウェル内のnチャネルデバイスが使用され、PUトランジスタにはpチャネルデバイスが使用される。このSRAMセルのウェル構造は、図39のそれと非常に類似したものであるので、断面図は示さない。SPW及びSNWは何れも、セル全体で使用される共通のNウェル上にある。

【0144】

図49Aは、図48のSRAMレイアウトのSPW及びSNWを示す構造4900を示している。このレイアウトでは、 V_{SS} コンタクト4910がはっきりと示されている。複数のSRAMセルを接続するとき、コンタクトはしばしば、メタル領域を用いて接続される。図49Bは、図48のSRAMセルを用いた 2×2 のSRAMアレイ4920を示している。SPW3940は、図45又は図46のSRAMアレイのような連続性を形成していない。図49Bはまた、各ロウに個別に V_{SS} (V_{SS0} 4921及び V_{SS1} 4922)が接続されることを示している。図49Cは、ロウごとの V_{SS} 技術に基づく 4×4 のSRAMアレイ4930を示しており、各ロウに固有の V_{SS} (V_{SS0} 4931、 V_{SS1} 4932、 V_{SS2} 4933及び V_{SS3} 4934)が使用されている。

【0145】

図49Cに対応する 4×4 SRAMアレイの完全なるレイアウトにおいては、ボディアクセスセル技術に基づく動的モード切替式 4×4 SRAMアレイと同様に、ロウごとにワードライン(WL)が接続され、コラムごとにビットライン(BL)が接続され得る。各ロウのワードラインはSPW(すなわち、それぞれのデバイスのボディ)に接続され得る。 V_{SS} もロウごとに接続され得る。故に、ロウごとに個別のボディバイアスを達成することができる。Nウェルボディタップは16(又は32)本のワードラインごとに設けられ得る。

【0146】

10

20

30

40

50

6T SRAM5000の V_{SS} ベースモード切替の他の一実装例を図50に示す。三端子デュアルゲートトランジスタのエピボディコンタクトがPG上に形成されており、また、セル境界5060が示されている。図51Aは、図50のSRAMレイアウトのSPW及びSNWを示している。このレイアウトでは、 V_{SS} コンタクト4910がはっきりと示されている。図51Bは、図50のSRAMセルを用いた 2×2 のSRAMアレイ5120を示している。SPW3940は、図45又は図46のSRAMアレイのような連続性を形成していない。図51Bはまた、構造5100において各ロウに個別に V_{SS} (V_{SS0} 4921及び V_{SS1} 4922)が接続されることを示している。図51Cは、ロウごとの V_{SS} 技術に基づく 4×4 のSRAMアレイ5130を示しており、各ロウに固有の V_{SS} (V_{SS0} 4931、 V_{SS1} 4932、 V_{SS2} 4933及び V_{SS3} 4934)が使用されている。このセルの特徴及び面積は、図48の例においてと同じである。

10

【0147】

セルの動作モードは、 V_{SS} 、 n チャネルバイアス、ワードライン(WL)状態、ビットライン(BL)状態、 V_{DD} 及び p チャネルボディバイアスを含む複数の条件に従って決定される。 V_{SS} 、 n チャネルバイアス、ワードライン(WL)状態、ビットライン(BL)状態は動的モード切替のために使用され、 V_{DD} 及び p チャネルボディバイアスは静的モード制御のために使用され得る。このSRAMアレイでは、ロウごとに基づいて、専用の V_{SS} (V_{SS0} - V_{SS2} 、 V_{SS3})が使用される。同様に、 n チャネルボディバイアスを動的に制御するために浅いPウェルに接続されるWLも、ロウごとに1つのWL (WL0 - WL3)を有するように編成される。BL及びの V_{DD} のラインは、縦方向に複数のセルを接続するように使用される。図示のように、BL及び V_{DD} はともに、コラムごとに1つのBLと1つの V_{DD} とを提供するように編成される。典型的なSRAMは、Read/Write (リード/ライト)、NOP (ノー・オペレーション)及び深いスリープモードを含み得る。以下、これらのモードの更なる詳細について説明する。

20

【0148】

スタンバイ及びデータ保持モード(深いスリープモードに対応する)において、 V_{SS} は、 n チャネルデバイスのボディを逆バイアスして実効的な V_{DS} を低減するように、正にバイアスされる。この設定はスタンバイリークを低下させる。例えば、 V_{DS} 0.3Vとなるように、 V_{SS} が0.3Vに設定され、且つ V_{DD} が0.6V未満に設定され得る。この条件下では、PGトランジスタ及びPDトランジスタの双方が逆バイアスされることになる。 p チャネルデバイスはゼロバイアスあるいは逆バイアスされ、PDオフ電流の1000xのPUトランジスタ電流が維持される。NOPモードにおいて、PG及びPDの双方の n チャネルデバイスは、逆バイアスされたボディを有し、PUの p チャネルデバイスのボディはゼロバイアス又は逆バイアスでバイアスされる。一例として、 V_{DS} 0.4Vとなり且つ低いスタンバイ電流が達成されるように、 V_{DD} が1.0Vに設定され、且つ V_{SS} 及びBLが0.6Vに設定される。

30

【0149】

Readモードにおいて、PG及びPDの双方の n チャネルデバイスは順バイアスを有することができる。動的な V_{SS} 切替は、選択されたワード(又はロウ)に制限され得る。PGデバイスでは、 $V_{GS} = V_{BS} = 0.6V$ 、且つ $V_{DS} = 0.6V$ にされる。PDデバイスでは、 $V_{GS} = 1.0V$ 、且つ $V_{BS} = 0.6V$ にされる。より大きいPDの V_{DS} によって、好適なPD/PGベータ比が達成され得る。PGデバイスの幅はPDデバイスの幅と同じにし得る。これは、好ましい静的読出しノイズマージン及び低い読出しセル電流を達成し得る。

40

【0150】

Writeモードにおいて、PG及びPDの双方の n チャネルデバイスは順バイアスを有することができる。動的な V_{SS} 切替は、選択されたワード(又はロウ)に制限され得る。PGデバイスでは、 $V_{GS} = V_{BS} = 0.6V$ にされる。この例においては浅いPウェル内の n チャネルのPGトランジスタ及びPDトランジスタ並びに p チャネルPUTラ

50

ンジスタが使用されているが、同じ設計目標を達成するために、浅いNウェル内のpチャネルのPGトランジスタ及びPDトランジスタ並びにnチャネルPUトランジスタも使用され得る。

【0151】

ロウごとの V_{SS} 技術は、浅ウェルアイソレーションにボディアクセスセルを必要とせず、各SRAMセルは、ボディアクセスセルに基づく技術のSRAMセルより大きい。セルを隣接セルからアイソレートして V_{SS} に基づくロウごとのボディバイアス制御を容易にするため、セルの周囲に非アクティブ領域が追加され得る。従って、この例においては、セルの高さが130nmだけ増加され得る。これは、セル面積の約38%の増加に相当する。全てのトランジスタが同じ方向に向けられる。一設計例として、トランジスタの寸法は以下のようにし得る：

パsgate (PG) : $W/L = 70\text{ nm} / 40\text{ nm}$

プルダウン (PD) : $W/L = 85\text{ nm} / 35\text{ nm}$

プルアップ (PU) : $W/L = 65\text{ nm} / 35\text{ nm}$

この例は、45nmプロセスノードにおいて、 $x \times y = 0.72\ \mu\text{m} \times 0.475\ \mu\text{m} = 0.342\ \mu\text{m}^2$ の面積をもたらす。

【0152】

図52は、必要に応じてインターコネク5210を用いて相互接続される多数の機能ユニットを含んだシステム5200を示している。例えば、一部のケースにおいて、インターコネク5210は、機能ユニット5204-1、5204-2、5204-3乃至5204-nの全ての間での通信のための共通バス(経路)を提供する。他のケースにおいて、インターコネクは、一組の機能ユニット間でのポイント・ツー・ポイント通信を提供しながら、他の組の機能ユニット間に共通の通信バスを提供する。故に、インターコネク5210は、例えば有線、無線、ブロードキャスト及びポイント・ツー・ポイントを含む従来の通信技術を用い、ターゲットシステムで利用可能な機能ユニットを用いてシステム設計者の目的を満足することに適した如何なる手法で構成されてもよい。0nの“n”は、システム設計者が必要であると考える数の機能ユニットが存在し得ることを伝えるためのものであり、最大で9個(nine)の機能ブロックが存在することを示唆するものではない。

【0153】

一部の実施形態によれば、システム5200は、複数の独立にパッケージングされた構成要素及び/又はサブアセンブリを有する電子システムである。今日のそのようなシステムの例は、パーソナルコンピュータ、携帯電話、デジタル音楽プレイヤー、電子書籍リーダー、ゲーム機、可搬式ゲームシステム、ケーブルセットトップボックス、テレビジョン、ステレオ機器、及び、ここに開示される技術によって提供される増強された電力消費量制御の恩恵を受け得るその他の電子的に同様の電子システムを含む。このようなシステムにおいて、機能ユニット5201、5202、5203、5204-1乃至5204-nは、このようなシステムの典型的なシステムコンポーネントであり、インターコネク5210は典型的に、プリント配線基板又はバックプレーン(図示せず)を用いて実現される。例えば、パーソナルコンピュータの場合、機能コンポーネントは、CPU、システムメモリ、及び例えばハードディスクドライブ又はソリッドステートディスクドライブなどの大容量記憶装置を含み、これらの全てが、必要に応じて、マザーボード上に実装されたシステムインターコネクによって相互接続される。同様に、携帯電話は例えば、多様な1つ以上のチップとディスプレイパネルとを含み、これらの全てが典型的に、フレキシブルコネクタを含み得る1つ以上のプリント配線基板(PWB)を用いて相互接続される。

【0154】

他の実施形態によれば、システム5200はシステム・イン・パッケージ(SIP)であり、機能ユニットの各々が集積回路であって、その全てが一緒に単一のマルチチップパッケージ内にパッケージングされる。SIPシステムにおいて、インターコネク5210は、例えばワイヤボンド、リードボンド、はんだボール若しくは金のスタッドボンブな

10

20

30

40

50

どの直接的なチップ間相互接続によって、また、共通のバス型インターコネク、二点間インターコネク、電源プレーン及びグランドプレーンを含み得るパッケージ基板によって提供される相互接続によって実現され得る。

【0155】

更なる他の実施形態によれば、システム5200は、例えばシステム・オン・チップ(SOC)などの単一チップであり、機能ユニットは、共通の半導体基板又は半導体・オン・インシュレータ基板(例えば、SOI基板上にバルクCMOS及びSOI構造が実装される)上のトランジスタ群として実装される。このような実施形態において、インターコネク5210は、集積回路内の複数の回路ブロックを相互接続するために利用可能な如何なる技術を用いて実現されてもよい。

10

【0156】

上述のように、説明したトランジスタ及び集積回路の技術は、共通の半導体基板上での、設計によって静的に、且つ/或いはボディバイアス及び/又は動作電圧を調整することによって動的に、独立に指定されることが可能なマルチモードトランジスタの製造及び使用を可能にする。これらの同じ技術はまた、複数の機能ユニットのうちの1つのみがこの技術を実装する場合であっても、同様の利益をシステムレベルで提供し得る。例えば、機能ユニット5202は、自身のDDCトランジスタの動作モードを動的に調整して電力消費を低減するロジック(図示せず)を含み得る。これは、例えば、機能ユニット5202上に実装されるデジタル又はアナログの技術によって行われ得る。他の例では、機能ユニット5202は、例えば機能ユニット5201などの別の機能ユニットからの外部制御信号にตอบสนองして電力消費量を制御し得る。各機能ユニットにおける電力消費が、その機能ユニットによってローカルに制御されようが、コントローラ機能ユニットによって中央的に制御されようが、あるいは複合的な手法によって制御されようが、典型的に、より多くの電力消費制御が達成され得る。

20

【0157】

電力消費のシステムレベルでの制御は、時折、特にコンピューティングシステムにおいて、既に知られている。例えば、電力制御インタフェース(Advanced Configuration and Power Interface; ACPI)仕様は、オペレーティングシステムによるシステムコンポーネントの電力管理のオープン規格である。上述の深空乏化チャネル型のトランジスタ及び集積回路の技術は、システム内の各機能ユニット内の個々の回路ブロックのシステム制御を可能にすることによって、そのような電力管理アプローチの可能性を補完・拡張する。例えば、ACPIによって提供される制御のうちの最低のレベルは、デバイスレベルであり、それはパーソナルコンピュータなどのマルチコンポーネントシステムの機能ブロック(例えば、チップ又はハードドライブ)に相当する。1つのデバイス内の個々の回路ブロックの電力消費に対する粒度の細かい個別制御を提供することにより、デバイス及びシステムの更に多くの電力状態が可能になる。

30

【0158】

システムレベルの電力管理は、DDC構想を用いるSOCシステムにおいて特に有益となり得る。上述のように、DDC構造はナノスケールのトランジスタにおける高いレベルでのプログラム可能性を可能にする。DDC構造の、比較的広範囲にわたる利用可能な公称閾値電圧 V_T と、比較的低い V_T と、比較的高いボディ係数とにより、全てが同一の固有 V_T を有し且つ同一の動作電圧 V_{DD} で動作されるように製造されたトランジスタ群が、その後、回路ブロックごとに異なる実際の V_T 及び場合により異なる実際の動作電圧 V_{DD} を用いて異なる動作モードで動作するように強化設定され得る。この種の柔軟性は、同一のチップが、多様なターゲットシステム及び動作条件で使用されるように設計されること、及びその場の動作に応じて動的に設定されることを可能にする。これは、SOCであるかにかかわらず、時々AC電源に接続されるがその他の時には電池を使用するシステムにとって特に有用となり得る。

40

【0159】

図53は、必要に応じてインターコネク5310を用いて相互接続される多数のシス

50

テム5301、5302及び5303を含んだネットワーク5300を示している。例えば、一部のケースにおいて、インターコネクト5310は、システム5304-1乃至5304-nの全ての間での通信のための共通パスを提供する。他のケースにおいて、インターコネクトは、一組のシステム間でのポイント・ツー・ポイント通信を提供しながら、他の組のシステム間に共通の通信パスを提供する。故に、インターコネクト5310は、例えば有線、無線、ブロードキャスト、ポイント・ツー・ポイント及びピア・ツー・ピアを含む従来の通信技術を用い、ターゲットネットワークに接続されることが可能なシステムを用いてネットワーク設計者の目的を満足することに適した如何なる手法で構成されてもよい。5304-nの“n”は、ネットワークが許す限りの数のシステムが存在し得ることを伝えるためのものであり、最大で9個(nine)のシステムが存在することを示唆するものではない。

10

【0160】

上述の深空乏化チャネル型のトランジスタ、集積回路及びシステムの技術は、ネットワークに結合されるシステムの粒度の細かい制御能力を提供する。ネットワーク化された複数のシステムに対してこのような高いレベルの制御を有することは、企業ネットワークにおいて、オンになっているが使用されていない機器によって被るエネルギーコストを低減することに特に有用となり得る。このような制御はまた、電力消費量を制御し、申込条件に応じてシステム能力をオンあるいはオフに切り換え、性能を上げるために特定の機能ユニット又はその一部を選択的に高性能動作モード(例えば、“ターボモード”)に置くことの支援になるかにかかわらず、例えばセル方式電話ネットワークを含む加入者ベースの無線ネットワークのものとし得る。

20

【0161】

図54は、例えば図53を参照して説明したものなどのネットワークとともに用いるか、あるいは単独で用いるかにかかわらず、システム例えば図52を参照して説明したものなどのシステムを用いる例示的な方法を示している。ステップ5410でシステムの電源がオンにされた後、システムは、システムコンポーネント(例えば、機能ユニット)の電力モードを設定する。これは、ネットワーク上で提供される外部信号、システム内の機能ユニットによって提供される中央のモード制御信号、又はマルチモード動作が可能な各機能ユニットにて別々に生成されるローカルなモード制御信号、の何れかに応答して、ここに記載された種類のトランジスタ、トランジスタグループ及び/又は集積回路を用いて行われる。上述のように、単一のコンポーネントが、相異なるモードで動作するように設定される相異なる部分を有することができる。例えば、或るコンポーネントの一部がレガシーモードで動作するように設定され、同じコンポーネントの他の一部が低電力・低リークモードで動作するように設定されることができ。ステップ5430にて、システムはその使用状況を監視し、その電力モードを変更すべきかを決定する。この監視機能は、1つの機能ユニットによって中央的に実行されてもよいし、各々が特定の状態を監視することに基づいてモードに関するローカルな決定を行い得る複数の機能ユニットに分散されてもよいし、これらの双方であってもよい(例えば、システム全体を深いスリープモードに置くことを中央監視が決定していないにもかかわらず、1つの機能ユニットがそれ自身の基準に基づいて自身がスリープモードに入るべきことを決定し得る。同様に、1つのコンポーネントが、初期モード設定後に、性能を上げるために自身をターボモードに置くことを決定しているにもかかわらず、中央モニタがシステム全体を深いスリープモードに置くことを決定してもよい。) 。ステップ5430は、システム又は機能ユニットの状態が変化して新たな電力モードが要求されるまで繰り返される。新たな電力モードが要求される場合には、ステップ5440が実行される。図示のように、ステップ5440にて、システムの電源停止が要求される場合、システムはステップ5450でシャットダウンされる。その他の場合、どのような状態変化が要求されたかに応じて、1つ以上の機能ユニットに対してステップ5420が繰り返される。斯くして、ここに記載の技術を用いて製造されたシステム又はチップのユーザは、その利益の恩恵を受け得る。

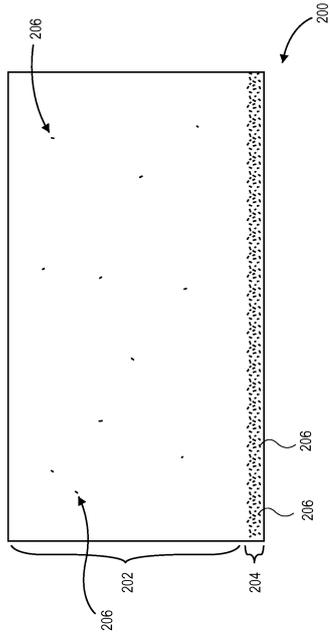
30

40

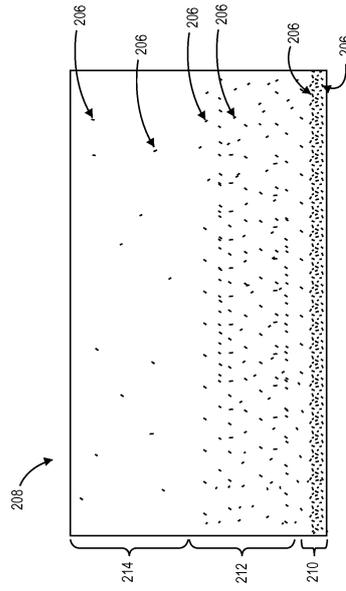
【0162】

50

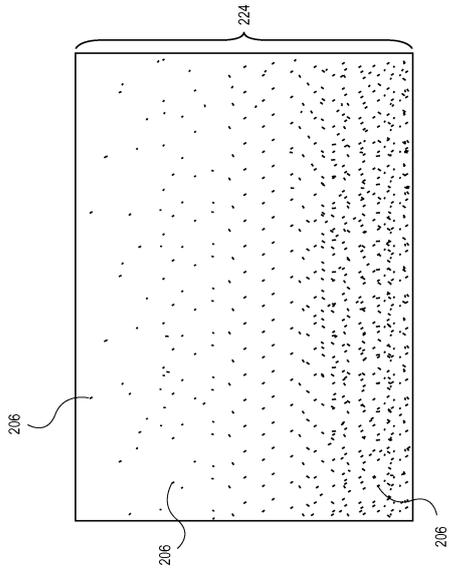
【 図 2 B 】



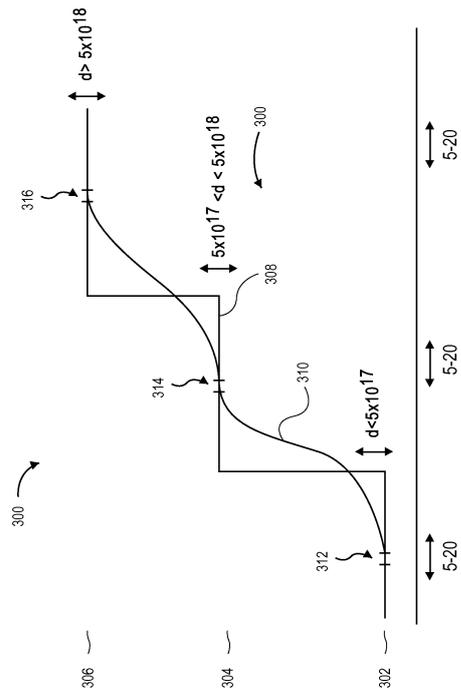
【 図 2 C 】



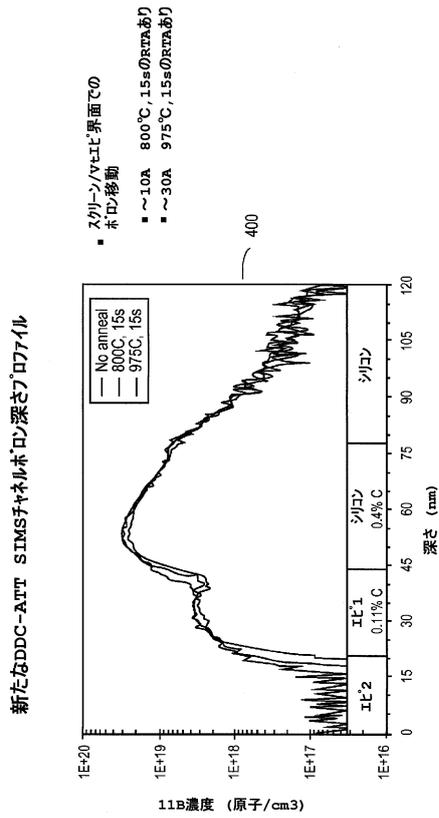
【 図 2 D 】



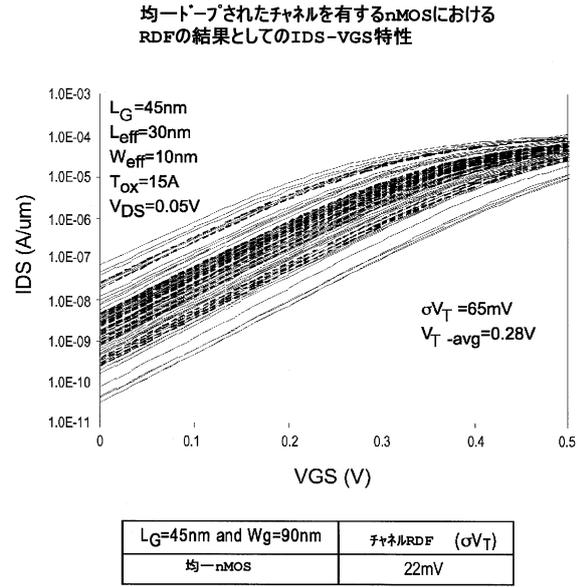
【 図 3 】



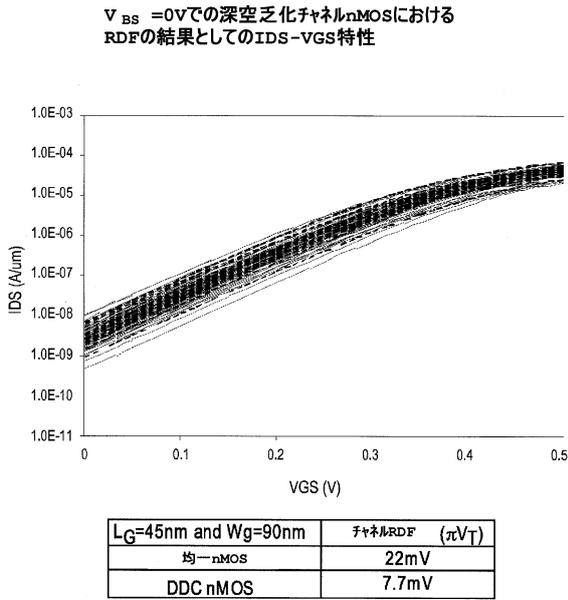
【図4】



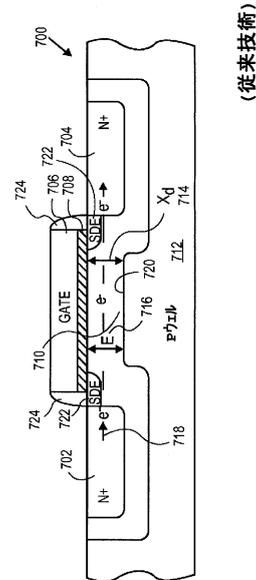
【図5】



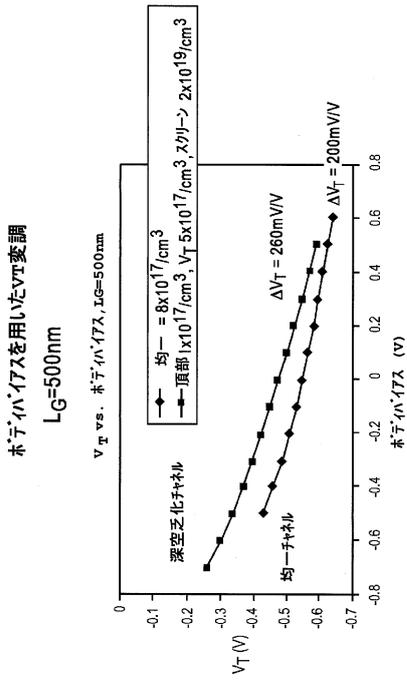
【図6】



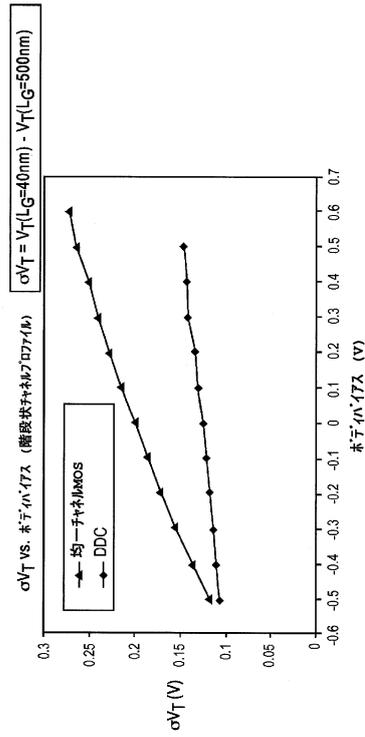
【図7A】



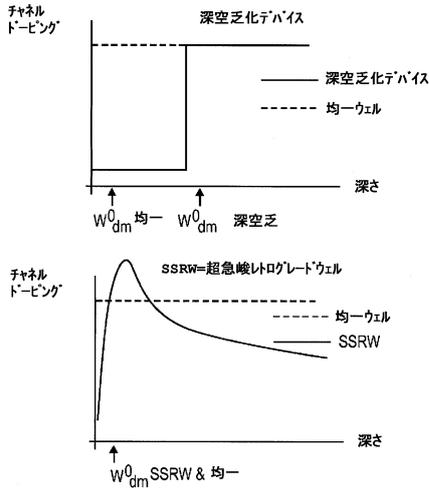
【図10】



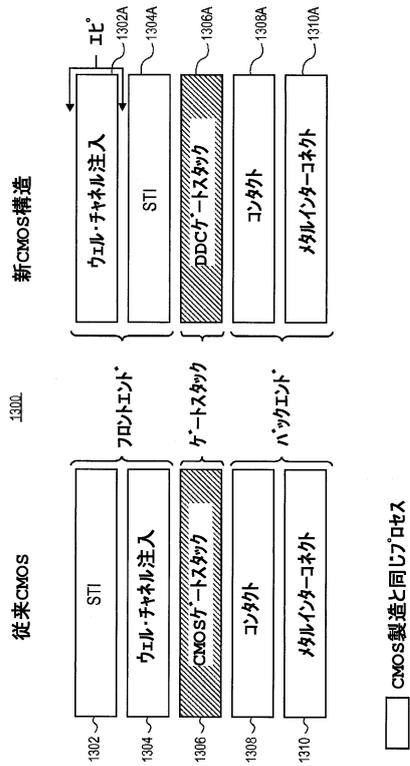
【図11】



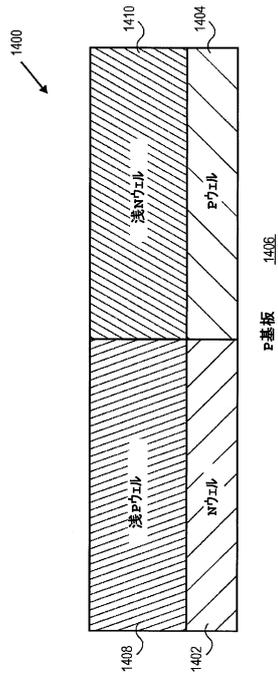
【図12】



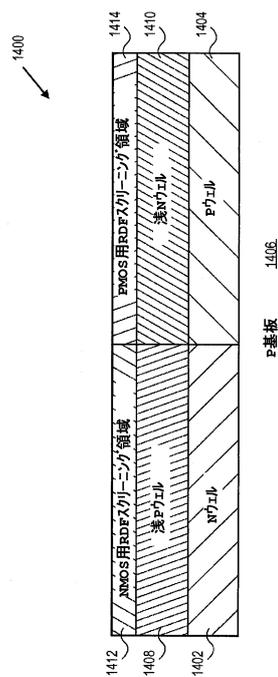
【図13】



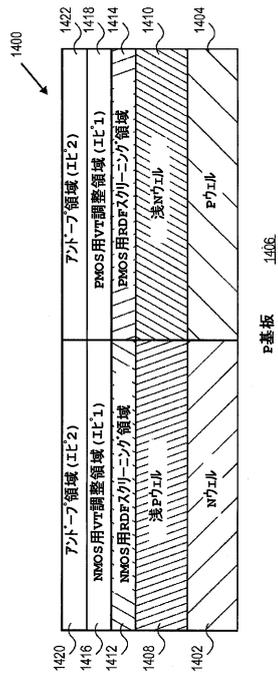
【図14A】



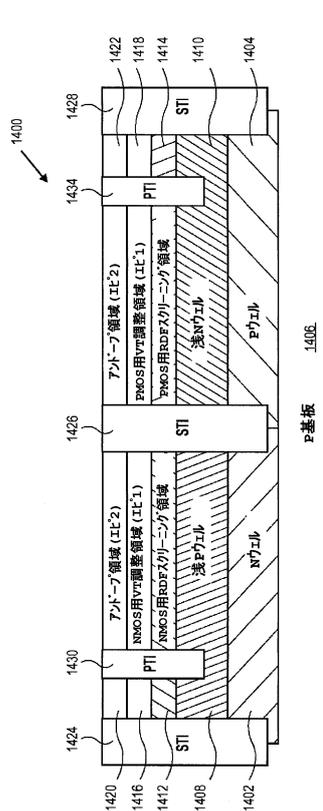
【図14B】



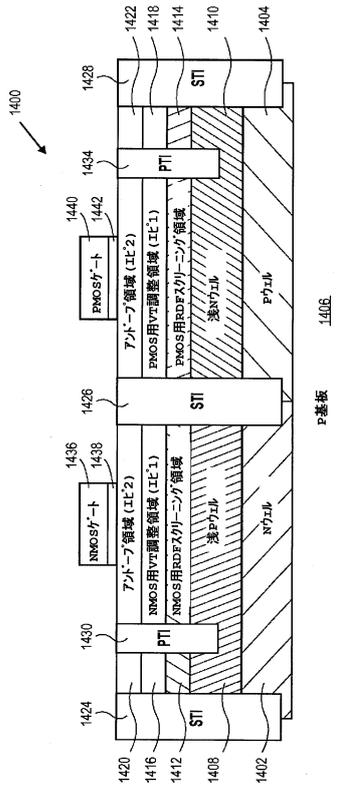
【図14C】



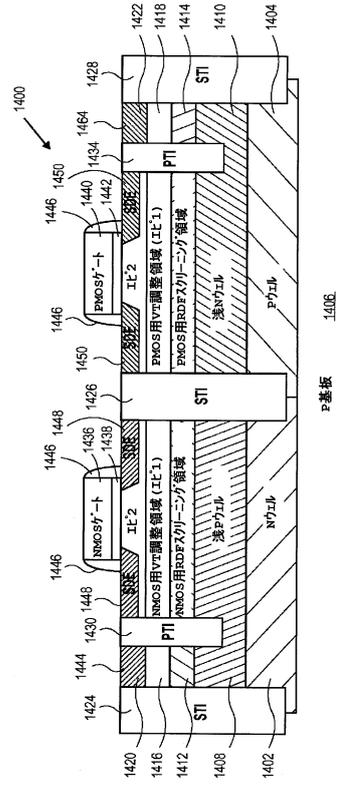
【図14D】



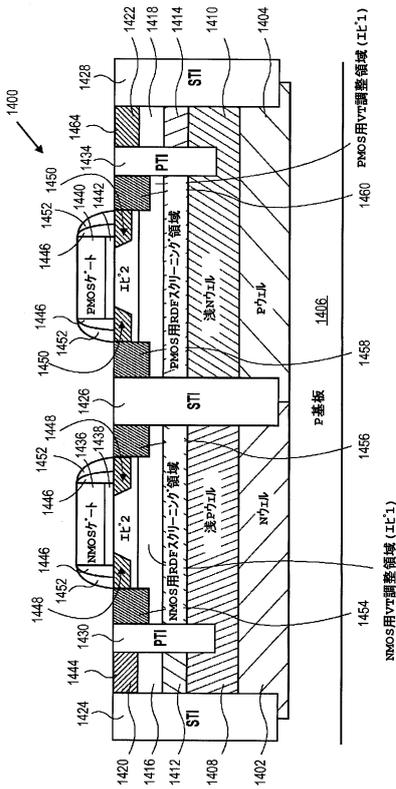
【図14E】



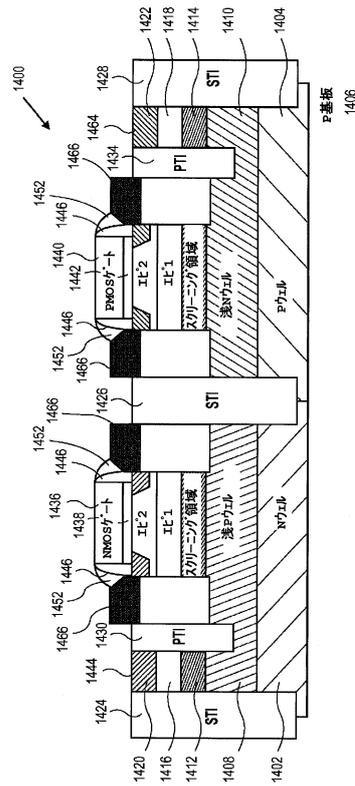
【図14F】



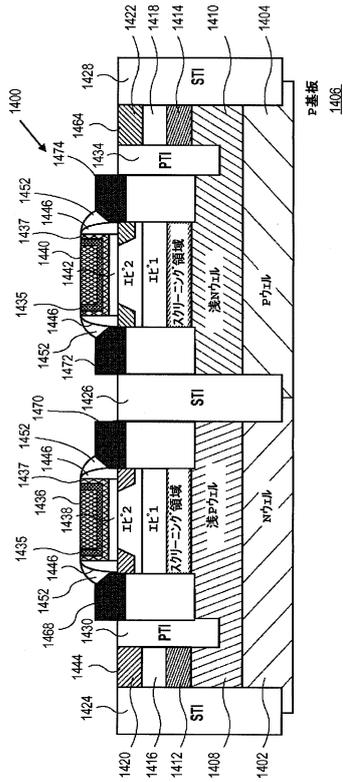
【図14G】



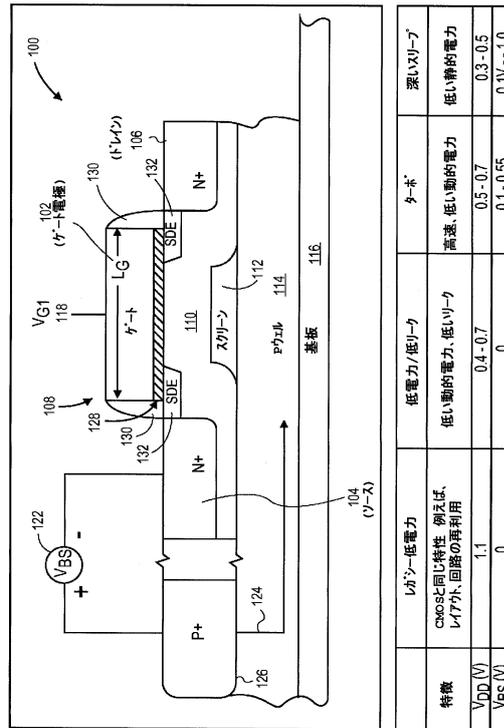
【図14H】



【図14I】

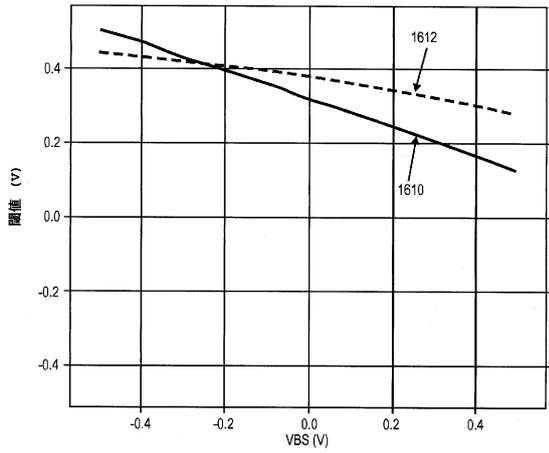


【図15】

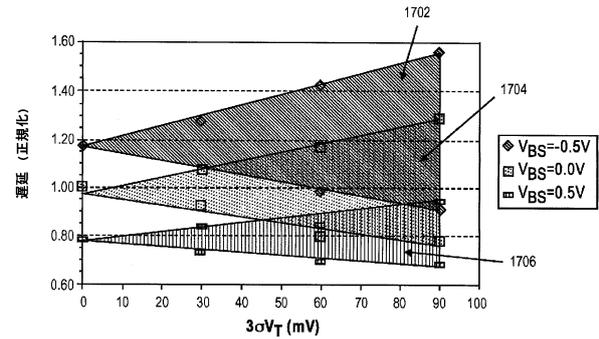


特徴	低電力/低リーク	高速、低い動的電力	深いリープ
特徴	CMOSと同じ特性 レイアウト、回路の再利用	低い動的電力、低いリーク	低い静的電力
V _{DD} (V)	0.4-0.7	0.5-0.7	0.3-0.5
V _{BS} (V)	0	0.1-0.55	0.1V--1.0

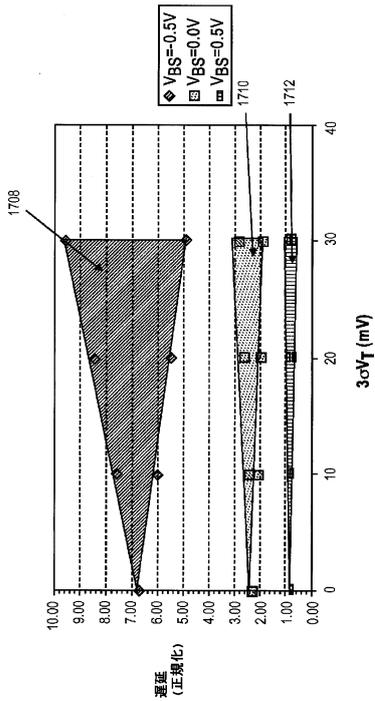
【図16】



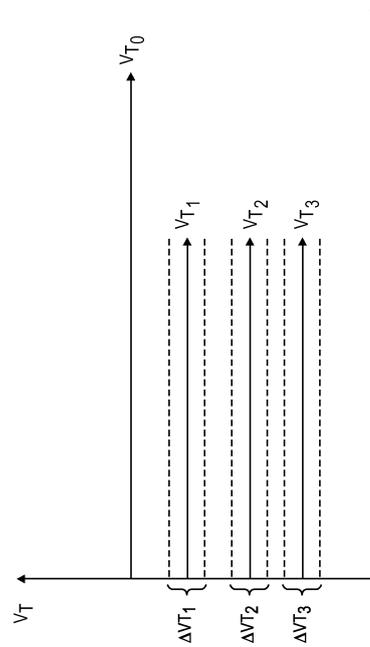
【図17A】



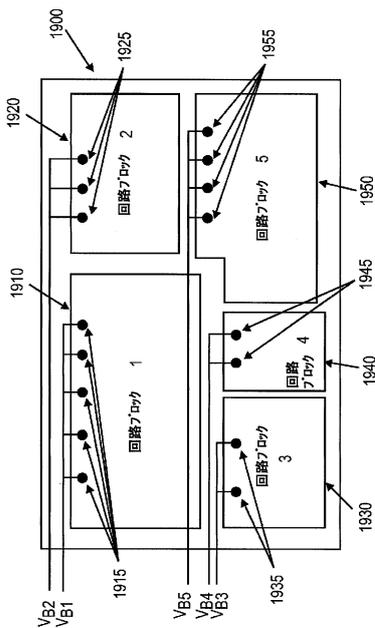
【図17B】



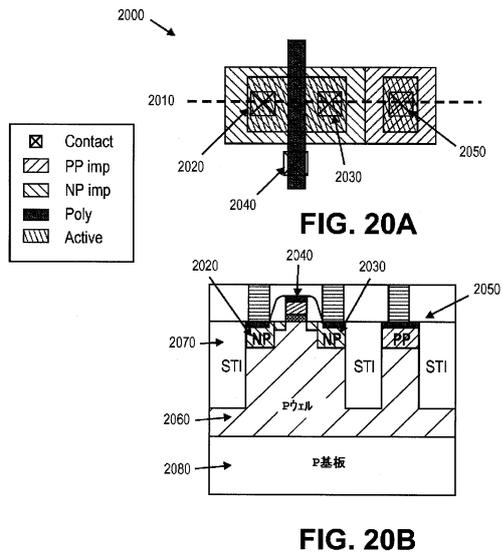
【図18】



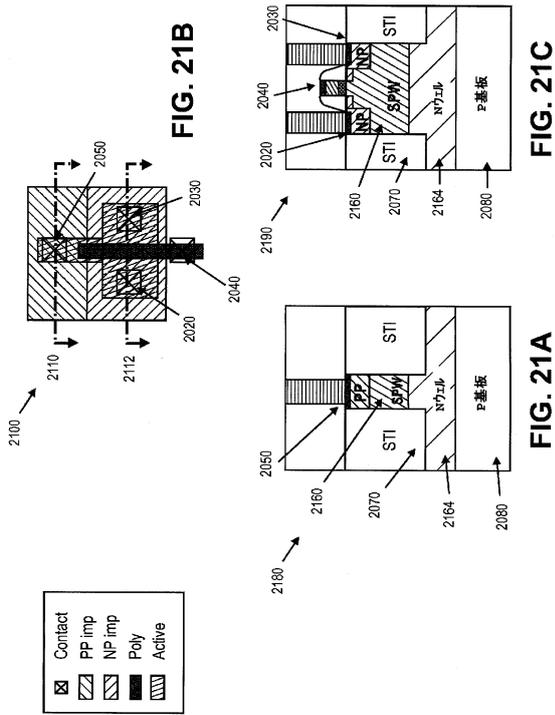
【図19】



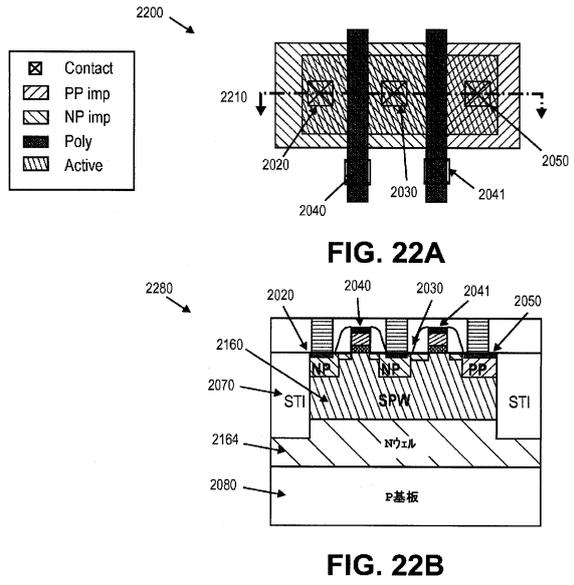
【図20】



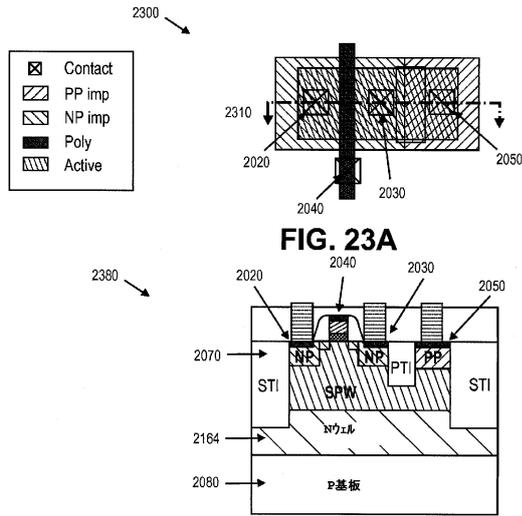
【 2 1 】



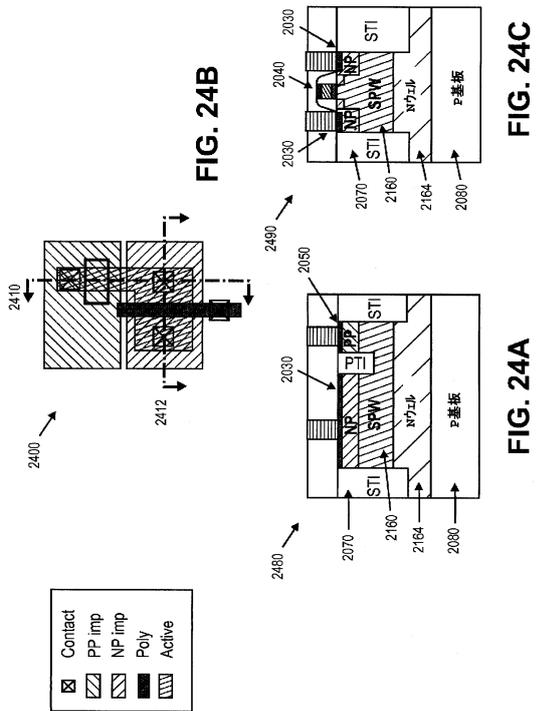
【 2 2 】



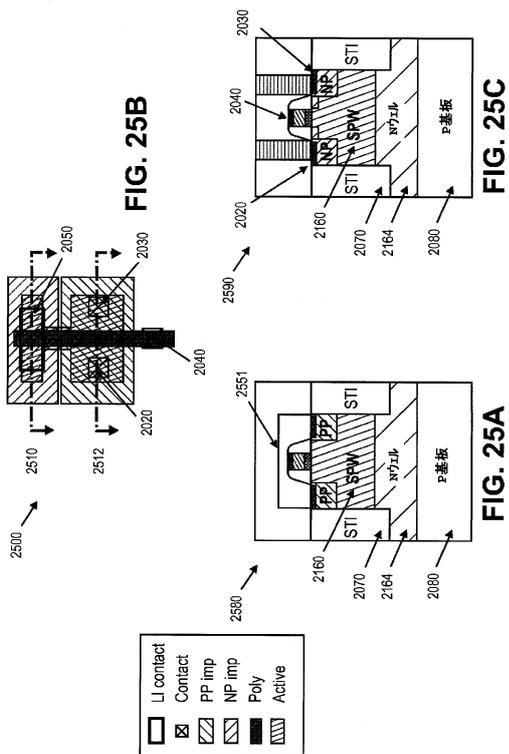
【 2 3 】



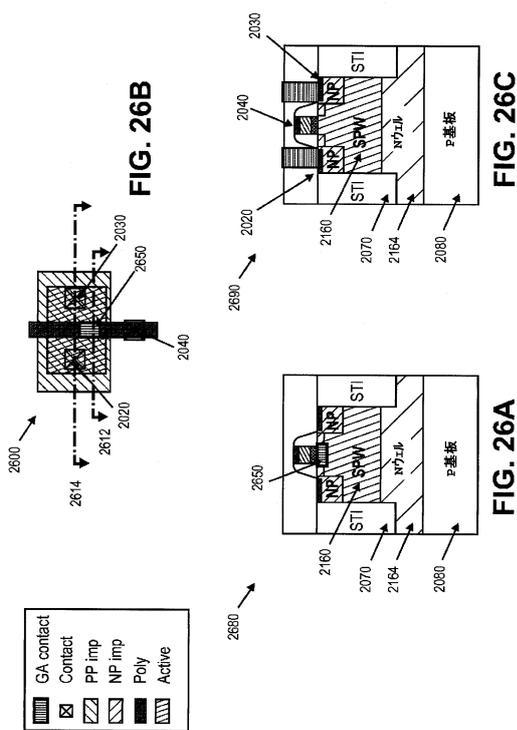
【 2 4 】



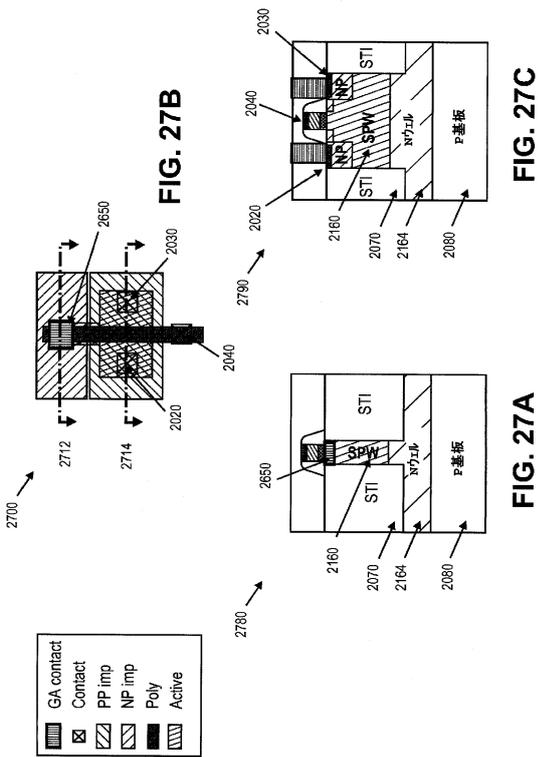
【 25 】



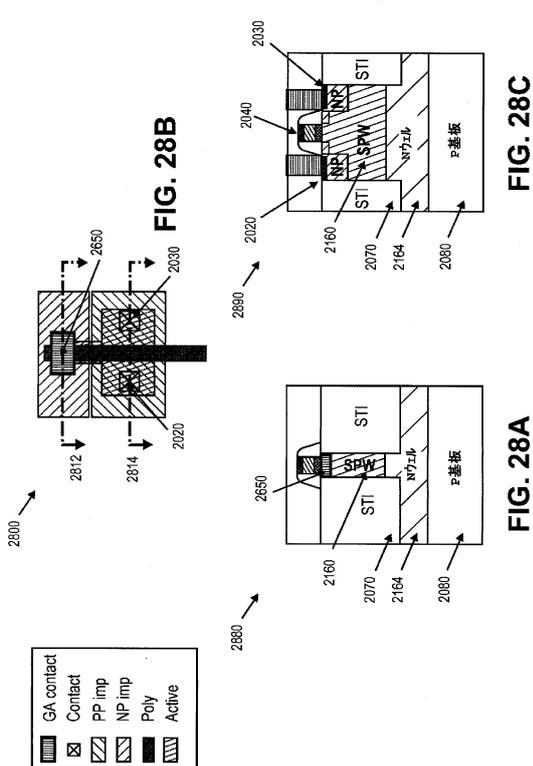
【 26 】



【 27 】



【 28 】



【 図 29 】

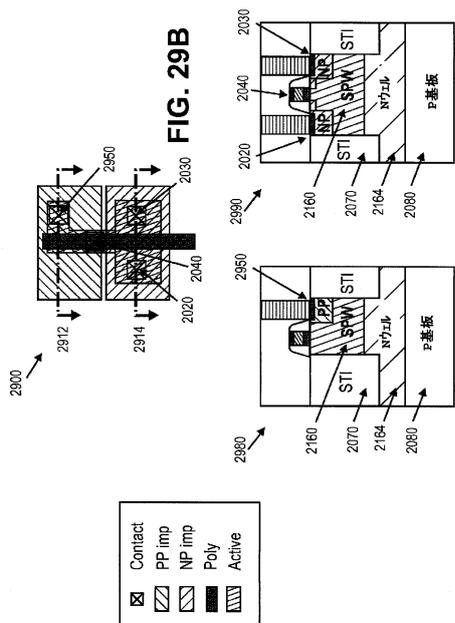
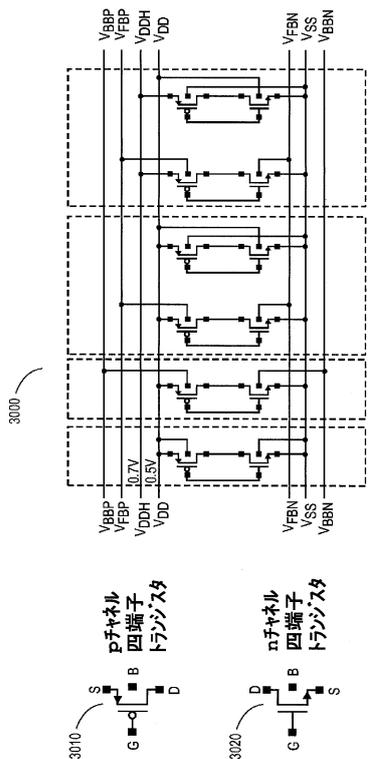


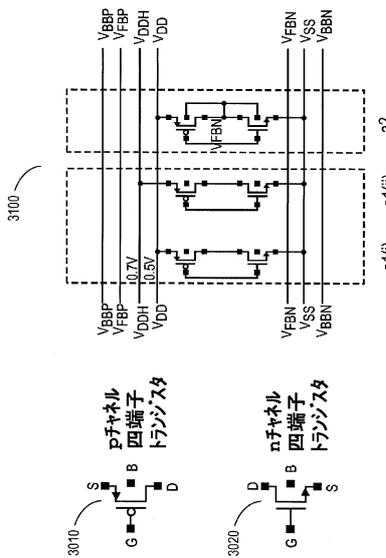
FIG. 29C

FIG. 29A

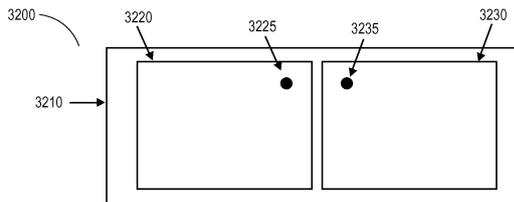
【 図 30 】



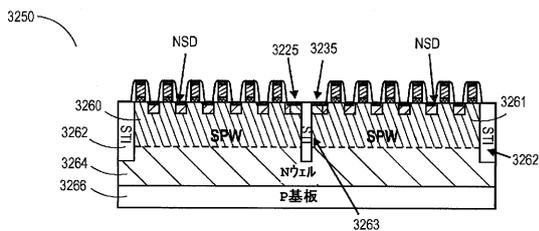
【 図 31 】



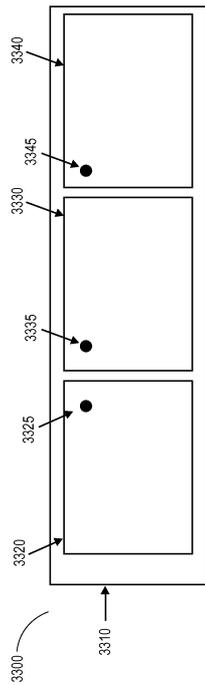
【 図 32 A 】



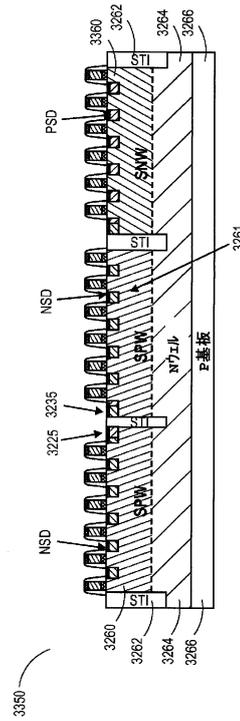
【 図 32 B 】



【 3 3 A 】



【 3 3 B 】



【 3 4 A 】

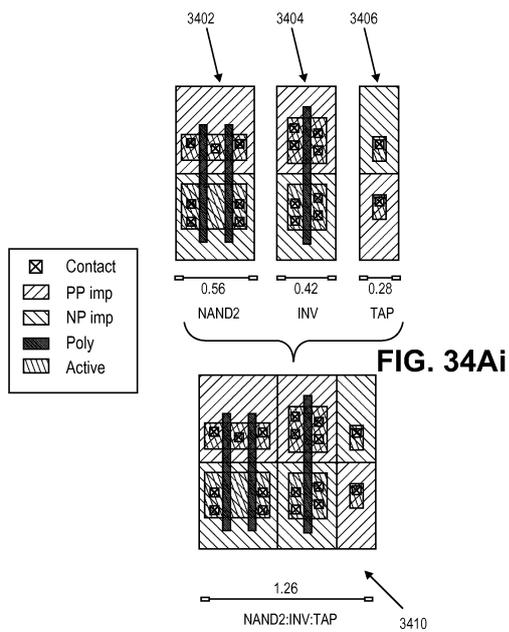


FIG. 34Ai

【 3 4 B 】

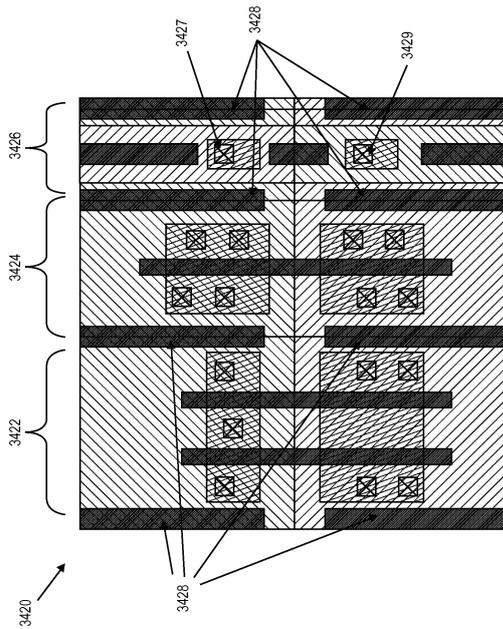
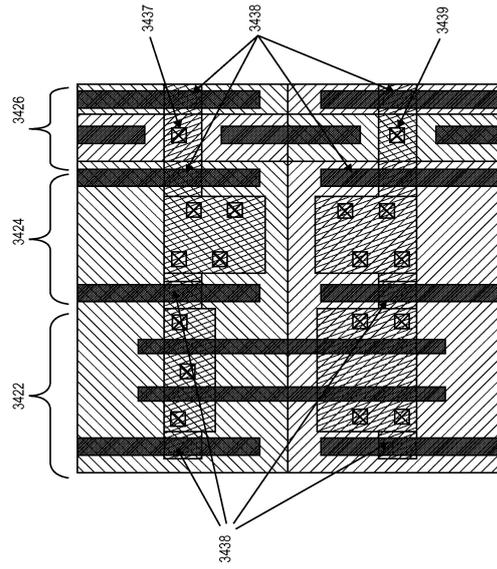
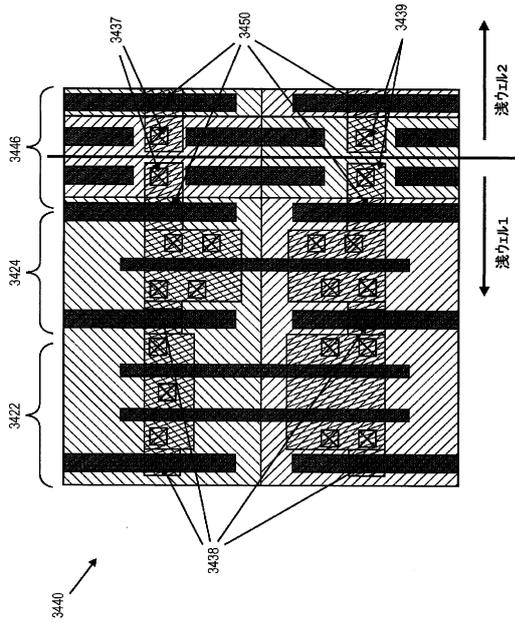


FIG. 34Aii

【図 34C】



【図 34D】



【図 34E】

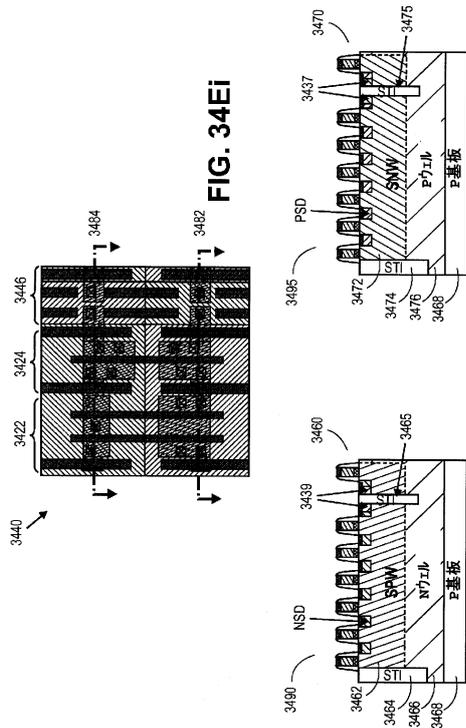


FIG. 34Eii

FIG. 34Ei

【図 35】

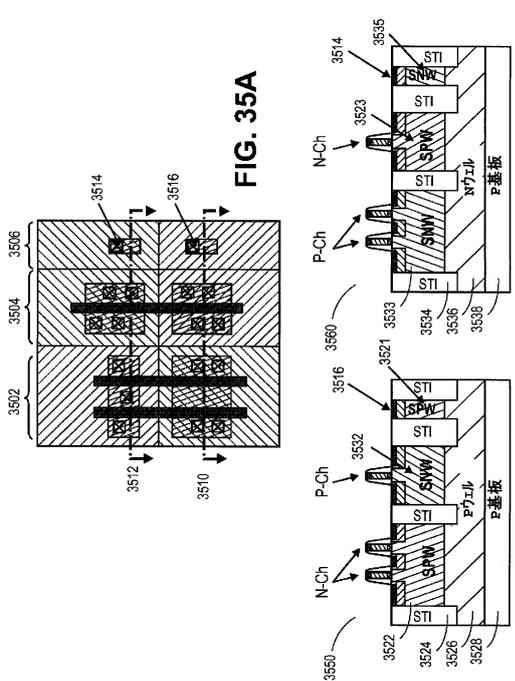
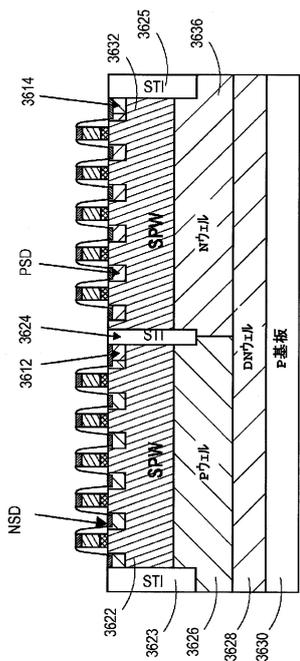


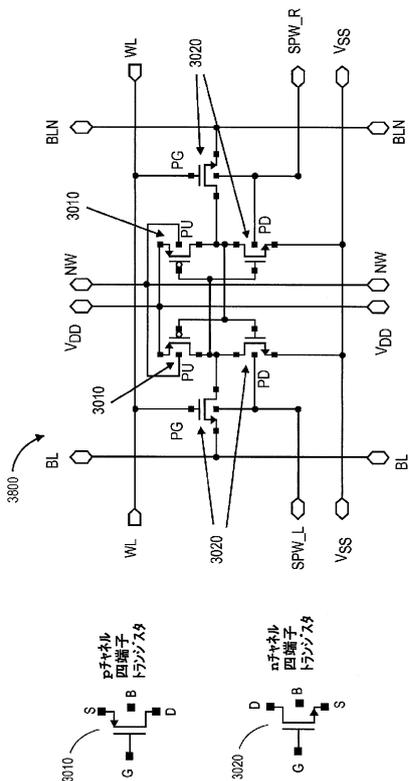
FIG. 35B

FIG. 35A

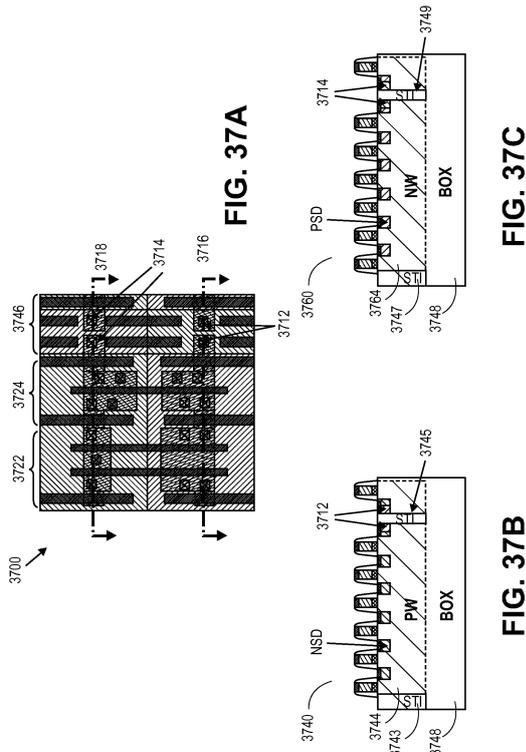
【図 36】



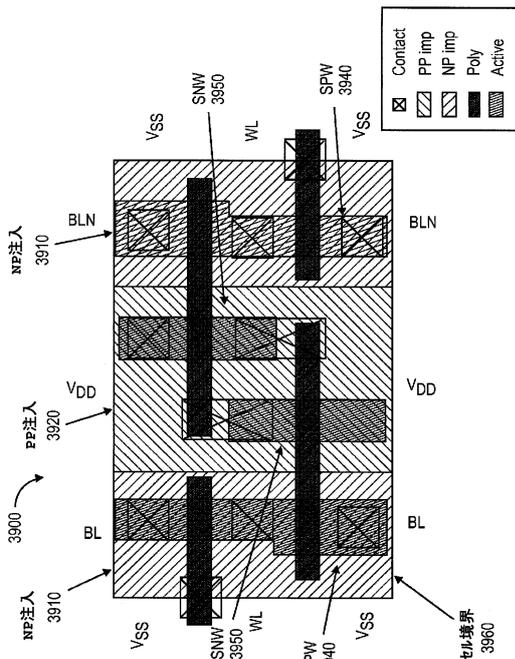
【図 38】



【図 37】



【図 39】



【 図 4 0 A 】

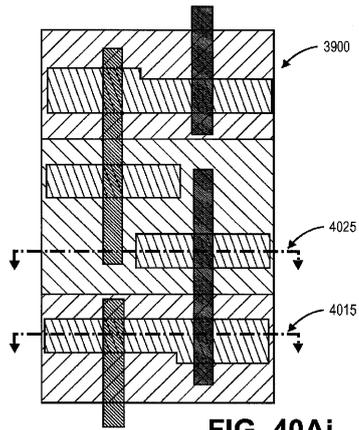


FIG. 40Ai

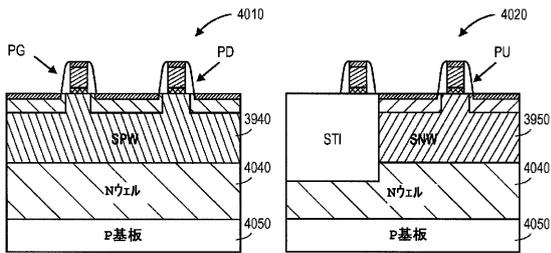
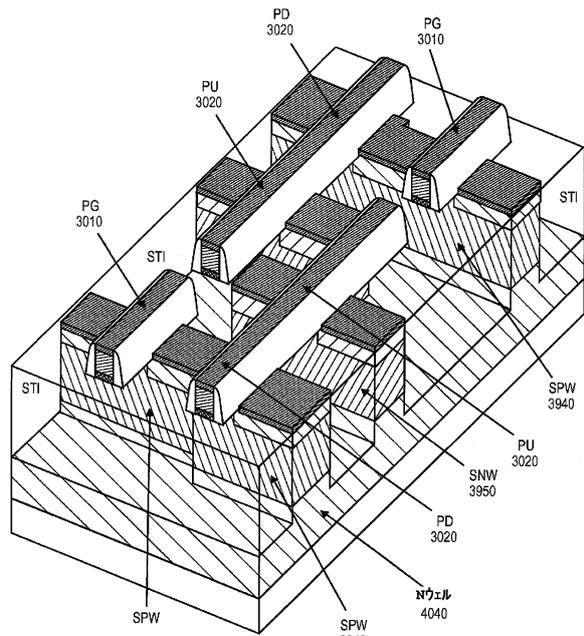


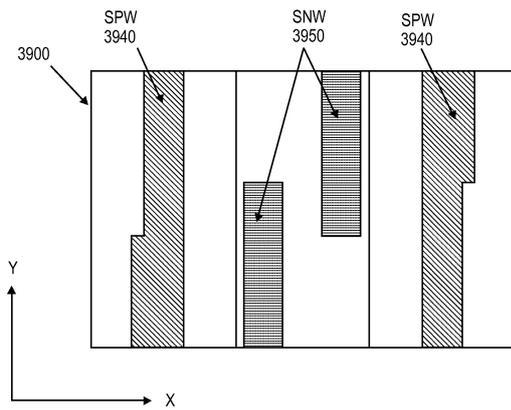
FIG. 40Aii

FIG. 40Aiii

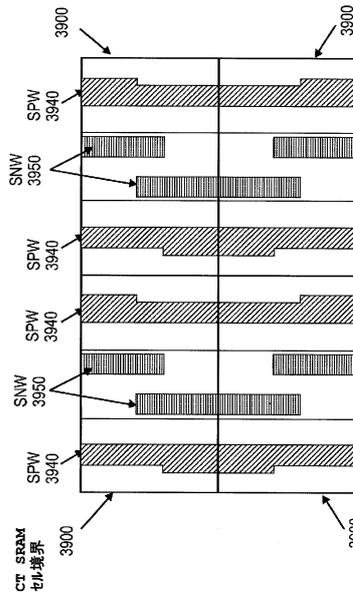
【 図 4 0 B 】



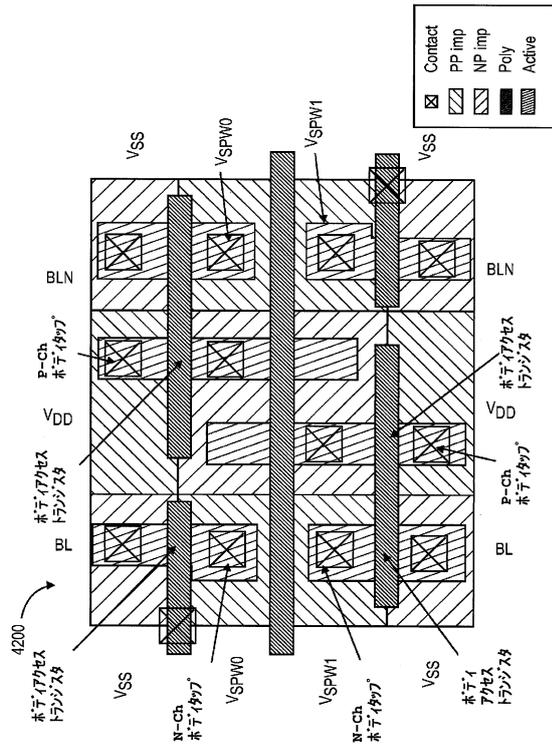
【 図 4 1 A 】



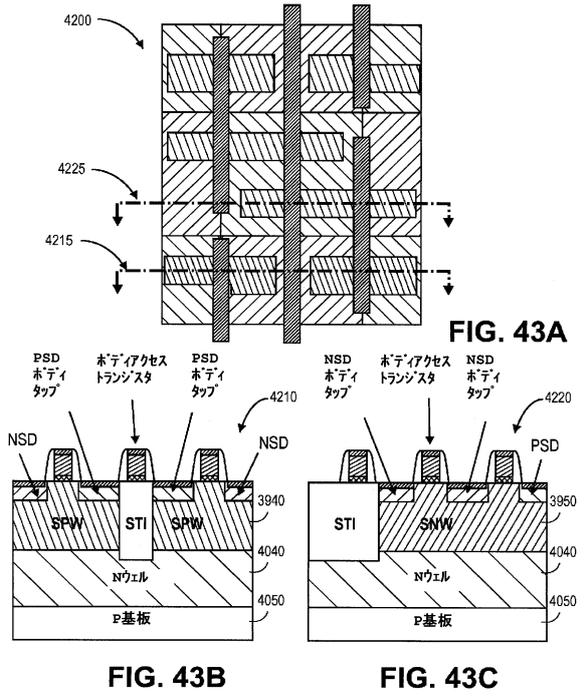
【 図 4 1 B 】



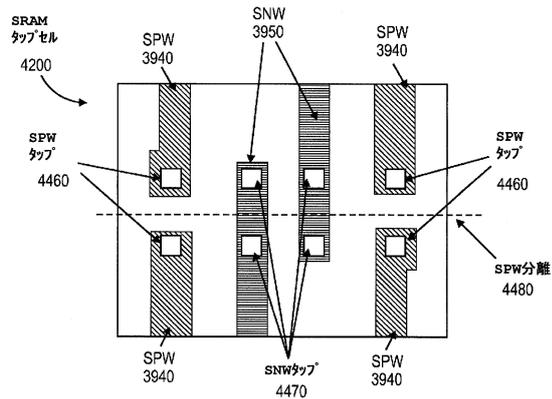
【 図 4 2 】



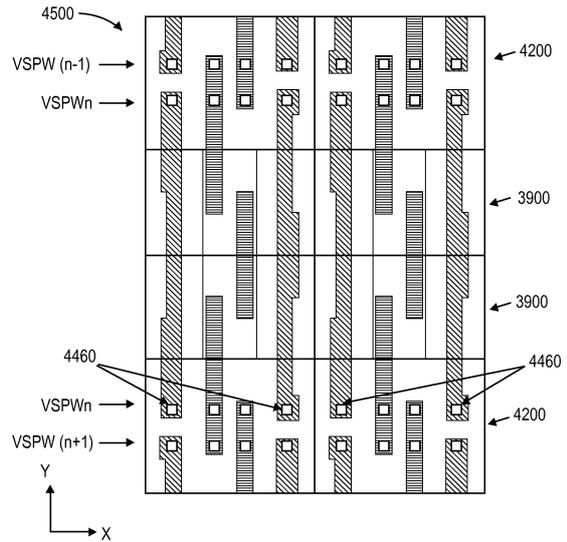
【 図 4 3 】



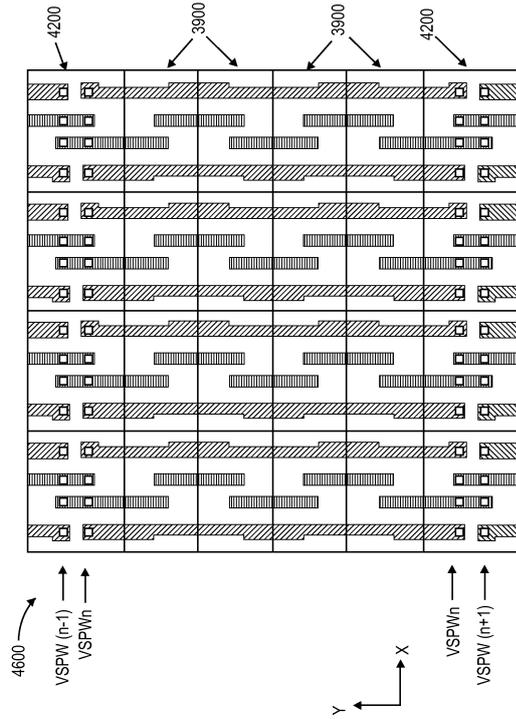
【 図 4 4 】



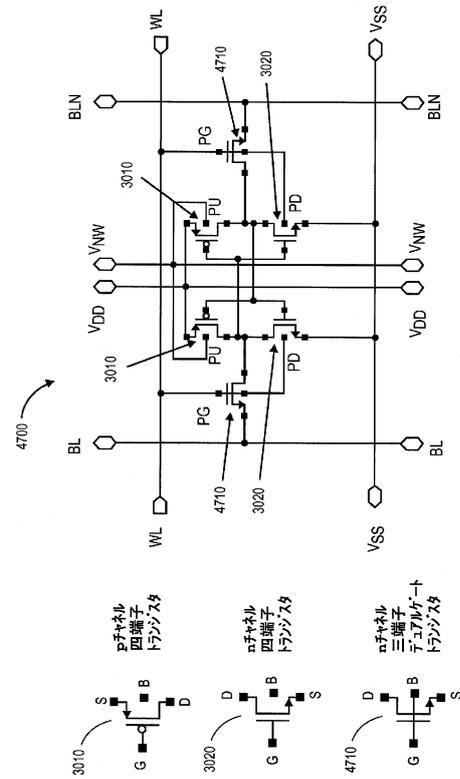
【 図 4 5 】



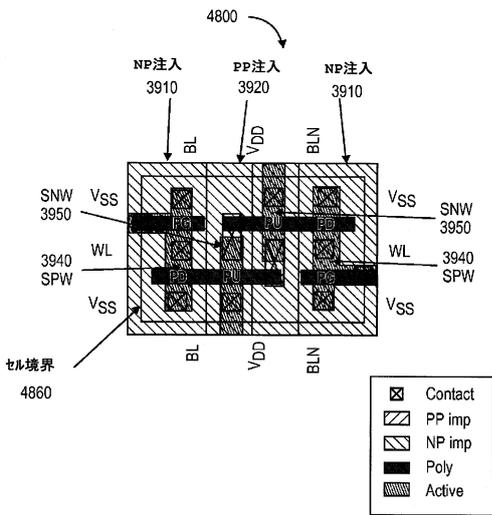
【図 46】



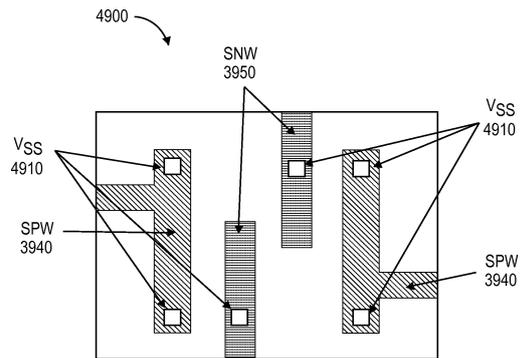
【図 47】



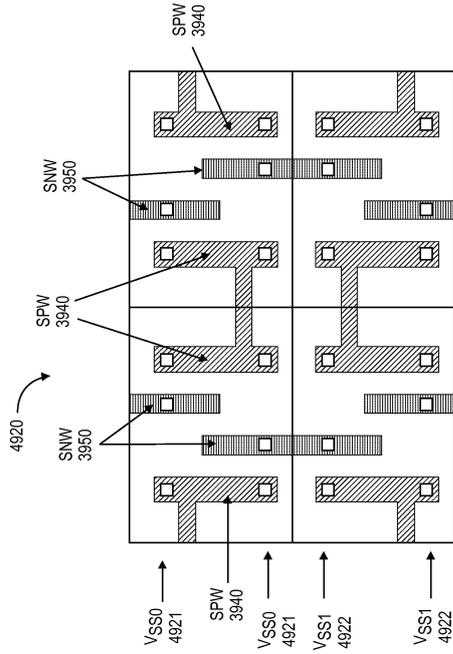
【図 48】



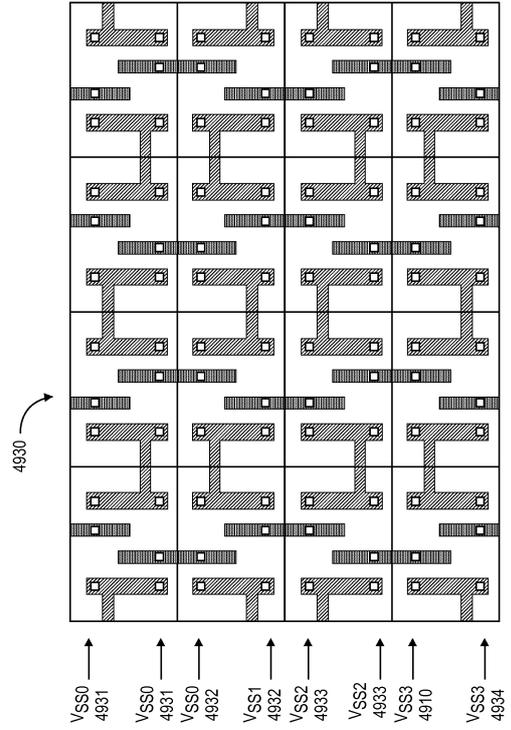
【図 49 A】



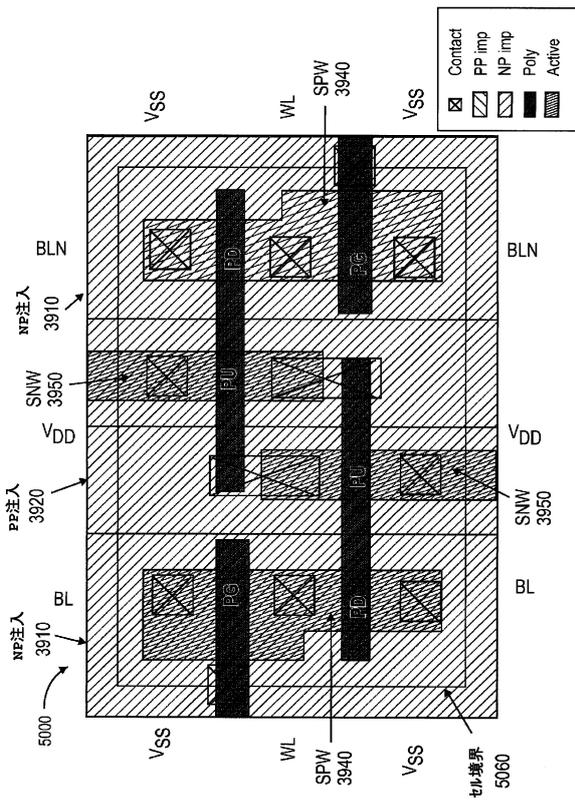
【 49 B 】



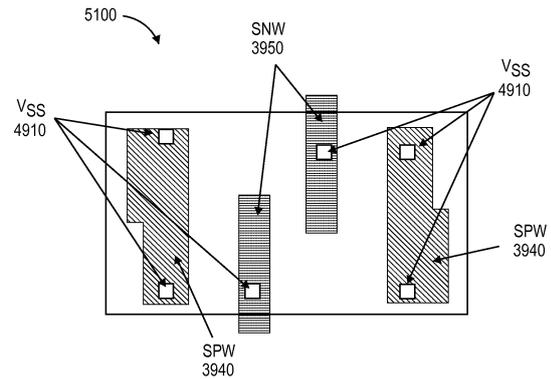
【 49 C 】



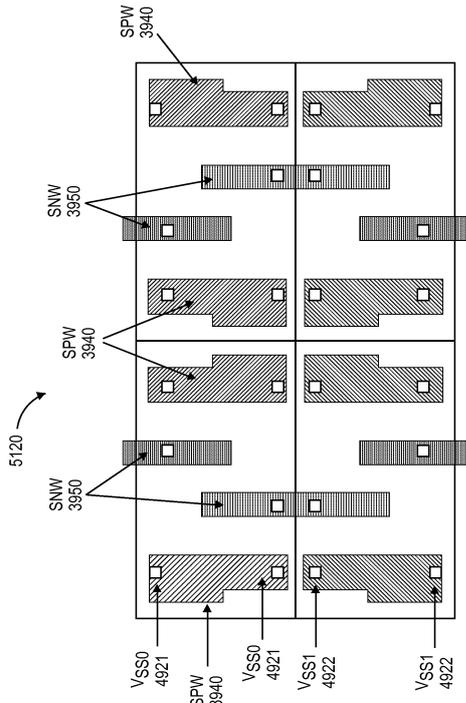
【 50 】



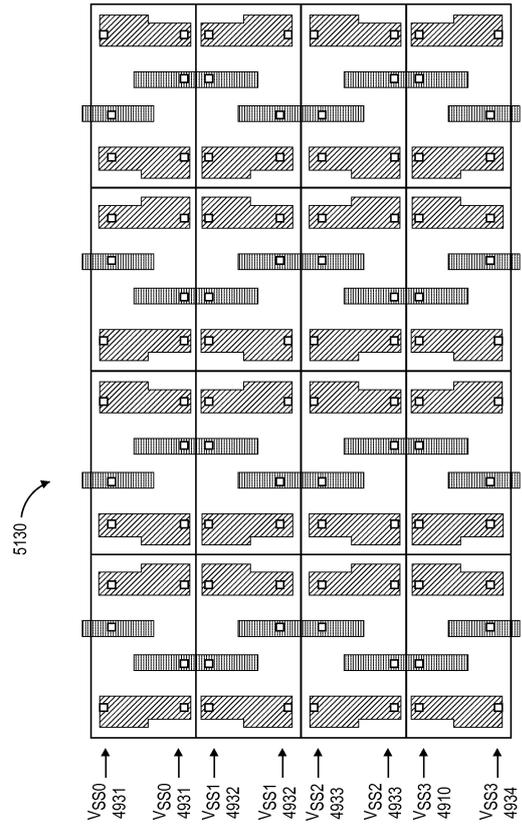
【 51 A 】



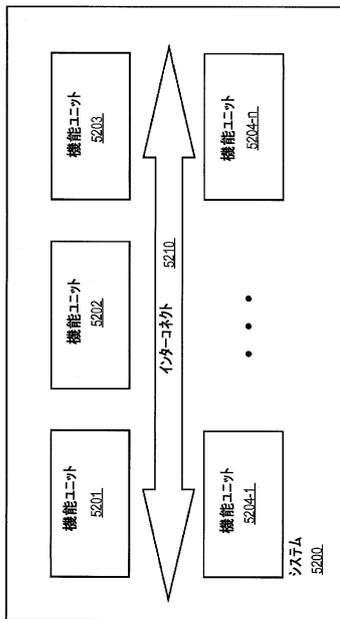
【図 5 1 B】



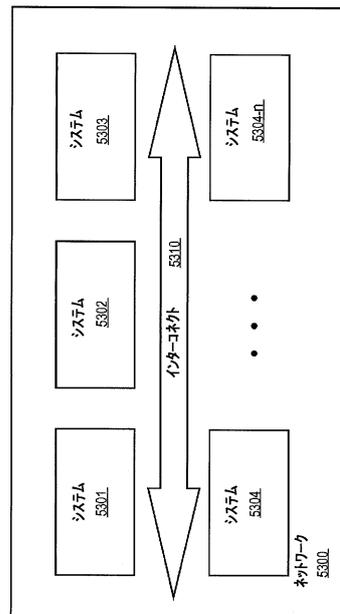
【図 5 1 C】



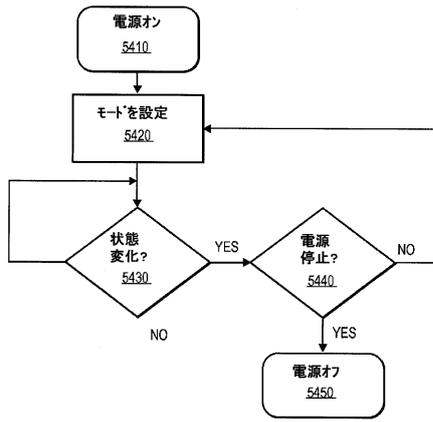
【図 5 2】



【図 5 3】



【図54】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 27/088	(2006.01)	H 0 1 L	29/50	M
H 0 1 L 21/8244	(2006.01)	H 0 1 L	29/58	G
H 0 1 L 27/11	(2006.01)			
H 0 1 L 29/417	(2006.01)			
H 0 1 L 29/49	(2006.01)			
H 0 1 L 29/423	(2006.01)			

(31)優先権主張番号 61/247,300

(32)優先日 平成21年9月30日(2009.9.30)

(33)優先権主張国 米国(US)

(72)発明者 サムマラパリー, ダモダー アール
 アメリカ合衆国 カリフォルニア州 9 5 0 3 2 - 1 8 3 2 ロス・ガトス ノウルズ・ドライブ
 1 3 0 ディー

審査官 小堀 行彦

(56)参考文献 特開2002-198529(JP,A)
 特開平05-183159(JP,A)
 特表平11-500873(JP,A)
 特開平04-179160(JP,A)
 特開平09-008296(JP,A)
 特開2000-299462(JP,A)
 特開2000-243958(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 1 / 8 2 4 4
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 7 / 1 1
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 8 6