

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4753373号  
(P4753373)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月3日(2011.6.3)

(51) Int.Cl.	F I				
<b>G09G 3/30 (2006.01)</b>	G09G	3/30		J	
<b>G09G 3/20 (2006.01)</b>	G09G	3/20	6 1 1 H		
<b>HO 1 L 51/50 (2006.01)</b>	G09G	3/20	6 2 1 F		
	G09G	3/20	6 2 4 B		
	G09G	3/20	6 4 1 D		
請求項の数 8 (全 78 頁) 最終頁に続く					

(21) 出願番号 特願2006-232106 (P2006-232106)  
 (22) 出願日 平成18年8月29日(2006.8.29)  
 (65) 公開番号 特開2007-108689 (P2007-108689A)  
 (43) 公開日 平成19年4月26日(2007.4.26)  
 審査請求日 平成21年8月25日(2009.8.25)  
 (31) 優先権主張番号 特願2005-269323 (P2005-269323)  
 (32) 優先日 平成17年9月16日(2005.9.16)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (74) 代理人 100099173  
 弁理士 澁谷 孝  
 (72) 発明者 梅崎 敦司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1端子が電源線に接続され、第2端子が第1のスイッチング素子を介してビデオ信号を入力する信号線に接続され、前記第2端子が第2のスイッチング素子を介してゲートに接続される第1のトランジスタと、

第1端子が前記電源線に接続され、第2端子が第3のスイッチング素子を介してゲートに接続される第2のトランジスタと、

一方の電極が前記電源線に接続され、他方の電極が前記第1のトランジスタのゲートに接続される第1の容量素子と、

一方の電極が前記電源線に接続され、他方の電極が前記第2のトランジスタのゲートと、第4のスイッチング素子を介して前記第1の容量素子の他方の電極に接続される第2の容量素子と、

一方の電極が、第5のスイッチング素子を介して前記第1のトランジスタの前記第2端子に接続される発光素子と、  
 を有する画素を備えたことを特徴とする表示装置。

【請求項2】

第1端子が電源線に接続され、第2端子が第1のスイッチング素子を介してゲートに接続される第1のトランジスタと、

第1端子が前記電源線に接続され、第2端子が第2のスイッチング素子を介してビデオ信号を入力する信号線に接続され、前記第2端子が第3のスイッチング素子を介してゲート

トに接続される第2のトランジスタと、

一方の電極が前記電源線に接続され、他方の電極が前記第1のトランジスタのゲートに接続される第1の容量素子と、

一方の電極が前記電源線に接続され、他方の電極が前記第2のトランジスタのゲートと、第4のスイッチング素子を介して前記第1の容量素子の他方の電極に接続される第2の容量素子と、

一方の電極が第5のスイッチング素子を介して前記第1のトランジスタの前記第2端子に接続される発光素子と、

を有する画素を備えたことを特徴とする表示装置。

【請求項3】

請求項1乃至請求項2のいずれか1項において、前記第1のトランジスタ及び前記第2のトランジスタはPチャンネル型トランジスタまたはNチャンネル型トランジスタであることを特徴とする表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、前記第1のトランジスタのチャンネル長は、前記第2のトランジスタのチャンネル長より長いことを特徴とする表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記第1のトランジスタのチャンネル幅は、前記第2のトランジスタのチャンネル幅より広いことを特徴とする表示装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記第1のトランジスタが前記発光素子に直列に接続され、前記第1のトランジスタに流れる電流を制御して、前記発光素子の発光輝度を制御することを特徴とする表示装置。

【請求項7】

第1端子が電源線に接続され、第2端子が第1のスイッチング素子を介してビデオ信号を入力する信号線に接続され、前記第2端子が第2のスイッチング素子を介してゲートに接続される第1のトランジスタと、

第1端子が前記電源線に接続され、第2端子が第3のスイッチング素子を介してゲートに接続される第2のトランジスタと、

一方の電極が前記電源線に接続され、他方の電極が前記第1のトランジスタのゲートに接続される第1の容量素子と、

一方の電極が前記電源線に接続され、他方の電極が前記第2のトランジスタのゲートと、第4のスイッチング素子を介して前記第1の容量素子の他方の電極に接続される第2の容量素子と、

一方の電極が、第5のスイッチング素子を介して前記第1のトランジスタの前記第2端子に接続される発光素子と、

を有する画素を備えた表示装置の駆動方法であって、

前記第1のトランジスタのゲートとソース間の電圧が前記第1の容量素子に保持される動作と、前記第2のトランジスタのゲートとソース間の電圧が前記第2の容量素子に保持される動作を同じ期間で行い、その後前記第1の容量素子と前記第2の容量素子を、前記第4のスイッチング素子をオンすることにより容量結合する動作を行うことを特徴とする表示装置の駆動方法。

【請求項8】

第1端子が電源線に接続され、第2端子が第1のスイッチング素子を介してゲートに接続される第1のトランジスタと、

第1端子が前記電源線に接続され、第2端子が第2のスイッチング素子を介してビデオ信号を入力する信号線と、第3のスイッチング素子を介してゲートに接続される第2のトランジスタと、

一方の電極が前記電源線に接続され、他方の電極が前記第1のトランジスタのゲートに接続される第1の容量素子と、

10

20

30

40

50

一方の電極が前記電源線に接続され、他方の電極が前記第2のトランジスタのゲートと、第4のスイッチング素子を介して前記第1の容量素子の他方の電極に接続される第2の容量素子と、

一方の電極が、第5のスイッチング素子を介して前記第1のトランジスタの前記第2端子に接続される発光素子と、

を有する画素を備えた表示装置の駆動方法であって、

前記第1のトランジスタのゲートとソースとの間の電圧が前記第1の容量素子に保持される動作と、前記第2のトランジスタのゲートとソースとの間の電圧が前記第2の容量素子に保持される動作を同時に行い、その後前記第1の容量素子と前記第2の容量素子と、前記第4のスイッチング素子をオンすることにより容量結合する動作を行うことを特徴とする表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明はトランジスタを含んで構成される表示装置及び表示装置の駆動方法に関する。特に、薄膜トランジスタ（以下、「トランジスタ」ともいう）を含んで構成される画素を備えた半導体装置に関する。

【背景技術】

【0002】

エレクトロルミネセンス素子（有機ライトエミッティングダイオード（OLED：Organic-Light-Emitting-Diode）とも呼ばれている。以下、本明細書では「EL素子」若しくは「発光素子」ともいう。）とトランジスタを組み合わせたアクティブマトリクス型のディスプレイは、薄型で軽量のディスプレイとして注目を集め、内外で研究開発が活発化している。このディスプレイは、有機ELディスプレイ（OLED：Organic-EL-Display）とも呼ばれ、2インチの小型のものから40インチを超える大型ディスプレイの開発も検討されており、実用化段階での研究開発が盛んに行われている。

20

【0003】

原理的に、EL素子の発光輝度はEL素子に流れる電流値と比例関係にある。そのため、EL素子を表示媒体として用いた有機ELディスプレイでは、EL素子に流れる電流値を制御して階調を表現する方法が知られている。また、EL素子に流れる電流値を制御する方法として、電圧入力型駆動法と電流入力型駆動法とが知られている。

30

【0004】

電圧入力型駆動法は、EL素子と直列に接続されたトランジスタ（以下、「駆動トランジスタ」ともいう）のゲートに電圧信号を入力し、保持することで得られるゲートとソースとの間の電圧によって駆動トランジスタ、及びEL素子に流れる電流値を制御する。電流入力型駆動法は、駆動トランジスタに電流信号を流すことで得られる駆動トランジスタのゲートとソースとの間の電圧によって駆動トランジスタ、及びEL素子に流れる電流値を制御する（例えば、特許文献1参照）。

【0005】

40

しかしながら、従来の電流入力駆動法によれば、低階調を表現する場合にソース信号線から微小な電流を流す必要がある。ビデオ信号として微小な電流を画素に入力する場合にソース信号線の寄生容量などを充電する時間が必要なため、書込み時間が長く必要になるという問題点があった。

【0006】

また、電流入力型駆動法の他の例として、電流で入力した駆動TFTのVgsと、その駆動TFTのしきい値電圧を二つの容量に保持して容量結合させることで、しきい値電圧を補償したまま実際のビデオ信号よりもEL素子に流れる電流を小さくすることができる画素が知られている（例えば、特許文献2参照）。

【0007】

50

しかしながら、このような画素構成にしても、ビデオ信号を書き込む場合にしきい値電圧を取得する期間  $T_1$  と、ビデオ信号を書き込む期間  $T_2$  とが必要となり、一画素あたりの面積は有限であるため、二つの容量素子の容量値の設定には限界がある。そのため、ビデオ信号として微小な電流を書き込む場合には書込み時間が足りなくなり、小型パネルに比べ大型パネルの場合はさらに一画素当りの書込み期間が短くなるという問題点があった。

【特許文献 1】国際公開第 98 / 48403 号パンフレット

【特許文献 2】特開 2004 310006 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0008】

このような問題点に鑑み、本発明は一画素あたりの書込み時間をさらに短くし、パネルの大型化にも対応した駆動方法、及び表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のトランジスタに流れる電流に対応したゲートとソース間の電圧が保持される第 1 の容量素子と、第 2 のトランジスタのしきい値電圧が保持される第 2 の容量素子と、第 1 のトランジスタと第 2 のトランジスタの間に備えられ、第 1 の容量素子と第 2 の容量素子を容量結合するためのスイッチング素子とを有する画素を備えたことを特徴とする表示装置である。

20

【0010】

本発明の一は、第 1 端子が第 1 の配線に接続され、第 2 端子が第 1 のスイッチング素子を介して第 2 の配線に接続され、第 2 端子が第 2 のスイッチング素子を介してゲートに接続される第 1 のトランジスタと、第 1 端子が第 1 の配線に接続され、第 2 端子が第 3 のスイッチング素子を介してゲートに接続される第 2 のトランジスタと、一方の電極が第 1 の配線に接続され、他方の電極が第 1 のトランジスタのゲートに接続される第 1 の容量素子と、一方の電極が第 1 の配線に接続され、他方の電極が第 2 のトランジスタのゲートと、第 4 のスイッチング素子を介して第 1 の容量素子の他方の電極に接続される第 2 の容量素子と、一方の電極が、第 5 のスイッチング素子を介して第 1 のトランジスタの第 2 端子に接続される発光素子と、を有する画素を備えたことを特徴とする表示装置である。

30

【0011】

本発明の一は、第 1 端子が第 1 の配線に接続され、第 2 端子が第 1 のスイッチング素子を介してゲートに接続される第 1 のトランジスタと、第 1 端子が第 1 の配線に接続され、第 2 端子が第 2 のスイッチング素子を介して第 2 の配線に接続され、第 2 端子が第 3 のスイッチング素子を介してゲートに接続される第 2 のトランジスタと、一方の電極が第 1 の配線に接続され、他方の電極が第 1 のトランジスタのゲートに接続される第 1 の容量素子と、一方の電極が第 1 の配線に接続され、他方の電極が第 2 のトランジスタのゲートと、第 4 のスイッチング素子を介して第 1 の容量素子の他方の電極に接続される第 2 の容量素子と、一方の電極が第 5 のスイッチング素子を介して第 1 のトランジスタの第 2 端子に接続される発光素子と、を有する画素を備えたことを特徴とする表示装置である。

40

【0012】

また、第 1 のトランジスタ及び第 2 のトランジスタは P チャンネル型トランジスタまたは N チャンネル型トランジスタであってもよい。

【0013】

また、第 1 のトランジスタのチャンネル長は、第 2 のトランジスタのチャンネル長より長くすることができる。また、第 1 のトランジスタのチャンネル幅は、第 2 のトランジスタのチャンネル幅より広くすることができる。

【0014】

また、第 1 のトランジスタが発光素子に直列に接続され、第 1 のトランジスタに流れる電流を制御して、発光素子の発光輝度を制御することができる。

50

## 【0015】

本発明の一は、第1のトランジスタと、第2のトランジスタと、第1のトランジスタに流す電流に応じたゲートとソース間の電圧が保持される第1の容量素子と、第2のトランジスタのしきい値電圧が保持される第2の容量素子と、第1のトランジスタと第2のトランジスタの間に備えられ、第1の容量素子と第2の容量素子を容量結合するためのスイッチング素子とを備えた画素を有する駆動方法であって、第1のトランジスタのゲートとソース間の電圧が第1の容量素子に保持される動作と、第2のゲートとソース間の電圧が第2の容量素子に保持される動作を同じ期間に行い、その後第1の容量素子と第2の容量素子を、スイッチング素子をオンすることにより容量結合する動作を行うことを特徴とする表示装置の駆動方法である。

10

## 【0016】

本発明の一は、第1端子が第1の配線に接続され、第2端子が第1のスイッチング素子を介して第2の配線に接続され、第2端子が第2のスイッチング素子を介してゲートに接続される第1のトランジスタと、第1端子が第1の配線に接続され、第2端子が第3のスイッチング素子を介してゲートに接続される第2のトランジスタと、一方の電極が第1の配線に接続され、他方の電極が第1のトランジスタのゲートに接続される第1の容量素子と、一方の電極が第1の配線に接続され、他方の電極が第2のトランジスタのゲートと、第4のスイッチング素子を介して第1の容量素子の他方の電極に接続される第2の容量素子と、一方の電極が、第5のスイッチング素子を介して第1のトランジスタの第2端子に接続される発光素子とを有する画素を備えた表示装置の駆動方法であって、第1のトランジスタのゲートとソース間の電圧が第1の容量素子に保持される動作と、第2のトランジスタのゲートとソース間の電圧が第2の容量素子に保持される動作を同じ期間で行い、その後第1の容量素子と第2の容量素子を、第4のスイッチング素子をオンすることにより容量結合する動作を行うことを特徴とする表示装置の駆動方法である。

20

## 【0017】

本発明の一は、第1端子が第1の配線に接続され、第2端子が第1のスイッチング素子を介してゲートに接続される第1のトランジスタと、第1端子が第1の配線に接続され、第2端子が第2のスイッチング素子を介して第2の配線と、第3のスイッチング素子を介してゲートに接続される第2のトランジスタと、一方の電極が第1の配線に接続され、他方の電極が第1のトランジスタのゲートに接続される第1の容量素子と、一方の電極が第1の配線に接続され、他方の電極が第2のトランジスタのゲートと、第4のスイッチング素子を介して第1の容量素子の他方の電極に接続される第2の容量素子と、一方の電極が、第5のスイッチング素子を介して第1のトランジスタの第2端子に接続される発光素子とを有する画素を備えた表示装置の駆動方法であって、第1のトランジスタのゲートとソースとの間の電圧が第1の容量素子に保持される動作と、第2のゲートとソースとの間の電圧が第2の容量素子に保持される動作を同時に行い、その後第1の容量素子と第2の容量素子を第4のスイッチング素子をオンすることにより容量結合する動作を行うことを特徴とする表示装置の駆動方法である。

30

## 【0018】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源

40

50

(V<sub>ss</sub>、GND、0Vなど)に近い状態で動作する場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源(V<sub>dd</sub>など)に近い状態で動作する場合はPチャンネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。

【0019】

なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャンネル型かNチャンネル型のどちらかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。また、スイッチをオン・オフさせるための信号の電圧振幅値を小さくする

10

【0020】

なお、スイッチとしてトランジスタを用いる場合は、入力端子(ソース端子またはドレイン端子の一方)と、出力端子(ソース端子またはドレイン端子の他方)と、導通を制御する端子(ゲート端子)とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

【0021】

なお、本発明において、接続されているとは、電気的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電気的な接続を可能とする素子(例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど)が1個以上配置されていてもよい。また、機能的な接続を可能とする回路(例えば、論理回路(インバータやNAND回路やNOR回路など)や信号変換回路(DA変換回路やAD変換回路やガンマ補正回路など)や電位レベル変換回路(昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフト回路など)や電圧源や電流源や切り替え回路や増幅回路(オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など)や信号生成回路や記憶回路や制御回路など)が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて

20

30

【0022】

なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電気的に接続されている、と記載する場合は、電気的に接続されている場合(つまり、間に別の素子を挟んで接続されている場合)と機能的に接続されている場合(つまり、間に別の回路を挟んで接続されている場合)と直接接続されている場合(つまり、間に別の素子や別の回路を挟まずに接続されている場合)とを含むものとする。

【0023】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いたり、様々な素子を有したりすることが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、EL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、デジタルマイクロミラーデバイス(DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレ

40

50

イ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0024】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ(TFT)などを適用することが出来る。これらにより、製造温度が高くなくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、トランジスタで光を透過させたりすることが出来る。また、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成したりすることが出来る。また、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、製造温度が高くなくても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成したりすることが出来る。

10

【0025】

また、インクジェットや印刷法を用いて作成したトランジスタなどを適用することが出来る。これらにより、室温で製造したり、真空度の低い状態で製造したり、大型基板で製造したりすることが出来る。また、マスク(レチクル)を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することが出来る。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。

20

【0026】

なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。これらの基板を用いることにより、特性のよいトランジスタを形成したり、消費電力の小さいトランジスタを形成したり、壊れにくい装置にしたり、耐熱性を持たせたりすることが出来る。

30

【0027】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることなどが出来る。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなってS値をよくしたりすることが出来る。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

40

【0028】

また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲ

50

ート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっていてもよい。チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

#### 【0029】

なお、本発明におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが同じ基板上に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG(Chip-On-Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape-Automated-e-Bonding)やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまっているので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

#### 【0030】

なお、本発明においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R(赤)G(緑)B(青)の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。

#### 【0031】

なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW(Wは白)としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したのもでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減したりすることが出来る。

#### 【0032】

また、別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。

10

20

30

40

50

## 【0033】

なお、一画素（三色分）と記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と記載する場合は、一つの色要素につき、複数の画素がある場合、それらをまとめて一画素と考える場合であるとする。

## 【0034】

なお、本発明において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三色の色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、消費電力を低下させたり、表示素子の寿命を延ばしたりすることが出来る。

10

## 【0035】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本発明においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと叫ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

20

## 【0036】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

## 【0037】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域やLDD（Lightly-Doped-Drain）領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続したり、ゲート電極と別の配線とを接続したりするための配線のことを言う。

30

## 【0038】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャンネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

40

## 【0039】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャンネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造マージンなどの関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

50

## 【0040】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると思なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。

## 【0041】

また、例えば、ゲート電極とゲート配線とを接続してさせている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

10

## 【0042】

なお、ゲート端子とは、ゲート電極の領域や、ゲート電極と電氣的に接続されている領域について、その一部分のことを言う。

## 【0043】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly-Doped-Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続したり、ソース電極と別の配線とを接続したりするための配線のことを言う。

20

## 【0044】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

30

## 【0045】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続される部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、製造マージンなどの関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

40

## 【0046】

また、例えば、ソース電極とソース配線とを接続してさせている部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

## 【0047】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている領域について、その一部分のことを言う。

## 【0048】

なお、ドレインについては、ソースと同様である。

## 【0049】

50

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。

【0050】

また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。

【0051】

なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでよい。また、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆるチップオンガラス（COG）を含んでいても良い。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでいても良い）を含んでいても良い。

【0052】

また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

【0053】

なお、本発明において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

【発明の効果】

【0054】

本発明によれば、ビデオ信号の書き込み期間において、駆動トランジスタのしきい値電圧の取得とビデオ信号の書き込みを同時に行うことによって、書き込み時間を短くすることができる。こうすることで、一画素当たりの書き込み期間を長く有することができ、より確実にビデオ信号を書き込むことができ、より高画質な有機ELディスプレイを提供することができる。また同じ書き込み期間であればより多くの画素に書き込みを行うことができるため、大型のELディスプレイを提供することが可能であり、より解像度の高いELディスプレイを提供することができる。

【発明を実施するための最良の形態】

【0055】

本発明の実施形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施形態の記載内容に限定して解釈されるものではない。

【0056】

(第1の実施形態)

本実施の形態は、一画素あたりの書き込み時間を短くするために、ビデオ信号を書き込み、EL素子に流す電流を制御するためのトランジスタと、しきい値電圧を取得するためのトランジスタとを設けた表示装置の構成について、図1を参照して説明する。

【0057】

図1において、第1のトランジスタ100は飽和領域で動作するトランジスタであり、ゲートとソースとの間の電圧によってEL素子109に流れる電流値を制御する駆動トランジスタである。第2のトランジスタ101は第1のトランジスタ100としきい値電圧や移動度などの特性が近似しており、第1のトランジスタ100と対をなすトランジスタである。第1のスイッチ102、第2のスイッチ103、第3のスイッチ104、第4のスイッチ105、及び第5のスイッチ106は二つの端子、及び制御端子を有しており、二つの端子の導通(オン)、非導通(オフ)を制御端子によって制御するスイッチング素子である。第1の容量素子107は一对の電極を有しており、第1のトランジスタ100のゲートとソースとの間の電圧を保持するための容量素子である。第2の容量素子108は一对の電極を有しており、第2のトランジスタ101のゲートとソースとの間の電圧を保持するための容量素子である。EL素子109は一对の電極を有しており、電流値に比例して発光輝度が決まるEL素子である。電源線110は1行共通、又は1列共通となっており、画素に電圧を供給するための電源線である。対向電極111は全画素共通となっており、画素に電圧を供給するための対向電極であり、EL素子109の他方電極である。ソース信号線112は1行共通、又は1列共通となっており、画素へのビデオ信号として電流信号を伝達するための信号線である。

【0058】

図1の接続関係を説明する。電源線110は第1のトランジスタ100の第1端子、第2のトランジスタ101の第1端子、第1の容量素子107の一方の電極、及び第2の容量素子108の一方の電極と接続されている。第1の容量素子107の他方の電極は第1のトランジスタ100のゲートと接続され、第2の容量素子108の他方の電極は第2のトランジスタ101のゲートと接続されている。第1の容量素子107の他方の電極、及び第1のトランジスタ100のゲートは第4のスイッチ105を介して第2の容量素子108の他方の電極、及び第2のトランジスタ101のゲートと接続されている。第1のトランジスタ100の第2端子は第2のスイッチ103を介して第1のトランジスタ100のゲート、第1のスイッチ102を介してソース信号線112、及び第5のスイッチ106を介してEL素子109の一方の電極と接続されている。第2のトランジスタ101の第2端子は第3のスイッチ104を介して第2のトランジスタ101のゲートと接続されている。

【0059】

ここで、第1の容量素子107の一方の電極、及び第2の容量素子108の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のスイッチ102の制御端子や新たに別の基準線を加えて接続してもよい。第1のスイッチ102、第2のスイッチ103、第3のスイッチ104、第4のスイッチ105、及び第5のスイッチ106の配置に関しては、後に図2で説明する期間T1で図3に示す回路図、期間T2で図4に示す回路図と等価回路にできれば、どこでもよいし、スイッチの数を増やしてもよい。また、図3は期間T1のときの図1の画素回路の等価回路であり、図4は期間T2のときの図1の画素回路の等価回路である。

【0060】

図1の動作について、図2のタイミングチャートを参照して説明する。期間T1の動作について説明する。期間T1では、第2のスイッチ103はオンして第1のトランジスタ100がダイオード接続され、第3のスイッチ104がオンして第2のトランジスタ101がダイオード接続される。第4のスイッチ105はオフして第1のトランジスタ100と第2のトランジスタ101は電氣的に遮断される。第5のスイッチ106はオフしてEL素子109への電流は遮断される。第1のスイッチ102はオンしてソース信号線11

2からの電流で入力されるビデオ信号が第1のトランジスタ100に流れ、第1の容量素子107には第1のトランジスタ100に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持する。第2の容量素子108には第2のトランジスタ101に流れる電流がゼロとなるようなゲートとソースとの間の電圧を保持する。つまり、第2のトランジスタ101のしきい値電圧が保持され、第1のトランジスタ100のしきい値などの特性と第2のトランジスタ101の特性(しきい値電圧、移動度など)は近似していることから、第1のトランジスタ100のしきい値電圧とほぼ等しい電圧が保持される。このとき、ビデオ信号として入力するIdataを数式(1)、第1の容量素子107に保持される電圧を数式(2)に示す。

【0061】

【数1】

$$I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (1)$$

【0062】

【数2】

$$V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (2)$$

【0063】

上記数式(1)、及び数式(2)において、Idataは期間T1において画素に入力されるソース信号線112に流れるビデオ信号の電流値である。βは第1のトランジスタ100のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。Vgs(T1)は第1のトランジスタ100のゲートとソースとの間の電圧である。Vthは第1のトランジスタ100と第2のトランジスタ101は対となるトランジスタであるため、第1のトランジスタ100のしきい値電圧であり、第2のトランジスタ101のしきい値電圧でもある。

【0064】

期間T2の動作について説明する。期間T2では、第2のスイッチ103はオフして第1のトランジスタ100はダイオード接続ではなくなり、第3のスイッチ104はオフして第2のトランジスタ101はダイオード接続ではなくなる。第4のスイッチ105はオンして第1の容量素子107と第2の容量素子108が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第5のスイッチ106はオンして第1のトランジスタ100のゲートとソースとの間の電圧に従った電流がEL素子109に流れる。第1のスイッチ102はオフして第1のソース信号線112からのビデオ信号は遮断される。このとき、第1のトランジスタ100のゲート電圧を数式(3)、EL素子109に流れる電流値を数式(4)に示す。

【0065】

【数3】

$$V_{gs}(T2) = \left( \frac{C107}{C107 + C108} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (3)$$

【0066】

【数4】

$$I_{oled} = \left( \frac{C107}{C107 + C108} \right)^2 I_{data} \quad (4)$$

【0067】

上記数式(3)、及び数式(4)において、Idata、Vth、及びVgs(T1)は期間T1と同様なものとする。Ioledは期間T2においてEL素子109に流

10

20

30

40

50

れる電流値である。すなわち、I o l e d は T 2 期間において第 1 のトランジスタ 1 0 0 のゲートとソースの間に電圧が保持されたことにより、第 1 のトランジスタ 1 0 0 に流れる電流に等しい。C 1 0 7 は第 1 の容量素子 1 0 7 の容量値であり第 1 のトランジスタ 1 0 0 のゲート容量も含んでおり、C 1 0 8 は第 2 の容量素子 1 0 8 の容量値であり第 2 のトランジスタ 1 0 1 のゲート容量も含んでいる。

【 0 0 6 8 】

上記の数式 ( 4 ) より、I d a t a を  $[ C 1 0 7 / ( C 1 0 7 + C 1 0 8 ) ]$  の 2 乗倍した電流を E L 素子 1 0 9 に流すことができる。また、期間 T 2 において、同一のビデオ信号であれば第 1 のトランジスタ 1 0 0 の特性 ( しきい値電圧、移動度など )、及び第 2 のトランジスタ 1 0 1 の特性 ( しきい値電圧、移動度など ) が近似していれば、他の画素との特性がばらついていても E L 素子 1 0 9 に流れる電流値はばらつかない。

10

【 0 0 6 9 】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流を E L 素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間 T 1 において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

【 0 0 7 0 】

本実施形態では、第 2 のスイッチ 1 0 3 と第 3 のスイッチ 1 0 4 のオン、又はオフのタイミングが同じため制御端子を共通にすることができる。制御端子を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

20

【 0 0 7 1 】

第 1 のトランジスタ 1 0 0 のチャンネル幅、チャンネル長などは第 2 のトランジスタ 1 0 1 よりも大きいほうが望ましい。第 1 のトランジスタ 1 0 0 と第 2 のトランジスタ 1 0 1 は特性 ( しきい値電圧、移動度など ) が近似していればよく、第 1 のトランジスタ 1 0 0 は、第 2 のトランジスタ 1 0 1 よりもチャンネル幅を広く、チャンネル長を長くすることにより、高開口率を実現することができる。

【 0 0 7 2 】

本実施形態で説明したスイッチング素子の種類について説明する。本発明においてスイッチング素子としては、電流の流れを制御できる素子であれば、電氣的スイッチでも機械的スイッチでも良い。スイッチング素子として、ダイオードを用いても良いし、ダイオードとトランジスタを組み合わせた論理回路を用いてもよい。

30

【 0 0 7 3 】

また、本発明において、スイッチング素子として適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いたトランジスタ、半導体基板や S O I 基板を用いて形成される M O S 型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが形成される基板の種類に限定はなく、単結晶基板、S O I 基板、石英基板、ガラス基板、樹脂基板などを自由に用いることができる。

40

【 0 0 7 4 】

トランジスタは単なるスイッチング素子として動作させるため、極性 ( 導電型 ) は特に限定されず、N 型トランジスタでも P 型トランジスタでもどちらでもよい。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない特性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、チャンネル形成領域とソース領域またはドレイン領域との間に低濃度で導電型を付与する不純物元素が添加された領域 ( L D D 領域という。 ) が設けられたトランジスタがある。

【 0 0 7 5 】

50

また、トランジスタのソースの電位が低電位側電源に近い状態で動作する場合には、当該トランジスタはN型とするのが望ましい。反対に、トランジスタのソースの電位が高電位側電源に近い状態で動作する場合には、当該トランジスタはP型とするのが望ましい。このような構成とすることによって、トランジスタのゲートとソース間の電圧の絶対値を大きくできるので、当該トランジスタをスイッチとして動作させやすい。なお、N型トランジスタとP型トランジスタとの両方を用いて、CMOS型のスイッチング素子としてもよい。

#### 【0076】

(第2の実施形態)

第1の実施形態において、スイッチング素子として、トランジスタを用いることができる。本実施の形態は、スイッチング素子として、Pチャネル型トランジスタを用いた場合の構成について、図5を参照して説明する。

#### 【0077】

図5において、第1のトランジスタ100、第2のトランジスタ101、第1の容量素子107、第2の容量素子108、EL素子109、電源線110、対向電極111、及びソース信号線112は第1の実施形態と同様なものとする。第3のトランジスタ502、第4のトランジスタ503、第5のトランジスタ504、第6のトランジスタ505、及び第7のトランジスタ506はスイッチング素子としての機能を有しており線形領域で動作する。第3のトランジスタ502は第1のゲート信号線512、第4のトランジスタ503は第2のゲート信号線513、第5のトランジスタ504は第3のゲート信号線514、第6のトランジスタ505は第4のゲート信号線515、第7のトランジスタ506は第5のゲート信号線516からのデジタル信号で制御され、Highのときにオフ、Lowのときにオンする。入力されるトランジスタのゲートとソースとの間の電圧がしきい値電圧よりも高くなる信号電圧をHighといい、しきい値電圧よりも低くなる信号電圧をLowという。

#### 【0078】

図5の接続関係を説明する。電源線110は第1のトランジスタ100の第1端子、第2のトランジスタ101の第1端子、第1の容量素子107の一方の電極、及び第2の容量素子108の一方の電極と接続されている。第1の容量素子107の他方の電極は第1のトランジスタ100のゲートと接続され、第2の容量素子108の他方の電極は第2のトランジスタ101のゲートと接続されている。第1の容量素子107の他方の電極、及び第1のトランジスタ100のゲートは第6のトランジスタ505の第1端子と接続され、第2の容量素子108の他方の電極、及び第2のトランジスタ101のゲートは第6のトランジスタ505の第2端子と接続されている。第1のトランジスタ100の第2端子は第4のトランジスタ503の第1端子と接続され、第4のトランジスタ503の第2端子は第1のトランジスタ100のゲートと接続されている。第1のトランジスタ100の第2端子は第3のトランジスタ502の第1端子と接続され、第3のトランジスタ502の第2端子はソース信号線112と接続されている。第1のトランジスタ100の第2端子は第7のトランジスタ506の第1端子と接続され、第7のトランジスタ506の第2端子はEL素子109の一方の電極と接続されている。第2のトランジスタ101の第2端子は第5のトランジスタ504の第1端子と接続され、第5のトランジスタ504の第2端子は第2のトランジスタ101のゲートと接続されている。

#### 【0079】

ここで、第1の実施形態と同様に、第1の容量素子107の一方の電極、及び第2の容量素子108の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のゲート信号線512や新たに別の基準線を加えて接続してもよい。第3のトランジスタ502、第4のトランジスタ503、第5のトランジスタ504、第6のトランジスタ505、及び第7のトランジスタ506の配置に関しては、後に図6で説明する期間T1で図3に示す回路図、期間T2で図4に示す回路図と等価回路にできれば、どこでもよいし、トランジスタの数を増やしてもよい。また、図3は期間T1のとき

10

20

30

40

50

の図5の画素回路の等価回路であり、図4は期間T2のときの図5の画素回路の等価回路である。

【0080】

図5の動作について、図6のタイミングチャートを参照して説明する。期間T1の動作について説明する。期間T1では、第4のトランジスタ503はオンして第1のトランジスタ100がダイオード接続され、第5のトランジスタ504がオンして第2のトランジスタ101がダイオード接続される。第6のトランジスタ505はオフして第1のトランジスタ100と第2のトランジスタ101は電氣的に遮断される。第7のトランジスタ506はオフしてEL素子109への電流は遮断される。第3のトランジスタ502はオンしてソース信号線112からの電流で入力されるビデオ信号が第1のトランジスタ100に流れ、第1の容量素子107には第1のトランジスタ100に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第2の容量素子108には第2のトランジスタ101に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第2のトランジスタ101のしきい値電圧が保持され、第1のトランジスタ100の特性(しきい値電圧、移動度など)と第2のトランジスタ101の特性(しきい値電圧、移動度など)は近似していることから、第1のトランジスタ100のしきい値電圧とほぼ等しい電圧が保持される。このとき、第1の実施形態と同様に、ビデオ信号として入力するI dataは数式(1)、第1の容量素子107に保持される電圧は数式(2)で表すことができる。

【0081】

数式(1)、及び数式(2)において、I dataは期間T1において画素に入力されるソース信号線112に流れるビデオ信号の電流値である。は第1のトランジスタ100のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。Vgs(T1)は第1のトランジスタ100のゲートとソースとの間の電圧である。Vthは第1のトランジスタ100と第2のトランジスタ101は対となるトランジスタであるため、第1のトランジスタ100のしきい値電圧であり、第2のトランジスタ101のしきい値電圧でもある。

【0082】

期間T2の動作について説明する。期間T2では、第4のトランジスタ503はオフして第1のトランジスタ100はダイオード接続ではなくなり、第5のトランジスタ504はオフして第2のトランジスタ101はダイオード接続ではなくなる。第6のトランジスタ505はオンして第1の容量素子107と第2の容量素子108が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第7のトランジスタ506はオンして第1のトランジスタ100のゲートとソースとの間の電圧に従った電流がEL素子109に流れる。第3のトランジスタ502はオフしてソース信号線112からのビデオ信号は遮断される。このとき、第1の実施形態と同様に、第1のトランジスタ100のゲート電圧は数式(3)、EL素子109に流れる電流値は数式(4)で表すことができる。

【0083】

数式(3)、及び数式(4)において、I data、 $\beta$ 、Vth、及びVgs(T1)は期間T1と同様なものとする。Ioledは期間T2においてEL素子109に流れる電流値である。すなわち、IoledはT2期間において第1のトランジスタ100のゲートとソースの間に電圧が保持されたことにより、第1のトランジスタ100に流れる電流に等しい。C107は第1の容量素子107の容量値であり第1のトランジスタ100のゲート容量も含んでおり、C108は第2の容量素子108の容量値であり第2のトランジスタ101のゲート容量も含んでいる。

【0084】

数式(4)より、I dataを $[C107 / (C107 + C108)]$ の2乗倍した電流をEL素子109に流すことができる。また、期間T2において、同一のビデオ信号であれば第1のトランジスタ100の特性(しきい値電圧、移動度など)、及び第2のトラ

10

20

30

40

50

ンジスタ101の特性が近似していれば、他の画素との特性がばらついていてもEL素子109に流れる電流値はばらつかない。

【0085】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流をEL素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間T1において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

【0086】

スイッチング素子として、全てPチャンネル型トランジスタを用いることにより、Nチャンネル型トランジスタ用のドーブ工程が必要なくなるため、製造工程が簡略化でき安価に製造することができる。

【0087】

本実施形態では、第2のゲート信号線513と第3のゲート信号線514の制御信号が共通であるため、第2のゲート信号線513と第3のゲート信号線514とを共通にすることができる。ゲート信号線を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

【0088】

第1のトランジスタ100のチャンネル幅、チャンネル長などは第2のトランジスタ101よりも大きいほうが望ましい。第1のトランジスタ100と第2のトランジスタ101は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ100は、第2のトランジスタ101よりもチャンネル幅が広く、チャンネル長が長くするほうがより高開口率を実現することができる。

【0089】

スイッチング素子をPチャンネル型トランジスタとした場合について説明したが、Nチャンネル型トランジスタとしてもよい。その場合、スイッチング素子として動作するトランジスタのゲートに入力する信号を逆にすればよい。

【0090】

(第3の実施形態)

本実施の形態は、一方のトランジスタへの電流の集中によるトランジスタの特性劣化を防ぐために、しきい値電圧を取得するトランジスタでEL素子に流す電流を制御するための表示装置の構成について、図7を参照して説明する。

【0091】

図7において、第1のトランジスタ700は飽和領域で動作するトランジスタあり、ゲートとソースとの間の電圧によってEL素子709に流れる電流値を制御する駆動トランジスタある。第2のトランジスタ701は第1のトランジスタ700としきい値電圧や移動度などの特性が近似しており、第1のトランジスタ700と対をなすトランジスタである。第1のスイッチ702、第2のスイッチ703、第3のスイッチ704、第4のスイッチ705、及び第5のスイッチ706は二つの端子、及び制御端子を有しており、二つの端子の導通(オン)、非導通(オフ)を制御端子によって制御するスイッチング素子である。第1の容量素子707は一对の電極を有しており、第1のトランジスタ700のゲートとソースとの間の電圧を保持するための容量素子である。第2の容量素子708は一对の電極を有しており、第2のトランジスタ701のゲートとソースとの間の電圧を保持するための容量素子である。EL素子709は一对の電極を有しており、電流値に比例して発光輝度が決まるEL素子である。電源線710は1行共通、又は1列共通となっており、画素に電圧を供給するための電源線である。対向電極711は全画素共通となっており、画素に電圧を共通するための対向電極であり、EL素子709の他方電極である。ソース信号線712は1行共通、又は1列共通となっており、画素へのビデオ信号として電

10

20

30

40

50

流信号を伝達するための信号線である。

【 0 0 9 2 】

図7の接続関係を説明する。電源線710は第1のトランジスタ700の第1端子、第2のトランジスタ701の第1端子、第1の容量素子707の一方の電極、及び第2の容量素子708の一方の電極と接続されている。第1の容量素子707の他方の電極は第1のトランジスタ700のゲートと接続され、第2の容量素子708の他方の電極は第2のトランジスタ701のゲートと接続されている。第1の容量素子707の他方の電極、及び第1のトランジスタ700のゲートは第4のスイッチ705を介して第2の容量素子708の他方の電極、及び第2のトランジスタ701のゲートと接続されている。第1のトランジスタ700の第2端子は第2のスイッチ703を介して第1のトランジスタ700のゲート、及び第5のスイッチ706を介してEL素子709の一方の電極と接続されている。第2のトランジスタ701の第2端子は第3のスイッチ704を介して第2のトランジスタ701のゲート、及び第1のスイッチ702を介してソース信号線712と接続されている。

10

【 0 0 9 3 】

ここで、第1の容量素子707の一方の電極、及び第2の容量素子708の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のスイッチ702の制御端子や新たに別の基準線を加えて接続してもよい。第1のスイッチ702、第2のスイッチ703、第3のスイッチ704、第4のスイッチ705、及び第5のスイッチ706の配置に関しては、後に図8で説明する期間T1で図9に示す回路図、期間T2で図10に示す回路図と等価回路にできれば、どこでもよいし、スイッチの数を増やしてもよい。また、図9は期間T1のときの図7の画素回路の等価回路であり、図10は期間T2のときの図7の画素回路の等価回路である。

20

【 0 0 9 4 】

図7の動作について、図8のタイミングチャートを参照して説明する。期間T1の動作について説明する。期間T1では、第2のスイッチ703はオンして第1のトランジスタ700がダイオード接続され、第3のスイッチ704がオンして第2のトランジスタ701がダイオード接続される。第4のスイッチ705はオフして第1のトランジスタ700と第2のトランジスタ701は電氣的に遮断される。第5のスイッチ706はオフしてEL素子709への電流は遮断される。第1のスイッチ702はオンしてソース信号線712からの電流で入力されるビデオ信号が第2のトランジスタ701に流れ、第2の容量素子708には第2のトランジスタ701に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第1の容量素子707には第1のトランジスタ700に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第1のトランジスタ700のしきい値電圧が保持され、第1のトランジスタ700の特性(しきい値電圧、移動度など)と第2のトランジスタ701の特性は近似していることから、第2のトランジスタ701のしきい値電圧とはほぼ等しい電圧が保持される。このとき、ビデオ信号として入力するI d a t aを数式(5)、第2の容量素子708に保持される電圧を数式(6)に示す。

30

【 0 0 9 5 】

【数5】

$$I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (5)$$

【 0 0 9 6 】

【数6】

$$V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (6)$$

【 0 0 9 7 】

上記数式(5)、及び数式(6)において、I d a t aは期間T1において画素に入力

50

されるソース信号線 712 に流れるビデオ信号の電流値である。は第 2 のトランジスタ 701 のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。 $V_{gs}(T1)$  は第 2 のトランジスタ 701 のゲートとソースとの間の電圧である。 $V_{th}$  は第 1 のトランジスタ 700 と第 2 のトランジスタ 701 は対となるトランジスタであるため、第 1 のトランジスタ 700 のしきい値電圧であり、第 2 のトランジスタ 701 のしきい値電圧でもある。

【0098】

期間 T2 の動作について説明する。期間 T2 では、第 2 のスイッチ 703 はオフして第 1 のトランジスタ 700 はダイオード接続ではなくなり、第 3 のスイッチ 704 はオフして第 2 のトランジスタ 701 はダイオード接続ではなくなる。第 4 のスイッチ 705 はオンして第 1 の容量素子 707 と第 2 の容量素子 708 が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第 5 のスイッチ 706 はオンして第 1 のトランジスタ 700 のゲートとソースとの間の電圧に従った電流が EL 素子 709 に流れる。第 1 のスイッチ 702 はオフしてソース信号線 712 からのビデオ信号は遮断される。このとき、第 1 のトランジスタ 700 のゲート電圧を数式 (7)、EL 素子 709 に流れる電流値を数式 (8) に示す。

10

【0099】

【数 7】

$$V_{gs}(T2) = \left( \frac{C708}{C707 + C708} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (7)$$

20

【0100】

【数 8】

$$I_{oled} = \left( \frac{C708}{C707 + C708} \right)^2 I_{data} \quad (8)$$

【0101】

上記数式 (7)、及び数式 (8) において、 $I_{data}$ 、 $V_{th}$ 、及び  $V_{gs}(T1)$  は期間 T1 と同様なものとする。 $I_{oled}$  は期間 T2 において EL 素子 709 に流れる電流値である。すなわち、 $I_{oled}$  は T2 期間において第 1 のトランジスタ 700 のゲートとソースの間に電圧が保持されたことにより、第 1 のトランジスタ 700 に流れる電流に等しい。 $C707$  は第 1 の容量素子 707 の容量値であり第 1 のトランジスタ 700 のゲート容量も含んでおり、 $C708$  は第 2 の容量素子 708 の容量値であり第 2 のトランジスタ 701 のゲート容量も含んでいる。

30

【0102】

上記の数式 (8) より、 $I_{data}$  を  $[C708 / (C707 + C708)]$  の 2 乗倍した電流を EL 素子 709 に流すことができる。また、期間 T2 において、同一のビデオ信号であれば第 1 のトランジスタ 700 の特性 (しきい値電圧、移動度など)、及び第 2 のトランジスタ 701 の特性が近似していれば、他の画素との特性がばらついていても EL 素子 709 に流れる電流値はばらつかない。

40

【0103】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流を EL 素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間 T1 において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

【0104】

駆動トランジスタである第 1 のトランジスタ 700 と、ビデオ信号を書き込むための第 2 のトランジスタ 701 とを設けることによって、どちらかのトランジスタに電流が流れ

50

続けることを防止する。こうすることで、第1のトランジスタ700の特性劣化と第2のトランジスタ701の特性劣化との差が大きくなり、特性が近似しなくなることを防ぎ、より画素間の発光輝度のばらつきが少ない高画質な有機ELディスプレイを提供することができる。

【0105】

本実施形態では、第2のスイッチ703と第3のスイッチ704のオン、又はオフのタイミングが同じため制御端子を共通にすることができる。制御端子を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

【0106】

第1のトランジスタ700のチャンネル幅、チャンネル長などは第2のトランジスタ701よりも大きいほうが望ましい。第1のトランジスタ700と第2のトランジスタ701は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ700は、第2のトランジスタ701よりもチャンネル幅が広く、チャンネル長が長くするほどより高開口率を実現することができる。

【0107】

本実施形態で説明したスイッチング素子は第1の実施形態と同様なものを用いることができる。

【0108】

(第4の実施形態)

第3の実施形態において、スイッチング素子として、トランジスタを用いることができる。本実施の形態では、スイッチング素子として、Pチャンネル型トランジスタを用いた場合の構成について、図11を参照して説明する。

【0109】

図11において、第1のトランジスタ700、第2のトランジスタ701、第1の容量素子707、第2の容量素子708、EL素子709、電源線710、対向電極711、及びソース信号線712は第3の実施形態と同様なものとする。第3のトランジスタ1102、第4のトランジスタ1103、第5のトランジスタ1104、第6のトランジスタ1105、及び第7のトランジスタ1106はスイッチング素子としての機能を有しており線形領域で動作する。第3のトランジスタ1102は第1のゲート信号線1112、第4のトランジスタ1103は第2のゲート信号線1113、第5のトランジスタ1104は第3のゲート信号線1114、第6のトランジスタ1105は第4のゲート信号線1115、第7のトランジスタ1106は第5のゲート信号線1116からのデジタル信号で制御され、Highのときにオフ、Lowのときにオンする。入力されるトランジスタのゲートとソースとの間の電圧がしきい値電圧よりも高くなる信号電圧をHighといい、しきい値電圧よりも低くなる信号電圧をLowという。

【0110】

図11の接続関係を説明する。電源線710は第1のトランジスタ700の第1端子、第2のトランジスタ701の第1端子、第1の容量素子707の一方の電極、及び第2の容量素子708の一方の電極と接続されている。第1の容量素子707の他方の電極は第1のトランジスタ700のゲートと接続され、第2の容量素子708の他方の電極は第2のトランジスタ701のゲートと接続されている。第1の容量素子707の他方の電極、及び第1のトランジスタ700のゲートは第6のトランジスタ1105の第1端子と接続され、第2の容量素子708の他方の電極、及び第2のトランジスタ701のゲートは第6のトランジスタ1105の第2端子と接続されている。第1のトランジスタ700の第2端子はトランジスタ第4のトランジスタ1103の第1端子と接続され、第4のトランジスタ1103の第2端子は第1のトランジスタ700のゲートと接続されている。第1のトランジスタ700の第2端子は第7のトランジスタ1106の第1端子と接続され、第7のトランジスタ1106の第2端子はEL素子709の一方の電極と接続されている。第2のトランジスタ701の第2端子は第5のトランジスタ1104の第1端子と接続さ

10

20

30

40

50

れ、第5のトランジスタ1104の第2端子は第2のトランジスタ701のゲート接続されている。第2のトランジスタ701の第2端子は第3のトランジスタ1102の第1端子と接続され、第3のトランジスタ1102の第2端子はソース信号線712と接続されている。

#### 【0111】

ここで、第3の実施形態と同様に、第1の容量素子707の一方の電極、及び第2の容量素子708の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のゲート信号線1112や新たに別の基準線を加えて接続してもよい。第3のトランジスタ1102、第4のトランジスタ1103、第5のトランジスタ1104、第6のトランジスタ1105、及び第7のトランジスタ1106の配置に関しては、後に図12で説明する期間T1で図15に示す回路図、期間T2で図16に示す回路図と等価回路にできれば、どこでもよいし、トランジスタの数を増やしてもよい。また、図15は期間T1のときの図11の画素回路の等価回路であり、図16は期間T2のときの図11の画素回路の等価回路である。

#### 【0112】

図11の動作について、図12のタイミングチャートを参照して説明する。期間T1の動作について説明する。期間T1では、第4のトランジスタ1103はオンして第1のトランジスタ700がダイオード接続され、第5のトランジスタ1104がオンして第2のトランジスタ701がダイオード接続される。第6のトランジスタ1105はオフして第1のトランジスタ700と第2のトランジスタ701は電氣的に遮断される。第7のトランジスタ1106はオフしてEL素子709への電流は遮断される。第3のトランジスタ1102はオンしてソース信号線712からの電流で入力されるビデオ信号が第2のトランジスタ701に流れ、第2の容量素子708には第2のトランジスタ701に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第1の容量素子707には第1のトランジスタ700に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第1のトランジスタ700のしきい値電圧が保持され、第1のトランジスタ700の特性(しきい値電圧、移動度など)と第2のトランジスタ701の特性は近似していることから、第2のトランジスタ701のしきい値電圧とほぼ等しい電圧が保持される。このとき、第3の実施形態と同様に、ビデオ信号として入力するDataは数式(5)、第2の容量素子708に保持される電圧は数式(6)で示すことができる。

#### 【0113】

数式(5)、及び数式(6)において、Dataは期間T1において画素に入力される第1のソース信号線712に流れるビデオ信号の電流値である。は第2のトランジスタ701のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。Vgs(T1)は第2のトランジスタ701のゲートとソースとの間の電圧である。Vthは第1のトランジスタ700と第2のトランジスタ701は対となるトランジスタであるため、第1のトランジスタ700のしきい値電圧であり、第2のトランジスタ701のしきい値電圧でもある。

#### 【0114】

期間T2の動作について説明する。期間T2では、第4のトランジスタ1103はオフして第1のトランジスタ700はダイオード接続ではなくなり、第5のトランジスタ1104はオフして第2のトランジスタ701はダイオード接続ではなくなる。第6のトランジスタ1105はオンして第1の容量素子707と第2の容量素子708が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第7のトランジスタ1106はオンして第1のトランジスタ700のゲートとソースとの間の電圧に従った電流がEL素子709に流れる。第3のトランジスタ1102はオフしてソース信号線712からのビデオ信号は遮断される。このとき、第3の実施形態と同様に、第1のトランジスタ700のゲート電圧は数式(7)、EL素子709に流れる電流値は数式(8)で示すことができる。

## 【 0 1 1 5 】

数式(7)、及び数式(8)において、 $I_{data}$ 、 $V_{th}$ 、及び $V_{gs}(T1)$ は期間 $T1$ と同様なものとする。 $I_{oled}$ は期間 $T2$ においてEL素子709に流れる電流値である。すなわち、 $I_{oled}$ は $T2$ 期間において第1のトランジスタ700のゲートとソースの間に電圧が保持されたことにより、第1のトランジスタ700に流れる電流に等しい。 $C707$ は第1の容量素子707の容量値であり第1のトランジスタ700のゲート容量も含んでおり、 $C708$ は第2の容量素子708の容量値であり第2のトランジスタ701のゲート容量も含んでいる。

## 【 0 1 1 6 】

数式(8)より、 $I_{data}$ を $[C708 / (C707 + C708)]$ の2乗倍した電流をEL素子709に流すことができる。また、期間 $T2$ において、同一のビデオ信号であれば第1のトランジスタ700の特性(しきい値電圧、移動度など)、及び第2のトランジスタ701の特性が近似していれば、他の画素との特性がばらついていてもEL素子709に流れる電流値はばらつかない。

10

## 【 0 1 1 7 】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流をEL素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間 $T1$ において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

20

## 【 0 1 1 8 】

スイッチング素子として、全てPチャネル型トランジスタを用いることにより、Nチャネル型トランジスタ用のドーピング工程が必要なくなるため、製造工程が簡略化でき安価に製造することができる。

## 【 0 1 1 9 】

駆動トランジスタである第1のトランジスタ700と、ビデオ信号を書き込むための第2のトランジスタ701とを設けることによって、どちらかのトランジスタに電流が流れ続けることを防止する。こうすることで、第1のトランジスタ700の特性劣化と第2のトランジスタ701の特性劣化との差が大きくなり、特性が近似しなくなることを防ぎ、より画素間の発光輝度のばらつきが少ない高画質な有機ELディスプレイを提供することができる。

30

## 【 0 1 2 0 】

本実施形態では、第2のゲート信号線1113と第3のゲート信号線1114の制御信号が共通であるため、第2のゲート信号線1113と第3のゲート信号線1114とを共通にすることができる。ゲート信号線を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

## 【 0 1 2 1 】

第1のトランジスタ700のチャネル幅、チャネル長などは第2のトランジスタ701よりも大きいほうが望ましい。第1のトランジスタ700と第2のトランジスタ701は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ700は、第2のトランジスタ701よりもチャネル幅が広く、チャネル長が長くするほど、より高開口率を実現することができる。

40

## 【 0 1 2 2 】

スイッチング素子をPチャネル型トランジスタとした場合について説明したが、Nチャネル型トランジスタとしてもよい。その場合、スイッチング素子として動作するトランジスタのゲートに入力する信号を逆にすればよい。

## 【 0 1 2 3 】

(第5の実施形態)

50

本実施の形態は、ビデオ信号を書き込み、EL素子に流す電流を制御するためのトランジスタと、しきい値電圧を取得するためのトランジスタとをNチャンネル型トランジスタとするための表示装置の構成について、図13を参照して説明する。

【0124】

図13において、第1のトランジスタ1300は飽和領域で動作するトランジスタあり、ゲートとソース間の電圧によってEL素子1309に流れる電流値を制御する駆動トランジスタである。第2のトランジスタ1301は第1のトランジスタ1300としきい値電圧や移動度などの特性が近似しており、第1のトランジスタ1300と対をなすトランジスタである。第1のスイッチ1302、第2のスイッチ1303、第3のスイッチ1304、第4のスイッチ1305、及び第5のスイッチ1306は二つの端子、及び制御端子を有しており、二つの端子の導通(オン)、非導通(オフ)を制御端子によって制御するスイッチング素子である。第1の容量素子1307は一对の電極を有しており、第1のトランジスタ1300のゲートとソースとの間の電圧を保持するための容量素子である。第2の容量素子1308は一对の電極を有しており、第2のトランジスタ1301のゲートとソースとの間の電圧を保持するための容量素子である。EL素子1309は一对の電極を有しており、電流値に比例して発光輝度が決まるEL素子である。電源線1310は1行共通、又は1列共通となっており、画素に電圧を供給するための電源線である。対向電極1311は全画素共通となっており、画素に電圧を共通するための対向電極であり、EL素子1309の他方電極である。ソース信号線1312は1行共通、又は1列共通となっており、画素へのビデオ信号として電流信号を伝達するための信号線である。

【0125】

図13の接続関係を説明する。電源線1310は第1のトランジスタ1300の第1端子、第2のトランジスタ1301の第1端子、第1の容量素子1307の一方の電極、及び第2の容量素子1308の一方の電極と接続されている。第1の容量素子1307の他方の電極は第1のトランジスタ1300のゲートと接続され、第2の容量素子1308の他方の電極は第2のトランジスタ1301のゲートと接続されている。第1の容量素子1307の他方の電極、及び第1のトランジスタ1300のゲートは第4のスイッチ1305を介して第2の容量素子1308の他方の電極、及び第2のトランジスタ1301のゲート接続されている。第1のトランジスタ1300の第2端子は第2のスイッチ1303を介して第1のトランジスタ1300のゲート、第1のスイッチ1302を介してソース信号線1312、及び第5のスイッチ1306を介してEL素子1309の一方の電極と接続されている。第2のトランジスタ1301の第2端子は第3のスイッチ1304を介して第2のトランジスタ1301のゲートと接続されている。

【0126】

ここで、第1の容量素子1307の一方の電極、及び第2の容量素子1308の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のスイッチ1302の制御端子や新たに別の基準線を加えて接続してもよい。第1のスイッチ1302、第2のスイッチ1303、第3のスイッチ1304、第4のスイッチ1305、及び第5のスイッチ1306の配置に関しては、後に図14で説明する期間T1で図15に示す回路図、期間T2で図16に示す回路図と等価回路にできれば、どこでもよいし、スイッチの数を増やしてもよい。また、図15は期間T1のときの図13の画素回路の等価回路であり、図16は期間T2のときの図13の画素回路の等価回路である。

【0127】

図13の動作について、図14のタイミングチャートを参照して説明する。期間T1の動作について説明する。期間T1では、第2のスイッチ1303はオンして第1のトランジスタ1300がダイオード接続され、第3のスイッチ1304がオンして第2のトランジスタ1301がダイオード接続される。第4のスイッチ1305はオフして第1のトランジスタ1300と第2のトランジスタ1301は電氣的に遮断される。第5のスイッチ1306はオフしてEL素子1309への電流は遮断される。第1のスイッチ1302はオンしてソース信号線1312からの電流で入力されるビデオ信号が第1のトランジスタ

1300に流れ、第1の容量素子1307には第1のトランジスタ1300に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第2の容量素子1308には第2のトランジスタ1301に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第2のトランジスタ1301のしきい値電圧が保持され、第1のトランジスタ1300の特性(しきい値電圧、移動度など)と第2のトランジスタ1301の特性は近似していることから、第1のトランジスタ1300のしきい値電圧とほぼ等しい電圧が保持される。このとき、ビデオ信号として入力する  $I_{data}$  を数式(9)、第1の容量素子1307に保持される電圧を数式(10)に示す。

【0128】

【数9】

$$I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (9)$$

【0129】

【数10】

$$V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (10)$$

【0130】

上記数式(9)、及び数式(10)において、 $I_{data}$  は期間  $T1$  において画素に入力されるソース信号線1312に流れるビデオ信号の電流値である。は第1のトランジスタ1300のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。 $V_{gs}(T1)$  は第1のトランジスタ1300のゲートとソースとの間の電圧である。 $V_{th}$  は第1のトランジスタ1300と第2のトランジスタ1301は対となるトランジスタであるため、は第1のトランジスタ1300のしきい値電圧であり、第2のトランジスタ1301のしきい値電圧でもある。

【0131】

期間  $T2$  の動作について説明する。期間  $T2$  では、第2のスイッチ1303はオフしては第1のトランジスタ1300はダイオード接続ではなくなり、第3のスイッチ1304はオフして第2のトランジスタ1301はダイオード接続ではなくなる。第4のスイッチ1305はオンして第1の容量素子1307と第2の容量素子1308が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第5のスイッチ1306はオンしては第1のトランジスタ1300のゲートとソースとの間の電圧に従った電流が  $E_L$  素子1309に流れる。第1のスイッチ1302はオフしてソース信号線1312からのビデオ信号は遮断される。このとき、は第1のトランジスタ1300のゲート電圧を数式(11)、 $E_L$  素子1309に流れる電流値を数式(12)に示す。

【0132】

【数11】

$$V_{gs}(T2) = \left( \frac{C_{1307}}{C_{1307} + C_{1308}} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (11)$$

【0133】

【数12】

$$I_{oled} = \left( \frac{C_{1307}}{C_{1307} + C_{1308}} \right)^2 I_{data} \quad (12)$$

【0134】

上記数式(11)、及び数式(12)において、 $I_{data}$ 、 $V_{th}$ 、及び  $V_{gs}(T1)$  は期間  $T1$  と同様なものとする。 $I_{oled}$  は期間  $T2$  において  $E_L$  素子1309に流れる電流値である。すなわち、 $I_{oled}$  は  $T2$  期間において第1のトランジスタ

10

20

30

40

50

1300のゲートとソースの間に電圧が保持されたことにより、第1のトランジスタ1300に流れる電流に等しい。C1307は第1の容量素子1307の容量値でありは第1のトランジスタ1300のゲート容量も含んでおり、C1308は第2の容量素子1308の容量値であり第2のトランジスタ1301のゲート容量も含んでいる。

【0135】

上記の数式(12)より、Idataを $[C1307 / (C1307 + C1308)]$ の2乗倍した電流をEL素子1309に流すことができる。また、期間T2において、同一のビデオ信号であれば第1のトランジスタ1300の特性(しきい値電圧、移動度など)、及び第2のトランジスタ1301の特性が近似していれば、他の画素との特性がばらついていてもEL素子1309に流れる電流値はばらつかない。

10

【0136】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流をEL素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間T1において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

【0137】

本実施形態では、第2のスイッチ1303と第3のスイッチ1304のオン、又はオフのタイミングが同じため制御端子を共通にすることができる。制御端子を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

20

【0138】

第1のトランジスタ1300のチャンネル幅、チャンネル長などは第2のトランジスタ1301よりも大きいほうが望ましい。第1のトランジスタ1300の特性と第2のトランジスタ1301は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ1300は、第2のトランジスタ1301のチャンネル幅が広く、チャンネル長が長くするほど、より高開口率を実現することができる。

【0139】

本実施形態で説明したスイッチング素子は第1の実施形態と同様なものを用いることができる。

30

【0140】

(第6の実施形態)

第5の実施形態において、スイッチング素子として、トランジスタを用いることができる。本実施の形態では、スイッチング素子として、Nチャンネル型トランジスタを用いた場合の構成について、図17を参照して説明する。

【0141】

図17において、は第1のトランジスタ1300、第2のトランジスタ1301、第1の容量素子1307、第2の容量素子1308、EL素子1309、電源線1310、対向電極1311、及びソース信号線1312は第5の実施形態と同様なものとする。第3のトランジスタ1702、第4のトランジスタ1703、第5のトランジスタ1704、第6のトランジスタ1705、及び第7のトランジスタ1706はスイッチング素子としての機能を有しており線形領域で動作する。第3のトランジスタ1702は第1のゲート信号線1712、第4のトランジスタ1703は第2のゲート信号線1713、第5のトランジスタ1704は第3のゲート信号線1714、第6のトランジスタ1705は第4のゲート信号線1715、第7のトランジスタ1706は第5のゲート信号線1716からのデジタル信号で制御され、Highのときにオン、Lowのときにオフする。入力されるトランジスタのゲートとソースとの間の電圧がしきい値電圧よりも高くなる信号電圧をHighといい、しきい値電圧よりも低くなる信号電圧をLowという。

40

【0142】

50

図17の接続関係を説明する。電源線1310は第1のトランジスタ1300の第1端子、第2のトランジスタ1301の第1端子、第1の容量素子1307の一方の電極、及び第2の容量素子1308の一方の電極と接続されている。第1の容量素子1307の他方の電極は第1のトランジスタ1300のゲートと接続され、第2の容量素子1308の他方の電極は第2のトランジスタ1301のゲートと接続されている。第1の容量素子1307の他方の電極、及びは第1のトランジスタ1300のゲートは第6のトランジスタ1705の第1端子と接続され、第2の容量素子1308の他方の電極、及び第2のトランジスタ1301のゲートは第6のトランジスタ1705の第2端子と接続されている。第1のトランジスタ1300の第2端子は第4のトランジスタ1703の第1端子と接続され、第4のトランジスタ1703の第2端子は第1のトランジスタ1300のゲートと接続されている。第1のトランジスタ1300の第2端子は第3のトランジスタ1702の第1端子と接続され、第3のトランジスタ1702の第2端子はソース信号線1312と接続されている。第1のトランジスタ1300の第2端子は第7のトランジスタ1706の第1端子と接続され、第7のトランジスタ1706の第2端子はEL素子1309の一方の電極と接続されている。第2のトランジスタ1301の第2端子は第5のトランジスタ1704の第1端子と接続され、第5のトランジスタ1704の第2端子は第2のトランジスタ1301のゲートと接続されている。

10

#### 【0143】

ここで、第5の実施形態と同様に、第1の容量素子1307の一方の電極、及び第2の容量素子1308の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のゲート信号線1712や新たに別の基準線を加えて接続してもよい。第3のトランジスタ1702、第4のトランジスタ1703、第5のトランジスタ1704、第6のトランジスタ1705、及び第7のトランジスタ1706の配置に関しては、後に図18で説明する期間T1で図15に示す回路図、期間T2で図16に示す回路図と等価回路にできれば、どこでもよいし、トランジスタの数を増やしてもよい。また、図15は期間T1のときの図17の画素回路の等価回路であり、図16は期間T2のときの図17の画素回路の等価回路である。

20

#### 【0144】

図17の動作について図18のタイミングチャートを用いて説明する。期間T1の動作について説明する。期間T1では、第4のトランジスタ1703はオンしては第1のトランジスタ1300がダイオード接続され、第5のトランジスタ1704がオンして第2のトランジスタ1301がダイオード接続される。第6のトランジスタ1705はオフして第1のトランジスタ1300と第2のトランジスタ1301は電氣的に遮断される。第7のトランジスタ1706はオフしてEL素子1309への電流は遮断される。第3のトランジスタ1702はオンしてソース信号線1312からの電流で入力されるビデオ信号が第1のトランジスタ1300に流れ、第1の容量素子1307には第1のトランジスタ1300に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第2の容量素子1308には第2のトランジスタ1301に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第2のトランジスタ1301のしきい値電圧が保持され、第1のトランジスタ1300の特性と第2のトランジスタ1301の特性は近似していることから、第1のトランジスタ1300のしきい値電圧とほぼ等しい電圧が保持される。このとき、第5の実施形態と同様に、ビデオ信号として入力するI dataは数式(9)、第1の容量素子1307に保持される電圧は数式(10)で示すことができる。

30

40

#### 【0145】

数式(9)、及び数式(10)において、I dataは期間T1において画素に入力されるソース信号線1312に流れるビデオ信号の電流値である。は第1のトランジスタ1300のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。Vgs(T1)は第1のトランジスタ1300のゲートとソースとの間の電圧である。Vthは第1のトランジスタ1300と第2のトランジスタ1301は対となるトランジスタ

50

であるため、第1のトランジスタ1300のしきい値電圧であり、第2のトランジスタ1301のしきい値電圧でもある。

【0146】

期間T2の動作について説明する。期間T2では、第4のトランジスタ1703はオフして第1のトランジスタ1300はダイオード接続ではなくなり、第5のトランジスタ1704はオフして第2のトランジスタ1301はダイオード接続ではなくなる。第6のトランジスタ1705はオンして第1の容量素子1307と第2の容量素子1308が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第7のトランジスタ1706はオンして第1のトランジスタ1300のゲートとソースとの間の電圧に従った電流がEL素子1309に流れる。第3のトランジスタ1702はオフしてソ  
10  
ース信号線1312からのビデオ信号は遮断される。このとき、第5の実施形態と同様に、第1のトランジスタ1300のゲート電圧は数式(11)、EL素子1309に流れる電流値は数式(12)で示すことができる。

【0147】

数式(11)、及び数式(12)において、 $I_{data}$ 、 $V_{th}$ 、及び $V_{gs}(T1)$ は期間T1と同様なものとする。 $I_{oled}$ は期間T2においてEL素子1309に流れる電流値である。すなわち、 $I_{oled}$ はT2期間において第1のトランジスタ1300のゲートとソースの間に電圧が保持されたことにより、第1のトランジスタ1300に流れる電流に等しい。 $C1307$ は第1の容量素子1307の容量値でありは第1のトランジスタ1300のゲート容量も含んでおり、 $C1308$ は第2の容量素子108の容  
20  
量値であり第2のトランジスタ1301のゲート容量も含んでいる。

【0148】

数式(12)より、 $I_{data}$ を $[C1307 / (C1307 + C1308)]$ の2乗倍した電流をEL素子1309に流すことができる。また、期間T2において、同一のビデオ信号であれば第1のトランジスタ1300の特性(しきい値電圧、移動度など)、及び第2のトランジスタ1301の特性が近似していれば、他の画素との特性がばらついていてもEL素子1309に流れる電流値はばらつかない。

【0149】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流をEL素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間T1において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。  
30

【0150】

また、本実施形態では、スイッチング素子をNチャネル型トランジスタとした場合について説明したが、Pチャネル型トランジスタとしてもよい。その場合、スイッチング素子として動作するトランジスタのゲートに入力する信号を逆にすればよい。

【0151】

スイッチング素子として、全てNチャネル型トランジスタを用いることにより、Pチャネル型トランジスタ用のドーブ工程が必要なくなるため、製造工程が簡略化でき安価に製造することができる。また、Nチャネル型トランジスタのみで構成されるため、アモルファスシリコンを使ってトランジスタを製造可能である。アモルファスシリコンを使って画素を構成する場合は製造工程が容易で、大型化に最適であるため、安価な大型の有機ELディスプレイを製造することが可能である。  
40

【0152】

本実施形態では、第2のゲート信号線1713と第3のゲート信号線1714の制御信号が共通であるため、第2のゲート信号線1713と第3のゲート信号線1714とを共通にすることができる。ゲート信号線を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実  
50

現することができる。

【0153】

第1のトランジスタ1300のチャネル幅、チャネル長などは第2のトランジスタ1301よりも大きいほうが望ましい。第1のトランジスタ1300と第2のトランジスタ1301は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ1300は、第2のトランジスタ1301よりもチャネル幅が広く、チャネル長が長くなるほど、より高開口率を実現することができる。

【0154】

スイッチング素子をNチャネル型トランジスタとした場合について説明したが、Pチャネル型トランジスタとしてもよい。その場合、スイッチング素子として動作するトランジスタのゲートに入力する信号を逆にすればよい。

10

【0155】

(第7の実施形態)

本実施の形態は、一方のトランジスタへの電流の集中によるトランジスタの特性劣化を防ぐために、しきい値電圧を取得するトランジスタでEL素子に流す電流を制御するための表示装置の構成について、図19を参照して説明する。

【0156】

図19において、第1のトランジスタ1900は飽和領域で動作するトランジスタあり、ゲートとソース間の電圧によってEL素子1909に流れる電流値を制御する駆動トランジスタである。第2のトランジスタ1901は第1のトランジスタ1900としきい値電圧や移動度などの特性が近似しており、第1のトランジスタ1900と対をなすトランジスタである。第1のスイッチ1902、第2のスイッチ1903、第3のスイッチ1904、第4のスイッチ1905、及び第5のスイッチ1906は二つの端子、及び制御端子を有しており、二つの端子の導通(オン)、非導通(オフ)を制御端子によって制御するスイッチング素子である。第1の容量素子1907は一对の電極を有しており、第1のトランジスタ1900のゲートとソースとの間の電圧を保持するための容量素子である。第2の容量素子1908は一对の電極を有しており、第2のトランジスタ1901のゲートとソースとの間の電圧を保持するための容量素子である。EL素子1909は一对の電極を有しており、電流値に比例して発光輝度が決まるEL素子である。電源線1910は1行共通、又は1列共通となっており、画素に電圧を供給するための電源線である。対向電極1911は全画素共通となっており、画素に電圧を共通するための対向電極であり、EL素子1909の他方電極である。ソース信号線1912は1行共通、又は1列共通となっており、画素へのビデオ信号として電流信号を伝達するための信号線である。

20

30

【0157】

図19の接続関係を説明する。電源線1910は第1のトランジスタ1900の第1端子、第2のトランジスタ1901の第1端子、第1の容量素子1907の一方の電極、及び第2の容量素子1908の一方の電極と接続されている。第1の容量素子1907の他方の電極は第1のトランジスタ1900のゲートと接続され、第2の容量素子1908の他方の電極は第2のトランジスタ1901のゲートと接続されている。第1の容量素子1907の他方の電極、及び第1のトランジスタ1900のゲートは第4のスイッチ1905を介して第2の容量素子1908の他方の電極、及び第2のトランジスタ1901のゲート接続されている。第1のトランジスタ1900の第2端子は第2のスイッチ1903を介して第1のトランジスタ1900のゲート、及び第5のスイッチ1906を介してEL素子1909の一方の電極と接続されている。第2のトランジスタ1901の第2端子は第3のスイッチ1904を介して第2のトランジスタ1901のゲート、及び第1のスイッチ1902を介してソース信号線1912と接続されている。

40

【0158】

ここで、第1の容量素子1907の一方の電極、及び第2の容量素子1908の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のスイッチ1902の制御端子や新たに別の基準線を加えて接続してもよい。第1のスイッ

50

チ 1902、第2のスイッチ1903、第3のスイッチ1904、第4のスイッチ1905、及び第5のスイッチ1906の配置に関しては、後に図20で説明する期間T1で図21に示す回路図、期間T2で図22に示す回路図と等価回路にできれば、どこでもよいし、スイッチの数を増やしてもよい。また、図21は期間T1のときの図19の画素回路の等価回路であり、図22は期間T2のときの図19の画素回路の等価回路である。

【0159】

図19の動作について、図20のタイミングチャートを参照して説明する。期間T1の動作について説明する。期間T1では、第2のスイッチ1903はオンして第1のトランジスタ1900がダイオード接続され、第3のスイッチ1904がオンして第2のトランジスタ1901がダイオード接続される。第4のスイッチ1905はオフして第1のトランジスタ1900と第2のトランジスタ1901は電氣的に遮断される。第5のスイッチ1906はオフしてEL素子1909への電流は遮断される。第1のスイッチ1902はオンしてソース信号線1912からの電流で入力されるビデオ信号が第2のトランジスタ1901に流れ、第2の容量素子1908には第2のトランジスタ1901に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第1の容量素子1907に第1のトランジスタ1900に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第1のトランジスタ1900のしきい値電圧が保持され、第1のトランジスタ1900の特性と第2のトランジスタ1901の特性は近似していることから、第2のトランジスタ1901のしきい値電圧とほぼ等しい電圧が保持される。このとき、ビデオ信号として入力する  $I_{data}$  を数式(13)、第2の容量素子1908に保持される電圧を数式(14)に示す。

【0160】

【数13】

$$I_{data} = \frac{\beta}{2} [V_{gs}(T1) - V_{th}]^2 \quad (13)$$

【0161】

【数14】

$$V_{gs}(T1) = \sqrt{\frac{2}{\beta} I_{data}} + V_{th} \quad (14)$$

【0162】

上記数式(13)、及び数式(14)において、 $I_{data}$ は期間T1において画素に流入されるソース信号線1912に流れるビデオ信号の電流値である。は第2のトランジスタ1901のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。 $V_{gs}(T1)$ は第2のトランジスタ1901のゲートとソースとの間の電圧である。 $V_{th}$ は第1のトランジスタ1900と第2のトランジスタ1901は対となるトランジスタであるため、第1のトランジスタ1900のしきい値電圧であり、第2のトランジスタ1901のしきい値電圧でもある。

【0163】

期間T2の動作について説明する。期間T2では、第2のスイッチ1903はオフして第1のトランジスタ1900はダイオード接続ではなくなり、第3のスイッチ1904はオフして第2のトランジスタ1901はダイオード接続ではなくなる。第4のスイッチ1905はオンして第1の容量素子1907と第2の容量素子1908が接続され、それぞれの容量素子に保持している電圧は容量結合によって分圧される。第5のスイッチ1906はオンして第1のトランジスタ1900のゲートとソースとの間の電圧に従った電流がEL素子1909に流れる。第1のスイッチ1902はオフしてソース信号線1912からのビデオ信号は遮断される。このとき、第1のトランジスタ1900のゲート電圧を数式(15)、EL素子1909に流れる電流値を数式(16)に示す。

【0164】

【数15】

$$V_{gs}(T2) = \left( \frac{C1908}{C1907 + C1908} \right) [V_{gs}(T1) - V_{th}] + V_{th} \quad (15)$$

【0165】

【数16】

$$I_{oled} = \left( \frac{C1908}{C1907 + C1908} \right)^2 I_{data} \quad (16)$$

【0166】

10

上記数式(15)、及び数式(16)において、 $I_{data}$ 、 $V_{th}$ 、及び $V_{gs}(T1)$ は期間T1と同様なものとする。 $I_{oled}$ は期間T2においてEL素子1909に流れる電流値である。すなわち、 $I_{oled}$ はT2期間において第1のトランジスタ1900のゲートとソースの間に電圧が保持されたことにより、第1のトランジスタ1900に流れる電流に等しい。 $C1907$ は第1の容量素子1907の容量値であり第1のトランジスタ1900のゲート容量も含んでおり、 $C1908$ は第2の容量素子1908の容量値であり第2のトランジスタ1901のゲート容量も含んでいる。

【0167】

上記の数式(16)より、 $I_{data}$ を $[C1908 / (C1907 + C1908)]$ の2乗倍した電流をEL素子1909に流すことができる。また、期間T2において、同一のビデオ信号であれば第1のトランジスタ1900の特性(しきい値電圧、移動度など)、及び第2のトランジスタ1901の特性が近似していれば、他の画素との特性がばらついていてもEL素子1909に流れる電流値はばらつかない。

20

【0168】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流をEL素子に流すことができる。そのため低階調を表現する場合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間T1において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

30

【0169】

駆動トランジスタである第1のトランジスタ1900と、ビデオ信号を書き込むための第2のトランジスタ1901とを設けることによって、どちらかのトランジスタに電流が流れ続けることを防止する。こうすることで、第1のトランジスタ1900の特性劣化と第2のトランジスタ1901の特性劣化との差が大きくなり、特性が近似しなくなることを防ぎ、より画素間の発光輝度のばらつきが少ない高画質な有機ELディスプレイを提供することができる。また、トランジスタ特性の劣化はアモルファスシリコンによって構成されるトランジスタに顕著に現れることが知られている。

【0170】

本実施形態では、第2のスイッチ1903と第3のスイッチ1904のオン、又はオフのタイミングが同じため制御端子を共通にすることができる。制御端子を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

40

【0171】

第1のトランジスタ1900のチャンネル幅、チャンネル長などは第2のトランジスタ1901よりも大きいほうが望ましい。第1のトランジスタ1900と第2のトランジスタ1901は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ1900は、第2のトランジスタ1901よりもチャンネル幅が広く、チャンネル長が長くなるほど、より高開口率を実現することができる。

【0172】

50

本実施形態で説明したスイッチング素子は第1の実施形態と同様なものを用いることができる。

【0173】

(第8の実施形態)

上記第7の実施形態において、スイッチング素子として、トランジスタを用いることができる。スイッチング素子として、Nチャンネル型トランジスタを用いた場合の構成について、図23を参照して説明する。

【0174】

図23において、第1のトランジスタ1900、第2のトランジスタ1901、第1の容量素子1907、第2の容量素子1908、EL素子1909、電源線1910、対向電極1911、及びソース信号線1912は第7の実施形態と同様なものとする。第3のトランジスタ2302、第4のトランジスタ2303、第5のトランジスタ2304、第6のトランジスタ2305、及び第7のトランジスタ2306はスイッチング素子としての機能を有しており線形領域で動作する。第3のトランジスタ2302は第1のゲート信号線2312、第4のトランジスタ2303は第2のゲート信号線2313、第5のトランジスタ2304は第3のゲート信号線2314、第6のトランジスタ2305は第4のゲート信号線2315、第7のトランジスタ2306は第5のゲート信号線2316からのデジタル信号で制御され、Highのときにオン、Lowのときにオフする。入力されるトランジスタのゲートとソースとの間の電圧がしきい値電圧よりも高くなる信号電圧をHighといい、しきい値電圧よりも低くなる信号電圧をLowという。

10

20

【0175】

図23の接続関係を説明する。電源線1910は第1のトランジスタ1900の第1端子、第2のトランジスタ1901の第1端子、第1の容量素子1907の一方の電極、及び第2の容量素子1908の一方の電極と接続されている。第1の容量素子1907の他方の電極は第1のトランジスタ1900のゲートと接続され、第2の容量素子1908の他方の電極は第2のトランジスタ1901のゲートと接続されている。第1の容量素子1907の他方の電極、及び第1のトランジスタ1900のゲートは第6のトランジスタ2305の第1端子と接続され、第2の容量素子1908の他方の電極、及び第2のトランジスタ1901のゲートは第6のトランジスタ2305の第2端子と接続されている。第1のトランジスタ1900の第2端子は第4のトランジスタ2303の第1端子と接続され、第4のトランジスタ2303の第2端子は第1のトランジスタ1900のゲートと接続されている。第1のトランジスタ1900の第2端子は第7のトランジスタ2306の第1端子と接続され、第7のトランジスタ2306の第2端子はEL素子1909の一方の電極と接続されている。第2のトランジスタ1901の第2端子は第5のトランジスタ2304の第1端子と接続され、第5のトランジスタ2304の第2端子は第2のトランジスタ1901のゲートと接続されている。第2のトランジスタ1901の第2端子は第3のトランジスタ2302の第1端子と接続され、第3のトランジスタ2302の第2端子はソース信号線1912と接続されている。

30

【0176】

ここで、第7の実施形態と同様に、第1の容量素子1907の一方の電極、及び第2の容量素子1908の一方の電極は、動作時に一定となる端子に接続されていればよく、例えば、別の1行前の第1のゲート信号線2312や新たに別の基準線を加えて接続してもよい。第3のトランジスタ2302、第4のトランジスタ2303、第5のトランジスタ2304、第6のトランジスタ2305、及び第7のトランジスタ2306の配置に関しては、後に図41で説明する期間T1で図21に示す回路図、期間T2で図22に示す回路図と等価回路にできれば、どこでもよいし、トランジスタの数を増やしてもよい。また、図21は期間T1のときの図41の画素回路の等価回路であり、図22は期間T2のときの図41の画素回路の等価回路である。

40

【0177】

期間T1の動作について説明する。期間T1では、第4のトランジスタ2303はオン

50

して第1のトランジスタ1900がダイオード接続され、第5のトランジスタ2304がオンして第2のトランジスタ1901がダイオード接続される。第6のトランジスタ2305はオフして第1のトランジスタ1900と第2のトランジスタ1901は電氣的に遮断される。第7のトランジスタ2306はオフしてEL素子1909への電流は遮断される。第3のトランジスタ2302はオンしてソース信号線1912からの電流で入力されるビデオ信号が第2のトランジスタ1901に流れ、第2の容量素子1908には第2のトランジスタ1901に流れる電流がビデオ信号の電流となるようなゲートとソースとの間の電圧を保持される。第1の容量素子1907には第1のトランジスタ1900に流れる電流がゼロとなるようなゲートとソースとの間の電圧が保持される。つまり、第1のトランジスタ1900のしきい値電圧が保持され、第1のトランジスタ1900の特性（しきい値電圧、移動度など）と第2のトランジスタ1901の特性は近似していることから、第2のトランジスタ1901のしきい値電圧とほぼ等しい電圧が保持される。このとき、第7の実施形態と同様に、ビデオ信号として入力するI d a t aは数式(13)、第2の容量素子1908に保持される電圧は数式(14)で示すことができる。

10

#### 【0178】

数式(13)、及び数式(14)において、I d a t aは期間T1において画素に入力されるソース信号線1912に流れるビデオ信号の電流値である。は第2のトランジスタ1901のチャンネル長、チャンネル幅、移動度、酸化膜の容量値などを含む定数である。V g s ( T 1 ) は第2のトランジスタ1901のゲートとソースとの間の電圧である。V t hは第1のトランジスタ1900と第2のトランジスタ1901は対となるトランジスタであるため、第1のトランジスタ1900のしきい値電圧であり、第2のトランジスタ1901のしきい値電圧でもある。

20

#### 【0179】

期間T2の動作について説明する。期間T2では、第4のトランジスタ2303はオフして第1のトランジスタ1900はダイオード接続ではなくなり、第5のトランジスタ2304はオフして第2のトランジスタ1901はダイオード接続ではなくなる。第6のトランジスタ2305はオンして第1の容量素子1907と第2の容量素子1908が接続され、それぞれの容量素子に保持している電圧は容量結合によって分割される。第7のトランジスタ2306はオンして第1のトランジスタ1900のゲートとソースとの間の電圧に従った電流がEL素子1909に流れる。第3のトランジスタ2302はオフしてソース信号線1912からのビデオ信号は遮断される。このとき、第7の実施形態と同様に、第1のトランジスタ1900のゲート電圧は数式(14)、EL素子1909に流れる電流値は数式(16)で示すことができる。

30

#### 【0180】

数式(14)、及び数式(16)において、I d a t a、V t h、及びV g s ( T 1 ) は期間T1と同様なものとする。I o l e dは期間T2においてEL素子1909に流れる電流値である。すなわち、I o l e dはT2期間において第1のトランジスタ1900のゲートとソースの間に電圧が保持されたことにより、第1のトランジスタ1900に流れる電流に等しい。C 1 9 0 7は第1の容量素子1907の容量値であり第1のトランジスタ1900のゲート容量も含んでおり、C 1 9 0 8は第2の容量素子1908の容量値であり第2のトランジスタ1901のゲート容量も含んでいる。

40

#### 【0181】

数式(16)より、I d a t aを $[C 1 9 0 8 / (C 1 9 0 7 + C 1 9 0 8)]$ の2乗倍した電流をEL素子1909に流すことができる。また、期間T2において、同一のビデオ信号であれば第1のトランジスタ1900の特性（しきい値電圧、移動度など）、及び第2のトランジスタ1901の特性が近似していれば、他の画素との特性がばらついていてもEL素子1909に流れる電流値はばらつかない。

#### 【0182】

こうして、駆動トランジスタの特性のばらつきを補償し、且つ画素へ入力したビデオ信号の電流よりも小さい電流をEL素子に流すことができる。そのため低階調を表現する場

50

合においても、ビデオ信号として微小な電流を入力せずに、ある程度大きい電流を入力することができるので、ソース信号線の寄生容量などの充電時間を速くすることができる。また、期間T1において、しきい値電圧の取得とビデオ信号の書込みを同時に行うことから一画素あたりの書込み時間を短縮できる。

【0183】

駆動トランジスタである第1のトランジスタ1900と、ビデオ信号を書き込むための第2のトランジスタ1901とを設けることによって、どちらかのトランジスタに電流が流れ続けることを防止する。こうすることで、第1のトランジスタ1900の特性劣化と第2のトランジスタ1901の特性劣化との差が大きくなり、特性が近似しなくなることを防ぎ、より画素間の発光輝度のばらつきが少ない高画質な有機ELディスプレイを提供することができる。また、トランジスタ特性の劣化はアモルファスシリコンによって構成されるトランジスタに顕著に現れることが知られている。

10

【0184】

スイッチング素子として、全てNチャネル型トランジスタを用いることにより、Pチャネル型トランジスタ用のドーピング工程が必要なくなるため、製造工程が簡略化でき安価に製造することができる。また、Nチャネル型トランジスタのみで構成されるため、アモルファスシリコンを使ってトランジスタを製造可能である。アモルファスシリコンを使って画素を構成する場合は製造工程が容易で、大型化に最適であるため、安価な大型の有機ELディスプレイを製造することが可能である。

20

【0185】

本実施形態では、第2のゲート信号線2313と第3のゲート信号線2314の制御信号が共通であるため、第2のゲート信号線2313と第3のゲート信号線2314とを共通にすることができる。ゲート信号線を共通化することで画素へ入力する信号数、及び配線数を減らすことができるため画素を制御するドライバ回路を簡略化でき、高開口率を実現することができる。

【0186】

第1のトランジスタ1900のチャンネル幅、チャンネル長などは第2のトランジスタ1901よりも大きいほうが望ましい。第1のトランジスタ1900と第2のトランジスタ1901は特性(しきい値電圧、移動度など)が近似していればよいので、第1のトランジスタ1900は、第2のトランジスタ1901よりもチャンネル幅が広く、チャンネル長が長くなるほどより高開口率を実現することができる。

30

【0187】

スイッチング素子をNチャネル型トランジスタとした場合について説明したが、Pチャネル型トランジスタとしてもよい。その場合、スイッチング素子として動作するトランジスタのゲートに入力する信号を逆にすればよい。

【0188】

(第9の実施形態)

本実施形態では、第1の実施形態、乃至第8の実施形態で説明した画素を有する表示装置、及び表示装置が有するソースドライバやゲートドライバなどの構成の一例とその動作について説明する。

40

【0189】

まず、第1の実施形態、乃至第8の実施形態で説明した画素を有する表示装置について、図42を参照して説明する。

【0190】

図42において、ソースドライバ9000は画素部9003にビデオ信号を順次出力し、ビデオ信号として電流信号を出力するドライバ回路である。ソース信号線であるS-1、S-2、S-mは画素9002にソースドライバ9000から出力するビデオ信号を伝達するための信号線であり、m行(mは2以上の自然数)のソース信号線を有している。ゲートドライバ9001は画素部9003に制御信号を順次出力し、画素9002を走査、及び制御するドライバ回路である。ゲート信号線G1-1、G1-2、G1-3、G1

50

- 4、G 1 - 5、G 2 - 1、G 2 - 2、G 2 - 3、G 2 - 4、G 2 - 5、G n - 1、G n - 2、G n - 3、G n - 4、G n - 5は画素9 0 0 2へゲートドライバ9 0 0 1から出力する制御信号を伝達するための信号線であり、n行(nは2以上の自然数)のゲート信号線を有している。画素9 0 0 2は第1の実施形態、乃至第8の実施形態で説明した画素構成である。また、図4 2に示す表示装置において、便宜上、電源線などの配線は示していないが、必要に応じて追加してもよい。

【0 1 9 1】

図4 2に示す動作は第1の実施形態、乃至第8の実施形態で説明した動作が可能のようにソースドライバ9 0 0 0はビデオ信号を出力し、ゲートドライバ9 0 0 1は制御信号を出力する。また、図4 2においては、ゲートドライバ9 0 0 1は5本のゲート信号線を使い制御信号を伝達しているが、制御信号を共通化できるゲート信号線については、ゲート信号線を共通化してもよい。また、ゲートドライバ9 0 0 1は第1の実施形態、乃至第8の実施形態で説明した制御信号を実現できる回路であれば、例えばシフトレジスタを用いても、デコーダ回路を用いてもよい。もろろん、バッファ回路やレベルシフト回路やパルス幅制御回路などを用いて、波形や電圧を変更してもよい。

【0 1 9 2】

ここで、図4 2に示すソースドライバ9 0 0 0の構成の一例を図4 3を参照して説明する。

【0 1 9 3】

図4 3において、シフトレジスタ9 1 0 0は任意のタイミングで1行目から順に走査信号を出力し、スイッチ9 1 0 1のオン、又はオフを選択する回路であり、図示していないスタートパルスによって走査が始まる。電流源9 1 0 4はビデオ信号を生成する電流源であり、画素の発光輝度にあわせてビデオ信号の電流値を変化することができる。スイッチ9 1 0 1はシフトレジスタ9 1 0 0から出力される走査信号によってオン、又はオフが制御され、オンしたスイッチ9 1 0 1を介して第1のラッチ回路9 1 0 2へビデオ信号を伝達するスイッチング素子である。第1のラッチ回路9 1 0 2はスイッチ9 1 0 1を介して伝達されるビデオ信号を1列から順に保持し、全列保持が終わると保持したビデオ信号を全列同時に第2のラッチ回路9 1 0 3に出力する回路である。また、第1のラッチ回路9 1 0 2は第1のラッチ回路制御線9 1 0 5によって伝達される制御信号により制御されている。第2のラッチ回路9 1 0 3は第1のラッチ回路9 1 0 2より出力されるビデオ信号を保持し、保持が終わると保持したビデオ信号を全列同時にソース信号線に出力する回路である。また、第2のラッチ回路9 1 0 3は第2のラッチ回路制御線9 1 0 6によって制御されている。

【0 1 9 4】

図4 3の動作について、第1の期間と第2の期間とに分けて説明する。第1の期間について説明する。第1の期間では、シフトレジスタ9 1 0 0から出力される走査信号によってスイッチ9 1 0 1が順にオンする。スイッチ9 1 0 1がオンした列では、スイッチ9 1 0 1を介してビデオ信号を第1のラッチ回路9 1 0 2に保持する。これは最終列の第1のラッチ回路9 1 0 2にビデオ信号が保持されるまで続ける。また、このとき、第1のラッチ回路9 1 0 2と第2のラッチ回路9 1 0 3は電氣的に非接続状態となっており、第1のラッチ回路9 1 0 2の出力は、第2のラッチ回路9 1 0 3に入力されていない。第2のラッチ回路9 1 0 3は、前の動作で保持したビデオ信号に対応した電流をソース信号線に出力している。

【0 1 9 5】

第2の期間について説明する。第2の期間では、シフトレジスタ9 1 0 0から走査信号は出力されておらず、いずれのスイッチ9 1 0 1もオフしている。そのため、いずれの第1のラッチ回路9 1 0 2もビデオ信号は入力されていない。第1のラッチ回路9 1 0 2は前の動作で保持したビデオ信号を第2のラッチ回路9 1 0 3に全列同時に出力し、第2のラッチ回路9 1 0 3は入力されたビデオ信号を保持する。このとき、第2のラッチ回路9 1 0 3とソース信号線は電氣的に非接続状態となっており、ソース信号線にはビデオ信号

は出力されていない。このように、第1の期間、及び第2の期間繰り返すことで画素へビデオ信号を伝達することができる。

【0196】

図43において、電流源9104の電流の向きは、各ソース信号線内において各画素から第2のラッチ回路9103の方向に電流が流れる様な向きとなっている。これは、画素の駆動トランジスタがPチャンネル型トランジスタのときに有利である。また、画素の駆動トランジスタがNチャンネル型トランジスタの場合は電流源9104の電流の向きを逆向きにすればよい。

【0197】

電流源の構成として、ガラス基板上にトランジスタを用いて電流源9104を作成する場合は、カレントミラー回路を用いて作成してもよい。カレントミラー回路を用いるとコントローラなどの外部回路から入力された電流を簡単に増幅、減少することができるため、より正確な電流をビデオ信号とすることができる。

【0198】

図43において、ビデオ信号を生成する電流源は一つとしているが、これに限定しない。例えば、電流源を二つした場合は、同時にビデオ信号を二つ生成することができるので、シフトレジスタ9100から出力される走査信号で同時に2列分のスイッチ9101をオンすることができ、2列同時に動作することが可能である。つまり、シフトレジスタ9100の回路規模を半分にでき、且つ全列走査する時間を半分に短縮できるため、列数が多い大型表示装置でも動作可能となる。

【0199】

第2のラッチ回路9103から出力されるビデオ信号はソース信号線に出力されているが、アナログバッファ回路などを介して出力してもよい。アナログバッファ回路を介して出力すると、ノイズに強く、より正確に画素にビデオ信号を書き込むことができる。

【0200】

第1のラッチ回路9102を制御する第1のラッチ回路制御線9105、及び第2のラッチ回路9103を制御する第2のラッチ回路制御線9106に inputsする制御信号はシフトレジスタ9100の出力パルスを使ってもよい。また、スタートパルスを使ってもよい。シフトレジスタ9100の出力パルス、又はスタートパルスを使うことでコントローラから入力する信号数が減るため、外部回路が容易に作成でき、省スペース化、省電力化を実現することができる。

【0201】

ここで、図42に示すソースドライバ9000の構成の一例を図44を参照して説明する。

【0202】

図44において、シフトレジスタ9200は任意のタイミングで1行目から順に走査信号を出力し、第1のラッチ回路9201でラッチ可能か否かを選択する回路であり、図示していないがスタートパルスによって走査が始まる。ビデオ信号線9206はデジタル値であるビデオ信号を電圧で伝達するための信号線であり、画素の発光輝度にあわせてビデオ信号を変化することができる。第1のラッチ回路9201はビデオ信号を1列目から順位保持し、全列保持が終わると保持したビデオ信号を全列同時に第2のラッチ回路9202に出力する回路である。また、第1のラッチ回路9201は第1のラッチ回路制御線9207によって伝達される制御信号により制御されている。第2のラッチ回路9202は第1のラッチ回路9201により出力されるビデオ信号を保持し、保持が終わると保持したビデオ信号を全列同時にDAC9203へ出力する回路である。また、第2のラッチ回路9202は第2のラッチ回路制御線9208によって制御されている。DAC9203は第2のラッチ回路9202の出力である複数のデジタル値であるビデオ信号を入力し、アナログ電圧としてトランジスタ9204に出力するデジタルアナログ変換回路である。トランジスタ9204は電流源として動作するトランジスタであり、ソースとなる基準電圧9205とDAC9203から出力されるアナログ電圧の電位差によってソース信号線

10

20

30

40

50

へ出力する電流値を決定する。

【0203】

図44の動作について、第1の期間と第2の期間とに分けて説明する。第1の期間について説明する。第1の期間では、シフトレジスタ9200から出力される走査信号によって、第1のラッチ回路9201が1列目から順にビデオ信号を保持する。これは最終列の第1のラッチ回路9201にビデオ信号が保持されるまで続ける。また、このとき第1のラッチ回路9201と第2のラッチ回路9202は電氣的に非接続状態となっており、第1のラッチ回路9201の出力は第2のラッチ回路9202に入力されていない。第2のラッチ回路9202は、前の動作で保持したビデオ信号をDAC9203へ出力しており、DAC9203は入力されたビデオ信号に対応したアナログ電圧をトランジスタ9204のゲートに出力している。ここで、基準電圧9205は必ずソースとなるように動作する。つまり、DAC9203の出力電圧と基準電圧9205との間の電位差によってソース信号線に流れる電流値が決定する。

10

【0204】

第2の期間について説明する。第2の期間では、シフトレジスタ9200から走査信号は出力されておらず、いずれの第1のラッチ回路9201も新たにビデオ信号を保持しない。第1のラッチ回路9201は前の動作で保持したビデオ信号を全列同時に第2のラッチ回路9202に出力し、第2のラッチ回路9202は入力されたビデオ信号を保持する。このとき、ソースドライバ9000とソース信号線は電氣的に非接続状態とする。

20

【0205】

このように、第1の期間、及び第2の期間を繰り返すことで画素へのビデオ信号を伝達することができる。

【0206】

図43において、ビデオ信号線9206は複数に分割することができる。例えば二つに分割した場合は、シフトレジスタ9200から出力される走査信号で同時に2列分の第1のラッチ回路9201でビデオ信号の保持を可能とし、別々のビデオ信号を保持することができる。つまり、シフトレジスタ9200の回路規模を半分にでき、且つ全列走査する時間を半分に短縮できるため、列数が多い大型表示装置でも動作可能となる。

【0207】

トランジスタ9204から出力されるビデオ信号はソース信号線に出力されているが、アナログバッファ回路などを介して出力してもよい。アナログバッファ回路を介して出力すると、ノイズに強く、より正確に画素にビデオ信号を書き込むことができる。

30

【0208】

トランジスタ9204は図44ではNチャンネル型トランジスタを用いているがPチャンネル型トランジスタとしてもよい。Nチャンネル型トランジスタの場合は電流の向きが基準電圧9205へ流れるような出力のときに、ソースの電位が固定されるため有利である。Pチャンネル型トランジスタの場合は電流の向きがソース信号線へ流れるような出力のときに、ソースの電位が固定されるため有利である。

【0209】

第1のラッチ回路9201を制御する第1のラッチ回路制御線9207、及び第2のラッチ回路9202を制御する第2のラッチ回路制御線9208に入力する制御信号はシフトレジスタ9200の出力パルスを使ってもよい。また、スタートパルスを使ってもよい。シフトレジスタ9200の出力パルス、又はスタートパルスを使うことでコントローラから入力する信号数が減るため、外部回路が容易に作成でき、省スペース化、省電力化を実現することができる。

40

【0210】

ここで、図42に示すソースドライバ9000の構成の一例を図45を参照して説明する。

【0211】

図45において、シフトレジスタ9300は任意のタイミングで1行目から順に走査信

50

号を出力し、第1のラッチ回路9301でラッチ可能か否かを選択する回路であり、図示していないがスタートパルスによって走査が始まる。ビデオ信号線9309はデジタル値であるビデオ信号を電圧で伝達するための信号線であり、画素の発光輝度にあわせてビデオ信号を変化することができる。第1のラッチ回路9301はビデオ信号を1列目から順位保持し、全列保持が終わると保持したビデオ信号を全列同時に第2のラッチ回路9302に出力する回路である。また、第1のラッチ回路9301は第1のラッチ回路制御線9310によって伝達される制御信号により制御されている。第2のラッチ回路9302は第1のラッチ回路9301により出力されるビデオ信号を保持し、保持が終わると保持したビデオ信号を全列同時に第1のスイッチ9303、第2のスイッチ9304、及び第3のスイッチ9305に出力し、オン、又はオフを制御する回路である。また、第2のラッチ回路9302は第2のラッチ回路制御線9311によって制御されている。第1のスイッチ9303は一方の端子に第1の電流源9306を有しており、第1のスイッチ9303がオンとなったときにソース信号線に第1の電流源9306の電流値を出力するスイッチング素子である。第2のスイッチ9304は一方の端子に第2の電流源9307を有しており、第2のスイッチ9304がオンとなったときにソース信号線に第2の電流源9307の電流値を出力するスイッチング素子である。第3のスイッチ9305は一方の端子に第3の電流源9308を有しており、第3のスイッチ9305がオンとなったときにソース信号線に第3の電流源9308の電流値を出力するスイッチング素子である。

10

#### 【0212】

図45の動作について、第1の期間と第2の期間とに分けて説明する。第1の期間について説明する。第1の期間では、シフトレジスタ9300から出力される走査信号によって、第1のラッチ回路9301が1列目から順にビデオ信号を保持する。これは最終列の第1のラッチ回路9301にビデオ信号が保持されるまで続ける。また、このとき第1のラッチ回路9301と第2のラッチ回路9302は電氣的に非接続状態となっており、第1のラッチ回路9301の出力は第2のラッチ回路9302に入力されていない。第2のラッチ回路9302は、前の動作で保持したビデオ信号を第1のスイッチ9303、第2のスイッチ9304、及び第3のスイッチ9305に出力しており、それぞれのスイッチは入力されるビデオ信号によってオン、又はオフが決定する。つまり、ソース信号線に出力される電流値は、それぞれのオンとなったスイッチに接続されている第1の電流源9306、第2の電流源9307、及び第3の電流源9308の電流値の合計となる。

20

30

#### 【0213】

第2の期間について説明する。第2の期間では、シフトレジスタ9300から走査信号は出力されておらず、いずれの第1のラッチ回路9301も新たにビデオ信号を保持しない。第1のラッチ回路9301は前の動作で保持したビデオ信号を全列同時に第2のラッチ回路9302に出力し、第2のラッチ回路9302は入力されたビデオ信号を保持する。このとき、ソースドライバ9000とソース信号線は電氣的に非接続状態とする。このように、第1の期間、及び第2の期間を繰り返すことで画素へのビデオ信号を伝達することができる。

#### 【0214】

図45において、ビデオ信号線9309は複数に分割することができる。例えば二つに分割した場合は、シフトレジスタ9300から出力される走査信号で同時に2列分の第1のラッチ回路9301でビデオ信号の保持を可能とし、別々のビデオ信号を保持することができる。つまり、シフトレジスタ9300の回路規模を半分にし、且つ全列走査する時間を半分に短縮できるため、列数が多い大型表示装置でも動作可能となる。

40

#### 【0215】

第1のラッチ回路9301を制御する第1のラッチ回路制御線9310、及び第2のラッチ回路9302を制御する第2のラッチ回路制御線9311に入力する制御信号はシフトレジスタ9300の出力パルスを使ってもよい。また、スタートパルスを使ってもよい。シフトレジスタ9300の出力パルス、又はスタートパルスを使うことでコントローラから入力する信号数が減るため、外部回路が容易に作成でき、省スペース化、省電力化を

50

実現することができる。

【0216】

本実施形態で説明したスイッチング素子は第1の実施形態と同様なものを用いることができる。

【実施例1】

【0217】

本実施例では、画素の構成例について説明する。図24(A)及び図24(B)は、本発明に係るパネルの画素の断面図である。画素に配置されるスイッチング素子としてトランジスタを用い、画素に配置される表示媒体として発光素子を用いた例を示す。

【0218】

図24(A)及び図24(B)において、2400は基板、2401は下地膜、2402は第1の半導体層、2412は第2の半導体層、2403は第1の絶縁膜、2404はゲート電極、2414は第3の電極、2405は第2の絶縁膜、2406は第1の電極、2407は第2の電極、2408は第3の絶縁膜、2409は発光層、2416は第5の電極である。2410はトランジスタ、2415は発光素子、2411は容量素子である。図24では、画素を構成する素子として、トランジスタ2410と、容量素子2411とを代表で示した。図24(A)の構成について説明する。

【0219】

基板2400としては、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレスを含む金属基板または半導体基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板を用いても良い。基板2400の表面を、CMP法などの研磨により平坦化しておいても良い。

【0220】

下地膜2401としては、酸化シリコンや、窒化シリコンまたは窒化酸化シリコンなどの絶縁膜を用いることができる。下地膜2401によって、基板2400に含まれるNaなどのアルカリ金属やアルカリ土類金属が第1の半導体層2402に拡散しトランジスタ2410の特性(しきい値電圧、移動度など)に悪影響をおよぼすのを防ぐことができる。図24では、下地膜2401を単層の構造としているが、2層あるいはそれ以上の複数層で形成してもよい。なお、石英基板など不純物の拡散がさして問題とならない場合は、下地膜2401を必ずしも設ける必要はない。

【0221】

第1の半導体層2402及び第2の半導体層2412としては、パターンニングされた結晶性半導体膜や非晶質半導体膜を用いることができる。結晶性半導体膜は非晶質半導体膜を結晶化して得ることができる。結晶化方法としては、レーザ結晶化法、RTA又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等を用いることができる。第1の半導体層2402は、チャネル形成領域と、導電型を付与する不純物元素が添加された一対の不純物領域とを有する。なお、チャネル形成領域と一対の不純物領域との間に、不純物元素が低濃度で添加された不純物領域を有していてもよい。第2の半導体層2412には、全体に導電型を付与する不純物元素が添加された構成とすることができる。

【0222】

第1の絶縁膜2403としては、酸化シリコン、窒化シリコンまたは窒化酸化シリコン等を用い、単層または複数の膜を積層させて形成することができる。なお、第1の絶縁膜2403として水素を含む膜を用い、第1の半導体層2402を水素化してもよい。

【0223】

ゲート電極及び第4の電極2414としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた一種の元素または該元素を複数含む合金若しくは化合物からなる単層または積層構造を用いることができる。

【0224】

10

20

30

40

50

トランジスタ 2410 は、第 1 の半導体層 2402 と、ゲート電極 2404 と、第 1 の半導体層 2402 とゲート電極 2404 との間の第 1 の絶縁膜 2403 とによって構成される。図 24 では、画素を構成するトランジスタとして、発光素子 2415 の第 2 の電極 2407 に接続されたトランジスタ 2410 のみを示したが、複数のトランジスタを有する構成としてもよい。また、本実施例では、トランジスタ 2410 をトップゲート型のトランジスタとして示したが、半導体層の下方にゲート電極を有するボトムゲート型のトランジスタであっても良いし、半導体層の上下にゲート電極を有するデュアルゲート型のトランジスタであっても良い。

#### 【0225】

容量素子 2411 は、第 1 の絶縁膜 2403 を誘電体とし、第 1 の絶縁膜 2403 を挟んで対向する第 2 の半導体層 2412 と第 4 の電極 2414 とを一对の電極として構成される。なお、図 24 では、画素の有する容量素子として、一对の電極の一方をトランジスタ 2410 の第 1 の半導体層 2402 と同時に形成される第 2 の半導体層 2412 とし、他方の電極をトランジスタ 2410 のゲート電極 2404 と同時に形成される第 4 の電極 2414 とした例を示したが、この構成に限定されない。

#### 【0226】

第 2 の絶縁膜 2405 としては、無機絶縁膜や有機絶縁膜の単層または積層を用いることができる。無機絶縁膜としては、CVD 法により形成された酸化シリコン膜や、SOG (Spin On Glass) 法により形成された酸化シリコン膜などを用いることができ、有機絶縁膜としてはポリイミド、ポリアミド、BCB (ベンゾシクロブテン)、アクリルまたはポジ型感光性有機樹脂、ネガ型感光性有機樹脂等の膜を用いることができる。

#### 【0227】

また、第 2 の絶縁膜 2405 として、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される材料を用いることができる。この材料の置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

#### 【0228】

なお、第 2 の絶縁膜 2405 の表面を高密度プラズマによって処理し、窒化させてもよい。高密度プラズマは、高い周波数のマイクロ波、例えば 2.45 GHz を使うことによって生成される。なお、高密度プラズマとしては、電子密度が  $1 \times 10^{11} \text{ cm}^{-3}$  以上  $1 \times 10^{13} \text{ cm}^{-3}$  以下であり、電子温度が 0.2 eV 以上 2.0 eV 以下 (より好ましくは 0.5 eV 以上 1.5 eV 以下) であるものを用いる。このように低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない膜を形成することができる。高密度プラズマ処理の際、基板 2400 は 350 から 450 の温度とする。また、高密度プラズマを発生させる装置において、マイクロ波を発生するアンテナから基板 2400 までの距離を 20 ~ 80 mm (好ましくは 20 ~ 60 mm) とする。

#### 【0229】

窒素 (N) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、または窒素と水素 (H) と希ガス雰囲気下、またはアンモニア (NH<sub>3</sub>) と希ガス雰囲気下において、上記高密度プラズマ処理を行い第 2 の絶縁膜 2405 表面を窒化する。高密度プラズマにより窒化処理により形成された第 2 の絶縁膜 2405 表面には H や、He、Ne、Ar、Kr、Xe の元素が混入している。例えば、第 2 の絶縁膜 2405 として酸化シリコン膜や酸化窒化シリコン膜を用い、当該膜の表面を高密度プラズマで処理することによって窒化シリコン膜を形成する。こうして形成した窒化シリコン膜に含まれる水素を用いて、トランジスタ 2410 の第 1 の半導体層 2402 の水素化を行ってもよい。なお当該水素化処理は、前述した第 1 の絶縁膜 2403 中の水素を用いた水素化処理と組み合わせてもよい。なお、上記高密度プラズマ処理によって形成された窒化膜の上に更

10

20

30

40

50

に絶縁膜を形成して、第2の絶縁膜2405としてもよい。

【0230】

第1の電極2406としては、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnから選ばれた一種の元素または該元素を複数含む合金からなる単層または積層構造を用いることができる。

【0231】

第2の電極2407及び第4の電極2417の一方もしくは両方を透明電極とすることができる。透明電極としては、酸化タングステンを含むインジウム酸化物(IWO)、酸化タングステンと酸化亜鉛を含む酸化インジウム(IWZO)、酸化チタンを含むインジウム酸化物(ITiO)、酸化チタンを含むインジウム錫酸化物(ITTiO)などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

10

【0232】

発光層は、正孔注入輸送層、発光層、電子注入輸送層など、機能の異なる複数の層を用いて構成することが好ましい。

【0233】

正孔注入輸送層は、ホール輸送性の有機化合物材料と、その有機化合物材料に対して電子受容性を示す無機化合物材料とを含む複合材料で形成することが好ましい。このような構成とすることで、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性が得られる。この効果により、従来よりも駆動電圧を低くすることができる。また、駆動電圧の上昇を招くことなく正孔注入輸送層を厚くすることができるため、ゴミ等に起因する発光素子の短絡も抑制することができる。

20

【0234】

ホール輸送性の有機化合物材料としては、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニルアミノ]トリフェニルアミン(略称:MTDATA)、1,3,5-トリス[N,N-ジ(m-トリル)アミノ]ベンゼン(略称:m-MTDAB)、N,N'-ジフェニル-N,N'-ビス(3-メチルフェニル)-1,1'-ビフェニル-4,4'-ジアミン(略称:TPD)、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル(略称:NPB)などが挙げられるが、これらに限定されることはない。

30

【0235】

電子受容性を示す無機化合物材料としては、酸化チタン、酸化ジルコニウム、酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウム、酸化ルテニウム、酸化亜鉛などが挙げられる。特に酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウムは真空蒸着が可能で扱いやすいため好適である。

【0236】

電子注入輸送層は、電子輸送性の有機化合物材料を用いて形成する。具体的には、トリス(8-キノリノラト)アルミニウム(略称:Alq3)、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:Almq3)などが挙げられるが、これらに限定されることはない。

40

【0237】

発光層は、9,10-ジ(2-ナフチル)アントラセン(略称:DNA)、9,10-ジ(2-ナフチル)-2-tert-ブチルアントラセン(略称:t-BuDNA)、4,4'-ビス(2,2-ジフェニルビニル)ビフェニル(略称:DPVBi)、クマリン30、クマリン6、クマリン545、クマリン545T、ペリレン、ルブレン、ペリフラテン、2,5,8,11-テトラ(tert-ブチル)ペリレン(略称:TBP)、9,10-ジフェニルアントラセン(略称:DPA)、5,12-ジフェニルテトラセン、4-(ジシアノメチレン)-2-メチル-[p-(ジメチルアミノ)スチリル]-4H-

50

ピラン（略称：DCM1）、4-（ジシアノメチレン）-2-メチル-6-[2-（ジエチルピリジン-9-イル）エチル]-4H-ピラン（略称：DCM2）、4-（ジシアノメチレン）-2,6-ビス[p-（ジメチルアミノ）スチリル]-4H-ピラン（略称：BisDCM）等が挙げられる。また、ビス[2-（4',6'-ジフルオロフェニル）ピリジナト-N,C2']イリジウム（ピコリナート）（略称：FIRpic）、ビス{2-[3',5'-ビス（トリフルオロメチル）フェニル]ピリジナト-N,C2'}イリジウム（ピコリナート）（略称：Ir(CF3ppy)2(pic)）、トリス（2-フェニルピリジナト-N,C2'）イリジウム（略称：Ir(ppy)3）、ビス（2-フェニルピリジナト-N,C2'）イリジウム（アセチルアセトナート）（略称：Ir(ppq)2(acac)）、ビス[2-（2'-チエニル）ピリジナト-N,C3']イリジウム（アセチルアセトナート）（略称：Ir(thp)2(acac)）、ビス（2-フェニルキノリナト-N,C2'）イリジウム（アセチルアセトナート）（略称：Ir(pq)2(acac)）、ビス[2-（2'-ベンゾチエニル）ピリジナト-N,C3']イリジウム（アセチルアセトナート）（略称：Ir(btp)2(acac)）などの燐光を放出できる化合物を用いることもできる。

10

## 【0238】

その他に、発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

## 【0239】

20

いずれにしても、発光層の層構造は変化し得るものであり、特定の正孔又は電子注入輸送層や発光層を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、発光素子としての目的を達成し得る範囲において許容されうるものである。

## 【0240】

第2の電極2407及び第4の電極2417の他方は、透光性を有さない材料で形成されていてもよい。例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金（Mg:Ag、Al:Li、Mg:Inなど）、およびこれらの化合物（CaF<sub>2</sub>などのフッ化カルシウム、Ca<sub>3</sub>N<sub>2</sub>などの窒化カルシウム）の他、YbやEr等の希土類金属を用いることができる。

30

## 【0241】

第3の絶縁膜2408としては、第2の絶縁膜2405と同様の材料を用いて形成することができる。第3の絶縁膜2408は、第2の電極2407の端部を覆うように第2の電極2407の周辺に形成され、隣り合う画素において発光層2409を分離する機能を有する。

## 【0242】

発光層2409は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。

40

## 【0243】

発光素子2415は、発光層2409と、発光層2409を介して重なる第2の電極2407及び第4の電極2417とによって構成される。第2の電極2407及び第4の電極2417の一方が陽極に相当し、他方が陰極に相当する。発光素子2415は、陽極と陰極の間にしきい値電圧より大きい電圧が順バイアスで印加されると、陽極から陰極に電流が流れて発光する。

## 【0244】

図24(B)の構成について説明する。なお、図24(A)と同じ部分は同じ符号を用

50

いて示し、説明は省略する。図24(B)は、図24(A)において、第2の絶縁膜2405と第3の絶縁膜2408の間に第4の絶縁膜2418を有する構成である。第5の電極2416と第1の電極2406とは、第4の絶縁膜2418に設けられたコンタクトホールにおいて接続されている。

【0245】

第4の絶縁膜2418は、第2の絶縁膜2405と同様の構成とすることができる。第5の電極2416は、第1の電極2406と同様の構成とすることができる。

【実施例2】

【0246】

本実施例は、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。図28にはトップゲートのトランジスタ、図29及び図30にはボトムゲートのトランジスタの場合について示す。

【0247】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図28(a)に示す。に示すように、基板2801上に下地膜2802が形成されている。さらに下地膜2802上に画素電極2803が形成されている。また、画素電極2803と同層に同じ材料からなる第1の電極2804が形成されている。

【0248】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2802としては、窒化アルミや酸化シリコン、酸化窒化シリコンなどの単層やこれらの積層を用いることができる。

【0249】

また、下地膜2802上に第1の配線2805及び第2の配線2806が形成され、画素電極2803の端部が第1の配線2805で覆われている。第1の配線2805及び第2の配線2806の上部にN型の導電性を有する第1のN型半導体層2807及び第2のN型半導体層2808が形成されている。また、第1の配線2805と第2の配線2806の間であって、下地膜2802上に半導体層2809が形成されている。そして、半導体層2809の一部は第1のN型半導体層2807及び第2のN型半導体層2808上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体( $\mu$ -Si:H)等の非結晶性を有する半導体膜で形成されている。また、半導体層2809上にゲート絶縁膜2810が形成されている。また、ゲート絶縁膜2810と同層の同じ材料からなる絶縁膜2811が第1の電極2804上にも形成されている。なお、ゲート絶縁膜2810としては酸化シリコン膜や窒化シリコン膜などが用いられる。

【0250】

また、ゲート絶縁膜2810上に、ゲート電極2812が形成されている。また、ゲート電極と同層に同じ材料でなる第2の電極2813が第1の電極2804上に絶縁膜2811を介して形成されている。第1の電極2804及び第2の電極2813で絶縁膜2811を挟まれた容量素子2819が形成されている。また、画素電極2803の端部、駆動トランジスタ2818及び容量素子2819を覆い、層間絶縁膜2814が形成されている。

【0251】

層間絶縁膜2814及びその開口部に位置する画素電極2803上に有機化合物を含む層2815及び対向電極2816が形成され、画素電極2803と対向電極2816とで有機化合物を含む層2815が挟まれた領域では発光素子2817が形成されている。

【0252】

図28(a)に示す第1の電極2804を図28(b)に示すように第1の電極2820で形成してもよい。第1の電極2820は第1の配線2805及び第2の配線2806と同層の同一材料で形成されている。

【0253】

10

20

30

40

50

アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた半導体装置のパネルの部分断面を図29に示す。基板2901上にゲート電極2903が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極2904が形成されている。ゲート電極2903は、Ti、Cr、Mo、W、Taなどの高融点金属を用いることができる。

【0254】

ゲート電極2903及び第1の電極2904を覆うようにゲート絶縁膜2905が形成されている。ゲート絶縁膜2905としては酸化シリコン膜や窒化シリコン膜などが用いられる。

【0255】

ゲート絶縁膜2905上に、第1の半導体層2906が形成されている。また、第1の半導体層2906と同層に同じ材料からなる第2の半導体層2907が形成されている。基板はガラス基板、石英基板、セラミック基板などを用いることができる。

【0256】

第1の半導体層2906上にはN型の導電性を有する第1のN型半導体層2908、第2のN型半導体層2909が形成され、第2の半導体層2907上には第3のN型半導体層2910が形成されている。第1のN型半導体層2908、第2のN型半導体層2909上にはそれぞれ第1の配線2911、第2の配線2912が形成され、第3のN型半導体層2910上には第1の配線2911及び第2の配線2912と同層の同一材料からなる導電層2913が形成されている。

【0257】

第2の半導体層2907、第3のN型半導体層2910及び導電層2913からなる第2の電極が構成される。なお、この第2の電極と第1の電極2904でゲート絶縁膜2905を挟み込んだ構造の容量素子2920が形成されている。

【0258】

第1の配線2911の一方の端部は延在し、その延在した第1の配線2911上部に接して画素電極2914が形成されている。

【0259】

画素電極2914の端部、駆動トランジスタ2919及び容量素子2920を覆うように絶縁層2915が形成されている。画素電極2914及び絶縁層2915上には有機化合物を含む層2916及び対向電極2917が形成され、画素電極2914と対向電極2917とで有機化合物を含む層2916が挟まれた領域では発光素子2918が形成されている。

【0260】

容量素子の第2の電極の一部となる第2の半導体層2907及び第3のN型半導体層2910は設けなくても良い。つまり第2の電極は導電層2913とし、第1の電極2904と導電層2913でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【0261】

図29(a)において、第1の配線2911を形成する前に画素電極2914を形成することで、図29(b)に示すような、画素電極2914からなる第2の電極2921と第1の電極2904でゲート絶縁膜2905が挟まれた構造の容量素子2920を形成することができる。

【0262】

図29では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図30(a)、(b)を用いて説明する。

【0263】

図30(a)に示すチャネル保護型構造のトランジスタは図29(a)に示したチャネルエッチ構造の駆動トランジスタ2919の第1の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁層3001が設けられている点が異なり、他

10

20

30

40

50

の共通しているところは共通の符号を用いている。

【0264】

同様に、図30(b)に示すチャネル保護型構造のトランジスタは図29(b)に示したチャネルエッチ構造の駆動トランジスタ2919の第1の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁層3001が設けられている点がり、他の共通しているところは共通の符号を用いている。

【0265】

本実施例の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドレイン領域など)に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図6や図7に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。

10

【0266】

本実施例の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0267】

本実施例で述べた内容は実施例1で述べた内容と自由に組み合わせて実施することができる。

【実施例3】

【0268】

本実施例では、トランジスタを始めとする半導体装置を作製する方法として、プラズマ処理を用いて半導体装置を作製する方法について説明する。

20

【0269】

図31は、トランジスタを含む半導体装置の構造例を示した図である。なお、図31において、図31(B)は図31(A)のa-b間の断面図に相当し、図31(C)は図31(A)のc-d間の断面図に相当する。

【0270】

図31に示す半導体装置は、基板4601上に第1の絶縁膜4602を介して設けられた第1の半導体膜4603a、第2の半導体膜4603bと、当該第1の半導体膜4603a、第2の半導体膜4603b上にゲート絶縁膜4604を介して設けられたゲート電極4605と、ゲート電極を覆って設けられた第2の絶縁膜4606、第3の絶縁膜4607と、第1の半導体膜4603a、第2の半導体膜4603bのソース領域またはドレイン領域と電気的に接続し且つ第3の絶縁膜4607上に設けられた導電膜4608とを有している。なお、図31においては、第1の半導体膜4603aの一部をチャネル領域として用いたNチャネル型トランジスタ4610aと第2の半導体膜4603bの一部をチャネル領域として用いたPチャネル型トランジスタ4610bとを設けた場合を示しているが、この構成に限られない。例えば、図31では、Nチャネル型トランジスタ4610aにLDD領域を設け、Pチャネル型トランジスタ4610bにはLDD領域を設けていないが、両方に設けた構成としてもよいし両方に設けない構成とすることも可能である。

30

40

【0271】

本実施例では、上記基板4601、第1の絶縁膜4602、第1の半導体膜4603aおよび第2の半導体膜4603b、ゲート絶縁膜4604、第2の絶縁膜4606または第3の絶縁膜4607のうち少なくともいずれか一層に、プラズマ処理を用いて酸化または窒化を行うことにより半導体膜または絶縁膜を酸化または窒化することによって、図31に示した半導体装置を作製する。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

50

## 【0272】

本実施例では、上記図31における第1の半導体膜4603aおよび第2の半導体膜4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該第1の半導体膜4603aおよび第2の半導体膜4603bまたはゲート絶縁膜4604を酸化または窒化することによって半導体装置を作製する方法について図面を参照して説明する。

## 【0273】

はじめに、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部を直角に近い形状で設ける場合について示す。

## 【0274】

まず、基板4601上に島状の第1の半導体膜4603a、第2の半導体膜4603bを形成する(図32(A-1)、図32(A-2))。島状の第1の半導体膜4603a、第2の半導体膜4603bは、基板4601上にあらかじめ形成された第1の絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば $Si_xGe_{1-x}$ 等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。なお、図32では、島状の第1の半導体膜4603a、第2の半導体膜4603bの端部を直角に近い形状( $=85\sim100^\circ$ )で設ける。

## 【0275】

次に、プラズマ処理を行い第1の半導体膜4603a、第2の半導体膜4603bを酸化または窒化することによって、当該第1の半導体膜4603a、第2の半導体膜4603bの表面にそれぞれ酸化膜または第1の絶縁膜4621a、第2の絶縁膜4621b(以下、第1の絶縁膜4621a、第2の絶縁膜4621bとも記す)を形成する(図32(B))。例えば、第1の半導体膜4603a、第2の半導体膜4603bとしてSiを用いた場合、第1の絶縁膜4621aおよび第2の絶縁膜4621bとして、酸化シリコンまたは窒化シリコンが形成される。また、プラズマ処理により第1の半導体膜4603a、第2の半導体膜4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、第1の半導体膜4603a、第2の半導体膜4603bに接して酸化シリコンが形成され、当該酸化シリコンの表面に窒化酸化シリコン( $SiN_xO_y$ )( $x>y$ )が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下(例えば、酸素( $O_2$ )と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または酸素と水素( $H_2$ )と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下)でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下(例えば、窒素( $N_2$ )と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または窒素と水素と希ガス雰囲気下または $NH_3$ と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、第1の絶縁膜4621a、第2の絶縁膜4621bは、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでおり、Arを用いた場合には第1の絶縁膜4621a、第2の絶縁膜4621bにArが含まれている。

## 【0276】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が $0.5 \text{ eV}$ 以上 $1.5 \text{ eV}$ 以下で行う。プラズマの電子密度が高密度であり、基板4601上に形成された被処理物(ここでは、第1の半導体膜4603a、第2の半導体膜4603b)付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD

10

20

30

40

50

法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波(2.45 GHz)等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

#### 【0277】

次に、第1の絶縁膜4621a、第2の絶縁膜4621bを覆うようにゲート絶縁膜4604を形成する(図32(C-1)、図32(C-2))。ゲート絶縁膜4604はスパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン( $SiO_xN_y$ )( $x > y$ )、窒化酸化シリコン( $SiN_xO_y$ )( $x > y$ )等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、第1の半導体膜4603a、第2の半導体膜4603bとしてSiを用い、プラズマ処理により当該Siを酸化させることによって当該第1の半導体膜4603a、第2の半導体膜4603b表面に第1の絶縁膜4621a、第2の絶縁膜4621bとして酸化シリコンを形成した場合、当該第1の絶縁膜4621a、第2の絶縁膜4621b上にゲート絶縁膜として酸化シリコンを形成する。また、上記図32(B-1)図32(B-2)において、プラズマ処理により第1の半導体膜4603a、第2の半導体膜4603bを酸化または窒化することによって形成された第1の絶縁膜4621a、第2の絶縁膜4621bの膜厚が十分である場合には、当該第1の絶縁膜4621a、第2の絶縁膜4621bをゲート絶縁膜として用いることも可能である。

#### 【0278】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の第1の半導体膜4603a、第2の半導体膜4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する半導体装置を作製することができる(図32(D-1)、図32(D-2))。

#### 【0279】

このように、第1の半導体膜4603a、第2の半導体膜4603b上にゲート絶縁膜4604を設ける前に、プラズマ処理により第1の半導体膜4603a、第2の半導体膜4603bの表面を酸化または窒化することによって、第1のチャンネル領域の端部4651a、第2のチャンネル領域の端部4651b等におけるゲート絶縁膜4604の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。つまり、島状の半導体膜の端部が直角に近い形状( $\theta = 85 \sim 100^\circ$ )を有する場合には、CVD法やスパッタ法等により半導体膜を覆うようにゲート絶縁膜を形成した際に、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良の問題が生じる恐れがあるが、あらかじめ半導体膜の表面にプラズマ処理を用いて酸化または窒化しておくことによって、半導体膜の端部におけるゲート絶縁膜の被覆不良等を防止することが可能となる。

#### 【0280】

上記図32において、ゲート絶縁膜4604を形成した後にプラズマ処理を行うことによって、ゲート絶縁膜4604を酸化または窒化させてもよい。この場合、第1の半導体膜4603a、第2の半導体膜4603bを覆うように形成されたゲート絶縁膜4604(図33(A-1)、図33(A-2))にプラズマ処理を行い、ゲート絶縁膜4604を酸化または窒化することによって、ゲート絶縁膜4604の表面に酸化膜または窒化膜(以下、絶縁膜4623とも記す)を形成する(図33(B-1)、図33(B-2))。プラズマ処理の条件は、上記図32(B-1)、図32(B-2)と同様に行うことができる。また、絶縁膜4623は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4623にArが含まれている。

#### 【0281】

図33(B-1)、図33(B-2)において、一旦酸素雰囲気下でプラズマ処理を行

うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、第1の半導体膜4603a、第2の半導体膜4603b型に酸化シリコンまたは酸化窒化シリコン( $SiO_xN_y$ )( $x > y$ )が形成され、ゲート電極4605に接して窒化酸化シリコン( $SiN_xO_y$ )( $x > y$ )が形成される。その後、絶縁膜4623上にゲート電極4605等を形成することによって、島状の第1の半導体膜4603a、第2の半導体膜4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する半導体装置を作製することができる(図33(C-1)、図33(C-2))。このように、ゲート絶縁膜にプラズマ処理を行うことにより、当該ゲート絶縁膜の表面を酸化または窒化することによって、ゲート絶縁膜の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。

10

## 【0282】

図33においては、あらかじめ第1の半導体膜4603a、第2の半導体膜4603bにプラズマ処理を行うことによって、当該第1の半導体膜4603a、第2の半導体膜4603bの表面を酸化または窒化させた場合を示したが、第1の半導体膜4603a、第2の半導体膜4603bにプラズマ処理を行わずにゲート絶縁膜4604を形成した後にプラズマ処理を行う方法を用いてもよい。このように、ゲート電極を形成する前にプラズマ処理を行うことによって、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良が生じた場合であっても、被覆不良により露出した半導体膜を酸化または窒化することができるため、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

20

## 【0283】

このように、島状の半導体膜の端部を直角に近い形状で設けた場合であっても、半導体膜またはゲート絶縁膜にプラズマ処理を行い、当該半導体膜またはゲート絶縁膜を酸化または窒化することによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

## 【0284】

次に、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部をテーパ形状( $\theta = 30 \sim 85^\circ$ )で設ける場合について示す。

30

## 【0285】

まず、基板4601上に島状の第1の半導体膜4603a、第2の半導体膜4603bを形成する(図34(A-1)、図34(A-2))。島状の第1の半導体膜4603a、第2の半導体膜4603bは、基板4601上にあらかじめ形成された第1の絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば $Si_xGe_{1-x}$ 等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させ、選択的に半導体膜をエッチングして除去することにより設けることができる。なお、図34では、島状の半導体膜の端部をテーパ形状( $\theta = 30 \sim 85^\circ$ )で設ける。

40

## 【0286】

次に、第1の半導体膜4603a、第2の半導体膜4603bを覆うようにゲート絶縁膜4604を形成する(図34(B-1)、図34(B-2))。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン( $SiO_xN_y$ )( $x > y$ )、窒化酸化シリコン( $SiN_xO_y$ )( $x > y$ )等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

## 【0287】

次に、プラズマ処理を行いゲート絶縁膜4604を酸化または窒化することによって、

50

当該ゲート絶縁膜4604の表面にそれぞれ酸化膜または窒化膜（以下、絶縁膜4624とも記す）を形成する（図34（C-1）、図34（C-2））。なお、プラズマ処理の条件は上記と同様に行うことができる。例えば、ゲート絶縁膜4604として酸化シリコンまたは酸化窒化シリコン（ $SiO_xNy$ ）（ $x > y$ ）を用いた場合、酸素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を酸化することによって、ゲート絶縁膜の表面にはCVD法やスパッタ法等により形成されたゲート絶縁膜と比較してピンホール等の欠陥の少ない緻密な膜を形成することができる。一方、窒素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を窒化することによって、ゲート絶縁膜4604の表面に絶縁膜4624として窒化酸化シリコン（ $SiNxOy$ ）（ $x > y$ ）を設けることができる。また、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。また、絶縁膜4624は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4624中にArが含まれている。

10

## 【0288】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の第1の半導体膜4603a、第2の半導体膜4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する半導体装置を作製することができる（図34（D-1）、図34（D-2））。

## 【0289】

このように、ゲート絶縁膜にプラズマ処理を行うことにより、ゲート絶縁膜の表面に酸化膜または窒化膜からなる絶縁膜を設け、ゲート絶縁膜の表面の改質をすることができる。プラズマ処理を行うことによって酸化または窒化された絶縁膜は、CVD法やスパッタ法で形成されたゲート絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。また、半導体膜の端部をテーパ形状とすることによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を抑制することができるが、ゲート絶縁膜を形成した後にプラズマ処理を行うことによって、より一層ゲート電極と半導体膜のショート等を防止することができる。

20

## 【0290】

次に、図34とは、異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパ形状を有する半導体膜の端部に選択的にプラズマ処理を行う場合に関して示す。

30

## 【0291】

まず、基板4601上に島状の第1の半導体膜4603a、第2の半導体膜4603bを形成する（図35（A-1）、図35（A-2））。島状の第1の半導体膜4603a、第2の半導体膜4603bは、基板4601上にあらかじめ形成された第1の絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン（Si）を主成分とする材料（例えば $Si_xGe_{1-x}$ 等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、第1のレジスト4625a、第2のレジスト4625bをマスクとして半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。

40

## 【0292】

次に、半導体膜のエッチングのために使用した第1のレジスト4625a、第2のレジスト4625bを除去する前に、プラズマ処理を行い島状の第1の半導体膜4603a、第2の半導体膜4603bの端部を選択的に酸化または窒化することによって、当該第1の半導体膜4603a、第2の半導体膜4603bの端部にそれぞれ酸化膜または窒化膜（以下、絶縁膜4626とも記す）を形成する（図35（B-1）、図35（B-2））。プラズマ処理は、上述した条件下で行う。また、絶縁膜4626は、プラズマ処理に用

50

いた希ガスを含んでいる。

【0293】

次に、第1の半導体膜4603a、第2の半導体膜4603bを覆うようにゲート絶縁膜4604を形成する(図35(C-1)、図35(C-2))。ゲート絶縁膜4604は、上記と同様に設けることができる。

【0294】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の第1の半導体膜4603a、第2の半導体膜4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図35(D-1)、図35(D-2))。

10

【0295】

第1の半導体膜4603a、第2の半導体膜4603bの端部をテーパ形状に設けた場合、第1の半導体膜4603a、第2の半導体膜4603bの一部に形成される第1のチャネル領域の端部4652a、第2のチャネル領域の端部4652bもテーパ形状となり半導体膜の膜厚やゲート絶縁膜の膜厚が中央部分と比較して変化するため、トランジスタの特性に影響を及ぼす場合がある。そのため、ここではプラズマ処理によりチャネル領域の端部を選択的に酸化または窒化して、当該チャネル領域の端部となる半導体膜に絶縁膜を形成することによって、チャネル領域の端部に起因するトランジスタへの影響を低減することができる。

【0296】

20

なお、図35では、第1の半導体膜4603a、第2の半導体膜4603bの端部に限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図34で示したようにゲート絶縁膜4604にもプラズマ処理を行って酸化または窒化させることも可能である(図36(A-1)、図36(A-2))。

【0297】

次に、上記とは異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパ形状を有する半導体膜にプラズマ処理を行う場合に関して示す。

【0298】

まず、基板4601上に上記と同様に島状の第1の半導体膜4603a、第2の半導体膜4603bを形成する(図36(A-1)、図36(A-2))。

30

【0299】

次に、プラズマ処理を行い第1の半導体膜4603a、第2の半導体膜4603bを酸化または窒化することによって、当該第1の半導体膜4603a、第2の半導体膜4603bの表面にそれぞれ酸化膜または窒化膜(以下、第1の絶縁膜4627a、第2の絶縁膜4627bとも記す)を形成する(図36(B-1)、図36(B-2))。プラズマ処理は上述した条件下で同様に行うことができる。例えば、第1の半導体膜4603a、第2の半導体膜4603bとしてSiを用いた場合、第1の絶縁膜4627aおよび第2の絶縁膜4627bとして、酸化シリコンまたは窒化シリコンが形成される。また、プラズマ処理により第1の半導体膜4603a、第2の半導体膜4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、第1の半導体膜4603a、第2の半導体膜4603bに接して酸化シリコンまたは酸化窒化シリコン(SiO<sub>x</sub>N<sub>y</sub>)(x>y)が形成され、当該酸化シリコンの表面に窒化酸化シリコン(SiN<sub>x</sub>O<sub>y</sub>)(x>y)が形成される。そのため、第1の絶縁膜4627a、第2の絶縁膜4627bは、プラズマ処理に用いた希ガスを含んでいる。なお、プラズマ処理を行うことにより第1の半導体膜4603a、第2の半導体膜4603bの端部も同時に酸化または窒化される。

40

【0300】

次に、第1の絶縁膜4627a、第2の絶縁膜4627bを覆うようにゲート絶縁膜4604を形成する(図36(C-1)、図36(C-2))。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化シリコン、窒化シリコン

50

、酸化窒化シリコン ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化シリコン ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) 等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、第1の半導体膜4603a、第2の半導体膜4603bとしてSiを用いてプラズマ処理により酸化させることによって、当該第1の半導体膜4603a、第2の半導体膜4603b表面に第1の絶縁膜4627a、第2の絶縁膜4627bとして酸化シリコンを形成した場合、当該第1の絶縁膜4627a、第2の絶縁膜4627b上にゲート絶縁膜として酸化シリコンを形成する。

#### 【0301】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の第1の半導体膜4603a、第2の半導体膜4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する半導体装置を作製することができる(図36(D-1)、図36(D-2))。

10

#### 【0302】

半導体膜の端部をテーパ形状に設けた場合、半導体膜の一部に形成されるチャンネル領域の端部もテーパ形状となるため、半導体素子の特性に影響を及ぼす場合がある。そのため、プラズマ処理により半導体膜を酸化または窒化することによって、結果的にチャンネル領域の端部も酸化または窒化されるため半導体素子への影響を低減することができる。

#### 【0303】

なお、図36では、第1の半導体膜4603a、第2の半導体膜4603bに限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図34で示したようにゲート絶縁膜4604にプラズマ処理を行って酸化または窒化させることも可能である(図37(B-1)、図37(B-2))。この場合、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、第1の半導体膜4603a、第2の半導体膜4603b型に酸化シリコンまたは酸化窒化シリコン( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )が形成され、ゲート電極4605に接して窒化酸化シリコン( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ )が形成される。

20

#### 【0304】

このように、プラズマ処理を行い半導体膜またはゲート絶縁膜を酸化または窒化して表面を改質することにより、緻密で膜質のよい絶縁膜を形成することができる。その結果、絶縁膜を薄く形成する場合であってもピンホール等の欠陥を防止し、トランジスタ等の半導体素子の微細化および高性能化を実現することが達成できる。

30

#### 【0305】

なお、本実施例では、上記図31における第1の半導体膜4603aおよび第2の半導体膜4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該第1の半導体膜4603aおよび第2の半導体膜4603bまたはゲート絶縁膜4604を酸化または窒化を行ったが、プラズマ処理を用いて酸化または窒化を行う層は、これに限定されない。例えば、基板4601または第1の絶縁膜4602にプラズマ処理を行ってもよいし、第2の絶縁膜4606または第3の絶縁膜4607にプラズマ処理を行ってもよい。

#### 【0306】

本実施例で述べた内容は実施例1又は実施例2で述べた内容と自由に組み合わせて実施することができる。

40

#### 【実施例4】

#### 【0307】

本実施例では、トランジスタを始めとする半導体装置を作製する際のマスクパターンの例について、図38~図40を参照して説明する。

#### 【0308】

図38(A)で示す第1の半導体層5610、第2の半導体層5611はシリコン若しくはシリコンを成分とする結晶性の半導体で形成することが好ましい。例えば、シリコン膜をレーザアニールなどによって結晶化された多結晶シリコン、単結晶シリコンなどが適

50

用される。その他にも半導体特性を示す、金属酸化物半導体、アモルファスシリコン、有機半導体を適用することも可能である。

【0309】

いずれにしても、最初に形成する半導体層は絶縁表面を有する基板の全面若しくは一部（トランジスタの半導体領域として確定されるよりも広い面積を有する領域）に形成する。そして、フォトリソグラフィ技術によって、半導体層上にマスクパターンを形成する。そのマスクパターンを利用して半導体層をエッチング処理することにより、トランジスタのソース領域及びドレイン領域及びチャネル形成領域を含む特定形状の島状の第1の半導体層5610、第2の半導体層5611を形成する。その第1の半導体層5610、第2の半導体層5611はレイアウトの適切さを考慮して決められる。

10

【0310】

図38(A)で示す第1の半導体層5610、第2の半導体層5611を形成するためのフォトマスクは、図38(B)に示すマスクパターン5630を備えている。このマスクパターン5630は、フォトリソグラフィ工程で用いるレジストがポジ型かネガ型かで異なる。ポジ型レジストを用いる場合には、図38(B)で示すマスクパターン5630は、遮光部として作製される。マスクパターン5630は、多角形の頂部Aを削除した形状となっている。また、屈曲部Bにおいては、その角部が直角とならないように複数段に渡って屈曲する形状となっている。このフォトマスクのパターンは、例えば、パターンの角部であって（直角三角形）の一辺が10 $\mu$ m以下の大きさに角部を削除している。

【0311】

20

図38(B)で示すマスクパターン5630は、その形状が、図38(A)で示す第1の半導体層5610、第2の半導体層5611に反映される。その場合、マスクパターン5630と相似の形状が転写されてもよいが、マスクパターン5630の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン5630よりもさらにパターン形状をなめらかにした、丸め部を設けてもよい。

【0312】

第1の半導体層5610、第2の半導体層5611の上には、酸化シリコン若しくは窒化シリコンを少なくとも一部に含む絶縁層が形成される。この絶縁層を形成する目的の一つはゲート絶縁層である。そして、図39(A)で示すように、半導体層と一部が重なるように第1のゲート配線5712、第2のゲート配線5713、第3のゲート配線5714を形成する。第1のゲート配線5712は第1の半導体層5610に対応して形成される。第2のゲート配線5713は第1の半導体層5610、第2の半導体層5611に対応して形成される。また、第3のゲート配線5714は第1の半導体層5610、第2の半導体層5611に対応して形成される。ゲート配線は、金属層又は導電性の高い半導体層を成膜し、フォトリソグラフィ技術によってその形状を絶縁層上に作り込む。

30

【0313】

このゲート配線を形成するためのフォトマスクは、図39(B)に示すマスクパターン5731を備えている。このマスクパターン5731は、L字形に折れ曲がった各コーナー部であって、一辺が10 $\mu$ m以下、または、配線の線幅の1/2以下で、線幅の1/5以上の長さに角部を削除し、コーナー部に丸みをおびるパターンを有せしめる。即ち、上面からみたコーナー部における配線層の外周は曲線を形成するようにする。図39(B)で示すマスクパターン5731は、その形状が、図39(A)で示す第1のゲート配線5712、第2のゲート配線5713、第3のゲート配線5714に反映される。その場合、マスクパターン5731と相似の形状が転写されてもよいが、マスクパターン5731の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン5731よりもさらにパターン形状をなめらかにした、丸め部を設けてもよい。すなわち、第1のゲート配線5712、第2のゲート配線5713、第3のゲート配線5714の角部は、コーナー部の外周縁に丸みを帯びさせるため、コーナー部を挟む互いに垂直な2つの第1直線と、これら2つの第1直線と約45度の角度をなす一つの第2直線と、で形成される直角2等辺三角形の部分に相当する配線層の一部を除去する。除去すると新たに2

40

50

つの鈍角の部分が配線層に形成されるが、マスク設計や、エッチング条件を適宜設定することにより、各鈍角部分に第1直線と第2直線との両方に接する曲線が形成されるように配線層をエッチングすることが好ましい。なお、直角2等辺三角形の互いに等しい2辺の長さは、配線幅の $1/5$ 以上 $1/2$ 以下とする。またコーナー部の内周についても、コーナー部の外周に沿って内周が丸みを帯びるよう形成する。凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す結果として歩留まり向上が実現できるという効果を有する。

#### 【0314】

層間絶縁層は第1のゲート配線5712、第2のゲート配線5713、第3のゲート配線の5714の次に形成される層である。層間絶縁層は酸化シリコンなどの無機絶縁材料若しくはポリイミドやアクリル樹脂などを使った有機絶縁材料を使って形成する。この層間絶縁層と第1のゲート配線5712、第2のゲート配線5713、第3のゲート配線5714の間には窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を介在させてもよい。また、層間絶縁層上にも窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を設けてもよい。この絶縁層は、外因性の金属イオンや水分などトランジスタにとっては良くない不純物により半導体層やゲート絶縁層を汚染するのを防ぐことができる。

#### 【0315】

層間絶縁層には所定の位置に開口が形成されている。例えば、下層にあるゲート配線や半導体層に対応して設けられる。金属若しくは金属化合物の一層若しくは複数層で形成される配線層は、フォトリソグラフィ技術によってマスクパターンが形成され、エッチング加工により所定のパターンに形成される。そして、図40(A)で示すように、半導体層と一部が重なるように第1の配線5815～第4の配線5820を形成する。配線はある特定の素子間を連結する。配線は特定の素子と素子の間を直線で結ぶのではなく、レイアウトの制約上屈曲部が含まれる。また、コンタクト部やその他の領域において配線幅が変化する。コンタクト部では、コンタクトホールが配線幅と同等若しくは大きい場合には、その部分で配線幅が広がるように変化する。

#### 【0316】

この第1の配線5815～第4の配線5820を形成するためのフォトマスクは、図40(B)に示すマスクパターン5832を備えている。この場合においても、L字形に折れ曲がった各コーナー部であって直角三角形の一辺が $10\mu\text{m}$ 以下、または、配線の線幅の $1/2$ 以下で、線幅の $1/5$ 以上の長さに角部を削除し、コーナー部に丸みをおびるパターンを有せしめる。即ち、上面からみたコーナー部における配線層の外周は曲線を形成するようにする。具体的には、コーナー部の外周縁に丸みを帯びさせるため、コーナー部を挟む互いに垂直な2つの第1直線と、これら2つの第1直線と約45度の角度をなす一つの第2直線と、で形成される直角2等辺三角形の部分に相当するマスクパターン5832の一部を除去する。除去すると新たに2つの鈍角の部分が配線層に形成されるが、マスク設計や、エッチング条件を適宜設定することにより、各鈍角部分に第1直線と第2直線との両方に接する曲線が形成されるように配線層をエッチングすることが好ましい。なお、直角2等辺三角形の互いに等しい2辺の長さは、配線幅の $1/5$ 以上 $1/2$ 以下とする。またコーナー部の内周についても、コーナー部の外周に沿って内周が丸みを帯びるよう形成する。このような配線は、凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す結果として歩留まり向上が実現できるという効果を有する。配線の角部がラウンドをとることにより、電気的にもより効果的に伝導させることが実現可能となる。また、多数の平行配線では、ゴミを洗い流すのにはきわめて好都合である。

#### 【0317】

図40(A)には、第1のNチャネル型トランジスタ5821～第4のNチャネル型トランジスタ5824、第1のPチャネル型トランジスタ5825、第2のPチャネル型トランジスタ5826が形成されている。第3のNチャネル型トランジスタ5823と第1

10

20

30

40

50

のPチャンネル型トランジスタ5825及び第4のNチャンネル型トランジスタ5824と第2のPチャンネル型トランジスタ5826は第1のインバータ5827、第2のインバータ5828を構成している。なお、この6つのトランジスタを含む回路はSRAMを形成している。これらのトランジスタの上層には、窒化シリコンや酸化シリコンなどの絶縁層が形成されていてもよい。

【0318】

本実施例で述べた内容は、実施例1～実施例3で述べた内容と自由に組み合わせて実施することができる。

【実施例5】

【0319】

本実施例では、画素の形成された基板の封止を行った構成について、図25を用いて説明する。図25(A)は、画素の形成された基板を封止することによって形成されたパネルの上面図であり、図25(B)、図25(C)はそれぞれ図25(A)のA-A'における断面図である。図25(B)と図25(C)とは、異なる方法で封止を行った例である。

【0320】

図25(A)乃至図25(C)において、基板2501上には、複数の画素を有する画素部2502が配置され、画素部2502を囲むようにしてシール材2506が設けられシーリング材2507が貼り付けられている。画素の構造については、上述の発明を実施するための最良に形態や、実施例1で示した構成を用いることができる。

【0321】

図25(B)の表示パネルでは、図25(A)のシーリング材2507は、対向基板2521に相当する。シール材2506を接着層として用いて透明な対向基板2521が貼り付けられ、基板2501、対向基板2521及びシール材2506によって密閉空間2522が形成される。対向基板2521には、カラーフィルタ2520と該カラーフィルタを保護する保護膜2523が設けられる。画素部2502に配置された発光素子から発せられる光は、該カラーフィルタ2520を介して外部に放出される。密閉空間2522は、不活性な樹脂もしくは液体などで充填される。なお、密閉空間2522に充填する樹脂として、吸湿材を分散させた透光性を有する樹脂を用いても良い。また、シール材2506と密閉空間2522に充填される材料とを同一の材料として、対向基板2521の接着と画素部2502の封止とを同時に行っても良い。

【0322】

図25(C)に示した表示パネルでは、図25(A)のシーリング材2507は、シーリング材2524に相当する。シール材2506を接着層として用いてシーリング材2524が貼り付けられ、基板2501、シール材2506及びシーリング材2524によって密閉空間2508が形成される。シーリング材2524には予め凹部の中に吸湿材2509が設けられ、上記密閉空間2508の内部において、水分や酸素等を吸着して清浄な雰囲気を保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材2510で覆われている。カバー材2510は空気や水分は通すが、吸湿材2509は通さない。なお、密閉空間2508は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。

【0323】

基板2501上には、画素部2502等に信号を伝達するための入力端子部2511が設けられ、該入力端子部2511へはフレキシブルプリントサーキット(FPC)2512を介して映像信号等の信号が伝達される。入力端子部2511では、基板2501上に形成された配線とフレキシブルプリントサーキット(FPC)2512に設けられた配線とを、導電体を分散させた樹脂(異方性導電樹脂:ACF)を用いて電氣的に接続してある。

【0324】

画素部2502が形成された基板2501上に、画素部2502に信号を入力する駆動

回路が一体形成されていても良い。画素部 2502 に信号を入力する駆動回路を IC チップで形成し、基板 2501 上に COG (Chip On Glass) で接続しても良いし、IC チップを TAB (Tape Auto Bonding) やプリント基板を用いて基板 2501 上に配置しても良い。

【0325】

本実施例は、実施例 1 ~ 実施例 4 と自由に組み合わせて実施することができる。

【実施例 6】

【0326】

本発明は、パネルに、パネルに信号を入力する回路を実装した表示モジュールに適用することができる。

10

【0327】

図 26 はパネル 2600 と回路基板 2604 を組み合わせた表示モジュールを示している。図 26 では、回路基板 2604 上にコントローラ 2605 や信号分割回路 2606 などが形成されている例を示した。回路基板 2604 上に形成される回路はこれに限定されない。パネルを制御する信号を生成する回路であればどのような回路が形成されていてもよい。

【0328】

回路基板 2604 上に形成されたこれらの回路から出力された信号は、接続配線 2607 によってパネル 2600 に入力される。

【0329】

20

パネル 2600 は、画素部 2601 と、ソースドライバ 2602 と、ゲートドライバ 2603 とを有する。パネル 2600 の構成は、実施例 1 や実施例 2 等で示した構成と同様とすることができる。図 26 では、画素部 2601 が形成された基板と同一基板上に、ソースドライバ 2602 及びゲートドライバ 2603 が形成されている例を示した。しかし、本発明の表示モジュールはこれに限定されない。画素部 2601 が形成された基板と同一基板上にゲートドライバ 2603 のみが形成され、ソースドライバは回路基板上に形成されていても良い。ソースドライバ及びゲートドライバの両方が回路基板上に形成されていても良い。

【0330】

このような表示モジュールを組み込んで、様々な電子機器の表示部を形成することができる。

30

【0331】

本実施例は、実施例 1 ~ 実施例 5 と自由に組み合わせて実施することができる。

【実施例 7】

【0332】

本実施例は、本発明に係る電子機器について説明する。電子機器としては、カメラ（ビデオカメラ、デジタルカメラ等）、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ナビゲーションシステム、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。電子機器の代表例を図 27 に示す。

40

【0333】

図 27 (A) は、パーソナルコンピュータであり、本体 2711、筐体 2712、表示部 2713、キーボード 2714、外部接続ポート 2715、ポインティングマウス 2716 等を含む。本発明は、表示部 2713 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0334】

図 27 (B) は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2721、筐体 2722、第 1 の表示部 2723、第 2 の表示部 2724、記録媒体

50

読み込み部 2725 (DVD 等)、操作キー 2726、スピーカー部 2727 等を含む。第 1 の表示部 2723 は主として画像情報を表示し、第 2 の表示部 2724 は主として文字情報を表示する。本発明は、第 1 の表示部 2723、第 2 の表示部 2724 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0335】

図 27 (C) は携帯電話であり、本体 2731、音声出力部 2732、音声入力部 2733、表示部 2734、操作スイッチ 2735、アンテナ 2736 等を含む。本発明は、表示部 2734 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0336】

図 27 (D) はカメラであり、本体 2741、表示部 2742、筐体 2743、外部接続ポート 2744、リモコン受信部 2745、受像部 2746、バッテリー 2747、音声入力部 2748、操作キー 2749 等を含む。本発明は、表示部 2742 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0337】

本実施は、実施例 1 乃至実施例 6 と自由に組み合わせて実施することができる。

【実施例 8】

【0338】

本実施例については、本発明の画素構成を用いた表示装置を表示部に用いた表示パネルを用いた応用例について、応用形態を図示し説明する。本発明の画素構成を用いた表示装置を表示部に用いた表示パネルは、移動体や建造物等と一体に設けられた構成をとることもできる。

【0339】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図 47 に示す。図 47 (a) は、表示装置一体型の移動体の例として電車車両本体 9701 におけるドアのガラス戸のガラスに表示パネル 9702 を用いた例について示す。図 47 (a) に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル 9702 は、外部からの信号により表示部で表示される画像の切り替えが容易である。そのため、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替え、より効果的な広告効果が実現可能となる。

【0340】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図 47 (a) で示した電車車両本体におけるドアのガラスにのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ありとあらゆる場所に適用可能である。図 47 (b) にその一例について説明する。

【0341】

図 47 (b) は、電車車両本体における車内の様子について図示したものである。図 47 (b) において、図 47 (a) で示したドアのガラス戸の表示パネル 9702 の他に、ガラス窓に設けられた第 1 の表示パネル 9703、及び天井より吊り下げられた第 2 の表示パネル 9704 を示す。本発明の画素構成を具備する第 1 の表示パネル 9703 は、自発光型の表示素子を具備するため、混雑時には広告用の画像を表示し、混雑時以外には表示を行わないことで、電車からの外観を見ることが可能である。また、本発明の画素構成を具備する第 2 の表示パネル 9704 はフィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することで、表示パネル自体を湾曲させて表示を行うことも可能である。

【0342】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図 49 にて説明する。

【0343】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装

10

20

30

40

50

置一体型の移動体をその一例として、図49に示す。図49は、表示装置一体型の移動体の例として自動車の車体9901に一体に取り付けられた表示パネル9902の例について示す。図49に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル9902は、自動車の車体と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示したり、自動車の目的地までのナビゲーション機能を有する。

【0344】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図49で示した車体のフロント部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ガラス窓、ドアなどありとあらゆる場所に適用可能である。

10

【0345】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図51にて説明する。

【0346】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図51に示す。図51(a)は、表示装置一体型の移動体の例として飛行機車体10101内の客席天井部に一体に取り付けられた表示パネル10102の例について示す。図51(a)に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル10102は、飛行機車体10101とヒンジ部10103を介して一体に取り付けられており、ヒンジ部10103の伸縮により乗客は表示パネル10102の視聴が可能になる。表示パネル10102は乗客が操作することで情報を表示したり、広告や娯楽手段として利用できる機能を有する。また、図51(b)に示すように、ヒンジ部を折り曲げて飛行機車体10101に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、飛行機車体10101の誘導灯誘導灯としても利用可能である。

20

【0347】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図51で示した飛行機車体10101の天井部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、座席やドアなどありとあらゆる場所に適用可能である。例えば座席前の座席後方に表示パネルを設け、操作・視聴を行う構成であってもよい。

30

【0348】

なお、本実施例において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車(自動車、バス等を含む)、電車(モノレール、鉄道等を含む)、船舶等、多岐に渡る。本発明の画素構成を用いた表示部を有する表示パネルを適用することにより、表示パネルの小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。また特に、外部からの信号により、移動体内における表示パネルの表示を一斉に切り替えることが容易であるため、不特定多数の顧客を対象とした広告表示盤、また緊急災害時の情報表示板としても極めて有用であるといえる。

【0349】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、建造物に用いた応用形態を図48にて用いて説明する。

40

【0350】

図48は本発明の画素構成を用いた表示装置を表示部に有する表示パネルとして、フィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することにより表示パネル自身を湾曲させて表示可能な表示パネルとし、その応用例について説明する。図48においては、建造物として電柱等の屋外に設けられた柱状体の有する曲面に表示パネルを具備し、ここでは柱状体として電柱9801に表示パネル9802を具備する構成について示す。

【0351】

50

図48に示す表示パネル9802は、電柱の高さの真ん中あたりに位置させ、人間の視点より高い位置に設ける。そして移動体9803から表示パネルを視認することにより、表示パネル9802における画像を認識することができる。電柱のように屋外で繰り返し林立し、林立した電柱に設けた表示パネル9802において同じ映像を表示させることにより、視認者は情報表示、広告表示を視認することができる。図48において電柱9801に設けられた表示パネル9802は、外部より同じ画像を表示させることが容易であるため、極めて効率的な情報表示、及び広告効果が実現可能となる。また、本発明の表示パネルには、表示素子として自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。

【0352】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、図48とは別の建造物の応用形態を図50にて説明する。

【0353】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの応用例として、図50に示す。図50は、表示装置一体型の例としてユニットバス10001内の側壁に一体に取り付けられた表示パネル10002の例について示す。図50に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル10002は、ユニットバス10001と一体に取り付けられており、入浴者は表示パネル10002の視聴が可能になる。表示パネル10002は入浴者が操作することで情報を表示したり、広告や娯楽手段として利用できる機能を有する。

【0354】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図50で示したユニットバス10001の側壁にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、鏡面の一部や浴槽自体と一体にするなどありとあらゆる場所に適用可能である。

【0355】

また図46に建造物内に大型の表示部を有するテレビジョン装置を設けた例について示す。図46は、筐体2010、表示部2011、操作部であるリモコン装置2012、スピーカー部2013等を含む。本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、表示部2011の作製に適用される。図46のテレビジョン装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0356】

なお、本実施例において、建造物として、柱状体として電柱、ユニットバス等を例としたが、本実施例はこれに限定されず、表示パネルを備えることのできる建造物であれば何でもよい。本発明の画素構成を用いた表示部を有する表示装置を適用することにより、表示装置の小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。

【図面の簡単な説明】

【0357】

【図1】第1の実施形態を示す図。

【図2】第1の実施形態を示す図。

【図3】第1の実施形態、及び第2の実施形態を示す図。

【図4】第1の実施形態、及び第2の実施形態を示す図。

【図5】第2の実施形態を示す図。

【図6】第2の実施形態を示す図。

【図7】第3の実施形態を示す図。

【図8】第3の実施形態を示す図。

【図9】第3の実施形態、及び第4の実施形態を示す図。

【図10】第3の実施形態、及び第4の実施形態を示す図。

10

20

30

40

50

【図 1 1】	第 4 の実施形態を示す図。	
【図 1 2】	第 4 の実施形態を示す図。	
【図 1 3】	第 5 の実施形態を示す図。	
【図 1 4】	第 5 の実施形態を示す図。	
【図 1 5】	第 5 の実施形態、及び第 6 の実施形態を示す図。	
【図 1 6】	第 5 の実施形態、及び第 6 の実施形態を示す図。	
【図 1 7】	第 6 の実施形態を示す図。	
【図 1 8】	第 6 の実施形態を示す図。	
【図 1 9】	第 7 の実施形態を示す図。	
【図 2 0】	第 7 の実施形態を示す図。	10
【図 2 1】	第 7 の実施形態、及び第 8 の実施形態を示す図。	
【図 2 2】	第 7 の実施形態、及び第 8 の実施形態を示す図。	
【図 2 3】	第 8 の実施形態を示す図。	
【図 2 4】	実施例 1 を示す図。	
【図 2 5】	実施例 5 を示す図。	
【図 2 6】	実施例 6 を示す図。	
【図 2 7】	実施例 7 を示す図。	
【図 2 8】	実施例 2 を示す図。	
【図 2 9】	実施例 2 を示す図。	
【図 3 0】	実施例 2 を示す図。	20
【図 3 1】	実施例 3 を示す図。	
【図 3 2】	実施例 3 を示す図。	
【図 3 3】	実施例 3 を示す図。	
【図 3 4】	実施例 3 を示す図。	
【図 3 5】	実施例 3 を示す図。	
【図 3 6】	実施例 3 を示す図。	
【図 3 7】	実施例 3 を示す図。	
【図 3 8】	実施例 5 を示す図。	
【図 3 9】	実施例 5 を示す図。	
【図 4 0】	実施例 5 を示す図。	30
【図 4 1】	第 8 の実施形態を示す図。	
【図 4 2】	第 9 の実施形態を示す図。	
【図 4 3】	第 9 の実施形態を示す図。	
【図 4 4】	第 9 の実施形態を示す図。	
【図 4 5】	第 9 の実施形態を示す図。	
【図 4 6】	実施例 8 を示す図。	
【図 4 7】	実施例 8 を示す図。	
【図 4 8】	実施例 8 を示す図。	
【図 4 9】	実施例 8 を示す図。	
【図 5 0】	実施例 8 を示す図。	40
【図 5 1】	実施例 8 を示す図。	
【符号の説明】		
【 0 3 5 8 】		
1 0 0	第 1 のトランジスタ	
1 0 1	第 2 のトランジスタ	
1 0 2	第 1 のスイッチ	
1 0 3	第 2 のスイッチ	
1 0 4	第 3 のスイッチ	
1 0 5	第 4 のスイッチ	
1 0 6	第 5 のスイッチ	50

1 0 7	第 1 の容量素子	
1 0 8	第 2 の容量素子	
1 0 9	E L 素子	
1 1 0	電源線	
1 1 1	対向電極	
1 1 2	ソース信号線	
5 0 2	第 3 のトランジスタ	
5 0 3	第 4 のトランジスタ	
5 0 4	第 5 のトランジスタ	
5 0 5	第 6 のトランジスタ	10
5 0 6	第 7 のトランジスタ	
5 1 2	第 1 のゲート信号線	
5 1 3	第 2 のゲート信号線	
5 1 4	第 3 のゲート信号線	
5 1 5	第 4 のゲート信号線	
5 1 6	第 5 のゲート信号線	
7 0 0	第 1 のトランジスタ	
7 0 1	第 2 のトランジスタ	
7 0 2	第 1 のスイッチ	
7 0 3	第 2 のスイッチ	20
7 0 4	第 3 のスイッチ	
7 0 5	第 4 のスイッチ	
7 0 6	第 5 のスイッチ	
7 0 7	第 1 の容量素子	
7 0 8	第 2 の容量素子	
7 0 9	E L 素子	
7 1 0	電源線	
7 1 1	対向電極	
7 1 2	ソース信号線	
1 1 0 2	第 3 のトランジスタ	30
1 1 0 3	第 4 のトランジスタ	
1 1 0 4	第 5 のトランジスタ	
1 1 0 5	第 6 のトランジスタ	
1 1 0 6	第 7 のトランジスタ	
1 1 1 2	第 1 のゲート信号線	
1 1 1 3	第 2 のゲート信号線	
1 1 1 4	第 3 のゲート信号線	
1 1 1 5	第 4 のゲート信号線	
1 1 1 6	第 5 のゲート信号線	
1 3 0 0	第 1 のトランジスタ	40
1 3 0 1	第 2 のトランジスタ	
1 3 0 2	第 1 のスイッチ	
1 3 0 3	第 2 のスイッチ	
1 3 0 4	第 3 のスイッチ	
1 3 0 5	第 4 のスイッチ	
1 3 0 6	第 5 のスイッチ	
1 3 0 7	第 1 の容量素子	
1 3 0 8	第 2 の容量素子	
1 3 0 9	E L 素子	
1 3 1 0	電源線	50

1 3 1 1	対向電極	
1 3 1 2	ソース信号線	
1 7 0 2	第3のトランジスタ	
1 7 0 3	第4のトランジスタ	
1 7 0 4	第5のトランジスタ	
1 7 0 5	第6のトランジスタ	
1 7 0 6	第7のトランジスタ	
1 7 1 2	第1のゲート信号線	
1 7 1 3	第2のゲート信号線	
1 7 1 4	第3のゲート信号線	10
1 7 1 5	第4のゲート信号線	
1 7 1 6	第5のゲート信号線	
1 9 0 0	第1のトランジスタ	
1 9 0 1	第2のトランジスタ	
1 9 0 2	第1のスイッチ	
1 9 0 3	第2のスイッチ	
1 9 0 4	第3のスイッチ	
1 9 0 5	第4のスイッチ	
1 9 0 6	第5のスイッチ	
1 9 0 7	第1の容量素子	20
1 9 0 8	第2の容量素子	
1 9 0 9	E L 素子	
1 9 1 0	電源線	
1 9 1 1	対向電極	
1 9 1 2	ソース信号線	
2 3 0 2	第3のトランジスタ	
2 3 0 3	第4のトランジスタ	
2 3 0 4	第5のトランジスタ	
2 3 0 5	第6のトランジスタ	
2 3 0 6	第7のトランジスタ	30
2 3 1 2	第1のゲート信号線	
2 3 1 3	第2のゲート信号線	
2 3 1 4	第3のゲート信号線	
2 3 1 5	第4のゲート信号線	
2 3 1 6	第5のゲート信号線	
9 0 0 0	ソースドライバ	
9 0 0 1	ゲートドライバ	
9 0 0 2	画素	
9 0 0 3	画素部	
9 1 0 0	シフトレジスタ	40
9 1 0 1	スイッチ	
9 1 0 2	第1のラッチ回路	
9 1 0 3	第2のラッチ回路	
9 1 0 4	電流源	
9 1 0 5	第1のラッチ回路制御線	
9 1 0 6	第2のラッチ回路制御線	
9 2 0 0	シフトレジスタ	
9 2 0 1	第1のラッチ回路	
9 2 0 2	第2のラッチ回路	
9 2 0 3	D A C	50

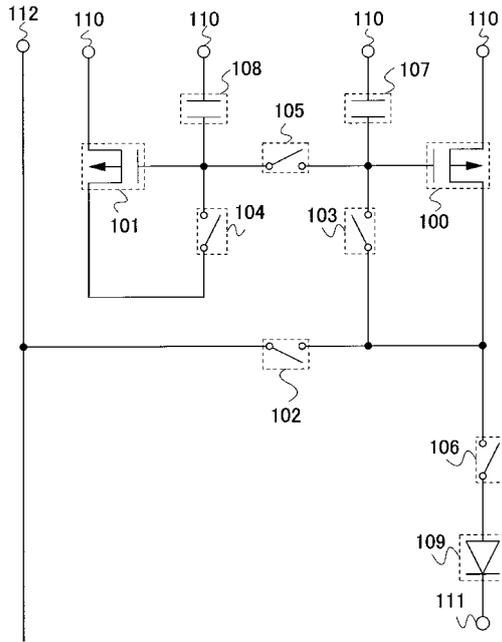
9 2 0 4	トランジスタ	
9 2 0 5	基準電圧	
9 2 0 6	ビデオ信号線	
9 2 0 7	第1のラッチ回路制御線	
9 2 0 8	第2のラッチ回路制御線	
9 3 0 0	シフトレジスタ	
9 3 0 1	第1のラッチ回路	
9 3 0 2	第2のラッチ回路	
9 3 0 3	第1のスイッチ	
9 3 0 4	第2のスイッチ	10
9 3 0 5	第3のスイッチ	
9 3 0 6	第1の電流源	
9 3 0 7	第2の電流源	
9 3 0 8	第3の電流源	
9 3 0 9	ビデオ信号線	
9 3 1 0	第1のラッチ回路制御線	
9 3 1 1	第2のラッチ回路制御線	
2 4 0 0	基板	
2 4 0 1	下地膜	
2 4 0 2	第1の半導体層	20
2 4 0 3	第1の絶縁膜	
2 4 0 4	ゲート電極	
2 4 0 5	第2の絶縁膜	
2 4 0 6	第1の電極	
2 4 0 7	第2の電極	
2 4 0 8	第3の絶縁膜	
2 4 0 9	発光層	
2 4 1 0	トランジスタ	
2 4 1 1	容量素子	
2 4 1 2	第2の半導体層	30
2 4 1 4	第4の電極	
2 4 1 5	発光素子	
2 4 1 6	第5の電極	
2 4 1 7	第4の電極	
2 4 1 8	第4の絶縁膜	
2 8 0 1	基板	
2 8 0 2	下地膜	
2 8 0 3	画素電極	
2 8 0 4	第1の電極	
2 8 0 5	第1の配線	40
2 8 0 6	第2の配線	
2 8 0 7	第1のN型半導体層	
2 8 0 8	第2のN型半導体層	
2 8 0 9	半導体層	
2 8 1 0	ゲート絶縁膜	
2 8 1 1	絶縁膜	
2 8 1 2	ゲート電極	
2 8 1 3	第2の電極	
2 8 1 4	層間絶縁膜	
2 8 1 5	有機化合物を含む層	50

2 8 1 6	対向電極	
2 8 1 7	発光素子	
2 8 1 8	駆動トランジスタ	
2 8 1 9	容量素子	
2 8 2 0	第 1 の電極	
2 9 0 1	基板	
2 9 0 3	ゲート電極	
2 9 0 4	第 1 の電極	
2 9 0 5	ゲート絶縁膜	
2 9 0 6	第 1 の半導体層	10
2 9 0 7	第 2 の半導体層	
2 9 0 8	第 1 の N 型半導体層	
2 9 0 9	第 2 の N 型半導体層	
2 9 1 0	第 3 の N 型半導体層	
2 9 1 1	第 1 の配線	
2 9 1 2	第 2 の配線	
2 9 1 3	導電層	
2 9 1 4	画素電極	
2 9 1 5	絶縁層	
2 9 1 6	有機化合物を含む層	20
2 9 1 7	対向電極	
2 9 1 8	発光素子	
2 9 1 9	駆動トランジスタ	
2 9 2 0	容量素子	
2 9 2 1	第 2 の電極	
3 0 0 1	絶縁層	
4 6 0 1	基板	
4 6 0 2	第 1 の絶縁膜	
4 6 0 3 a	第 1 の半導体膜	
4 6 0 3 b	第 2 の半導体膜	30
4 6 0 4	ゲート絶縁膜	
4 6 0 5	ゲート電極	
4 6 0 6	第 2 の絶縁膜	
4 6 0 7	第 3 の絶縁膜	
4 6 0 8	導電膜	
4 6 1 0 a	Nチャネル型トランジスタ	
4 6 1 0 b	Pチャネル型トランジスタ	
4 6 2 1 a	第 1 の絶縁膜	
4 6 2 1 b	第 2 の絶縁膜	
4 6 2 3	絶縁膜	40
4 6 2 4	絶縁膜	
4 6 2 5 a	第 1 のレジスト	
4 6 2 5 b	第 2 のレジスト	
4 6 2 6	絶縁膜	
4 6 2 7 a	第 1 の絶縁膜	
4 6 2 7 b	第 2 の絶縁膜	
4 6 5 1 a	第 1 のチャネル領域の端部	
4 6 5 1 b	第 2 のチャネル領域の端部	
4 6 5 2 a	第 1 のチャネル領域の端部	
4 6 5 2 b	第 2 のチャネル領域の端部	50

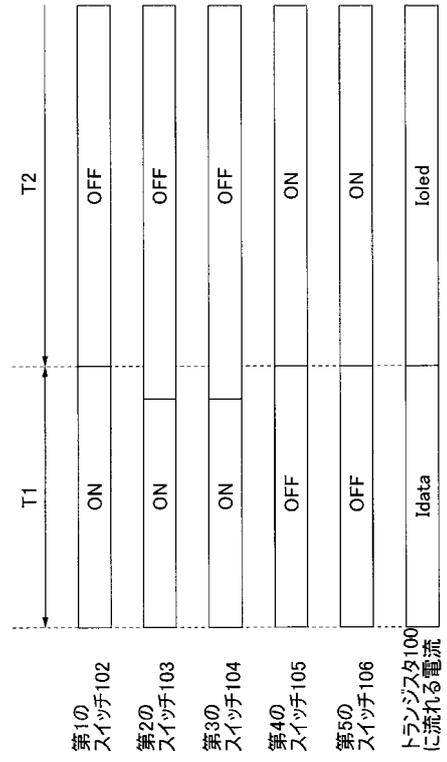
5 6 1 0	第 1 の半導体層	
5 6 1 1	第 2 の半導体層	
5 6 3 0	マスクパターン	
5 7 1 2	第 1 のゲート配線	
5 7 1 3	第 2 のゲート配線	
5 7 1 4	第 3 のゲート配線	
5 7 3 1	マスクパターン	
5 8 1 5	第 1 の配線	
5 8 1 6	第 2 の配線	
5 8 1 9	第 3 の配線	10
5 8 2 0	第 4 の配線	
5 8 2 1	第 1 の N チャンネル型トランジスタ	
5 8 2 2	第 2 の N チャンネル型トランジスタ	
5 8 2 3	第 3 の N チャンネル型トランジスタ	
5 8 2 4	第 4 の N チャンネル型トランジスタ	
5 8 2 5	第 1 の P チャンネル型トランジスタ	
5 8 2 6	第 2 の P チャンネル型トランジスタ	
5 8 2 7	第 1 のインバータ	
5 8 2 8	第 2 のインバータ	
5 8 3 2	マスクパターン	20
2 5 0 1	基板	
2 5 0 2	画素部	
2 5 0 6	シール材	
2 5 0 7	シーリング材	
2 5 0 8	密閉空間	
2 5 0 9	吸湿材	
2 5 1 0	カバー材	
2 5 1 1	入力端子部	
2 5 1 2	フレキシブルプリントサーキット ( F P C )	
2 5 2 0	カラーフィルタ	30
2 5 2 1	対向基板	
2 5 2 2	密閉空間	
2 5 2 3	保護膜	
2 5 2 4	シーリング材	
2 6 0 0	パネル	
2 6 0 1	画素部	
2 6 0 2	ソースドライバ	
2 6 0 3	ゲートドライバ	
2 6 0 4	回路基板	
2 6 0 5	コントローラ	40
2 6 0 6	信号分割回路	
2 7 1 1	本体	
2 7 1 2	筐体	
2 7 1 3	表示部	
2 7 1 4	キーボード	
2 7 1 5	外部接続ポート	
2 7 1 6	ポインティングマウス	
2 7 2 1	本体	
2 7 2 2	筐体	
2 7 2 3	第 1 の表示部	50

2 7 2 4	第 2 の表示部	
2 7 2 5	記録媒体読み込み部	
2 7 2 6	操作キー	
2 7 2 7	スピーカ部	
2 7 3 1	本体	
2 7 3 2	音声出力部	
2 7 3 3	音声入力部	
2 7 3 4	表示部	
2 7 3 5	操作スイッチ	
2 7 3 6	アンテナ	10
2 7 4 1	本体	
2 7 4 2	表示部	
2 7 4 3	筐体	
2 7 4 4	外部接続ポート	
2 7 4 5	リモコン受信部	
2 7 4 6	受像部	
2 7 4 7	バッテリー	
2 7 4 8	音声入力部	
2 7 4 9	操作キー	
9 7 0 1	電車車両本体	20
9 7 0 2	表示パネル	
9 7 0 3	第 1 の表示パネル	
9 7 0 4	第 2 の表示パネル	
9 9 0 1	自動車の車体	
9 9 0 2	表示パネル	
1 0 1 0 1	飛行機車体	
1 0 1 0 2	表示パネル	
1 0 1 0 3	ヒンジ部	
9 8 0 1	電柱	
9 8 0 2	表示パネル	30
9 8 0 3	移動体	
1 0 0 0 1	ユニットバス	
1 0 0 0 2	表示パネル	
2 0 1 0	筐体	
2 0 1 1	表示部	
2 0 1 2	リモコン装置	
2 0 1 3	スピーカ部	

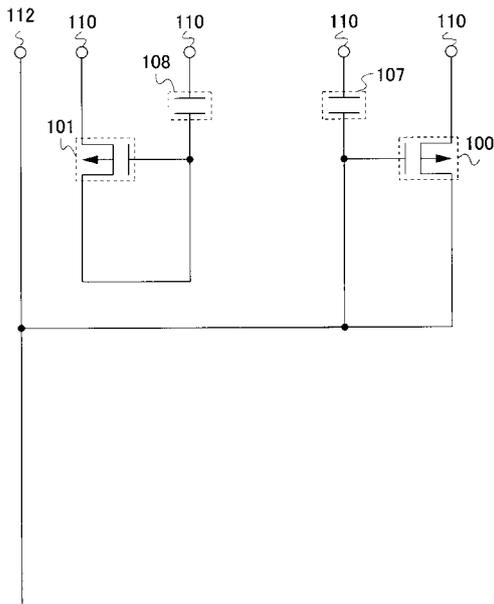
【図1】



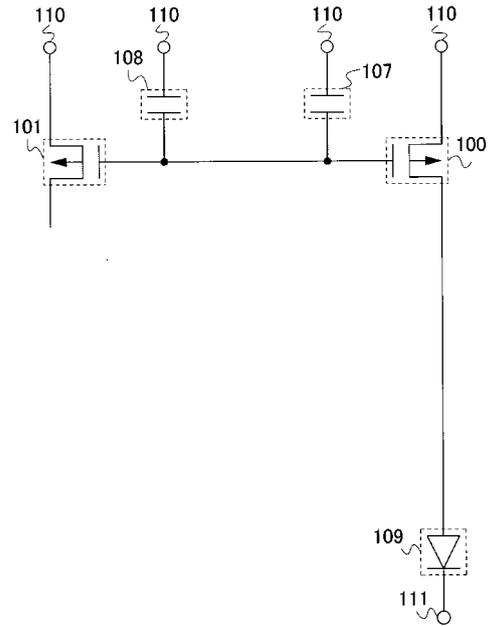
【図2】



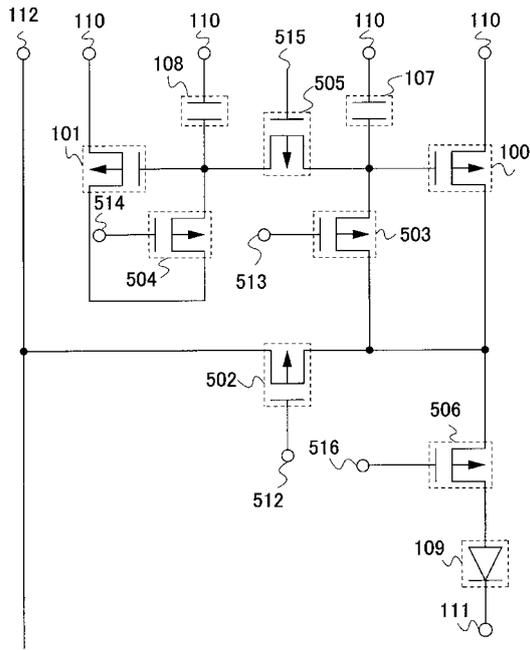
【図3】



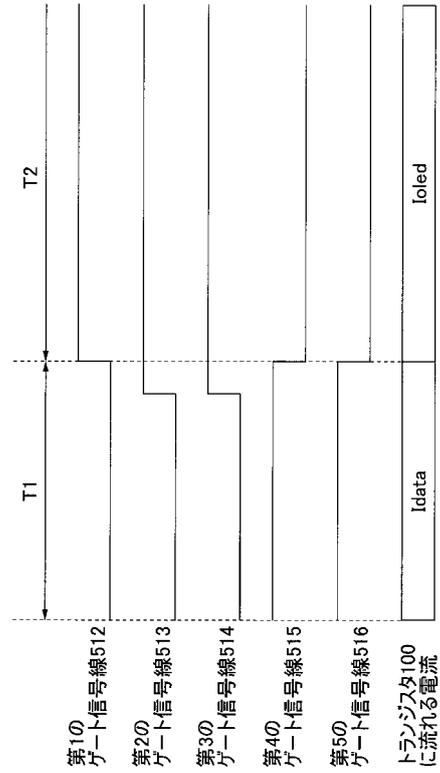
【図4】



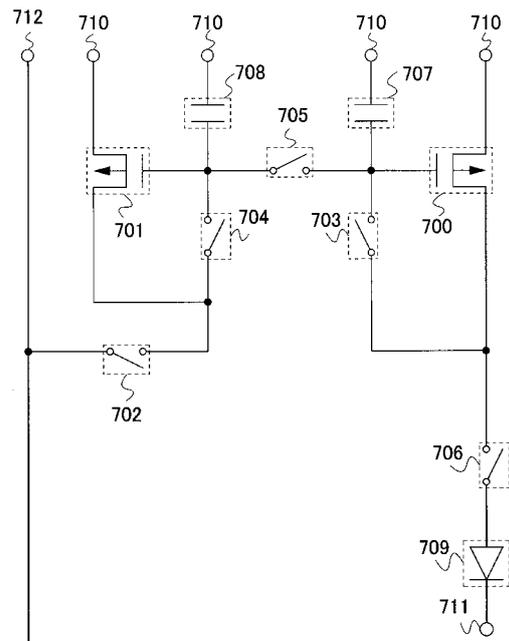
【 図 5 】



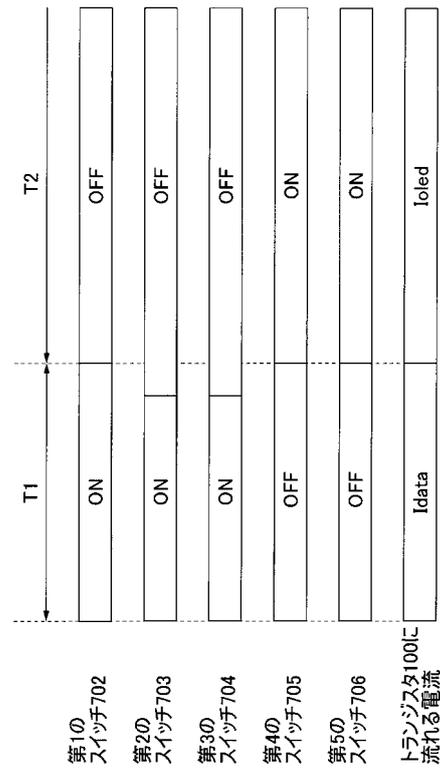
【 図 6 】



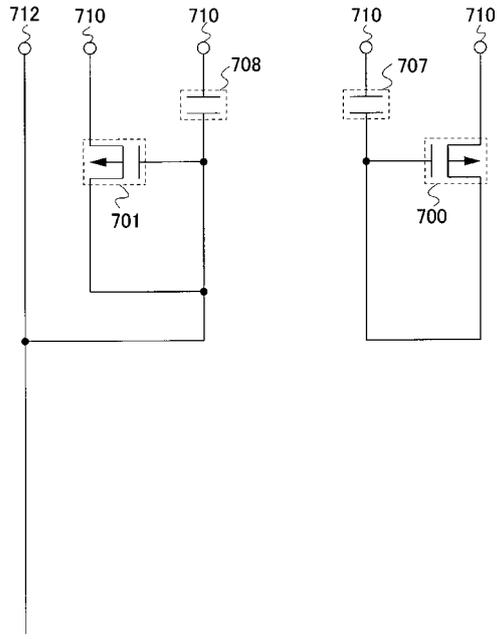
【 図 7 】



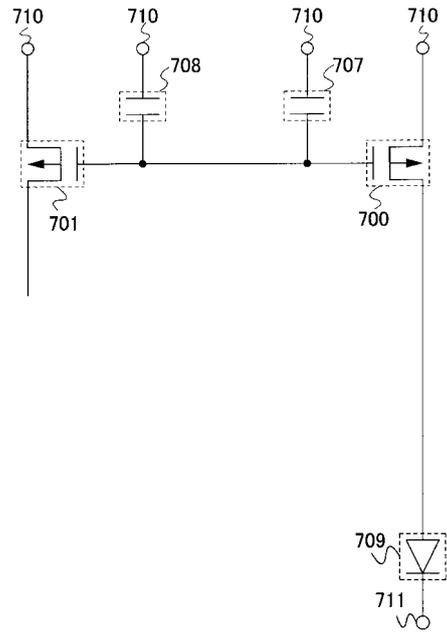
【 図 8 】



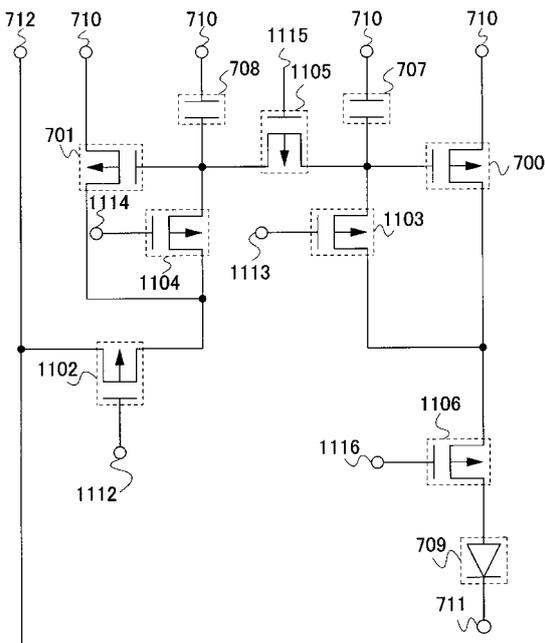
【図9】



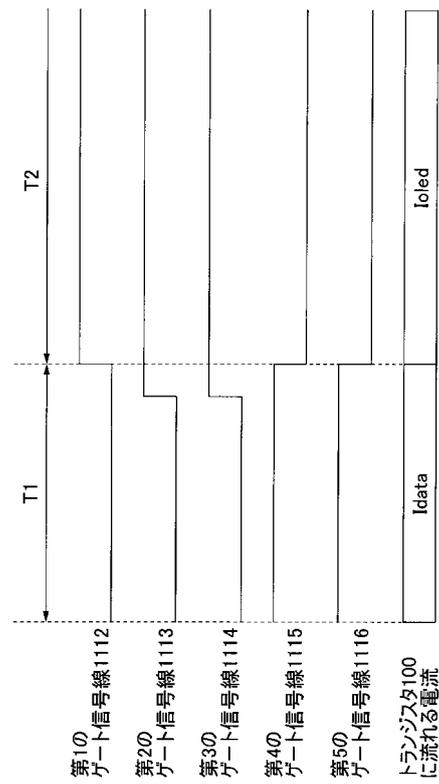
【図10】



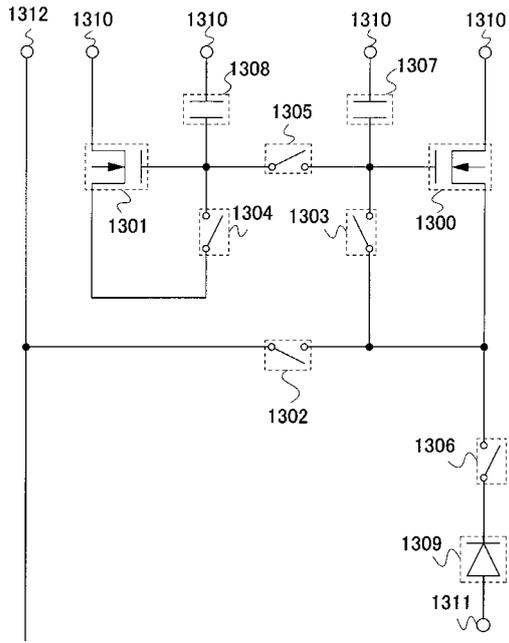
【図11】



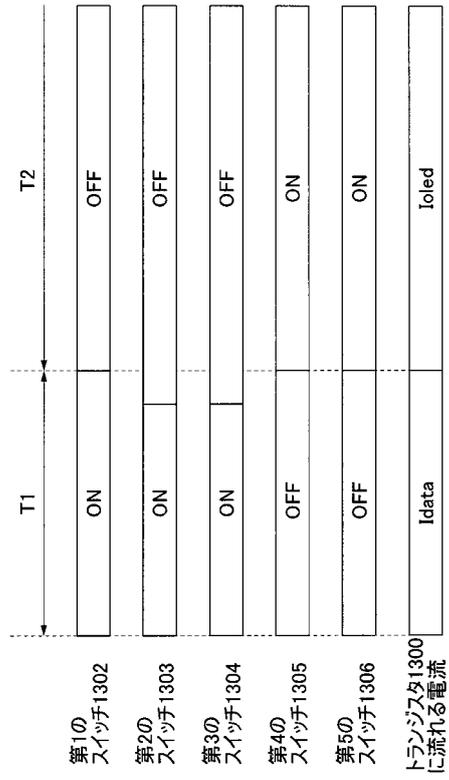
【図12】



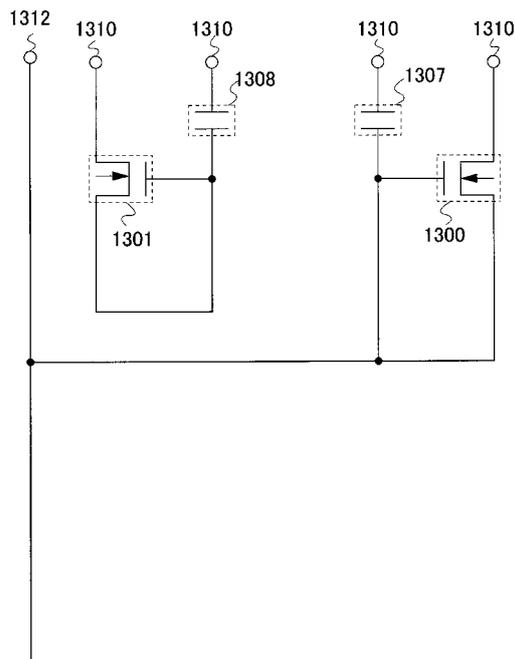
【図 1 3】



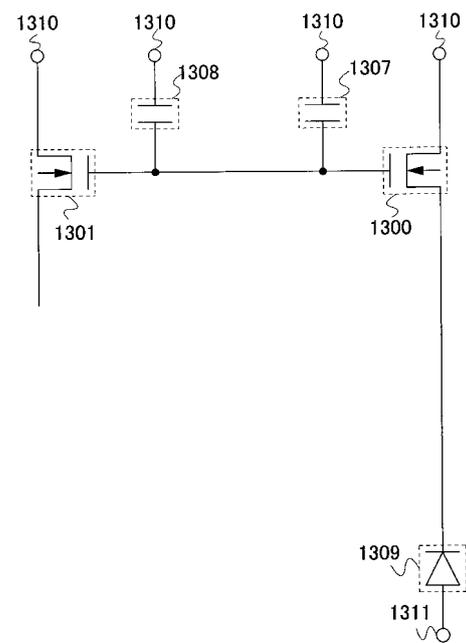
【図 1 4】



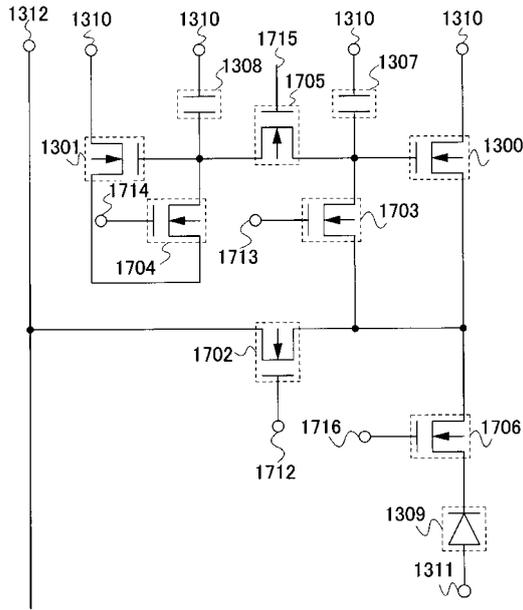
【図 1 5】



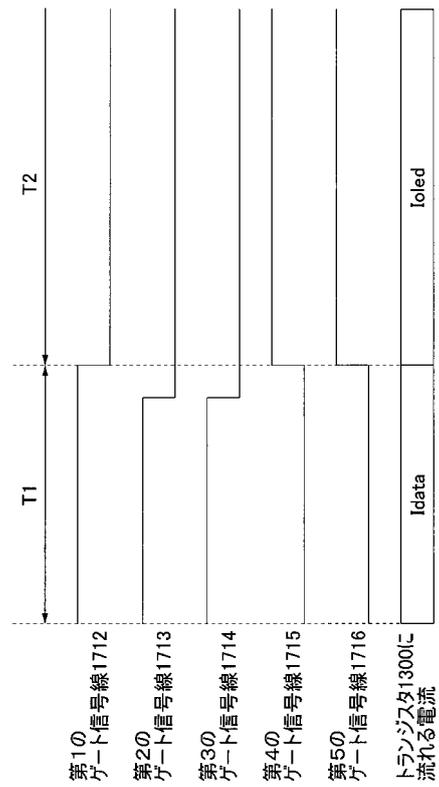
【図 1 6】



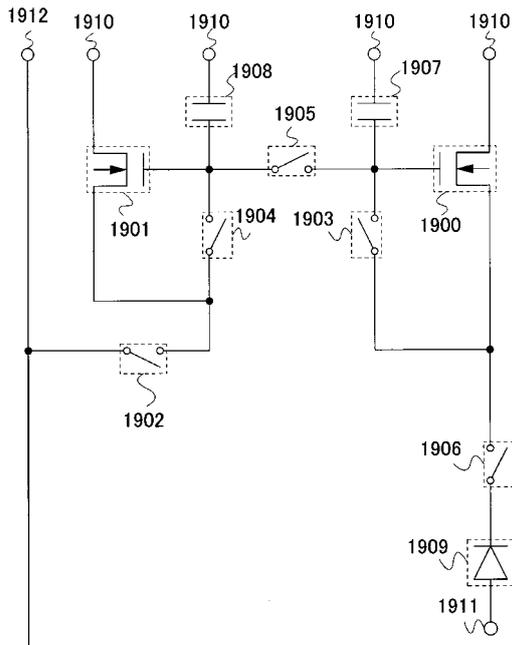
【図17】



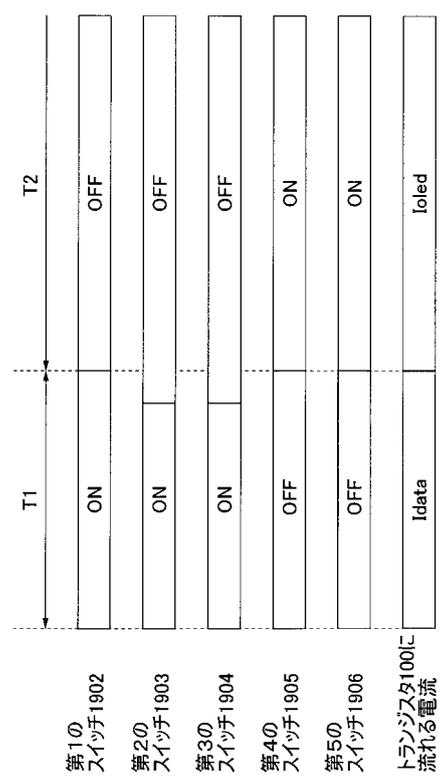
【図18】



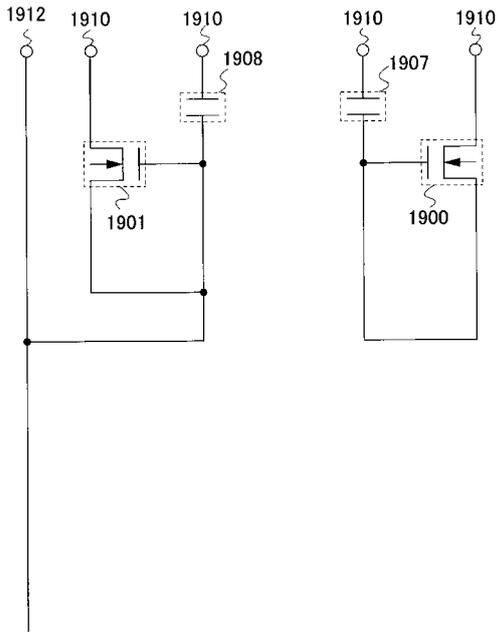
【図19】



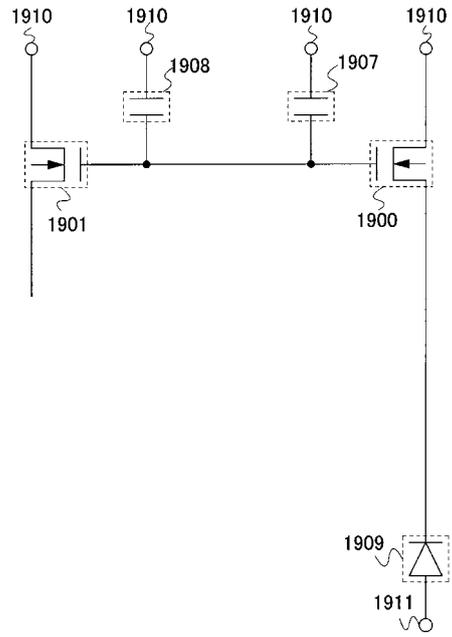
【図20】



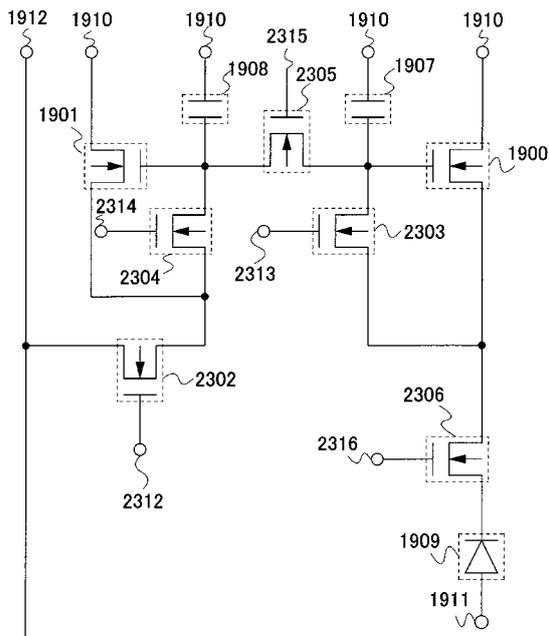
【図 2 1】



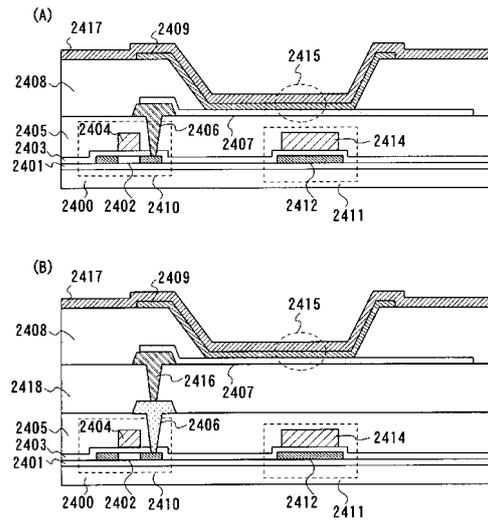
【図 2 2】



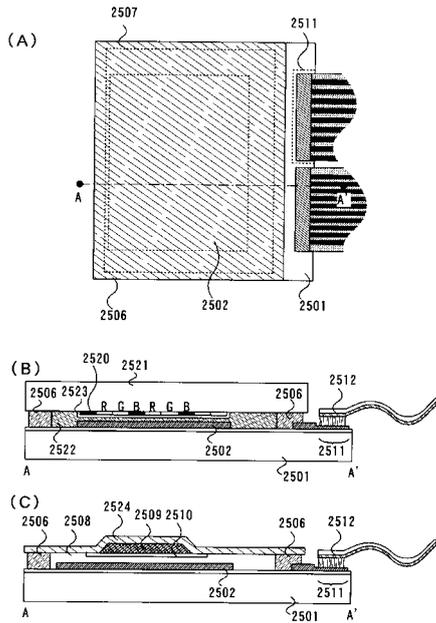
【図 2 3】



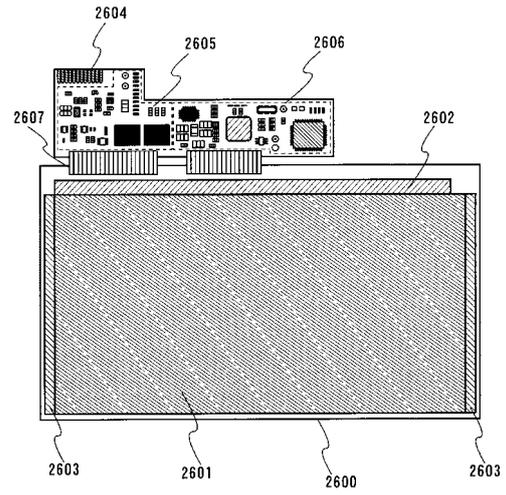
【図 2 4】



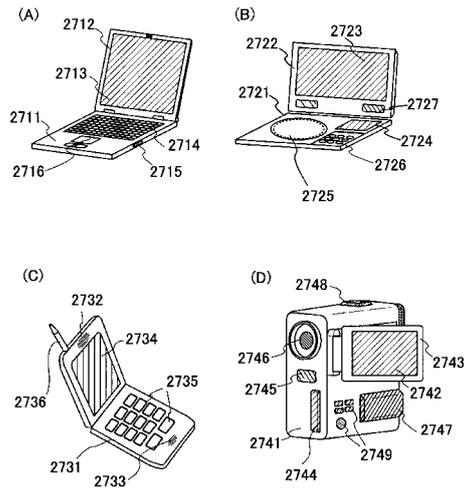
【 図 2 5 】



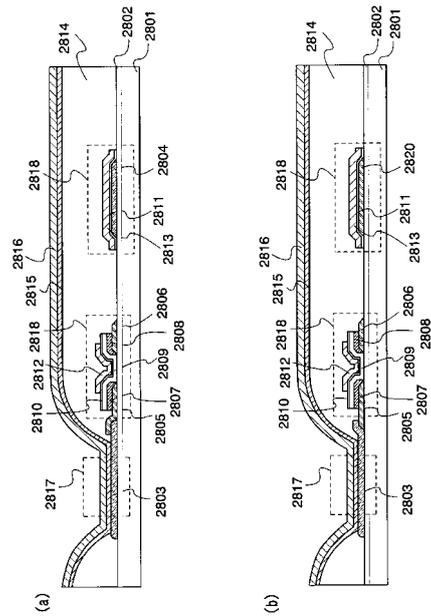
【 図 2 6 】



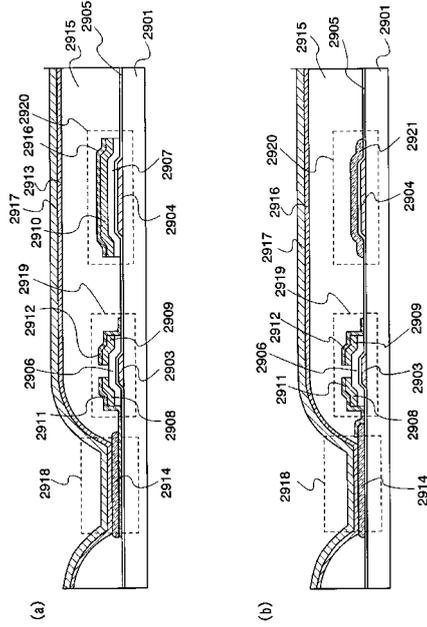
【 図 2 7 】



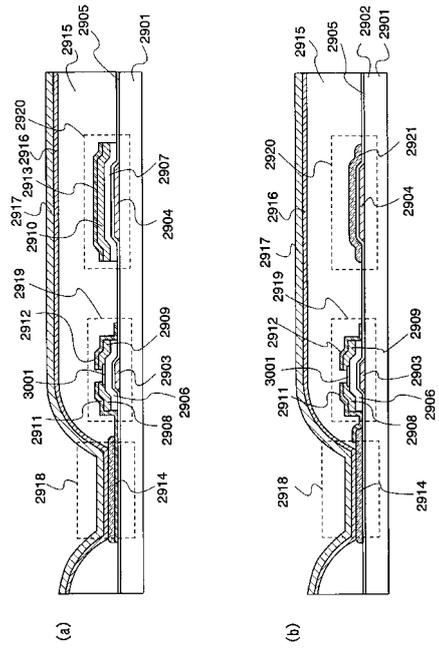
【 図 2 8 】



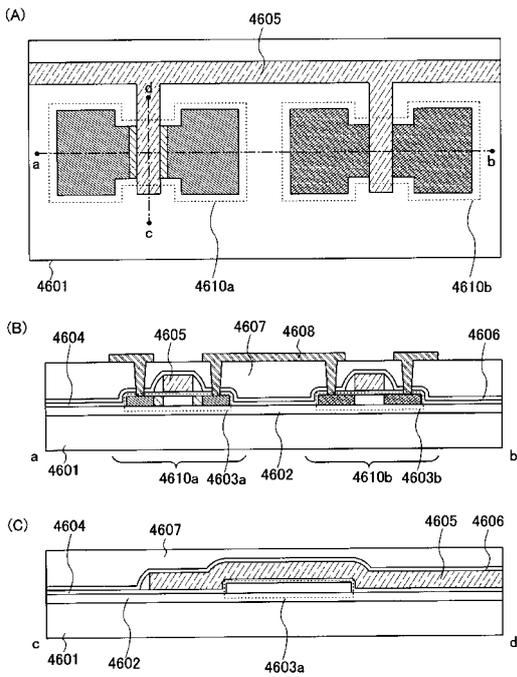
【 図 29 】



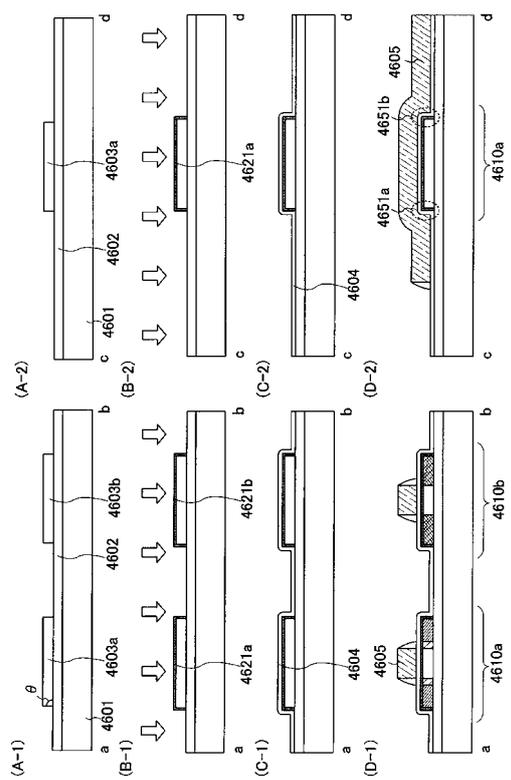
【 図 30 】



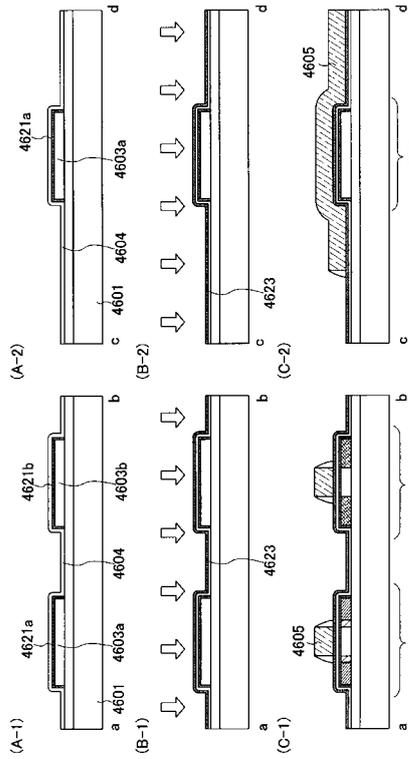
【 図 31 】



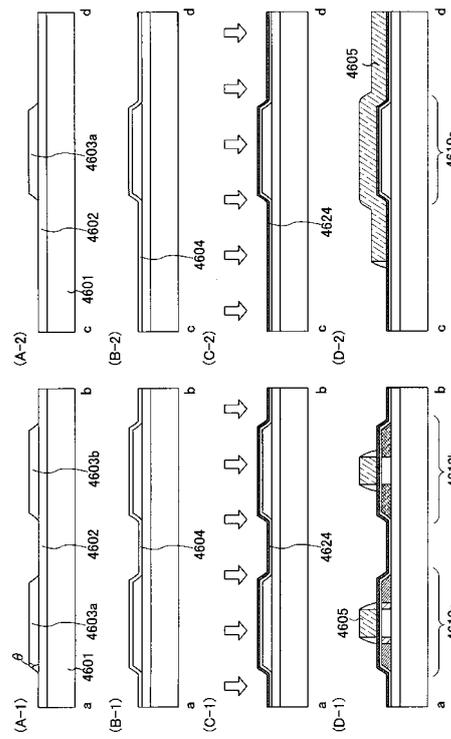
【 図 32 】



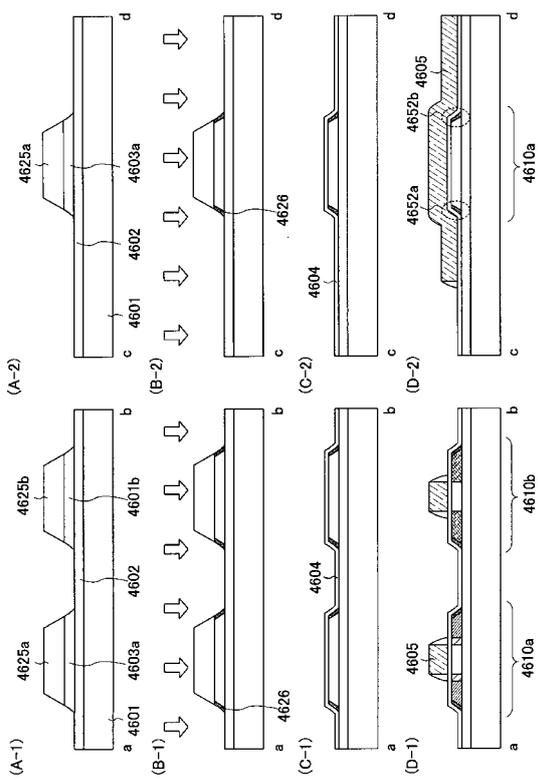
【 3 3 】



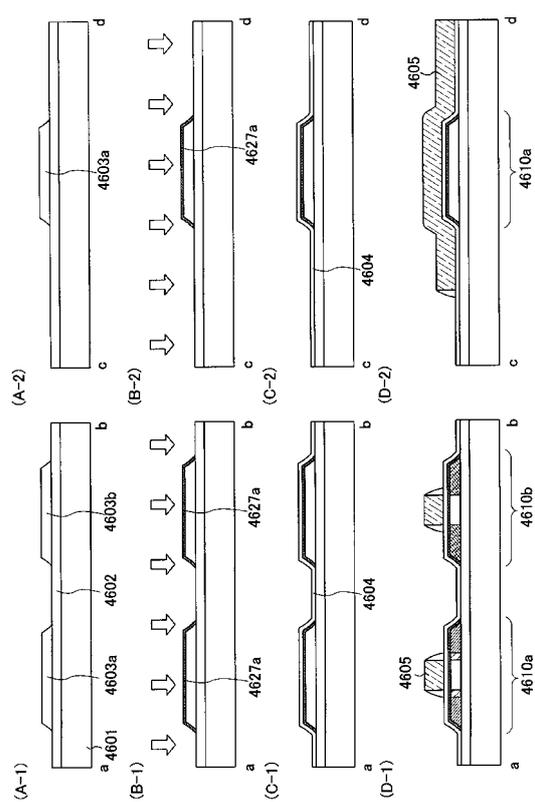
【 3 4 】



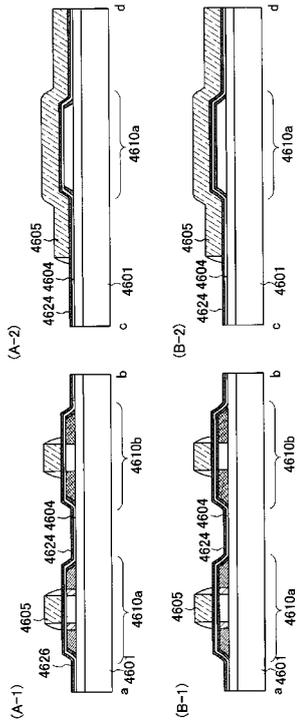
【 3 5 】



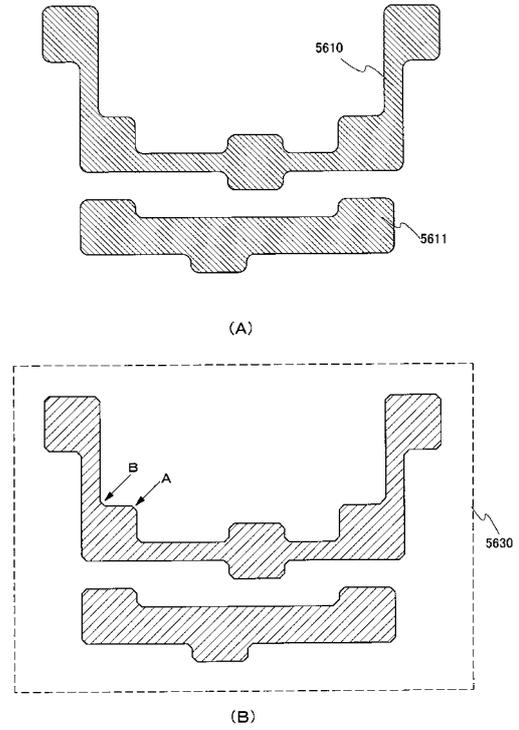
【 3 6 】



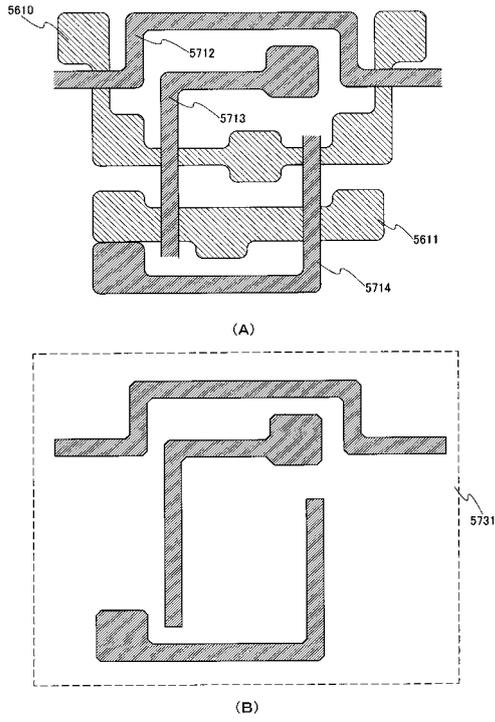
【 37 】



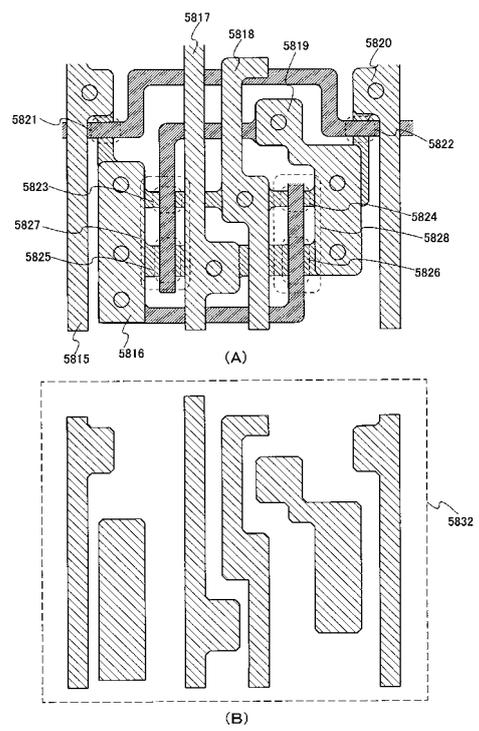
【 38 】



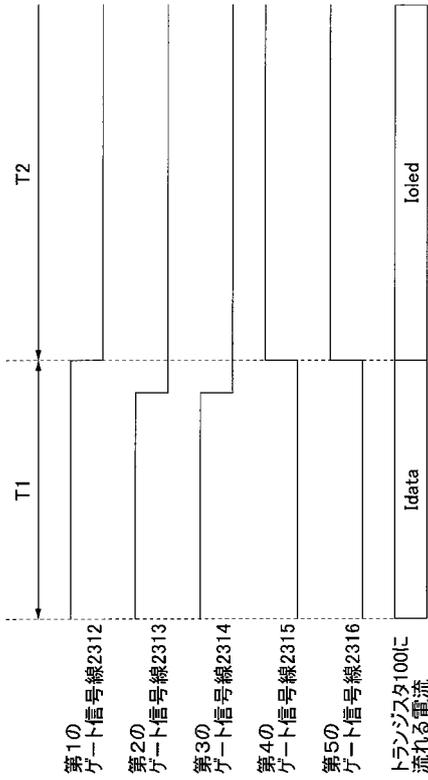
【 39 】



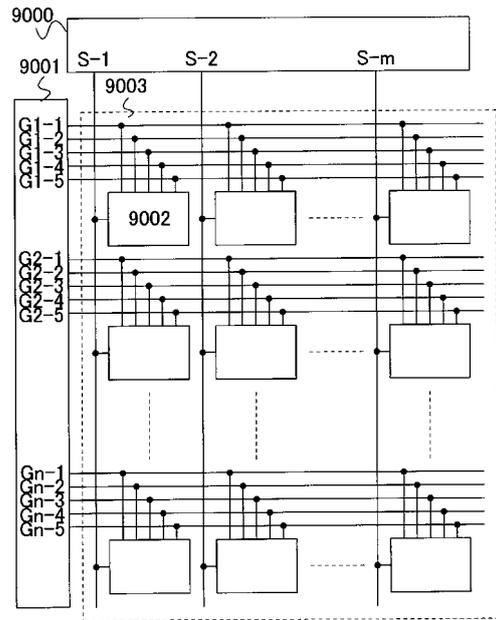
【 40 】



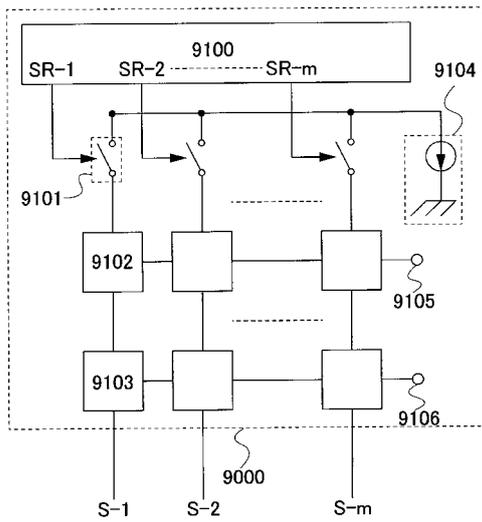
【 図 4 1 】



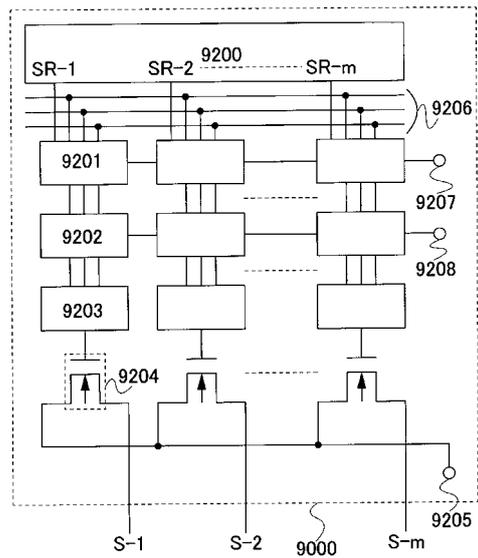
【 図 4 2 】



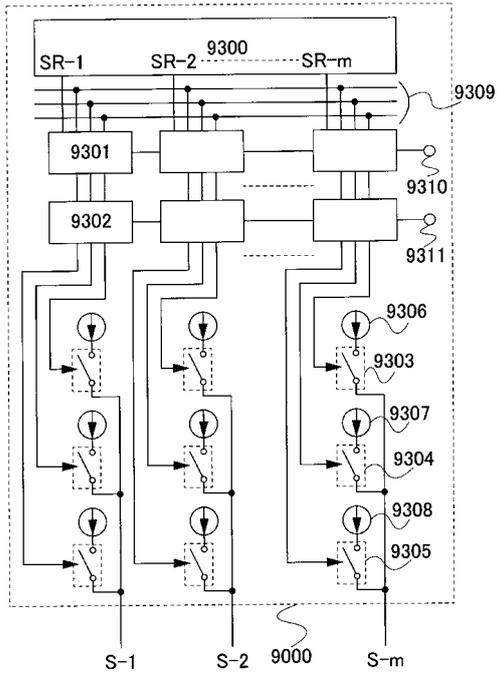
【 図 4 3 】



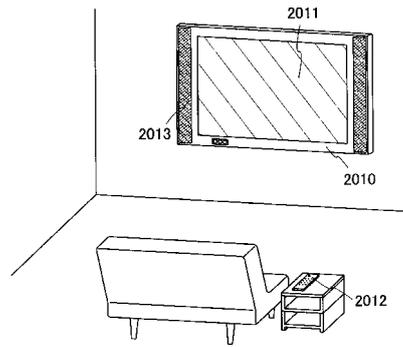
【 図 4 4 】



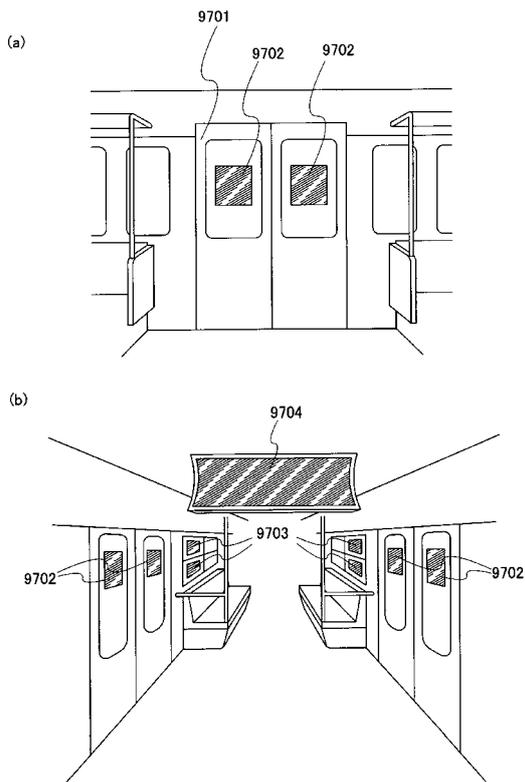
【 図 4 5 】



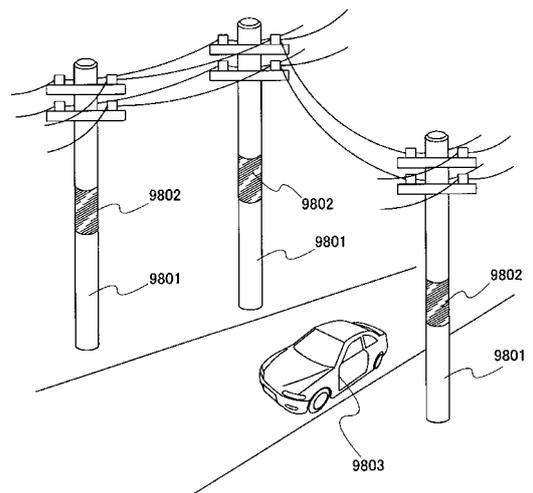
【 図 4 6 】



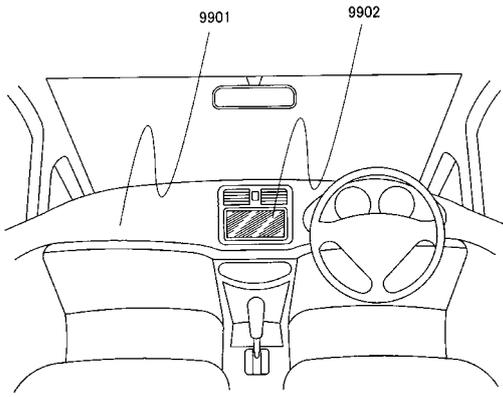
【 図 4 7 】



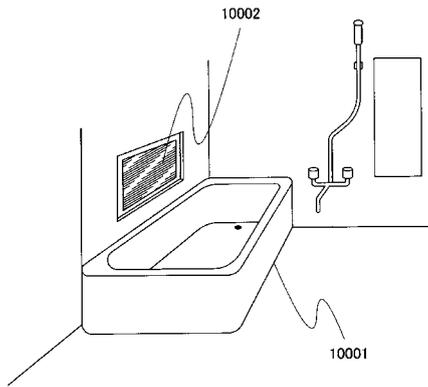
【 図 4 8 】



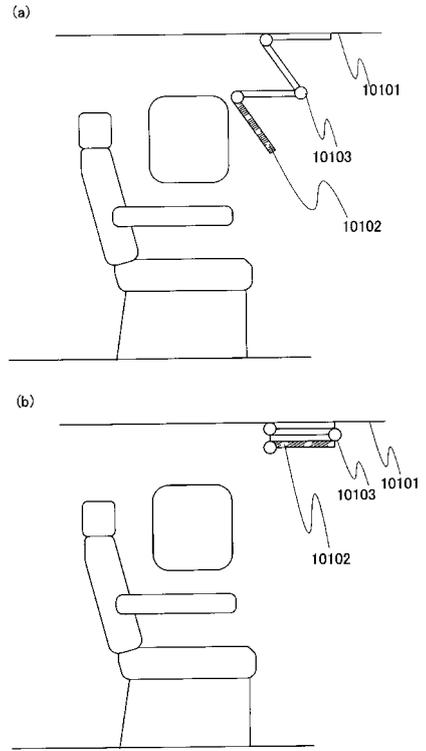
【 49 】



【 50 】



【 51 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 4 2 C  
H 0 5 B 33/14 A

(56)参考文献 特開2004-310006(JP,A)  
特開2004-310014(JP,A)  
特開2004-310013(JP,A)  
特開2005-157283(JP,A)  
特開2003-177709(JP,A)  
特開2006-154521(JP,A)  
特開2006-208744(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2