

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5139242号
(P5139242)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.	F I		
G09G 3/20 (2006.01)	G09G	3/20	623B
G09G 3/36 (2006.01)	G09G	3/20	670A
G02F 1/133 (2006.01)	G09G	3/20	621A
	G09G	3/20	621B
	G09G	3/20	623F
請求項の数 11 (全 24 頁) 最終頁に続く			

(21) 出願番号	特願2008-296951 (P2008-296951)	(73) 特許権者	308033711 ラピスセミコンダクタ株式会社 東京都八王子市東浅川町550番地1
(22) 出願日	平成20年11月20日(2008.11.20)	(74) 代理人	100079049 弁理士 中島 淳
(65) 公開番号	特開2010-122509 (P2010-122509A)	(74) 代理人	100084995 弁理士 加藤 和詳
(43) 公開日	平成22年6月3日(2010.6.3)	(74) 代理人	100085279 弁理士 西元 勝一
審査請求日	平成23年11月8日(2011.11.8)	(74) 代理人	100099025 弁理士 福田 浩志
		(72) 発明者	西水 学 大分県速見郡日出町大字大神8133番地 株式会社日出ハイテック内
最終頁に続く			

(54) 【発明の名称】 表示パネルの駆動装置

(57) 【特許請求の範囲】

【請求項1】

予め定めた電源範囲の上限である最高電圧と、当該最高電圧と前記電源範囲の下限である最低電圧との間の第1の中間電圧と、の間の電圧を出力する高電圧側オペアンプであって、表示パネルの表示セルを駆動するための高電圧側駆動信号と所定の入力信号との差に基づく信号を出力する高電圧側差動回路と、前記高電圧側差動回路から出力された信号が入力され、少なくとも前記最高電圧と前記第1の中間電圧との差以上の耐圧である第1の所定耐圧の第1のPMOSトランジスタ及び第1のNMOSトランジスタが直列接続された第1の高電圧側出力回路と、前記第1の高電圧側出力回路から出力された信号が入力され、少なくとも前記最高電圧と前記最低電圧との差以上の耐圧である第2の所定耐圧の第2のPMOSトランジスタ及び第2のNMOSトランジスタが直列接続された第2の高電圧側出力回路と、前記第1の高電圧側出力回路と前記第2の高電圧側出力回路との間に設けられ、前記第1の高電圧側出力回路の所定部位の電圧が前記第1の中間電圧よりも低くなるのを防止するための電圧低下防止用MOSトランジスタと、を含む高電圧側オペアンプと、

前記最低電圧と、前記最高電圧と前記最低電圧との間の第2の中間電圧と、の間の電圧を出力する低電圧側オペアンプであって、前記表示セルを駆動するための低電圧側駆動信号と所定の入力信号との差に基づく信号を出力する低電圧側差動回路と、前記低電圧側差動回路から出力された信号が入力され、少なくとも前記第2の中間電圧と前記最低電圧との差以上の耐圧である第3の所定耐圧の第3のPMOSトランジスタ及び第3のNMOS

トランジスタが直列接続された第1の低電圧側出力回路と、前記第1の低電圧側出力回路から出力された信号が入力され、前記第2の所定耐圧の第4のPMOSトランジスタ及び第4のNMOSトランジスタが直列接続された第2の低電圧側出力回路と、前記第1の低電圧側出力回路と前記第2の低電圧側出力回路との間に設けられ、前記第1の低電圧側出力回路の所定部位の電圧が前記第2の中間電圧よりも高くなるのを防止するための電圧上昇防止用MOSトランジスタと、を含む低電圧側オペアンプと、

前記表示セルに出力する信号を、所定の極性信号に基づいて、前記高電圧側オペアンプからの出力信号及び前記低電圧側オペアンプからの出力信号の何れかに切り替える切替回路と、

を備えた表示パネルの駆動装置。

10

【請求項2】

前記電圧低下防止用MOSトランジスタが、前記第1のPMOSトランジスタのドレインと前記第1のNMOSトランジスタのドレインとの接続点と、前記第2のPMOSトランジスタのドレインと前記第2のNMOSトランジスタのドレインとの接続点と、の間に設けられた

請求項1記載の表示パネルの駆動装置。

【請求項3】

前記電圧低下防止用MOSトランジスタが、前記第1のNMOSトランジスタのゲートと前記第2のNMOSトランジスタのゲートとの間に設けられた

請求項1又は請求項2記載の表示パネルの駆動装置。

20

【請求項4】

前記電圧上昇防止用MOSトランジスタが、前記第3のPMOSトランジスタのドレインと前記第3のNMOSトランジスタのドレインとの接続点と、前記第4のPMOSトランジスタのドレインと前記第4のNMOSトランジスタのドレインとの接続点と、の間に設けられた

請求項1～請求項3の何れか1項に記載の表示パネルの駆動装置。

【請求項5】

前記電圧上昇防止用MOSトランジスタが、前記第3のNMOSトランジスタのゲートと前記第4のNMOSトランジスタのゲートとの間に設けられた

請求項1～請求項4の何れか1項に記載の表示パネルの駆動装置。

30

【請求項6】

前記極性信号が反転する場合に、前記電圧低下防止用MOSトランジスタのゲートに前記第1の中間電圧を所定期間印加すると共に、前記電圧上昇防止用MOSトランジスタのゲートに前記第2の中間電圧を所定期間印加する電圧印加手段

をさらに備えた請求項1～請求項5の何れか1項に記載の表示パネルの駆動装置。

【請求項7】

前記第1の中間電圧が、前記第2の中間電圧よりも低い

請求項1～請求項6の何れか1項に記載の表示パネルの駆動装置。

【請求項8】

前記第1のPMOSトランジスタと前記第2のPMOSトランジスタとの間に、第5のPMOSトランジスタと第6のPMOSトランジスタとが直列接続された第1のレベルシフトがさらに設けられた

請求項1～請求項7の何れか1項に記載の表示パネルの駆動装置。

40

【請求項9】

前記第3のNMOSトランジスタと前記第4のNMOSトランジスタとの間に、第5のNMOSトランジスタと第6のNMOSトランジスタとが直列接続された第2のレベルシフトがさらに設けられた

請求項1～請求項8の何れか1項に記載の表示パネルの駆動装置。

【請求項10】

前記第1のNMOSトランジスタのバックゲートには、前記第1の中間電圧が印加され

50

、前記第2のNMOSトランジスタのバックゲートには、前記最低電圧が印加される請求項1～請求項9の何れか1項に記載の表示パネルの駆動装置。

【請求項11】

前記第3のPMOSトランジスタのバックゲートには、前記第2の中間電圧が印加され、前記第4のPMOSトランジスタのバックゲートには、前記最高電圧が印加される請求項1～請求項10の何れか1項に記載の表示パネルの駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルの駆動装置に係り、特に、液晶パネル等の表示パネルの駆動装置に関するものである。

【背景技術】

【0002】

従来、表示パネル、例えば液晶パネルを駆動する場合には、液晶パネルに対して画像データの階調レベルに応じた電圧を印加して表示させる。この場合、液晶に対して印加する電圧は、液晶材料の特性劣化防止のために、一定周期的毎に印加する電圧を反転させる駆動方法を用いるのが一般的である。

【0003】

例えば特許文献1には、高圧側アンプ及び低圧側アンプを備えた液晶用駆動回路が開示されている。

【0004】

この特許文献1記載の発明によれば、高圧側アンプ及び低圧側アンプの電圧範囲がアンプを高圧側と低圧側とで分担させない場合と比較して狭いため、消費電力を低減することができる。

【0005】

また、近年では、液晶表示装置の大画面化に伴い、液晶パネルを駆動する駆動装置に対しても様々な性能の向上が求められており、特に、液晶表示装置の大画面化に伴って液晶パネルのデータ線の負荷容量が増大していることから、駆動能力の向上が重要となってきた。これに対しては、例えばアンプ内に複数の出力段を並列接続することが考えられる。

【0006】

従って、消費電力を低減すると共に駆動能力の向上を図るために、例えば特許文献1に記載されたような高圧側アンプ及び低圧側アンプを備えると共に、各アンプ内に複数の出力段を並列接続した構成の駆動回路を表示パネルの駆動回路として用いることが考えられる。

【0007】

図10には、このような駆動回路の概略構成を示した。同図に示す表示パネルの駆動回路200は、駆動回路の電源範囲の最高電圧であるVDDを上限とし、VDDと前記電源範囲の最低電圧であるVSS（接地）との中間の電圧VDMを下限とする正極出力範囲の電圧を出力する高圧側アンプであるソースアンプ202、電圧VSSを下限とし電圧VDMを上限とする負極出力範囲の電圧を出力する低圧側アンプであるシンクアンプ204、スイッチ206を含んで構成されている。ソースアンプ202は、PMOSトランジスタP1及びNMOSトランジスタN1が直列接続された第1の高電圧側出力回路202A、PMOSトランジスタP2及びNMOSトランジスタN2が直列接続された第2の高電圧側出力回路202B等を含んで構成されている。また、シンクアンプ204は、PMOSトランジスタP3及びNMOSトランジスタN3が直列接続された第1の低電圧側出力回路204A、PMOSトランジスタP4及びNMOSトランジスタN4が直列接続された第2の低電圧側出力回路204B等を含んで構成されている。このように、ソースアンプ202及びシンクアンプ204とも出力回路が2段構成となっている。

10

20

30

40

50

【 0 0 0 8 】

なお、各MOSトランジスタの耐圧は、少なくとも電圧VDDと電圧VSSとの差以上の電圧に耐えうる高耐圧のMOSトランジスタである。すなわち、各出力回路のPMOSトランジスタのバックゲートには電圧VDDが印加され、NMOSトランジスタのバックゲートには電圧VSSが印加される。

【 0 0 0 9 】

また、スイッチ206は、例えば入力された極性信号POLがハイレベル(以下、'H')の場合はソースアンプ202からの出力信号電圧SOAMPを出力端子OUT1に出力すると共に、シンクアンプ204からの出力信号電圧SIAMPを出力端子OUT2に出力する。一方、入力された極性信号POLがローレベル(以下、'L')の場合はソースアンプ202からの出力信号電圧SOAMPを出力端子OUT2に出力すると共に、シンクアンプ204からの出力信号電圧SIAMPを出力端子OUT1に出力する。

10

【特許文献1】特開平10-62744号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、図10に示したような構成の駆動回路200では、各アンプの1段目の出力回路と2段目の出力回路を構成する各MOSトランジスタを高耐圧のMOSトランジスタで構成しているため、各アンプのレイアウト面積が大きいため、という問題があった。

【 0 0 1 1 】

レイアウト面積を小さくするためには、例えば各アンプの1段目の出力回路を構成するMOSトランジスタを高耐圧のMOSトランジスタよりも耐圧が低い中耐圧のMOSトランジスタと用いることが考えられるが、この場合、中耐圧のMOSトランジスタのバックゲートには、電圧VDDと電圧VSSとの中間の電圧VDMが印加される。

20

【 0 0 1 2 】

このように中耐圧のMOSトランジスタを用いた場合、ソースアンプ202やシンクアンプ204の出力電圧が電圧範囲外になってしまう虞がある。すなわち、ソースアンプ202の出力電圧が電圧VDM未満になったり、シンクアンプ204の出力電圧が電圧VDM以上になったりする可能性がある。

【 0 0 1 3 】

この点について、図11を参照して説明する。同図(A)、(B)は、出力端子OUT1、OUT2の出力パターン例を、同図(C)、(D)には、ソースアンプ202及びシンクアンプ204の出力例を示した。なお、同図(A)は、ソースアンプ202が電圧VDD付近の電圧を出力していた場合、シンクアンプ204が電圧VDM付近の電圧を出力していた場合の出力パターンであり、同図(B)は、ソースアンプ202が電圧VDM付近の電圧を出力していた場合、シンクアンプ204が電圧VSS付近の電圧を出力していた場合の出力パターンである。

30

【 0 0 1 4 】

ここで、例えば図11(A)に示す出力パターン例の場合のように、電圧VDD付近の電圧を出力している出力端子OUT1の出力電圧が正極出力範囲から負極出力範囲へと極性が切り替わると共に、電圧VDM付近の電圧を出力している出力端子OUT2の出力電圧が負極出力範囲から正極出力範囲へと極性が切り替わる場合、スイッチ206を介して各アンプの出力信号電圧が負荷側に引っ張られるため、同図(C)に示すように、ソースアンプ202の出力信号電圧SOAMPが急激に低下すると共に、シンクアンプ204の出力信号電圧SIAMPが急激に上昇する。この結果、同図(C)に示すように、シンクアンプ204の出力信号電圧SIAMPが、シンクアンプ204の電圧範囲(SINK範囲)の上限である電圧VDMを越えてしまう期間208が発生してしまう。

40

【 0 0 1 5 】

一方、例えば図11(B)に示す出力パターン例の場合のように、電圧VDM付近の電圧を出力している出力端子OUT1の出力電圧が正極出力範囲から負極出力範囲へと極性

50

が切り替わると共に、電圧VSS付近の電圧を出力している出力端子OUT2の出力電圧が負極出力範囲から正極出力範囲へと極性が切り替わる場合、スイッチ206を介して各アンプの出力信号電圧が負荷側に引っ張られるため、同図(D)に示すように、ソースアンプ202の出力信号電圧SOAMPが急激に低下すると共に、シンクアンプ204の出力信号電圧SIAMPが急激に上昇する。この結果、同図(D)に示すように、ソースアンプ202の出力信号電圧SOAMPが、ソースアンプ202の電圧範囲(SOURCE範囲)の下限である電圧VDMより低下してしまう期間210が発生してしまう。

【0016】

このような現象が発生すると、ラッチアップが発生し、電源供給を停止させない限り回路が故障してしまう虞がある、という問題があった。

10

【0017】

本発明は、上述した課題を解決するために提案されたものであり、回路のレイアウト面積を小さくすることができると共に、回路の故障を防ぐことができる表示パネルの駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を達成するために、請求項1記載の発明は、予め定めた電源範囲の上限である最高電圧と、当該最高電圧と前記電源範囲の下限である最低電圧との間の第1の中間電圧と、の間の電圧を出力する高電圧側オペアンプであって、表示パネルの表示セルを駆動するための高電圧側駆動信号と所定の入力信号との差に基づく信号を出力する高電圧側差動回路と、前記高電圧側差動回路から出力された信号が入力され、少なくとも前記最高電圧と前記第1の中間電圧との差以上の耐圧である第1の所定耐圧の第1のPMOSトランジスタ及び第1のNMOSトランジスタが直列接続された第1の高電圧側出力回路と、前記第1の高電圧側出力回路から出力された信号が入力され、少なくとも前記最高電圧と前記最低電圧との差以上の耐圧である第2の所定耐圧の第2のPMOSトランジスタ及び第2のNMOSトランジスタが直列接続された第2の高電圧側出力回路と、前記第1の高電圧側出力回路と前記第2の高電圧側出力回路との間に設けられ、前記第1の高電圧側出力回路の所定部位の電圧が前記第1の中間電圧よりも低くなるのを防止するための電圧低下防止用MOSトランジスタと、を含む高電圧側オペアンプと、前記最低電圧と、前記最高電圧と前記最低電圧との間の第2の中間電圧と、の間の電圧を出力する低電圧側オペアンプであって、前記表示セルを駆動するための低電圧側駆動信号と所定の入力信号との差に基づく信号を出力する低電圧側差動回路と、前記低電圧側差動回路から出力された信号が入力され、少なくとも前記第2の中間電圧と前記最低電圧との差以上の耐圧である第3の所定耐圧の第3のPMOSトランジスタ及び第3のNMOSトランジスタが直列接続された第1の低電圧側出力回路と、前記第1の低電圧側出力回路から出力された信号が入力され、前記第2の所定耐圧の第4のPMOSトランジスタ及び第4のNMOSトランジスタが直列接続された第2の低電圧側出力回路と、前記第1の低電圧側出力回路と前記第2の低電圧側出力回路との間に設けられ、前記第1の低電圧側出力回路の所定部位の電圧が前記第2の中間電圧よりも高くなるのを防止するための電圧上昇防止用MOSトランジスタと、を含む低電圧側オペアンプと、前記表示セルに出力する信号を、所定の極性信号に基づいて、前記高電圧側オペアンプからの出力信号及び前記低電圧側オペアンプからの出力信号の何れかに切り替える切替回路と、を備えたことを特徴とする。

20

30

40

【0019】

この発明によれば、高電圧側オペアンプの第1の高電圧側出力回路と第2の高電圧側出力回路との間に電圧低下防止用MOSトランジスタを備えると共に、第1の高電圧側出力回路を第1の所定耐圧(中耐圧)のMOSトランジスタ、第2の高電圧側出力回路を第2の所定耐圧(高耐圧)のMOSトランジスタで構成している。また、低電圧側オペアンプの第1の低電圧側出力回路と第2の低電圧側出力回路との間に電圧上昇防止用MOSトランジスタを備えると共に、第1の低電圧側出力回路を第3の所定耐圧(中耐圧)のMOSトランジスタ、第2の低電圧側出力回路を第2の所定耐圧(高耐圧)のMOSトランジスタ

50

タで構成している。

【0020】

これにより、第1の高電圧側出力回路の所定部位の電圧が第1の中間電圧よりも低くなるのを防止することができると共に、第1の低電圧側出力回路の所定部位の電圧が第2の中間電圧よりも高くなるのを防止することができ、回路の故障を防ぐことができる。また、全て高耐圧のMOSトランジスタで出力回路を構成する場合と比較して回路のレイアウト面積を小さくすることができる。

【0021】

なお、請求項2に記載したように、前記電圧低下防止用MOSトランジスタが、前記第1のPMOSトランジスタのドレインと前記第1のNMOSトランジスタのドレインとの接続点と、前記第2のPMOSトランジスタのドレインと前記第2のNMOSトランジスタのドレインとの接続点と、の間に設けられた構成とすることが好ましい。

10

【0022】

また、請求項3に記載したように、前記電圧低下防止用MOSトランジスタが、前記第1のNMOSトランジスタのゲートと前記第2のNMOSトランジスタのゲートとの間に設けられた構成とすることが好ましい。

【0023】

また、請求項4に記載したように、前記電圧上昇防止用MOSトランジスタが、前記第3のPMOSトランジスタのドレインと前記第3のNMOSトランジスタのドレインとの接続点と、前記第4のPMOSトランジスタのドレインと前記第4のNMOSトランジスタのドレインとの接続点と、の間に設けられた構成とすることが好ましい。

20

【0024】

また、請求項5に記載したように、前記電圧上昇防止用MOSトランジスタが、前記第3のNMOSトランジスタのゲートと前記第4のNMOSトランジスタのゲートとの間に設けられた構成とすることが好ましい。

【0025】

また、請求項6に記載したように、前記極性信号が反転する場合に、前記電圧低下防止用MOSトランジスタのゲートに前記第1の中間電圧を所定期間印加すると共に、前記電圧上昇防止用MOSトランジスタのゲートに前記第2の中間電圧を所定期間印加する電圧印加手段をさらに備えた構成としてもよい。

30

【0026】

また、請求項7に記載したように、前記第1の中間電圧が、前記第2の中間電圧よりも低いことが好ましい。

【0027】

また、請求項8に記載したように、前記第1のPMOSトランジスタと前記第2のPMOSトランジスタとの間に、第5のPMOSトランジスタと第6のPMOSトランジスタとが直列接続された第1のレベルシフトがさらに設けられた構成とすることが好ましい。

【0028】

また、請求項9に記載したように、前記第3のNMOSトランジスタと前記第4のNMOSトランジスタとの間に、第5のNMOSトランジスタと第6のNMOSトランジスタとが直列接続された第2のレベルシフトがさらに設けられた構成とすることが好ましい。

40

【0029】

また、請求項10に記載したように、前記第1のNMOSトランジスタのバックゲートには、前記第1の中間電圧が印加され、前記第2のNMOSトランジスタのバックゲートには、前記最低電圧が印加されることが好ましい。

【0030】

また、請求項11に記載したように、前記第3のPMOSトランジスタのバックゲートには、前記第2の中間電圧が印加され、前記第4のPMOSトランジスタのバックゲートには、前記最高電圧が印加されることが好ましい。

【発明の効果】

50

【 0 0 3 1 】

以上説明したように本発明によれば、回路のレイアウト面積を小さくすることができると共に、回路の故障を防ぐことができる、という効果を奏する。

【 発明を実施するための最良の形態 】

【 0 0 3 2 】

以下、本発明の好ましい実施の形態について図面を参照しながら詳細に説明する。

【 0 0 3 3 】

図 1 は、本発明に係る表示パネルの駆動装置としてのソースドライバを備えた液晶表示装置の概略構成を示す図である。

【 0 0 3 4 】

図 1 に示すように、液晶表示装置は、駆動制御部 10、走査ドライバ部 11、ソースドライバ部 12、及びカラー TFT (thin film transistors) 液晶パネルとしての表示パネル 20 から構成される。

【 0 0 3 5 】

表示パネル 20 には、液晶層 (図示せず) を駆動すべく、それぞれが 2 次元画面の水平方向に伸張する m 個の走査ライン $S_1 \sim S_m$ と、それぞれが 2 次元画面の垂直方向に伸張する n 個のソースライン (赤色ソースライン $R_1 \sim R_{n/3}$ 、緑色ソースライン $G_1 \sim G_{n/3}$ 、青色ソースライン $B_1 \sim B_{n/3}$) とが形成されている。更に、走査ライン及びソースラインの各交叉部の領域 (破線にて囲まれた領域) には、1 画素 (赤色画素、緑色画素、又は青色画素) を担う表示セルが形成されている。各表示セルには、走査ラインを介して上記走査ドライバ部 11 から供給された走査パルスに応じてオン状態になるトランジスタ (図示せず) が含まれている。このトランジスタは、そのオン状態時において、ソースラインを介して上記ソースドライバ部 12 から供給された画素駆動電位を、液晶層を挟む電極各々 (図示せず) の内の一方の電極に印加する。尚、液晶層を挟む電極各々の内の他方の電極には所定の基準電位 V_{COM} が固定印加されている。各表示セルは、上記画素駆動電位及び基準電位 V_{COM} による電圧に対応した輝度表示を行う。

【 0 0 3 6 】

駆動制御部 10 は、入力映像信号に基づき、各フレーム毎の駆動タイミングを表すフレーム同期信号、及び各種駆動制御信号 (後述する) を生成し、これらを走査ドライバ部 11 及びソースドライバ部 12 に供給する。更に、駆動制御部 10 は、入力映像信号に基づき、各画素毎の輝度レベルを例えばそれぞれ 8 ビットにて表す画素データ P_D を順次生成し、これを 6 個ずつ、ソースドライバ部 12 に供給する。

【 0 0 3 7 】

すなわち、駆動制御部 10 は、1 走査ライン上における各画素に対応した画素データ P_D 各々の内で、赤色を担う画素データ P_D による系列中の奇数番目に配列されているものを画素データ系列 P_{R1} 、偶数番目に配列されているものを画素データ系列 P_{R2} としてソースドライバ部 12 に供給する。又、駆動制御部 10 は、1 走査ライン上における各画素に対応した画素データ P_D 各々の内で、緑色を担う画素データ P_D による系列中の奇数番目に配列されているものを画素データ系列 P_{G1} 、偶数番目に配列されているものを画素データ系列 P_{G2} としてソースドライバ部 12 に供給する。更に、駆動制御部 10 は、1 走査ライン上における各画素に対応した画素データ P_D 各々の内で、青色を担う画素データ P_D による系列中の奇数番目に配列されているものを画素データ系列 P_{B1} 、偶数番目に配列されているものを画素データ系列 P_{B2} としてソースドライバ部 12 に供給する。

【 0 0 3 8 】

例えば、駆動制御部 10 は、図 2 に示すように、クロック信号 CLK_1 における最初のクロックパルスに応じて、

画素データ系列 P_{R1} 中における第 1 番目の画素データ P_D として P_{DR1} 、
画素データ系列 P_{G1} 中における第 1 番目の画素データ P_D として P_{DG1} 、
画素データ系列 P_{B1} 中における第 1 番目の画素データ P_D として P_{DB1} 、

10

20

30

40

50

画素データ系列 P_{R2} 中における第 1 番目の画素データ PD として PD_{R2} 、
 画素データ系列 P_{G2} 中における第 1 番目の画素データ PD として PD_{G2} 、
 画素データ系列 P_{B2} 中における第 1 番目の画素データ PD として PD_{B2}
 をそれぞれ同時にソースドライバ部 12 に供給する。

【0039】

次に、クロック信号 CLK1 における第 2 番目のクロックパルスに応じて、駆動制御部 10 は、

画素データ系列 P_{R1} 中における第 2 番目の画素データ PD として PD_{R3} 、
 画素データ系列 P_{G1} 中における第 2 番目の画素データ PD として PD_{G3} 、
 画素データ系列 P_{B1} 中における第 2 番目の画素データ PD として PD_{B3} 、
 画素データ系列 P_{R2} 中における第 2 番目の画素データ PD として PD_{R4} 、
 画素データ系列 P_{G2} 中における第 2 番目の画素データ PD として PD_{G4} 、
 画素データ系列 P_{B2} 中における第 2 番目の画素データ PD として PD_{B4}
 をそれぞれ同時にソースドライバ部 12 に供給する。

10

【0040】

次に、クロック信号 CLK1 における第 3 番目のクロックパルスに応じて、駆動制御部 10 は、

画素データ系列 P_{R1} 中における第 3 番目の画素データ PD として PD_{R5} 、
 画素データ系列 P_{G1} 中における第 3 番目の画素データ PD として PD_{G5} 、
 画素データ系列 P_{B1} 中における第 3 番目の画素データ PD として PD_{B5} 、
 画素データ系列 P_{R2} 中における第 3 番目の画素データ PD として PD_{R6} 、
 画素データ系列 P_{G2} 中における第 3 番目の画素データ PD として PD_{G6} 、
 画素データ系列 P_{B2} 中における第 3 番目の画素データ PD として PD_{B6}
 をそれぞれ同時にソースドライバ部 12 に供給する。

20

【0041】

走査ドライバ部 11 は、駆動制御部 10 から供給されたフレーム同期信号に応じて、所定のピーク電圧を有する走査パルスを生成し、これを表示パネル 20 の走査ライン $S_1 \sim S_m$ 各々に順次、択一的に印加する。

【0042】

ソースドライバ部 12 は、駆動制御部 10 から供給された 6 系統の画素データ系列、すなわち画素データ系列 P_{R1} 、 P_{G1} 、 P_{B1} 、 P_{R2} 、 P_{G2} 及び P_{B2} 各々による各画素毎の画素データ PD を取り込み、その画素データ PD によって示される輝度レベルに対応したピーク電位を有する駆動パルスを 1 走査ライン分 (n 個) ずつ生成する。この際、ソースドライバ部 12 は、各走査パルスに同期して、その走査パルスの印加対象となった走査ラインに属する画素各々に対応した 1 走査ライン分 (n 個) の駆動パルスを、それぞれに対応するソースライン ($R_1 \sim R_{n/3}$ 、 $G_1 \sim G_{n/3}$ 、 $B_1 \sim B_{n/3}$) に印加する。

30

【0043】

図 3 は、ソースドライバ部 12 の概略構成を示す図である。

【0044】

図 3 に示すように、ソースドライバ部 12 は、第 1 ラッチ群 $606_1 \sim 606_{(n/6)}$ 、シフトレジスタ 607、第 2 ラッチ群 $608_1 \sim 608_{(n/6)}$ 、時間差付加部 609、画素駆動電位生成部 $GP_1 \sim GP_{(n/6)}$ 、及び出力ゲート部 $801_1 \sim 801_{(n/6)}$ から構成される。

40

【0045】

図 4 は、図 3 に示される構成中から、第 1 ラッチ群 606_1 、第 2 ラッチ群 608_1 、画素駆動電位生成部 GP_1 及び出力ゲート部 801_1 を抜粋して、各モジュールの内部構成を示す図である。

【0046】

シフトレジスタ 607 は、駆動制御部 10 が 1 走査ライン分の駆動動作を開始させる度

50

に送出する図2に示すようなSTART信号を、クロック信号CLK1に応じて後段にシフトして行くフリップフロップ $FF_1 \sim FF_{(n/6)}$ から構成される。この際、フリップフロップ $FF_1 \sim FF_{(n/6)}$ 各々の出力信号が、図2に示すような第1ロード信号 $L1_1 \sim L1_{(n/6)}$ として、対応する第1ラッチ群 $606_1 \sim 606_{(n/6)}$ にそれぞれ供給される。

【0047】

第1ラッチ群 $606_1 \sim 606_{(n/6)}$ はそれぞれが同一の内部構成、すなわち図4に示すようなラッチ103~108から構成される。ラッチ103~108は、画素データ系列 P_{R1} 、 P_{G1} 、 P_{B1} 、 P_{R2} 、 P_{G2} 及び P_{B2} 各々中の画素データPDを、シフトレジスタ607から供給された第1ロード信号L1に応じてそれぞれ取り込んで記憶し、これらを第2ラッチ群608に送出する。

10

【0048】

例えば第1ラッチ群 606_1 のラッチ103~108は、図2に示す第1ロード信号 $L1_1$ に応じてそれぞれ、図2に示すような、

画素データ系列 P_{R1} 中における第1番目の画素データ PD_{R1} 、
 画素データ系列 P_{G1} 中における第1番目の画素データ PD_{G1} 、
 画素データ系列 P_{B1} 中における第1番目の画素データ PD_{B1} 、
 画素データ系列 P_{R2} 中における第1番目の画素データ PD_{R2} 、
 画素データ系列 P_{G2} 中における第1番目の画素データ PD_{G2} 、
 画素データ系列 P_{B2} 中における第1番目の画素データ PD_{B2}
 を取り込んで記憶し、これらを第2ラッチ群 608_1 に送出する。

20

【0049】

又、例えば第1ラッチ群 606_2 のラッチ103~108は、図2に示す第1ロード信号 $L1_2$ に応じてそれぞれ、図2に示すような、

画素データ系列 P_{R1} 中における第2番目の画素データ PD_{R3} 、
 画素データ系列 P_{G1} 中における第2番目の画素データ PD_{G3} 、
 画素データ系列 P_{B1} 中における第2番目の画素データ PD_{B3} 、
 画素データ系列 P_{R2} 中における第2番目の画素データ PD_{R4} 、
 画素データ系列 P_{G2} 中における第2番目の画素データ PD_{G4} 、
 画素データ系列 P_{B2} 中における第2番目の画素データ PD_{B4}
 を取り込んで記憶し、これらを第2ラッチ群 608_2 に送出する。

30

【0050】

又、例えば第1ラッチ群 606_3 のラッチ103~108は、図2に示す第1ロード信号 $L1_3$ に応じてそれぞれ、図2に示すような、

画素データ系列 P_{R1} 中における第3番目の画素データ PD_{R5} 、
 画素データ系列 P_{G1} 中における第3番目の画素データ PD_{G5} 、
 画素データ系列 P_{B1} 中における第3番目の画素データ PD_{B5} 、
 画素データ系列 P_{R2} 中における第3番目の画素データ PD_{R6} 、
 画素データ系列 P_{G2} 中における第3番目の画素データ PD_{G6} 、
 画素データ系列 P_{B2} 中における第3番目の画素データ PD_{B6}
 を取り込んで記憶し、これらを第2ラッチ群 608_3 に送出する。

40

【0051】

引き続き、図2に示す第1ロード信号 $L1_4 \sim L1_{(n/6)}$ に応じて、順次、第1ラッチ群 $606_4 \sim 606_{(n/6)}$ 各々に画素データPDが取り込まれると、すなわち、1走査ライン分の画素データPDが第1ラッチ群 $606_1 \sim 606_{(n/6)}$ に取り込まれると、駆動制御部10は、図2に示すようなロード信号LOADを時間差付加部609に供給する。

【0052】

時間差付加部609は、図2に示すように、上記ロード信号LOADをそのまま第2ロード信号 $L2_1$ として第2ラッチ群 608_1 に供給すると共に、このロード信号LOAD

50

を、それぞれ異なる時間差をもって出力したものを第2ロード信号 $L2_2 \sim L2_{(n/6)}$ としてそれぞれ第2ラッチ群 $608_2 \sim 608_{(n/6)}$ に供給する。例えば、時間差付加部609は、図5に示す如く、それぞれが2つのインバーター素子を直列接続してなるバッファ $B_1 \sim B_{(n/6)-1}$ から構成される。バッファ $B_1 \sim B_{(n/6)-1}$ 各々の出力が、それぞれ上記第2ロード信号 $L2_2 \sim L2_{(n/6)}$ となる。この際、バッファ $B_1 \sim B_{(n/6)-1}$ の各々は、入力信号を、インバーター素子2個分の遅延時間 DL の経過後に出力するという、いわゆる遅延素子として機能する。これにより、第2ロード信号 $L2_2$ は第2ロード信号 $L2_1$ よりも DL 分だけ遅れて出力され、第2ロード信号 $L2_3$ はこの第2ロード信号 $L2_1$ よりも $2 \cdot DL$ 分だけ遅れて出力され、第2ロード信号 $L2_{(n/6)}$ は、この第2ロード信号 $L2_1$ よりも $[(n/6) - 1] \cdot DL$ だけ遅れて出力されることになる。

10

【0053】

第2ラッチ群 $608_1 \sim 608_{(n/6)}$ はそれぞれが同一の内部構成、すなわち図4に示すようにラッチ109～114から構成される。ラッチ109～114は、第2ロード信号 $L2$ に応じて、前段の第1ラッチ群606のラッチ103～108各々から供給された画素データ PD をそれぞれ取り込んで記憶し、これらを画素駆動電位生成部 GP に送出する。

【0054】

例えば第2ラッチ群 608_1 のラッチ109～114は、図2に示すような第2ロード信号 $L2_1$ に応じて、第1ラッチ群 606_1 のラッチ103～108各々から供給された画素データ PD の各々をロード信号 $LOAD$ と同一タイミングで取り込んで記憶し、これらを画素駆動電位生成部 GP_1 に送出する。

20

【0055】

又、第2ラッチ群 608_2 のラッチ109～114は、図2に示すような第2ロード信号 $L2_2$ に応じて、第1ラッチ群 606_2 のラッチ103～108各々から供給された画素データ PD の各々を、上記第2ロード信号 $L2_1$ よりも遅延時間 DL 分だけ遅れたタイミングで取り込んで記憶し、これらを画素駆動電位生成部 GP_2 に送出する。

【0056】

又、第2ラッチ群 608_3 のラッチ109～114は、図2に示すような第2ロード信号 $L2_3$ に応じて、第1ラッチ群 606_3 のラッチ103～108各々から供給された画素データ PD の各々を、上記第2ロード信号 $L2_1$ よりも $2 \cdot DL$ 分だけ遅れたタイミングで取り込んで記憶し、これらを画素駆動電位生成部 GP_3 に送出する。

30

【0057】

引き続き、図2に示す第2ロード信号 $L2_4 \sim L2_{(n/6)}$ に応じて、順次、第2ラッチ群 $608_4 \sim 608_{(n/6)}$ 各々に画素データ PD が取り込まれる。

【0058】

このように、第2ラッチ群 $608_1 \sim 608_{(n/6)}$ は、第1ラッチ群 $606_1 \sim 606_{(n/6)}$ において1走査ライン分の画素データ PD の全てが取り込まれる度に、この1走査ライン分の画素データ PD の各々を、6個毎に各々所定の時間差(DL)をもって順次取り込んで出力するようにしている。つまり、第2ラッチ群 $608_1 \sim 608_{(n/6)}$ 各々による画素データ PD の実際の取り込みタイミングは、時間差付加部609によってそれぞれ強制的にずらされている。これにより、第2ラッチ群 $608_1 \sim 608_{(n/6)}$ において、前回取り込んだ1走査ライン分のデータに対して多数のビット反転が生じる場合にも、瞬間的に大電流が流れ込むことはない。

40

【0059】

画素駆動電位生成部 $GP_1 \sim GP_{(n/6)}$ はそれぞれが同一の内部構成、すなわち図4に示すようにスイッチ102₁～102₃、正電位セレクトア115、117、119、負電位セレクトア116、118、120、ソースアンプ121、123、125、シンクアンプ122、124、126を含む。

【0060】

50

スイッチ 102_1 (102_2 、 102_3)は、駆動制御部10から供給された極性信号POLに応じて、第2ラッチ群608のラッチ109 (111 、 113)及びラッチ110 (112 、 114)から供給された画素データPD各々を、正電位セレクタ115 (117 、 119)及び負電位セレクタ116 (118 、 120)の内の一方と他方にそれぞれ供給する。例えば、スイッチ 102_1 は、極性信号POLが‘H’である場合には、第2ラッチ群608のラッチ109から供給された画素データPDを正電位セレクタ115に供給すると共に、第2ラッチ群608のラッチ110から供給された画素データPDを負電位セレクタ116に供給する。一方、極性信号POLが‘L’である場合には、スイッチ 102_1 は、第2ラッチ群608のラッチ109から供給された画素データPDを負電位セレクタ116に供給すると共に、第2ラッチ群608のラッチ110から供給された画素データPDを正電位セレクタ115に供給する。

10

【0061】

正電位セレクタ115 (117 、 119)は、上記基準電位VCOMよりも高い基準電位VREF_H及び基準電位VCOMよりも低い基準電位VREF_Lにて分圧された各種電位の中で基準電位VCOMよりも高い電位各々の内から、上記スイッチ 102_1 (102_2 、 102_3)から供給された画素データPDにて示される輝度レベルに対応した電位を選択する。そして、正電位セレクタ115 (117 、 119)は、この選択した電位を正極性輝度電位PVとしてソースアンプ121 (123 、 125)に供給する。

【0062】

負電位セレクタ116 (118 、 120)は、上記基準電位VREF_H及びVREF_Lにて分圧された各種電位の中で基準電位VCOMよりも低い電位各々の内から、上記スイッチ 102_1 (102_2 、 102_3)から供給された画素データPDにて示される輝度レベルに対応した電位を選択する。そして、負電位セレクタ116 (118 、 120)は、この選択した電位を負極性輝度電位NVとしてシンクアンプ122 (124 、 126)に供給する。

20

【0063】

ソースアンプ121 (123 、 125)は、供給された正極性輝度電位PVを表示パネル20の液晶層を駆動し得る電位に増幅し、これを各画素に対応した画素駆動電位として、出力ゲート部 ($801_1 \sim 801_{(n/6)}$)のスイッチ ($101_1 \sim 101_3$)に供給する。

30

【0064】

また、シンクアンプ122 (124 、 126)は、供給された負極性輝度電位NVを表示パネル20の液晶層を駆動し得る電位に増幅し、これを各画素に対応した画素駆動電位として、出力ゲート部 ($801_1 \sim 801_{(n/6)}$)のスイッチ ($101_1 \sim 101_3$)に供給する。

【0065】

スイッチ 101_1 (101_2 、 101_3)は、駆動制御部10から供給された極性信号THR、CRSに応じて、ソースアンプ (121 、 123 、 125)及びシンクアンプ (122 、 124 、 126)の出力信号を、ソースライン ($R_1 \sim R_{n/3}$ 、 $G_1 \sim G_{n/3}$ 、 $B_1 \sim B_{n/3}$)にそれぞれ出力する。具体的には、例えば極性信号THRが‘H’で且つ極性信号CRSが‘L’である場合には、スイッチ 101_1 (101_2 、 101_3)は、ソースアンプ121 (123 、 125)からの出力信号をソースライン R_1 (B_1 、 G_2)に出力すると共にシンクアンプ122 (124 、 126)からの出力信号をソースライン G_1 (R_2 、 B_2)に出力する。一方、極性信号THRが‘L’で且つ極性信号CRSが‘H’である場合には、スイッチ 101_1 (101_2 、 101_3)は、ソースアンプ121 (123 、 125)からの出力信号をソースライン G_1 (R_2 、 B_2)に出力すると共にシンクアンプ122 (124 、 126)からの出力信号をソースライン R_1 (B_1 、 G_2)に出力する。

40

【0066】

このように、画素駆動電位生成部GPでは、入力映像信号に基づく各画素毎の輝度レベ

50

ルをその輝度レベルに対応した負極性輝度電位 NV 又は正極性輝度電位 PV に変換し、これを表示パネル 20 のソースライン ($R_1 \sim R_{n/3}$ 、 $G_1 \sim G_{n/3}$ 、 $B_1 \sim B_{n/3}$) を介して各画素に印加すべき画素駆動電位として生成する。この際、画素駆動電位生成部 GP においては、互いに隣接する画素各々の内の一方に対応した画素駆動電位を負極性輝度電位 NV とした場合、他方の画素に対応した画素駆動電位を正極性輝度電位 PV としている。

【0067】

例えば、極性信号 POL が 'H' である場合、第2ラッチ群 608 のラッチ 109 から送出された画素データ PD はスイッチ 102_1 を介して正電位セクタ 115 に供給され、この正電位セクタ 115 にて得られた正極性輝度電位 PV がソースアンプ 121 に送出される。又、極性信号 POL が 'H' である場合、第2ラッチ群 608 のラッチ 110 から送出された画素データ PD はスイッチ 102_1 を介して負電位セクタ 116 に供給され、この負電位セクタ 116 にて得られた負極性輝度電位 NV がシンクアンプ 122 に送出される。すなわち、この際、ソースアンプ 121 からは正極性輝度電位 PV 、このソースアンプ 121 に対応した画素の隣接画素に対応したシンクアンプ 122 からは負極性輝度電位 NV に対応した画素駆動電位がそれぞれ送出される。

10

【0068】

一方、極性信号 POL が 'L' である場合、第2ラッチ群 608 のラッチ 109 から送出された画素データ PD はスイッチ 102_1 を介して負電位セクタ 116 に供給され、この負電位セクタ 116 にて得られた負極性輝度電位 NV がスイッチ 101_1 を介してソースアンプ 121 に送出される。又、極性信号 POL が 'L' である場合、第2ラッチ群 608 のラッチ 110 から送出された画素データ PD はスイッチ 102_1 を介して正電位セクタ 115 に供給され、この正電位セクタ 115 にて得られた正極性輝度電位 PV がシンクアンプ 122 に送出される。すなわち、この際、ソースアンプ 121 からは負極性輝度電位 NV 、シンクアンプ 122 からは正極性輝度電位 PV に対応した画素駆動電位がそれぞれ送出される。ここで、表示パネル 20 の液晶層を挟む電極各々の内の一方の電極に上記画素駆動電位を印加する際には、他方の電極には負極性輝度電位 NV よりも高く且つ正極性輝度電位 PV よりも低い基準電位 $VCOM$ が固定印加されている。よって、画素駆動電位として正極性輝度電位 PV が印加される場合には表示パネル 20 の液晶層には正極性の駆動電圧が印加されることになる一方、画素駆動電位として負極性輝度電位 NV が印加される場合には表示パネル 20 の液晶層には負極性の駆動電圧が印加されることになる。

20

30

【0069】

すなわち、画素駆動電位生成部 GP では、表示パネル 20 のソースライン ($R_1 \sim R_{n/3}$ 、 $G_1 \sim G_{n/3}$ 、 $B_1 \sim B_{n/3}$) を介して各画素に印加すべき画素駆動電位を生成するにあたり、隣接する画素毎にその極性を反転させると共に、その反転状態を極性信号 THR 、 CRS に応じて変更できるようにしている。

【0070】

画素駆動電位生成部 $GP_1 \sim GP_{(n/6)}$ 各々によって生成された、1走査ライン分の画素各々に対応した画素駆動電位の各々は、出力ゲート部 $801_1 \sim 801_{(n/6)}$ 各々のスイッチ 101_1 、 101_2 、 101_3 に各々供給される。

40

【0071】

ここで、第2ロード信号 $L2_1 \sim L2_{(n/6)}$ によれば、第2ラッチ群 608₁ ~ 608_(n/6) 各々は、各々異なる時間差をもって画素データ PD を取り込むことになる。よって、その時間差の分だけ画素駆動電位生成部 $GP_1 \sim GP_{(n/6)}$ 各々から出力される画素駆動電位各々の出力タイミングにもずれが生じることになる。従って、画素駆動電位生成部 $GP_1 \sim GP_{(n/6)}$ 各々から出力された画素駆動電位をそのまま液晶表示パネルの如き容量性の表示パネル 20 に印加すると、上記出力タイミングのずれに伴い各画素毎の充電電荷量が不均一となり、画質劣化を招く虞が生じる。

【0072】

50

そこで、図3及び図4に示すソースドライバ部12では、画素駆動電位生成部 $GP_1 \sim GP_{(n/6)}$ 各々から全ての画素駆動電位が出力されてから、出力ゲート部 $801_1 \sim 801_{(n/6)}$ 各々を一斉にオン状態に設定することにより、これら画素駆動電位各々を表示パネル20のソースライン($R_1 \sim R_{n/3}$ 、 $G_1 \sim G_{n/3}$ 、 $B_1 \sim B_{n/3}$)各々に同時印加するようにしている。

【0073】

よって、ソースドライバ部12によれば、瞬間的な大電流を抑制すべく、第2ラッチ群 $608_1 \sim 608_{(n/6)}$ 各々の画素データ取り込みタイミングを強制的に異ならせるとも、1走査ライン分の画素駆動電位各々の印加による各画素毎の充電電荷量が均一となるので、上記の如き画質劣化は生じない。

10

【0074】

次に、ソースアンプ(121、123、125)及びシンクアンプ(122、124、126)の具体的構成について説明する。

【0075】

まず、ソースアンプ(121、123、125)の具体的構成について説明する。なお、各ソースアンプは同一構成であるので、ソースアンプ121についてのみ説明する。

【0076】

図6に示すように、ソースアンプ121は、差動回路300、カレントミラー回路302、第1の出力回路304、位相補償回路306、第2の出力回路308、レベルシフタ310、及びガードトランジスタ $MPSOG_1$ 、 $MPSOG_2$ を含んで構成されている。

20

【0077】

差動回路300には、正電位セクタ115から出力された極性輝度電位 PV (高電圧側駆動信号)が入力信号電圧 $SOIN$ として一方の入力端に入力されると共に、ソースアンプ121の出力端 OUT から出力される出力信号電圧 $SOAMP$ が他方の入力端に入力され、これらの信号の差に基づく信号をカレントミラー回路302に出力する。このように、ソースアンプ121の出力端が差動回路300の他方の入力端と接続されることにより、ソースアンプ121は、いわゆるボルテージフォロアとして機能する。

【0078】

カレントミラー回路302は、 $PMOS$ トランジスタ MP_1 、 MP_2 、 MP_3 、 MP_4 、 $NMOS$ トランジスタ MN_1 、 MN_2 、 MN_3 、 MN_4 により構成されている。 $PMOS$ トランジスタ MP_3 、 MP_4 のゲートには、所定のバイアス電圧 $PBIAS_1$ が印加され、 $NMOS$ トランジスタ MN_3 、 MN_4 には、所定のバイアス電圧 $NBIAS_1$ が印加される。なお、カレントミラー回路302は、一般的なカレントミラー回路の回路構成を示したものであり、構成及び動作の説明は省略する。

30

【0079】

第1の出力回路304は、 $PMOS$ トランジスタ MPO_1 と $NMOS$ トランジスタ MNO_1 とが直列接続された構成である。ここで、直列接続とは、 $PMOS$ トランジスタ MPO_1 のドレインと $NMOS$ トランジスタ MNO_1 のドレインとが接続されていることをいう。

【0080】

位相補償回路306は、コンデンサ CC_1 、 CC_2 により構成されており、コンデンサ CC_1 の一端は、 $PMOS$ トランジスタ MPO_1 のゲートと $PMOS$ トランジスタ MP_2 のドレインとの接続点 $MPOG_1$ に接続され、他端は $PMOS$ トランジスタ MPO_1 のドレインと接続されている。また、コンデンサ CC_2 の一端は、 $NMOS$ トランジスタ MNO_1 のゲートと $NMOS$ トランジスタ MN_2 のドレインとの接続点 $MNOG_1$ に接続され、他端は $NMOS$ トランジスタ MNO_1 のドレインと接続されている。

40

【0081】

第2の出力回路308は、 $PMOS$ トランジスタ MPO_2 と $NMOS$ トランジスタ MNO_2 とが直列接続された構成である。

【0082】

50

レベルシフタ310は、PMOSトランジスタMP5とPMOSトランジスタMP6とが直列接続された構成である。PMOSトランジスタMP5のゲートには、所定のバイアス電圧PBIA2が印加される。PMOSトランジスタMP6のゲートは、接続点MPOGに接続されており、バックゲートは、PMOSトランジスタMPO2のゲートに接続されている。

【0083】

ガードトランジスタMPSOG1は、PMOSトランジスタで構成され、PMOSトランジスタMPO1とNMOSトランジスタMN1との接続点Aと、PMOSトランジスタMPO2のドレインとNMOSトランジスタMNO2のドレインとの接続点Bとの間に設けられている。

10

【0084】

ガードトランジスタMPSOG2は、PMOSトランジスタで構成され、接続点MNOGと、NMOSトランジスタMNO2のゲートとの間に設けられている。

【0085】

そして、ガードトランジスタMPSOG1、MPSOG2のゲートには、駆動制御部10から後述する制御信号電圧SOGRAが印加される。

【0086】

なお、PMOSトランジスタMP1、MP2、MPO1、MP5、MPO2のソースには、電源範囲の上限である電圧VDDが印加され、NMOSトランジスタMN1、MN2、MNO1、MNO2のソースには、電圧VDDと、電源範囲の下限である電源電圧VSSとの間の中間電圧（本実施形態では、一例としてVDDとVSSとの差の1/2の電圧）である電圧VDMが印加される。

20

【0087】

また、第2の出力回路308のPMOSトランジスタMPO2、NMOSトランジスタMNO2、ガードトランジスタMPSOG1、MPSOG2は、少なくとも電圧VDD以上の耐圧（第1の所定耐圧）である高耐圧トランジスタで構成されており、その他のPMOSトランジスタ及びNMOSトランジスタは、少なくとも中間電圧VDMと電圧VDDとの差以上の耐圧であって前記高耐圧トランジスタよりも耐圧が低い耐圧（第2の所定耐圧）の中耐圧トランジスタで構成されている。

【0088】

30

また、図示は省略したが、PMOSトランジスタであるPMOSトランジスタMPO2、ガードトランジスタMPSOG1、MPSOG2のバックゲートには電圧VDDが印加され、NMOSトランジスタMNO2のバックゲートは、図6に示すように電圧VSSが印加される（本実施形態では接地される）。

【0089】

なお、図6において特に表記がないその他のPMOSトランジスタのバックゲートには電圧VDDが印加され、図6において特に表記がないその他のNMOSトランジスタのバックゲートには電圧VDMが印加される。

【0090】

このように、第1の出力回路304は中耐圧のMOSトランジスタで構成され、第2の出力回路308は高耐圧のMOSトランジスタで構成されている。このため、第1の出力回路304及び第2の出力回路308をととも高耐圧のMOSトランジスタで構成する場合と比較して、回路のレイアウト面積を小さくすることができる。

40

【0091】

次に、シンクアンプ（122、124、126）の具体的構成について説明する。なお、各シンクアンプは同一構成であるので、シンクアンプ122についてのみ説明する。

【0092】

図7に示すように、シンクアンプ122は、差動回路400、カレントミラー回路402、第1の出力回路404、位相補償回路406、第2の出力回路408、レベルシフタ410、及びガードトランジスタMNSOG1、MNSOG2を含んで構成されている。

50

【 0 0 9 3 】

差動回路 4 0 0 には、負電位セレクタ 1 1 6 から出力された極性輝度電位 NV (低電圧側駆動信号) が入力信号電圧 $SIIN$ として一方の入力端に入力されると共に、シンクアンプ 1 2 2 の出力端 OUT から出力される出力信号電圧 $SIAMP$ が他方の入力端に入力され、これらの信号の差に基づく信号をカレントミラー回路 4 0 2 に出力する。このように、シンクアンプ 1 2 2 の出力端が差動回路 4 0 0 の他方の入力端と接続されることにより、シンクアンプ 1 2 2 は、いわゆるボルテージフォロアとして機能する。

【 0 0 9 4 】

カレントミラー回路 4 0 2 は、 $PMOS$ トランジスタ $MP11$ 、 $MP12$ 、 $MP13$ 、 $MP14$ 、 $NMOS$ トランジスタ $MN11$ 、 $MN12$ 、 $MN13$ 、 $MN14$ により構成されている。 $PMOS$ トランジスタ $MP13$ 、 $MP14$ のゲートには、所定のバイアス電圧 $PBIAS11$ が印加され、 $NMOS$ トランジスタ $MN13$ 、 $MN14$ には、所定のバイアス電圧 $NBIAS11$ が印加される。

10

【 0 0 9 5 】

第 1 の出力回路 4 0 4 は、 $PMOS$ トランジスタ $MPO11$ と $NMOS$ トランジスタ $MNO11$ とが直列接続された構成である。

【 0 0 9 6 】

位相補償回路 4 0 6 は、コンデンサ $C11$ 、 $C12$ により構成されており、コンデンサ $CC11$ の一端は、 $PMOS$ トランジスタ $MPO11$ のゲートと $PMOS$ トランジスタ $MP12$ のドレインとの接続点 $MPOG11$ に接続され、他端は $PMOS$ トランジスタ $MPO11$ のドレインに接続されている。また、コンデンサ $CC12$ の一端は、 $NMOS$ トランジスタ $MNO11$ のゲートと $NMOS$ トランジスタ $MN2$ のドレインとの接続点 $MNOG11$ に接続され、他端は $NMOS$ トランジスタ $MNO11$ のドレインと接続されている。

20

【 0 0 9 7 】

第 2 の出力回路 4 0 8 は、 $PMOS$ トランジスタ $MPO12$ と $NMOS$ トランジスタ $MNO12$ とが直列接続された構成である。

【 0 0 9 8 】

レベルシフタ 4 1 0 は、 $NMOS$ トランジスタ $MN15$ と $NMOS$ トランジスタ $MN16$ とが直列接続された構成である。 $NMOS$ トランジスタ $MN16$ のゲートには、所定のバイアス電圧 $NBIAS2$ が印加される。 $NMOS$ トランジスタ $MN15$ のゲートは、接続点 $MNOG11$ に接続されており、バックゲートは、 $NMOS$ トランジスタ $MNO12$ のゲートに接続されている。

30

【 0 0 9 9 】

ガードトランジスタ $MNSOG1$ は、 $NMOS$ トランジスタで構成され、 $PMOS$ トランジスタ $MPO11$ と $NMOS$ トランジスタ $MNO11$ との接続点 C と、 $PMOS$ トランジスタ $MPO12$ のドレインと $NMOS$ トランジスタ $MNO12$ のドレインとの接続点 D との間に設けられている。

【 0 1 0 0 】

ガードトランジスタ $MNSOG2$ は、 $NMOS$ トランジスタで構成され、接続点 $MPOG11$ と、 $PMOS$ トランジスタ $MPO12$ のゲートとの間に設けられている。

40

【 0 1 0 1 】

そして、ガードトランジスタ $MNSOG1$ 、 $MNSOG2$ のゲートには、駆動制御部 1 0 から後述する制御信号電圧 $SIGRAD$ が印加される。

【 0 1 0 2 】

なお、 $PMOS$ トランジスタ $MP11$ 、 $MP12$ 、 $MPO11$ 、 $MPO12$ のソースには、電圧 VDM が印加され、 $NMOS$ トランジスタ $MN11$ 、 $MN12$ 、 $MNO11$ 、 $MNO16$ 、 $MNO12$ のソースには、電圧 VSS が印加される。

【 0 1 0 3 】

また、第 2 の出力回路 4 0 8 の $PMOS$ トランジスタ $MPO12$ 、 $NMOS$ トランジスタ

50

タMNO12、ガードトランジスタMNSOG1、MNSOG2は、高耐圧トランジスタで構成されており、その他のPMOSTランジスタ及びNMOSTランジスタは、少なくとも中間電圧VDMと電圧VSSとの差以上の耐圧であって高耐圧トランジスタよりも低い耐圧（第3の所定耐圧）の中耐圧トランジスタで構成されている。

【0104】

また、図示は省略したが、NMOSTランジスタであるNMOSTランジスタMNO12、ガードトランジスタMNSOG1、MNSOG2のバックゲートには電圧VSSが印加され、PMOSTランジスタMPO12のバックゲートは、図7に示すように電圧VDDが印加される。

【0105】

なお、図7において特に表記がないその他のPMOSTランジスタのバックゲートには電圧VDMが印加され、図7において特に表記がないその他のNMOSTランジスタのバックゲートには電圧VSSが印加される。

【0106】

このように、第1の出力回路404は中耐圧のMOSTランジスタで構成され、第2の出力回路408は高耐圧のMOSTランジスタで構成されている。このため、第1の出力回路404及び第2の出力回路408をととも高耐圧のMOSTランジスタで構成する場合と比較して、回路のレイアウト面積を小さくすることができる。

【0107】

ソースアンプ121の出力信号電圧SOAMP及びシンクアンプ122の出力信号電圧SIAMPは、図8に示すように、それぞれスイッチ101₁に出力される。なお、図8では、ソースアンプ121及びシンクアンプ122を簡略化して示している。

【0108】

スイッチ101₁は、前述したように、駆動制御部10から供給された極性信号THRがHで且つ極性信号CRSがLである場合には、ソースアンプ121（123、125）からの出力信号SOAMPを出力端子OUT1（本実施形態ではソースラインR₁）に出力すると共にシンクアンプ122からの出力信号SIAMPを出力端子OUT2（本実施形態ではソースラインG₁）に出力する。一方、極性信号THRがLで且つ極性信号CRSがHである場合には、スイッチ101₁は、ソースアンプ121からの出力信号を出力端子OUT2に出力すると共にシンクアンプ122からの出力信号を出力端子OUT1に出力する。

【0109】

次に、極性切り替え時におけるソースアンプ121、シンクアンプ122、及びスイッチ101₁の出力信号について説明する。

【0110】

図9には、極性信号THR、CRS、ソースアンプ121の第1の出力回路304の出力信号電圧SOOUT（図6参照）、シンクアンプ122の第1の出力回路404の出力信号電圧SIOUT（図7参照）、スイッチ101₁の出力端子OUT1からの出力信号電圧（以下、出力信号電圧OUT1という）、出力端子OUT2からの出力信号電圧（以下、出力信号電圧OUT2という）、駆動制御部10がソースアンプ121のガードトランジスタMPSOG1、MPSOG2のゲートに供給する制御信号電圧SOGRAD、駆動制御部10がシンクアンプ122のガードトランジスタMNSOG1、MNSOG2のゲートに供給する制御信号電圧SIGRADの極性切り替え時における波形を示した。

【0111】

ここで、図9に示すように、ソースアンプ121の出力範囲は、電圧VDDと電圧VSSとの間の中間電圧VDM1（第1の中間電圧）から、電圧VDDまでの範囲となっており、シンクアンプ122の出力範囲は、電圧VSSから、電圧VDDと電圧VSSとの間の中間電圧VDM2（第2の中間電圧）までの範囲となっている。そして、電圧VDM1は電圧VDM2よりも低くなっている。すなわち、ソースアンプ121及びシンクアンプ122は、互いの出力範囲の一部が重なるように構成されており、これにより、図6、7

10

20

30

40

50

に示す中間電圧VDM（本実施形態では $1/2VDD$ ）が多少ずれた場合でも正常動作するようになっている。これは、例えばソースアンプ121及びシンクアンプ122に電源を供給する電源チップを別々にした場合のように、ソースアンプ121とシンクアンプ122とで供給される中間電圧が多少異なるような場合に特に有効である。

【0112】

駆動制御部10は、図9に示すように、出力期間1では、一例として極性信号THRを‘H’（電位がVDD）、極性信号CRSを‘L’（電位がVSS）としてスイッチ101₁に出力する。

【0113】

また、駆動制御部10は、出力期間1では、ソースアンプ121のガードトランジスタMPSOG1、MPSOG2のゲートに制御信号電圧SOGRADとして電圧VSSを印加すると共に、シンクアンプ122のガードトランジスタMNSOG1、MNSOG2のゲートに制御信号電圧SIGRADとして電圧VDDを印加する。

【0114】

これにより、ソースアンプ121のガードトランジスタMPSOG1、MPSOG2、シンクアンプ122のガードトランジスタMNSOG1、MNSOG2は、全てオン状態となる。このため、ソースアンプ121の第1の出力回路304の出力信号電圧SOOUTがそのまま出力信号電圧SOAMPとしてスイッチ101₁の出力端子OUT1に出力され、シンクアンプ122の第1の出力回路404の出力信号電圧SIOUTがそのまま出力信号電圧SIAMPとしてスイッチ101₁の出力端子OUT2に出力される。

【0115】

その後、駆動制御部10は、極性信号THRを‘L’にする。これにより、スイッチ101₁の出力端子OUT1、OUT2はハイインピーダンスとなる。

【0116】

そして、駆動制御部10は、図9に示すように、予め定めた出力ハイインピーダンス（Hi-Z）期間経過後に極性信号CRSを‘H’にする。

【0117】

また、駆動制御部10は、極性信号CRSを‘H’にする直前に、ソースアンプ121のガードトランジスタMPSOG1、MPSOG2のゲートに制御信号電圧SOGRADとして電圧VDM1を予め定めた遷移期間印加すると共に、シンクアンプ122のガードトランジスタMNSOG1、MNSOG2のゲートに制御信号電圧SIGRADとして電圧VDM2を予め定めた遷移期間印加する。なお、ガードトランジスタMPSOG1、MPSOG2、MNSOG1、MNSOG2に同一の電圧VDMを印加してもよい。

【0118】

このように、ソースアンプ121のガードトランジスタMPSOG1のゲートには電圧VDM1が印加されるため、第1の出力回路304の出力信号電圧SOOUTは、電圧VDM1未満とはならず、出力信号電圧SOOUTが電圧VDM1に近づくとガードトランジスタMPSOG1はカットオフ状態となり、順方向電流は流れない。

【0119】

また、シンクアンプ122のガードトランジスタMNSOG1のゲートには電圧VDM2が印加されるため、第1の出力回路404の出力信号電圧SIOUTは、電圧VDM2を越えることはなく、出力信号電圧SIOUTが電圧VDM2に近づくとガードトランジスタMNSOG1はカットオフ状態となり、順方向電流は流れない。

【0120】

これにより、ソースアンプ121の出力信号電圧SOAMPが、その出力範囲（SOURCE-AMP出力範囲）外となったり、シンクアンプ122の出力信号電圧SIAMPが、その出力範囲（SINK-AMP出力範囲）外となったりするのを防ぐことができる。従って、ラッチアップが発生し、電源供給を停止させない限り回路が破壊されてしまう等の現象を防止することができる。

【0121】

10

20

30

40

50

なお、ソースアンプ121のガードトランジスタMPSOG2、シンクアンプ122のガードトランジスタMNSOG2のゲートについても、ガードトランジスタMPSOG1、ガードトランジスタMNSOG1と同様に上記のように制御されることにより、上記と同様の理由により、それぞれ接続点MNOG1、MPOG11が電圧VDM1未満になったり、VDM2を越えるのを防ぐことができる。従って、ラッチアップが発生し、電源供給を停止させない限り回路が破壊されてしまう等の現象を防止することができる。

【0122】

そして、駆動制御部10は、遷移期間経過後、ソースアンプ121のガードトランジスタMPSOG1、MPSOG2のゲートに制御信号電圧SOGRADとして電圧VSSを印加すると共に、シンクアンプ122のガードトランジスタMNSOG1、MNSOG2のゲートに制御信号電圧SIGRADとして電圧VDDを印加する。

10

【0123】

このように、駆動制御部10は、極性を切り替える場合には、遷移期間を設け、この遷移期間にソースアンプ121及びシンクアンプ122それぞれの第1の出力回路と第2の出力回路との間に設けられたガードトランジスタの電圧を中間電圧にする。これにより、ソースアンプ121及びシンクアンプ122の出力がそれぞれの出力範囲を越えるのを防止することができる。

【0124】

ところで、ソースアンプ121は、第1の出力回路304のPMOSTランジスタMPO1のゲートと第2の出力回路308のPMOSTランジスタMPO2のゲートとの間にレベルシフタ310が設けられている。これにより、PMOSTランジスタMPO2を流れる電流が大きくなるので、出力信号電圧OUTの立ち上がりの波形を急峻な波形とすることができ、スルーレートを向上させることができる。

20

【0125】

なお、第1の出力回路304のNMOSTランジスタMNO1のゲートと第2の出力回路308のNMOSTランジスタMNO2のゲートとの間には、上記のようなレベルシフタは設けられていない。これは、NMOSTランジスタMNO1のバックゲートには電圧VDMが印加され、NMOSTランジスタMNO2のバックゲートに電圧VSSが印加されており、各NMOSTランジスタのバックゲートに電位差が生じていることから、レベルシフタを設けたのと同様に機能するためである。

30

【0126】

一方、シンクアンプ122は、第1の出力回路404のNMOSTランジスタMNO1のゲートと第2の出力回路408のNMOSTランジスタ408のゲートとの間にレベルシフタ410が設けられている。これにより、NMOSTランジスタMNO12を流れる電流が大きくなるので、出力信号電圧OUTの立ち上がりの波形を急峻な波形とすることができ、スルーレートを向上させることができる。

【0127】

なお、第1の出力回路404のPMOSTランジスタMPO11のゲートと第2の出力回路408のPMOSTランジスタMPO12のゲートとの間には、上記のようなレベルシフタは設けられていない。これは、PMOSTランジスタMPO11のバックゲートには電圧VDMが印加され、PMOSTランジスタMPO2のバックゲートには電圧VDDが印加されており、各PMOSTランジスタのバックゲートに電位差が生じていることから、レベルシフタを設けたのと同様に機能するためである。

40

【0128】

なお、本実施形態では、ソースアンプ121にレベルシフタ310が、シンクアンプ122にレベルシフタ410が設けられた構成について説明したが、これらの少なくとも一方のレベルシフタを省略した構成としてもよい。

【図面の簡単な説明】

【0129】

【図1】液晶表示装置の概略構成を示す図である。

50

【図 2】駆動装置の動作例を示す図である。

【図 3】ソースドライバ部 1 2 の構成を示す図である。

【図 4】第 1 ラッチ群、第 2 ラッチ群、画素駆動電位生成部、及び出力ゲート部の内部構成を示す図である。図である。

【図 5】時間差付加部の内部構成の一例を示す図である。

【図 6】ソースアンプの回路図である。

【図 7】シンクアンプの回路図である。

【図 8】ソースアンプ、シンクアンプ、及びスイッチの概略構成を示す図である。

【図 9】極性切り替え時における極性信号、ソースアンプ、シンクアンプ、及びスイッチの各部の出力信号の波形を示す図である。

10

【図 10】従来におけるソースアンプ、シンクアンプ、及びスイッチの概略構成を示す図である。

【図 11】(A)、(B) はスイッチの出力パターン例、(C)、(D) はソースアンプ、シンクアンプの出力信号電圧の波形を示す図である。

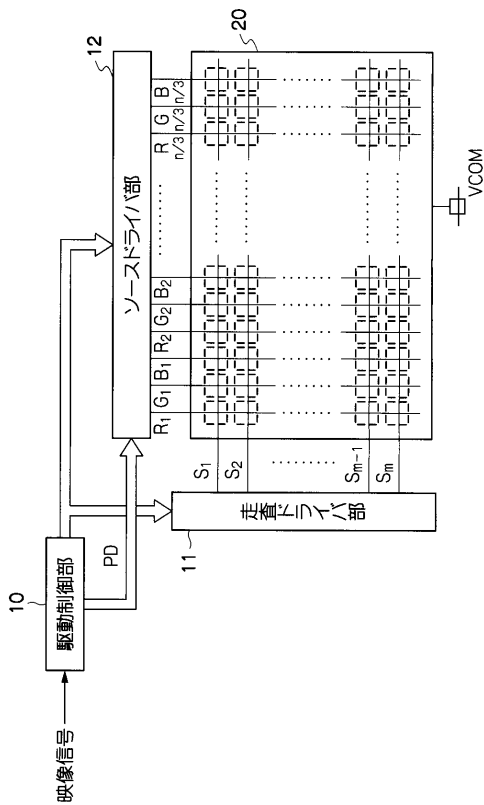
【符号の説明】

【0130】

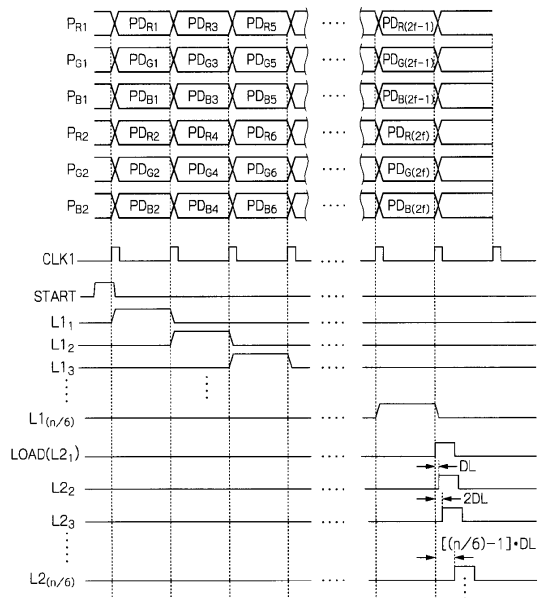
10	駆動制御部	
11	走査ドライバ部	
12	ソースドライバ部	
20	表示パネル	20
101 ₁ 、101 ₂ 、101 ₃	スイッチ(切替回路)	
121、123、125	ソースアンプ(高電圧側オペアンプ)	
122、124、126	シンクアンプ(低電圧側オペアンプ)	
300	差動回路(高電圧側差動回路)	
304	第1の出力回路(第1の高電圧側出力回路)	
308	第2の出力回路(第2の高電圧側出力回路)	
310	レベルシフト(第1のレベルシフト)	
400	差動回路(低電圧側差動回路)	
404	第1の出力回路(第1の低電圧側出力回路)	
408	第2の出力回路(第2の低電圧側出力回路)	30
410	レベルシフト(第2のレベルシフト)	
606 ₁ ~ 606 _(n/6)	第1ラッチ群	
607	シフトレジスタ607	
608 ₁ ~ 608 _(n/6)	第2ラッチ群	
609	時間差付加部	
GP ₁ ~ GP _(n/6)	画素駆動電位生成部	
801 ₁ ~ 801 _(n/6)	出力ゲート部	
MPO1	PMOSトランジスタ(第1のPMOSトランジスタ)	
MNO1	NMOSトランジスタ(第1のNMOSトランジスタ)	
MPO2	PMOSトランジスタ(第2のPMOSトランジスタ)	40
MNO2	NMOSトランジスタ(第2のNMOSトランジスタ)	
MP5	PMOSトランジスタ(第5のPMOSトランジスタ)	
MP6	NMOSトランジスタ(第6のPMOSトランジスタ)	
MPSOG1、MPSOG2	ガードトランジスタ(電圧低下防止用MOSトランジスタ)	
MPO11	PMOSトランジスタ(第3のPMOSトランジスタ)	
MNO11	NMOSトランジスタ(第3のNMOSトランジスタ)	
MPO12	PMOSトランジスタ(第4のPMOSトランジスタ)	
MNO12	NMOSトランジスタ(第4のNMOSトランジスタ)	
MN5	PMOSトランジスタ(第5のNMOSトランジスタ)	50

MN6 NMOSトランジスタ (第6のNMOSトランジスタ)
MNSOG1、MNSOG2 ガードトランジスタ (電圧上昇防止用MOSトランジスタ)

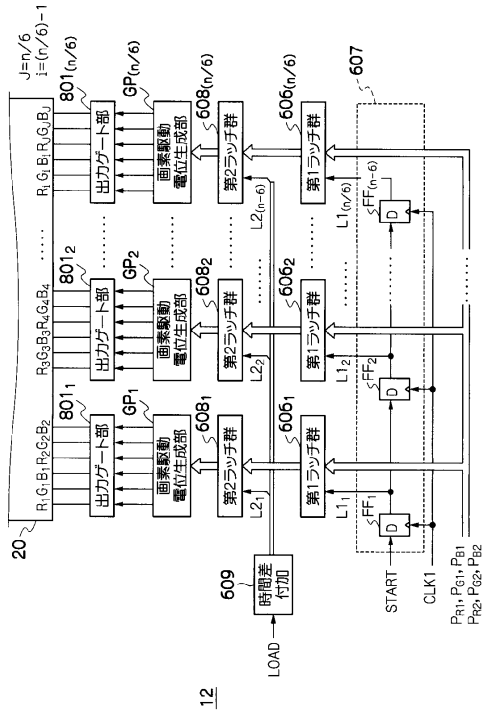
【図1】



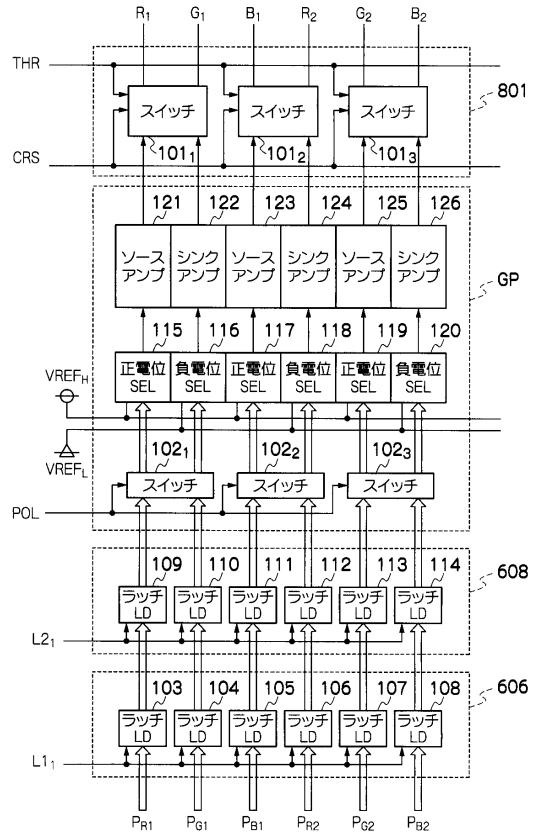
【図2】



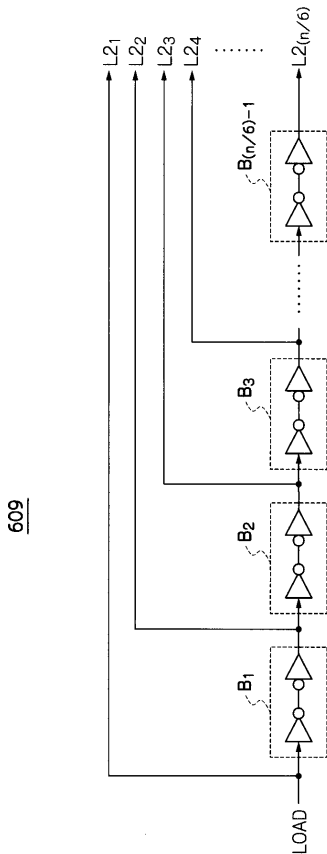
【図3】



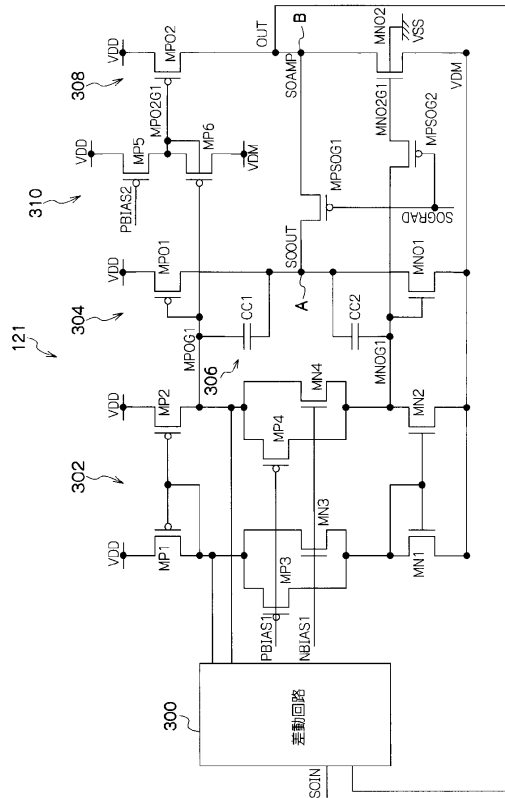
【図4】



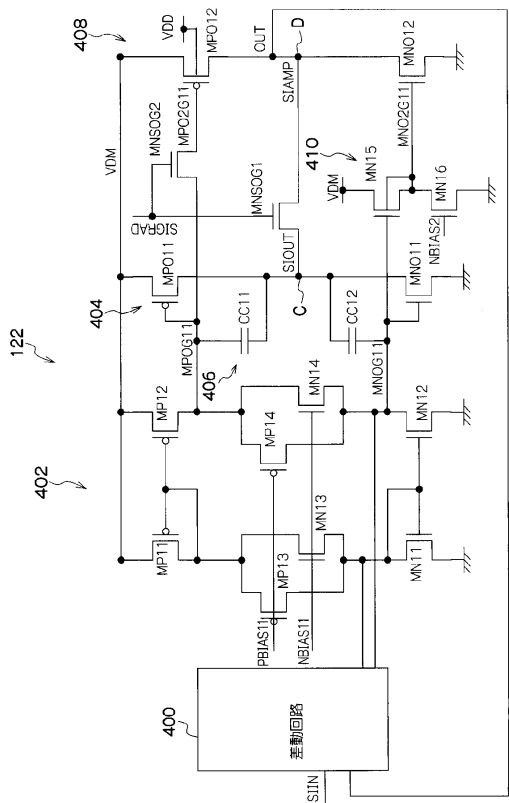
【図5】



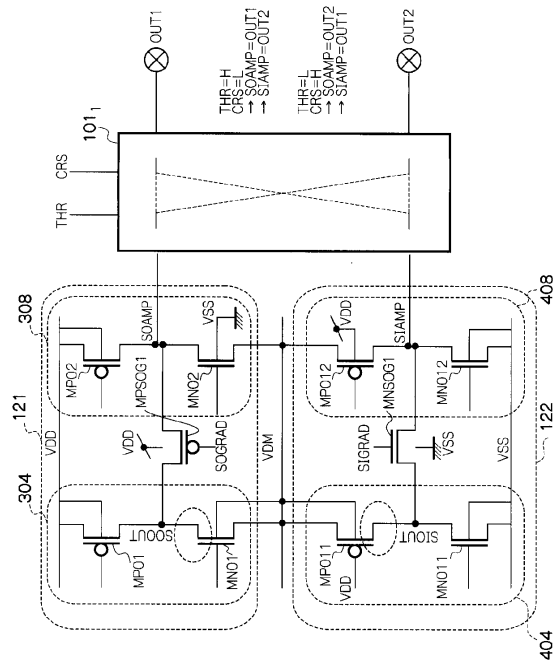
【図6】



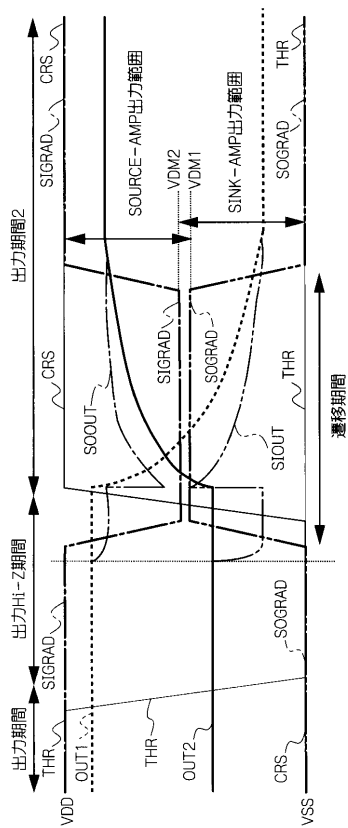
【図7】



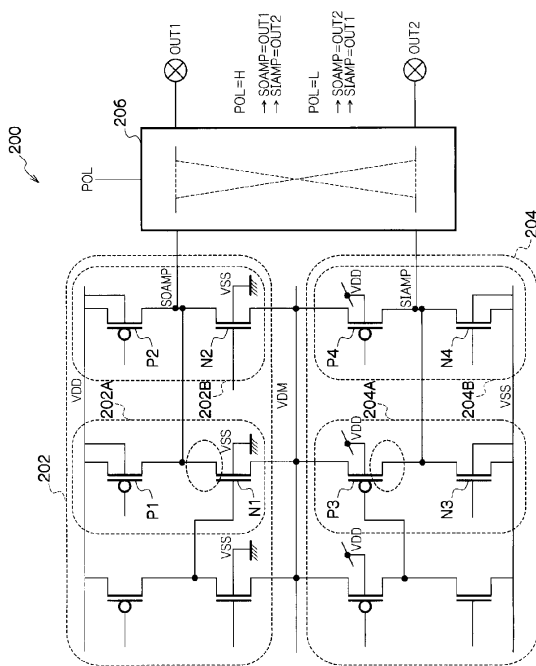
【図8】



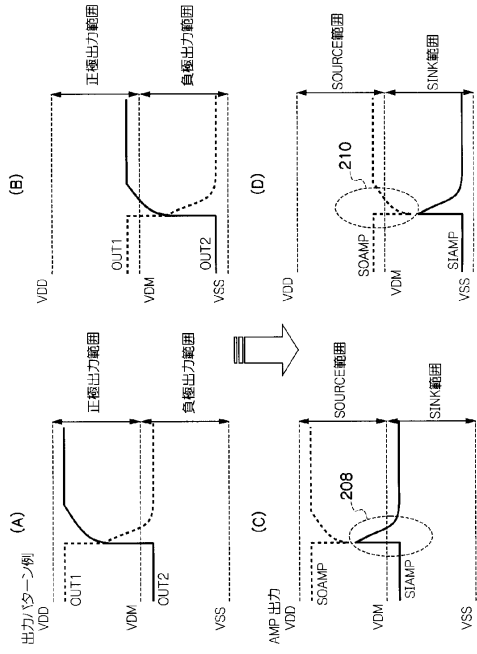
【図9】



【図10】



【 図 1 1 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/36
G 0 2 F 1/133 5 0 5

(72)発明者 首藤 祐志
大分県速見郡日出町大字大神 8 1 3 3 番地 株式会社日出ハイテック内
(72)発明者 長谷川 秀明
東京都八王子市東浅川町 5 5 0 番地 1 O K I セミコンダクタ株式会社内
(72)発明者 樋口 鋼児
東京都八王子市東浅川町 5 5 0 番地 1 O K I セミコンダクタ株式会社内

審査官 居島 一仁

(56)参考文献 特開 2 0 0 6 - 4 8 0 8 3 (J P , A)
特開 2 0 0 5 - 1 8 2 4 9 4 (J P , A)
特開平 1 1 - 1 6 1 2 4 5 (J P , A)
特開 2 0 0 7 - 3 5 6 3 (J P , A)
特開 2 0 0 8 - 1 1 6 6 5 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3