

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3647055号

(P3647055)

(45) 発行日 平成17年5月11日(2005.5.11)

(24) 登録日 平成17年2月18日(2005.2.18)

(51) Int. Cl.⁷

F I

H O 4 L 12/403

H O 4 L 12/403

H O 4 L 12/28

H O 4 L 12/28 2 0 3

請求項の数 9 (全 15 頁)

(21) 出願番号	特願平5-288271	(73) 特許権者	000001007
(22) 出願日	平成5年11月17日(1993.11.17)		キヤノン株式会社
(65) 公開番号	特開平7-143136		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成7年6月2日(1995.6.2)	(74) 代理人	100090538
審査請求日	平成12年11月17日(2000.11.17)		弁理士 西山 恵三
審査番号	不服2004-2345(P2004-2345/J1)	(74) 代理人	100096965
審査請求日	平成16年2月5日(2004.2.5)		弁理士 内尾 裕一
		(72) 発明者	福井 俊之
			東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
		(72) 発明者	伊達 厚
			東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理システム、管理方法および管理装置

(57) 【特許請求の範囲】

【請求項1】

第1の情報処理装置と、第2の情報処理装置と、前記第1の情報処理装置と前記第2の情報処理装置との間のデータ転送に必要な経路を管理する管理装置とを有する情報処理システムであって、

前記管理装置は、前記経路の利用を可能にする前に、前記第1の情報処理装置と前記第2の情報処理装置との間のデータ転送に必要な付加情報を前記第1の情報処理装置から受信し、受信した前記付加情報を前記経路の利用を可能にするのに必要な制御情報とともに前記第2の情報処理装置に送信することを特徴とする情報処理システム。

【請求項2】

前記管理装置は、前記第1の情報処理装置及び前記第2の情報処理装置とシリアル通信を行うことを特徴とする請求項1に記載の情報処理システム。

【請求項3】

前記付加情報は、前記第2の情報処理装置が有するアドレス空間の一部を指定する情報であることを特徴とする請求項1または2に記載の情報処理システム。

【請求項4】

第1の情報処理装置と第2の情報処理装置との間のデータ転送に必要な経路を管理する管理方法であって、

前記経路の利用を可能にする前に、前記第1の情報処理装置と前記第2の情報処理装置との間のデータ転送に必要な付加情報を前記第1の情報処理装置から受信し、受信した前

10

20

記付加情報を前記経路の利用を可能にするのに必要な制御情報とともに前記第 2 の情報処理装置に送信することを管理装置に実行させることを特徴とする管理方法。

【請求項 5】

前記管理装置は、前記第 1 の情報処理装置及び前記第 2 の情報処理装置とシリアル通信を行うことを特徴とする請求項 4 に記載の管理方法。

【請求項 6】

前記付加情報は、前記第 2 の情報処理装置が有するアドレス空間の一部を指定する情報であることを特徴とする請求項 4 または 5 に記載の管理方法。

【請求項 7】

第 1 の情報処理装置と第 2 の情報処理装置との間のデータ転送に必要な経路を管理する管理装置であって、

前記経路の利用を可能にする前に、前記第 1 の情報処理装置と前記第 2 の情報処理装置との間のデータ転送に必要な付加情報を前記第 1 の情報処理装置から受信する受信手段と

、
受信した前記付加情報を前記経路の利用を可能にするのに必要な制御情報とともに前記第 2 の情報処理装置に送信する送信手段とを有することを特徴とする管理装置。

【請求項 8】

前記管理装置は、前記第 1 の情報処理装置及び前記第 2 の情報処理装置とシリアル通信を行うことを特徴とする請求項 7 に記載の管理装置。

【請求項 9】

前記付加情報は、前記第 2 の情報処理装置が有するアドレス空間の一部を指定する情報であることを特徴とする請求項 7 または 8 に記載の管理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、第 1 の情報処理装置と第 2 の情報処理装置との間のデータ転送に必要な経路を管理する情報処理システム、管理方法および管理装置に関するものである。

【0002】

【従来の技術】

一つ以上のプロセッサとメモリを持つ情報処理装置（本出願ではこれをノードと呼ぶ）をノード間のデータの交換を目的として複数個接続する場合、各種 LAN を用いて接続する方法や、LAN に依らずノード同士をメモリのアドレスレベルでつなぐ方法がある。

【0003】

これらの場合、ノード同士の接続路へのアクセスの競合を回避し、接続路の使用権を調停するためのアービタを持つのが一般的であり、アービタからの接続経路設定情報を受けたノード同士が、その情報に基づいて接続経路をセットアップしてからその設定された経路を通じてアドレス情報などをやり取りしてから実際のデータ転送を行っていた。そのような動作を行うシステムの一例を図 12 に、その場合の処理の流れのタイミングチャートを図 13 に示す。

【0004】

図 12 において 100、200、300 はノードであり、各ノードは接続経路 10 によって接続されている。各ノードはその中に CPU 101、201、301、メモリ 102、202、302、接続経路 10 と各ノードの内部とを接続するためのインタフェース回路 103、203、303、接続経路 10 の利用を要求するためのアービトレーション用インタフェースの回路 104、204、304、及び、それらをノード内部で相互接続するための内部バス 105、205、305 を含んでいる。接続経路 10 の利用を調停するためのアービタが 20 であり、アービタ 20 は各ノードとそれぞれアービトレーション用信号経路 110、210、310 によって接続されている。アービタ内部には、各ノードから送られてくる経路要求情報を管理する経路選択情報管理装置 21 が存在している。

【0005】

10

20

30

40

50

図13では例として、ノード100上のCPU101がノード200上のメモリ202のデータを読もうとする場合を示す。図13のようなタイミングチャートにおいては、横軸は時間経過を表し、矢印は信号及び制御の流れを表し、四角形は各処理装置で行われる各処理を表し、六角形は内部バス、または接続経路、またはアービトレーション用信号経路上などで各種情報が伝達される為に存在している様子を表している。

【0006】

《フェーズ1》

ノード100上のCPU101は共有バス105上にアドレスを発行し、それを検知したアービタインタフェース104はアービタ20に対して接続経路10の利用要求を信号線110を通じて通知する。

10

【0007】

《フェーズ2》

アービタ20はノード100からの要求を経路選択情報管理装置21に蓄えられている現在の接続経路の利用状況、及び接続相手として求められているノード200の状況と突き合わせ、接続可能であると判断した時点でノード200に接続要求を信号線210を通じて通知する。

【0008】

《フェーズ3》

ノード200はアービタ20から接続要求を受けたら接続経路インタフェース203において直ちに接続経路10への回線の確保を行い、ノード内部のバス処理などが終了して、外部ノードからの要求を受け付けられるようになった段階でアービタ20に対して接続許可の応答を信号線210を通して返す。アービタ20はその応答を受けて、ノード100に対して経路設定許可を110を通して通知する。ノード100のアービタインタフェース104は受け取った情報に基づき経路設定の指示を接続経路インタフェース103に対して行う。

20

【0009】

《フェーズ4》

ノード100は接続経路インタフェース103より要求するデータのアドレスを経路10上に送信する。ノード200はノード100より受け取ったアドレスをもとに内部バス205を通じてメモリ202にアクセスする。

30

【0010】

《フェーズ5》

ノード200はメモリ202より供給されたデータを接続経路インタフェース203を通して接続経路10上に送りだし、ノード100は接続経路インタフェース103を通して受信する。受信したデータはノード100の内部バス105を通じてCPU101に与えられる。

【0011】

このようにデータ転送は各フェーズを順次処理することによって行われていた。

【0012】

【発明が解決しようとしている課題】

40

しかしながら、図13で示したように各フェーズを順次処理してデータを転送する場合、即ち、接続経路をセットアップしてからその設定された経路を通じてアドレス情報などをやり取りし、その後実際データ転送を行う場合、実際のデータをやり取りする為に必要となる時間のほかに、伝送経路のセットアップやデータ転送を行うための付加情報（例えばアドレスなど）の伝達のために必要となるオーバーヘッドがかかり、実際のデータ転送の効率が落ちるといった問題があった。特に、このオーバーヘッドによる時間が大きい場合、また、各ノード内部のバス等の処理速度に比べて、ノード間を接続する経路上でのデータ転送速度が遅い場合、実際のデータ転送効率を大幅に低下させていた。

【0013】

本発明は、第1の情報処理装置と第2の情報処理装置との間のデータ転送の効率を高める

50

ことのできる情報処理システム、管理方法および管理装置を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の情報処理システムは、第 1 の情報処理装置と、第 2 の情報処理装置と、前記第 1 の情報処理装置と前記第 2 の情報処理装置との間のデータ転送に必要な経路を管理する管理装置とを有する情報処理システムであって、前記管理装置は、前記経路の利用を可能にする前に、前記第 1 の情報処理装置と前記第 2 の情報処理装置との間のデータ転送に必要な付加情報を前記第 1 の情報処理装置から受信し、受信した前記付加情報を前記経路の利用を可能にするのに必要な制御情報とともに前記第 2 の情報処理装置に送信することを特徴とする。

10

また、本発明の管理方法は、第 1 の情報処理装置と第 2 の情報処理装置との間のデータ転送に必要な経路を管理する管理方法であって、前記経路の利用を可能にする前に、前記第 1 の情報処理装置と前記第 2 の情報処理装置との間のデータ転送に必要な付加情報を前記第 1 の情報処理装置から受信し、受信した前記付加情報を前記経路の利用を可能にするのに必要な制御情報とともに前記第 2 の情報処理装置に送信することを管理装置に実行させることを特徴とする。

また、本発明の管理装置は、第 1 の情報処理装置と第 2 の情報処理装置との間のデータ転送に必要な経路を管理する管理装置であって、前記経路の利用を可能にする前に、前記第 1 の情報処理装置と前記第 2 の情報処理装置との間のデータ転送に必要な付加情報を前記第 1 の情報処理装置から受信する受信手段と、受信した前記付加情報を前記経路の利用を可能にするのに必要な制御情報とともに前記第 2 の情報処理装置に送信する送信手段とを有することを特徴とする。

20

【 0 0 1 5 】

なお本出願においては、上述したように、ノードとはそれ自体が一つ以上のプロセッサとメモリを持つ情報処理装置のことを指すものとする。

【 0 0 1 6 】

【実施例】

(実施例 1)

図 2 は本発明を実現するためのシステムの一実施例の構成図である。

【 0 0 1 7 】

1 0 0、2 0 0、3 0 0 はノードであり、各ノードは接続経路 1 0 によって接続されている。この場合の接続経路は平行にデータを送ることのできる一般的なバスである。各ノードはその中に CPU 1 0 1、2 0 1、3 0 1、メモリ 1 0 2、2 0 2、3 0 2、接続経路 1 0 と各ノードの内部とを接続するためのインタフェース回路 1 0 3、2 0 3、3 0 3、接続経路 1 0 の利用を要求するためのアービトレーション用インタフェースの回路 1 0 4、2 0 4、3 0 4、及び、それらをノード内部で相互接続するための内部バス 1 0 5、2 0 5、3 0 5 を含んでいる。

30

【 0 0 1 8 】

インターフェイス回路 1 0 3、2 0 3、3 0 3 はこの場合バスをドライブするためのバッファ、及び制御ロジックから構成される。アービトレーション用インタフェース回路 1 0 4、2 0 4、3 0 4 は、アービトレーション用信号線をドライブするためのバッファ、ノード内部の要求を検知し処理するための制御ロジックなどにより構成される。なお、この制御ロジックは制御用プロセッサを含むような構成として作ることも可能である。

40

【 0 0 1 9 】

接続経路 1 0 の利用を調停するためのアービタが 2 0 であり、アービタ 2 0 はアービトレーション用信号経路 1 1 0、2 1 0、3 1 0 によってそれぞれ 1 対 1 で各ノードと接続されている。アービトレーション用信号経路 1 1 0、2 1 0、3 1 0 は、ここでは数本の信号線により構成されるバス型の平行インタフェースである。

【 0 0 2 0 】

また、アービタ内部には、各ノードから送られてくる経路要求情報を管理する経路選択情

50

報管理装置 21 の他に、それらの情報に続いて送られてくるアドレスなどのデータ転送に伴う付加情報を一時的に蓄える付加情報管理装置 22 が設置されている。21 は ROM、RAM、及び制御用 CPU から構成されるマイクロコントローラにより構成される。22 はレジスタ及びそれらの制御ロジックにより構成される。しかし本構成は本発明により制限されるものではない。

【0021】

図 1 は本発明をもっとも良く表したタイミングチャートである。

【0022】

例として、ノード 100 上の CPU 101 がノード 200 上のメモリ 202 のデータを読もうとする場合を示す。

10

【0023】

《フェーズ 1'》

ノード 100 上の CPU 101 は共有バス 105 上にアドレスを発行し、それを検知したアービタインタフェース回路 104 からアービタ 20 に対して接続経路 10 の利用要求を信号線 110 を通じて通知する。この情報はアービタ内部の要求情報管理装置 21 に取り入れられる。続いてノード 100 は、メモリ 202 のどのアドレスのデータが欲しいかなどのデータ転送に付随する情報をアービタ 20 に通知する。アービタ 20 はその情報を付加情報管理装置 22 に取り入れる。

【0024】

《フェーズ 2'》

アービタ 20 は、ノード 100 からの要求を経路選択情報管理装置 21 に蓄えられている現在の接続経路の利用状況、及び接続相手として求められているノード 200 の状況と突き合わせ、接続可能であると判断した時点で、ノード 200 に接続要求と、付加情報管理装置 22 に蓄えられた要求されているデータのアドレスなどの情報とを併せて信号線 210 を通じて通知する。

20

【0025】

《フェーズ 3'》

ノード 200 はアービタ 20 からの接続要求を受けたら直ちに接続経路インタフェース 203 において接続経路 10 への回線の確保を行い、アービタ 20 に対して接続許可の応答を返す。アービタ 20 はその応答を受けて、ノード 100 に対して経路設定許可を通知する。通知を受けたノード 100 は接続経路 10 を通してやって来るデータを受け入れるように接続経路インタフェース 103 に対して 104 から指示を出し準備を行う。

30

【0026】

《フェーズ 4'》

アービタ 20 から信号線 210 を通じてアドレスなどのデータ転送にかかわる付加情報を受け取ったノード 200 のアービタインタフェース 204 は、受信した情報に基づき、内部バス 205 上にメモリ 202 への READ 要求を出す。

【0027】

《フェーズ 5'》

ノード 200 はメモリ 202 より供給されたデータを接続経路インタフェース 203 を通じて接続経路 10 上に送りだし、ノード 100 は接続経路インタフェース 103 を通じて受信する。受信したデータはノード 100 の内部バス 105 を通じて CPU 101 に与えられる。

40

【0028】

図 1 と図 13 のタイミングチャートを比べればわかるように、図 1 では《フェーズ 3'》《フェーズ 4'》をオーバーラッピングできるため、この並列化できる部分に要する時間を図 13 の場合に比べて短縮することが出来る。

【0029】

(実施例 2)

更に、第 2 の実施例として、先の実施例 1 に比べて各ノードとアービタの間の情報のやり

50

取りの際に、接続要求と付加情報を一体化させたパケットを用いて行われるところが大きく異なっているシステムの例を、各ノード及びアービタの間が光ファイバで接続され、各データがシリアル信号として取り扱われるようなシステムを例に用いて詳細に説明する。なお実施例1から引用できる図面及び図面番号はそれを利用する。

【0030】

システム全体を概観するためのブロック図は図2と同一であるので、説明を省略する。

【0031】

図3はシステム全体のアドレスマップである。本実施例ではシステム全体のアドレス空間4ギガバイトをノード4つ分に振り分け、そのうち3ノード分を利用している。

【0032】

図4はアービタインタフェース104のブロック図である。

【0033】

アービタインタフェース104の内部に存在するアドレスデコーダ140はノード101の内部バス105(105はデータ信号線151、コントロール信号線152、アドレス信号線153より構成される)を常に監視しており、外部ノード(この場合ノード200もしくは300)へのアクセスがバス上に発生したことを認識した場合、144の外部アクセス検出信号によってノードアービトレーション制御プロセッサ141上で動作するプログラムに制御を渡す。同時にアドレスラッチレジスタ142にそのときアドレス信号線153上に出ているアドレスを、コントロール信号ラッチレジスタ143にリードライト要求種別・転送バイト数などのコントロール情報をラッチする。ノードアービトレーションプロセッサ141は本実施例では1チップマイクロコントローラを用いたが、その構成は本発明により制限されるものではなく、ハードウェアロジックなどにより構成しても良い。

【0034】

ノードアービトレーションプロセッサ141はアドレスラッチ142、及びコントロール信号ラッチ143よりラッチされた信号を読み出し、接続先を判別し、図5に示すようなアービトレーションリクエストパケットを作成し、パラレル/シリアル変換器161に書き込む。図5に示すパケットは経路要求信号であるとともに、データ転送に係わる付加情報もその内部のデータフォーマットとして含むものである。161のパラレル/シリアル変換器では書き込まれた情報をシリアルデータに変換し163の発光素子へ出力する。発光素子は入力された信号を光電変換し波長λの光信号として光ファイバによって構成された通信路110を通してアービタ20へ出力する。この構成は全てのノードにおいて共通である。なお、ここでいう発光素子は、LEDもしくはレーザーなどの素子であり、受光素子はフォトダイオードに代表される素子を指す。

【0035】

図6に20のアービタ部のブロック図を示す。601、603、605、は受光素子である。それぞれノードにより発光されたλの波長の光信号、つまり上記アービトレーションリクエスト信号を受信し電気信号に変換する、今ノード100よりリクエスト信号が到着し611のシリアル/パラレル変換器に入力される、611のシリアル/パラレル変換器では入力されたシリアル電気信号をパラレル信号に変換し同時に622のデータ受信検出信号により21の経路選択情報管理装置に通知する。本実施例では21はプログラムを格納したROMおよび処理に用いるRAMを内蔵したマイクロコントローラ621により構成した。またこのマイクロコントローラは同時に22の付加情報管理装置の役割を果たす部分を含むものとする。しかし本構成は本発明により制限されるものではない。

【0036】

21の経路選択情報管理装置は622のデータ受信検出信号1を受信すると、619のデバイスセレクト信号により611のシリアル/パラレル変換器を選択し、内部のレジスタよりデータバス620を通じて、ノード100より送出されたリクエストパケットを読みだす。リクエストパケット内部には、データ転送にかかわる付加情報も含まれており、その部分に関してはこのマイクロコントローラの中の付加情報管理装置22としての役割を

10

20

30

40

50

果たす部分に格納される。その後このパケットを解析し図3のアドレスマップとの比較等を行うことにより、伝送路の使用要求がノード100よりノード200への接続要求であることを検出する。その後経路選択情報管理装置内に設けられた伝送路使用状態フラグをチェックし使用可能状態の場合はフラグを使用中状態に設定し、図7に示す接続準備要求パケットを作成し612および614の平行/シリアル変換器に書き込む。この接続準備パケットには、マイクロコントローラの中の付加情報管理装置22の役割を果たす部分からもたらされた情報も一緒に含まれる。これら2つの接続準備要求パケットは光アービタインターフェースの場合と同様に1の光信号を用い、ノード100およびノード200へ出力される。

【0037】

再びノード100において、

ファイバー110により入力された光信号は164の受光素子により電気信号に変換され104の光アービタインターフェースに入力される。104光アービタインターフェースでは入力された信号は162のシリアル/平行変換器により平行信号に変換されると同時にデータ受信信号148によりノードアービトレーション制御プロセッサ141にパケットの到着が通知される。ノード100のノードアービトレーションプロセッサは162のシリアル/平行変換器より147のデバイスセレクト信号、145のデータバスを使用し上記接続準備要求パケットを読み出し、接続を許可されたことを検知し、149のデータ送受信要求信号を用い103の接続経路インターフェースに対しデータ受信待機を行うよう指示する。

これによりノード100ではデータの受け付けが可能な状態となる。

【0038】

一方ノード200においては、

(各ノードの構成はまったく同様であるので図2、図4、を用いノード200の動作を説明する。)

ファイバー210(図4では110)により入力された光信号は164の受光素子により電気信号に変換され、204の光アービタインターフェースに入力される。入力された信号は162のシリアル/平行変換器により平行信号に変換されると同時にデータ受信信号148によりノードアービトレーション制御プロセッサ141に通知される。この通知が検出されるとノード200のノードアービトレーションプロセッサは162のシリアル/平行変換器より147のデバイスセレクト信号、145のデータバスを使用し上記接続準備要求パケットを読みだし、ノード内に向けて内部バス205の使用許可を要求する。ノードアービトレーション制御プロセッサは内部バスの使用許可が与えられると、データ送受信要求信号群149を用い203の接続経路インターフェースに対し図7のパケットの内容に基づき、リードを行いノード100に向けて出力することを指示する。

【0039】

図8に光ファイバを接続経路に使用した場合の接続経路インターフェース部の一例を示す。ここではアービタインターフェースより送られるデータ送受信要求信号149により、130のアドレスドライバにはアドレスが、データ転送シーケンサ131にはリードの要求が指示される。

【0040】

131のシーケンサは134の信号によりアドレスドライバに対しアドレスのドライブを指示し、続いて132のコントロールドライバに対し転送サイズ、リードライト信号等のコントロール信号のバスへのドライブを信号線136を通して指示する。これによりノード内のバスに対し通常のメモリリードのランザクションが発生する。メモリコントローラはこの要求に対しデータをドライブしその後アクノリッジ信号135をドライブする。データ転送シーケンサはアクノリッジ信号135を検出すると、165の平行/シリアル変換器に対し変換開始要求を、信号139を用いて指示し、その後アイドル状態に戻る。

10

20

30

40

50

【 0 0 4 1 】

シリアル変換された信号は発光装置 1 6 7 により 2 の波長を用い光電変換されノード 1 0 0 に向けて出力される。

【 0 0 4 2 】

ノード 1 0 0 では、 2 の光信号が 1 6 8 の受光装置により電気信号に変換され 1 0 3 の接続経路インターフェースに入力される。以下図 6 および図 2 を用いノード 1 0 0 における処理の続きを説明する、ノード 1 0 0 においては前述したように 1 4 1 のノードアービトレーションプロセッサによりプロセッサのリード要求に対しデータの供給を行うよう指示されている。つまり 1 3 1 のデータ転送シーケンサは 1 3 3 のデータバッファに対しデータバスのドライブを行う様に設定する。 1 6 6 のシリアル/パラレルインターフェースではシリアルデータをパラレルデータに変換し 1 3 3 のデータバッファに対し出力すると同時に 1 3 1 のデータ転送シーケンサに対し、データ受信検出信号 1 3 8 を出力する。

10

【 0 0 4 3 】

データ転送シーケンサは 1 5 1 のデータバスがドライブされる時間を保証するため、一定のディレイ後 1 3 2 のコントロールドライバに対しアクノリッジ信号をドライブするよう指示する、と同時にノードアービトレーションプロセッサに対し終了パケットの作成送出手をデータ送受信要求信号 1 4 9 の一部を用いて通知する。

【 0 0 4 4 】

ノードアービトレーションプロセッサは上記した接続要求パケット送出と同様にヘッダ部が転送終了を示す転送終了パケットを作成し、アービタに対し送出する。

20

【 0 0 4 5 】

アービタ 2 0 は上記の接続要求パケットの場合と同様にこの転送終了パケットを受信、解釈し上記した伝送路使用状態フラグを使用可能状態とし、次の接続要求受け付けのアイドル状態になる。

【 0 0 4 6 】

これによりノード 1 0 0 のプロセッサ 1 0 1 に対し要求先のノード 2 0 0 のメモリ 2 0 2 上のデータが供給される。

【 0 0 4 7 】

またライト動作に関してもデータ転送の方向などが逆転するのみでほぼ同等の動作にて処理が行われる。

30

【 0 0 4 8 】

他のノード間での転送においてもまったく同様に処理が行われる。

【 0 0 4 9 】

なお、この例では図 1 におけるアービトレーション用信号経路 1 1 0、2 1 0、3 1 0 には波長 1 の光を使用し、接続経路 1 0 上の光信号には波長 2 を使用しているが、 1 = 2 であっても構成上差し支えはない。

【 0 0 5 0 】

(実施例 3)

先の例では図 2 におけるアービトレーション用信号経路 1 1 0、2 1 0、3 1 0 と接続経路 1 0 では物理的に別の信号経路を仮定していたが、論理的にこれらの回線が分離可能であれば、物理上は同一信号経路を通る場合があってもよい。そのような場合の構成の一例を図 9 ~ 図 1 1 に示す。

40

【 0 0 5 1 】

図 9 は全体のシステムの構成図である。各ノード 1 0 0、2 0 0、3 0 0、4 0 0 はコンセントレータ 3 0 まで一対の光ファイバ 3 1、3 2、3 3、3 4 で接続される。従来二系統各ノードから出ていた光信号は各ノード内部で光波長多重されて出力され、コンセントレータ 3 0 の入口でそれぞれアービトレーション用波長 1 の光とデータ伝達用の波長 2、3 の光に波長分離される。コンセントレータ内部で再分配された光は各ノードに送られ、ノード入口で元々の二系統に分けられて、内部利用される。

【 0 0 5 2 】

50

なお、先の例では図 1 におけるアービトレーション用信号経路 1 1 0、2 1 0、3 1 0 の上の光信号には波長 1 の光と、接続経路 1 0 上の光信号の波長 2 では特に 1 = 2 の場合があってもよいとしたが、図 9 の例では波長多重する際に混信を防ぐ関係上、1、2、3 はそれぞれ異なる波長であることが前提条件となっている。なお、ここで 4 つのノードは、データ通信用にそれぞれ異なる波長 2、3 を用いることによって、同時に二系統の通信を一对一のノード間で行うことが可能になっている。この波長の指定は図 7 においてオプションとして示されている部分によってアービタから各ノードに提示される。

【0053】

図 10 はノードの構成図である。図 4 及び図 8 に示されていた発光素子 1 6 3、1 6 7 及び受光素子 1 6 4、1 6 8 へ入出力されていた光信号は、光合波器 1 7 1 及び光分波器 1 7 2 によって光ファイバ 3 1 と接続される。

【0054】

図 11 はコンセントレータである。各ノードから光ファイバ 3 1、3 2、3 3、3 4 を通して入ってきた光は、光分波器 4 1、4 3、4 5、4 7 を通してアービトレーション用信号 1 1 1、2 1 1、3 1 1、4 1 1 とデータ伝達用信号 1 1 2、2 1 2、3 1 2、4 1 2 に分離される。アービトレーション用信号はそれぞれ図 6 に示したアービタ部に入力され、アービトレーションに利用される。データ伝達用信号はスターカプラに入力され、各ノードへ分配された後、アービタから出力された信号と光合波器 4 2、4 4、4 6、4 8 を通して波長多重され、各ノードへと分配される。

【0055】

【発明の効果】

以上説明したように、本発明によれば、第 1 の情報処理装置と第 2 の情報処理装置との間のデータ転送の効率を高めることができる。

【図面の簡単な説明】

【図 1】本発明を最も良く表わすタイミングチャートの例を示す図。

【図 2】本発明を実現するためのシステムの一実施例の構成を示す図。

【図 3】本発明の実施例 2 を示したシステムのアドレスマップ。

【図 4】本発明の実施例 2 のノードのアービタインタフェースを示す図。

【図 5】本発明の実施例 2 で用いられているアービトレーションリクエストパケットの構成を示す図。

【図 6】本発明の実施例 2 のアービタの構成を示す図。

【図 7】本発明の実施例 2 で用いられている接続準備要求パケットの構成を示す図。

【図 8】本発明の実施例 2 の接続経路インタフェース部の構成を表わす図。

【図 9】本発明の実施例 3 の全体のシステム構成を示す図。

【図 10】本発明の実施例 3 において使われているノードの波長多重化装置の構成図。

【図 11】本発明の実施例 3 のコンセントレータの構成図。

【図 12】従来のシステムの構成の例を表わす図。

【図 13】従来のシステムの動作を表わすタイミングチャートの例を示す図。

【符号の説明】

- 1 0 ノード間の接続経路
- 2 0 アービタ
- 2 1 経路選択情報管理装置
- 2 2 付加情報管理装置
- 3 0 コンセントレータ
- 3 1、3 2、3 3、3 4 ノードとコンセントレータをつなぐ光ファイバ
- 4 0 光波長多重化装置
- 4 1、4 3、4 5、4 7、1 7 2 光分波器
- 4 2、4 4、4 6、4 8、1 7 1 光合波器
- 5 0 スターカプラ

10

20

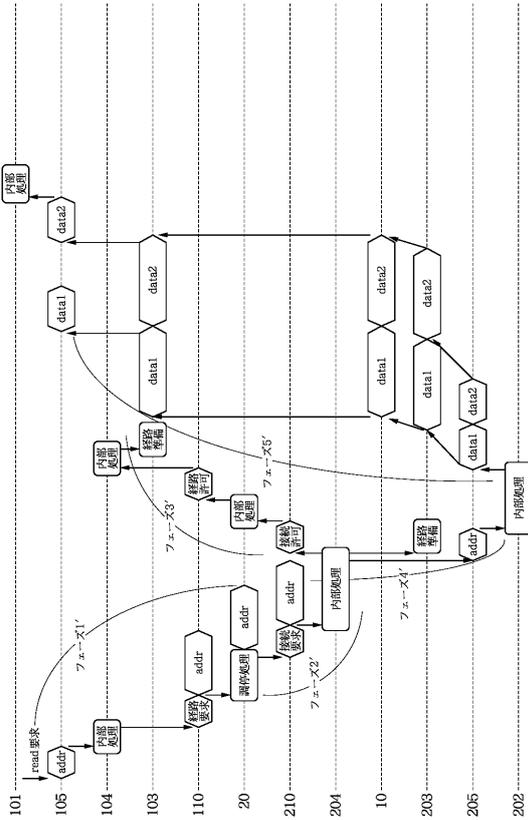
30

40

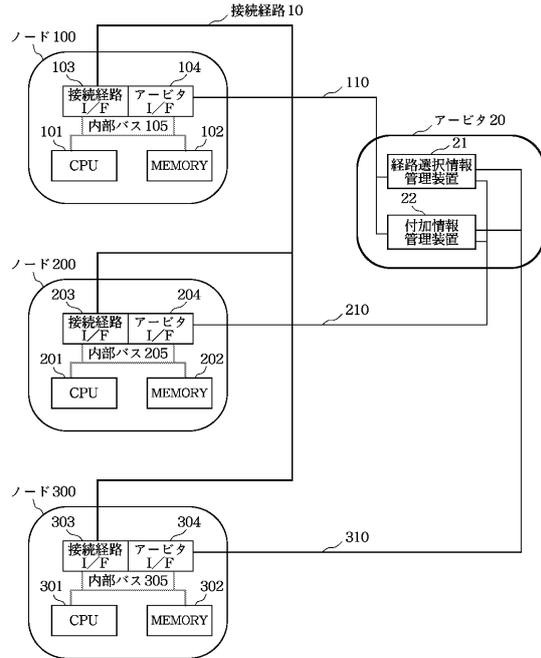
50

1 0 0、2 0 0、3 0 0、4 0 0	ノード	
1 0 1、2 0 1、3 0 1、4 0 1	C P U (プロセッサ)	
1 0 2、2 0 2、3 0 2、4 0 2	メモリ	
1 0 3、2 0 3、3 0 3、4 0 3	接続経路インタフェース回路	
1 0 4、2 0 4、3 0 4、4 0 4	アービタインタフェース回路	
1 0 5、2 0 5、3 0 5、4 0 5	ノード内部バス	
1 0 6、2 0 6、3 0 6、4 0 6	波長多重化装置	
1 1 0、2 1 0、3 1 0、4 1 0	アービトレーション用信号経路	
1 1 1、2 1 1、3 1 1、4 1 1	アービトレーション用信号	
1 1 2、2 1 2、3 1 2、4 1 2	データ伝達用信号	10
1 3 0	アドレスドライバ	
1 3 1	データ転送シーケンサ	
1 3 2	コントロールドライバ	
1 3 3	データバッファ	
1 3 4	アドレスドライブ信号	
1 3 5	アクノリッジ信号	
1 3 6	コントロールドライバ制御信号	
1 3 7	データバッファ制御信号	
1 3 8	データ受信信号	
1 3 9	パラレル/シリアル変換器制御信号	20
1 4 0	アドレスデコーダ	
1 4 1	ノードアービトレーション制御プロセッサ	
1 4 2	アドレスラッチレジスタ	
1 4 3	コントロール信号ラッチレジスタ	
1 4 4	外部アクセス検出信号	
1 4 5	データ信号線	
1 4 6	レジスタセレクト信号線	
1 4 7	デバイスセレクト信号線	
1 4 8	データ受信信号	
1 4 9	データ送受信要求信号群	30
1 5 1	内部バスのデータ信号線	
1 5 2	内部バスのコントロール信号線	
1 5 3	内部バスのアドレス信号線	
1 6 3、1 6 5、6 1 2、6 1 4、6 1 6、6 1 8	パラレル/シリアル変換器	
1 6 2、1 6 6、6 1 1、6 1 3、6 1 5、6 1 7	シリアル/パラレル変換器	
1 6 3、1 6 7、6 0 2、6 0 4、6 0 6、6 0 8	発光素子	
1 6 4、1 6 8、6 0 1、6 0 3、6 0 5、6 0 7	受光素子	
6 1 9	デバイスセレクト信号	
6 2 0	データバス	
6 2 1	マイクロコントローラ	40
6 2 2、6 2 3、6 2 4	データ検出信号 1、2、3	
6 2 5	制御信号	

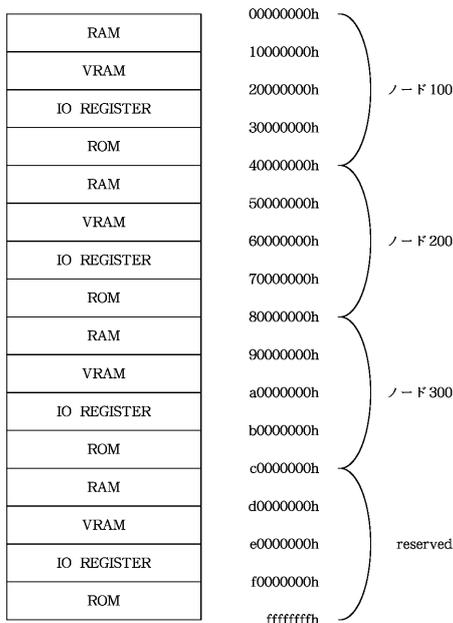
【 図 1 】



【 図 2 】

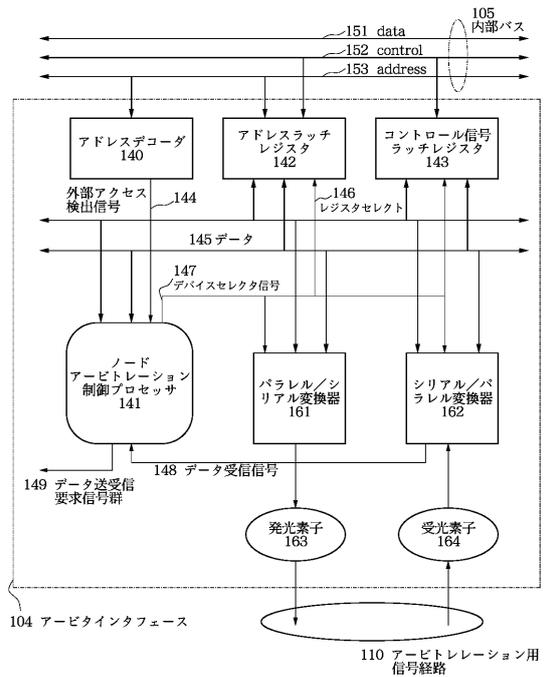


【 図 3 】

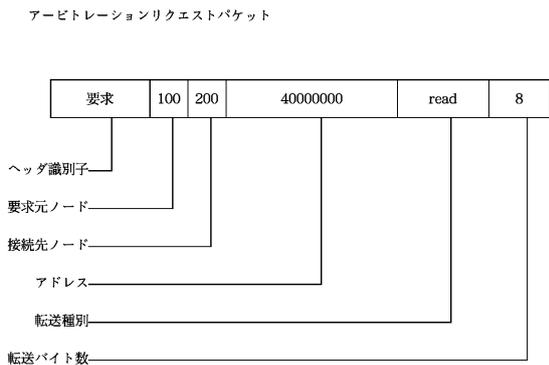


【 図 4 】

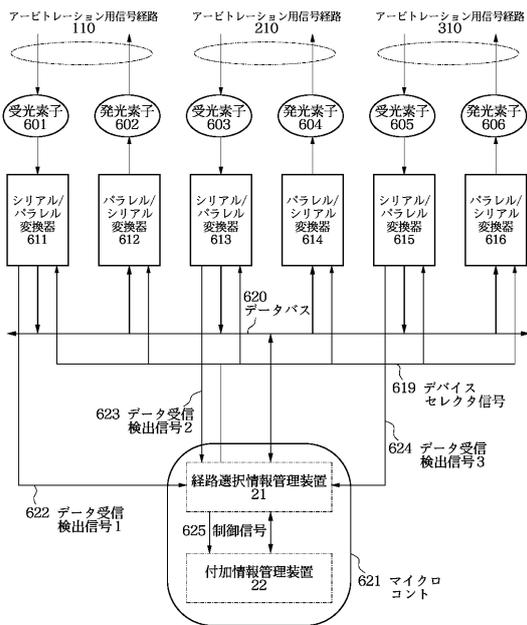
アービタインタフェース回路ブロック図



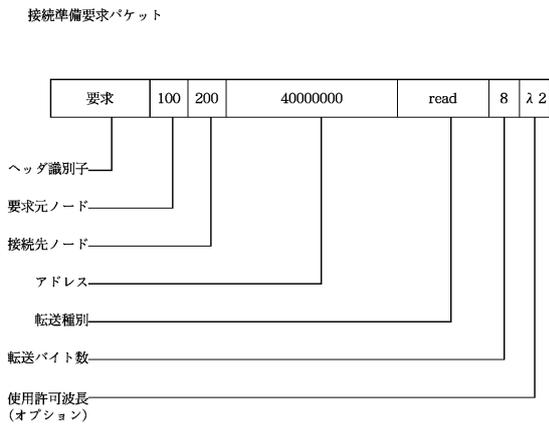
【 図 5 】



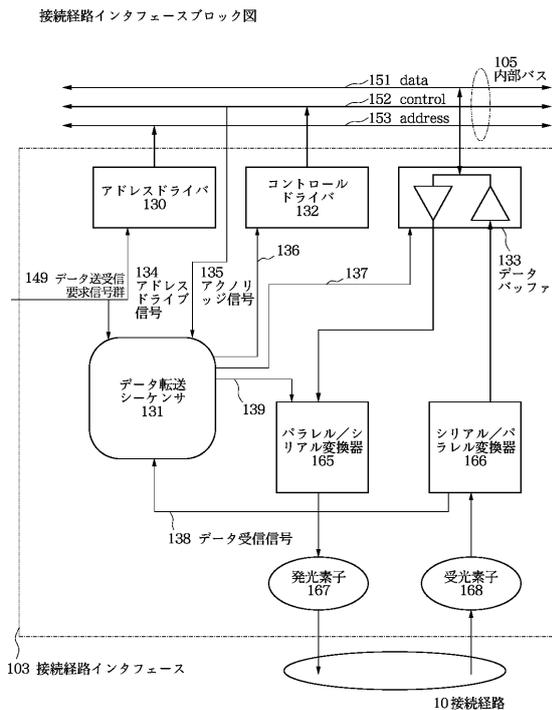
【 図 6 】



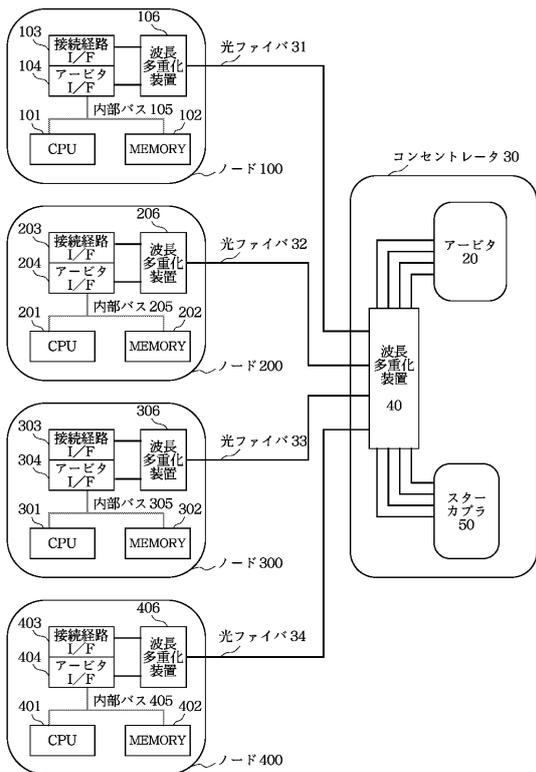
【 図 7 】



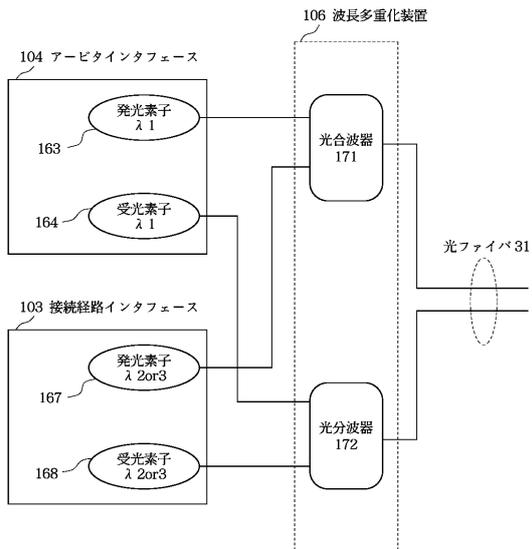
【 図 8 】



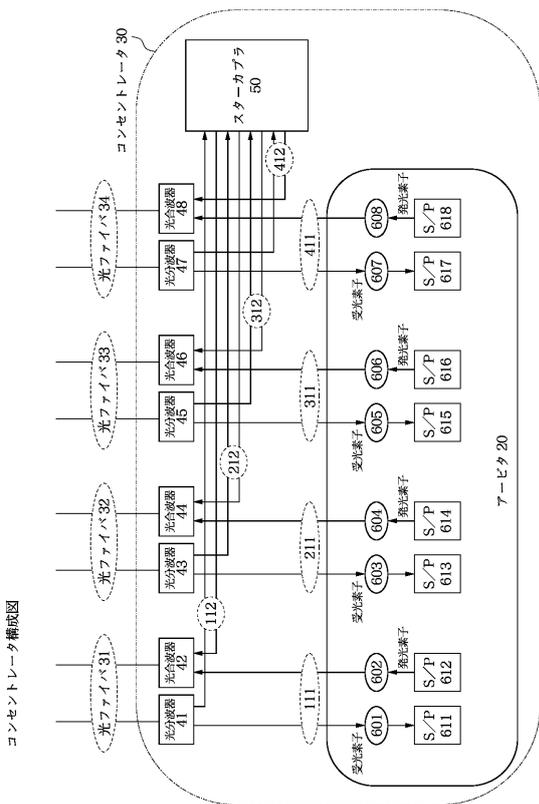
【図9】



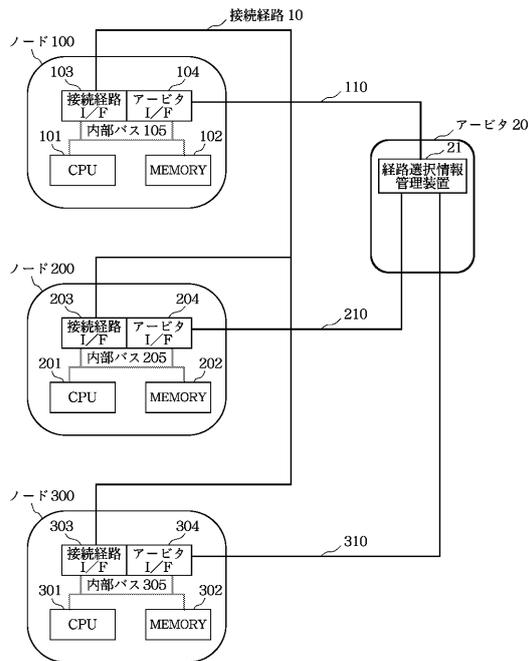
【図10】



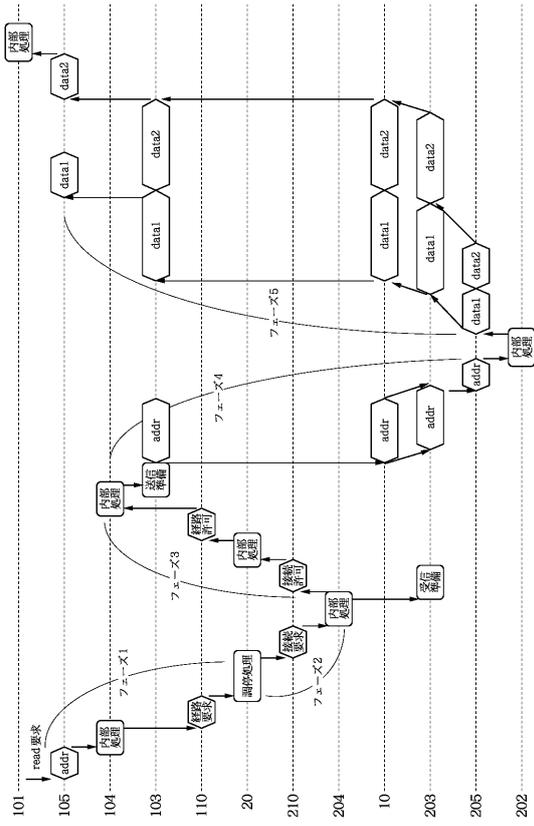
【図11】



【図12】



【 図 13 】



フロントページの続き

- (72)発明者 濱口 一正
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 小杉 真人
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

合議体

- 審判長 鈴木 康仁
審判官 長島 孝志
審判官 望月 章俊

- (56)参考文献 特開昭56-90318(JP,A)
特開昭60-182834(JP,A)
特開平4-145763(JP,A)
特開平5-236151(JP,A)
特開平5-252372(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04L 12/28 - 12/403