

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-97676

(P2010-97676A)

(43) 公開日 平成22年4月30日(2010.4.30)

(5) Int.Cl.			F I			テーマコード (参考)		
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00	6 3 3 D	5 B 1 2 5		
H O 1 L	21/8247	(2006.01)	H O 1 L	27/10	4 3 4	5 F O 8 3		
H O 1 L	27/115	(2006.01)	H O 1 L	29/78	3 7 1	5 F 1 0 1		
H O 1 L	29/788	(2006.01)	G 1 1 C	17/00	6 3 4 F			
H O 1 L	29/792	(2006.01)	G 1 1 C	17/00	6 3 3 C			

審査請求 未請求 請求項の数 5 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2008-270066 (P2008-270066)
 (22) 出願日 平成20年10月20日 (2008.10.20)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 佐藤 学
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

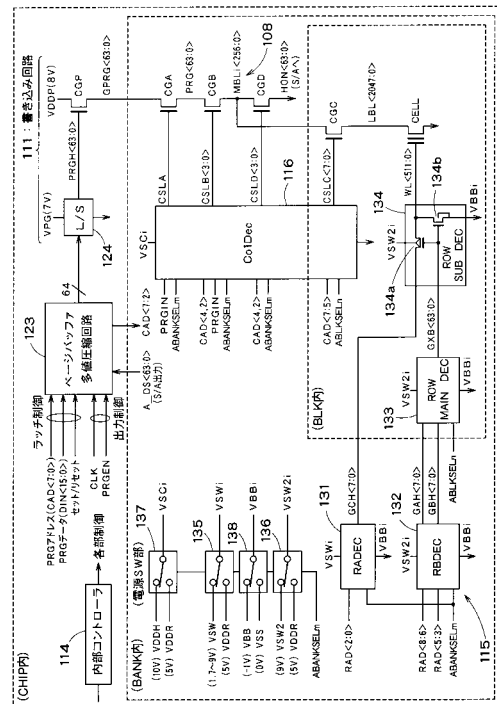
(54) 【発明の名称】 不揮発性半導体記憶装置およびその閾値制御方法

(57) 【要約】

【課題】信頼性よく、かつ高速にメモリセルにデータを書き込むことができる。

【解決手段】NOR型フラッシュメモリは、第1～第4の電源切替部135～138を備える。第1の電源切替部135は、ロウデコーダ115内の第1のプリデコーダ131に対して専用の電源電圧VSWiを供給するため、電源電圧VSWiの負荷容量が小さくなり、選択ワード線WL電圧の遷移速度が向上する。また、第2の電源切替部136は、第2のプリデコーダ132、ロウメインデコーダ133およびロウサブデコーダ134に対して、書き込み時とペリファイ読み出し時で電圧レベルが変化しない電源電圧VSW2iを供給するため、電源電圧VSW2iの負荷容量が大きくても書き込み時間には大きく影響しない。これにより、書き込みとペリファイ読み出し間の選択ワード線WL電圧の切替を迅速に行うことができる。

【選択図】図5



【特許請求の範囲】

【請求項 1】

閾値電圧を調整することにより多値状態を保持可能な複数のメモリセルを備え、前記複数のメモリセルのそれぞれに、前記多値状態に応じた複数の書き込み電圧のいずれかを印加して書き込みを行うことが可能な不揮発性半導体記憶装置であって、

2以上の前記メモリセルに共通接続される複数のワード線と、

第1の電源電圧を駆動電源として用いて、ロウアドレスを構成するビット列のうち一部のビット列をデコードする第1のロウアドレスデコーダと、

第2の電源電圧を駆動電源として用いて、前記ロウアドレスを構成するビット列のうち、前記一部のビット列を除いた残りのビット列をデコードする第2のロウアドレスデコーダと、

前記第2の電源電圧を駆動電源として用いて、前記第1および第2のロウアドレスデコーダのデコード結果に基づいて、前記複数のワード線のうちの一つを駆動する第3のロウアドレスデコーダと、

書き込みを行う前記メモリセルを含むメモリセル群を選択する際に第1の電圧レベルになり、他のメモリセル群を選択する際に第2の電圧レベルになる前記第1の電源電圧を生成する第1の電圧切替部と、

書き込みを行う前記メモリセルを含むメモリセル群を選択する際に第3の電圧レベルになり、他のメモリセル群を選択する際に前記第2の電圧レベルになる前記第2の電源電圧を生成する第2の電圧切替部と、を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

第3の電源電圧を駆動電源として用いて、カラムアドレスをデコードするカラムアドレスデコーダと、

書き込みを行う前記メモリセルを含むメモリセル群を選択する際に第4の電圧レベルになり、他のメモリセル群を選択する際に前記第2の電圧レベルになる前記第2の電源電圧を生成する第3の電圧切替部と、を備えることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項 3】

前記メモリセルの書き込み時およびベリファイ読み出し時に、ビット遷移数が最小になるようにカラムアドレスを生成するカラムアドレス生成器を備えることを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項 4】

閾値電圧を調整することにより多値状態を保持可能な複数のメモリセルのそれぞれに、前記多値状態に応じた複数の書き込み電圧のいずれかを印加して書き込みを行うことが可能な不揮発性半導体記憶装置の閾値制御方法であって、

前記多値状態のうち、消去状態とは異なる第1の状態に調整される前記メモリセルに対して、第1の目標閾値に対応する電圧を必要最小回数だけ印加して書き込みを行うステップと、

前記多値状態のうち、前記消去状態および前記第1の状態とは異なり、前記第1の目標閾値より低い第2の目標閾値を持つ第2の状態に調整される前記メモリセルに対して、前記第2の目標閾値に対応する電圧未満の電圧を初期電圧として書き込みを行い、前記第2の目標閾値より低い所定の中間レベルに達しない場合には、過書き込みが生じないように電圧を上げて再書き込みを行うステップと、

前記多値状態のうち、前記消去状態、前記第1の状態および前記第2の状態とは異なり、前記第1および第2の目標閾値より低い第3の目標閾値を持つ第3の状態に調整される前記メモリセルと前記中間レベルまで書き上げた前記第2の状態に調整される前記メモリセルとに対して、前記第3の目標閾値に対応する電圧未満の電圧を初期電圧として書き込みを行い、前記第2および第3の目標閾値に達しない場合には、過書き込みが生じないように電圧を上げて再書き込みを行うステップと、を備えることを特徴とする閾値制御方法。

。

10

20

30

40

50

【請求項 5】

前記メモリセルの書き込みおよびペリファイ読み出し時に、書き込みを行わない非選択の前記メモリセルのゲート電圧を所定の負電圧に固定化することを特徴とする請求項 4 に記載の閾値制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリセルに多値状態での書き込みが可能な不揮発性半導体記憶装置およびその閾値制御方法に関する。

【背景技術】

【0002】

近年、集積度を上げるために、MLC (Multi Level Cell) 技術を用いたフラッシュメモリが量産化されている。NOR型フラッシュメモリでも同様であるが、デザインルールの微細化が進む中でMLC技術を適用するには、データの信頼性を確保するために高度な技術を要する。

【0003】

例えば、メモリセルに多値状態でデータを書き込むには、各状態ごとに書き込み電圧を変えて、メモリセルの閾値を精度よく制御しなければならない。また、データを書き込んだ後には、ペリファイ読み出しを行って、メモリセルの閾値が所望の範囲に収まったか否かを確認する必要がある。ペリファイ読み出し時には、書き込み時とは異なる電圧を与える必要があり、ワード線電圧を頻繁に切替えなければならない。

【0004】

従来は、ワード線電圧を生成するロウアドレスデコーダの電源電圧を、書き込み時、ペリファイ読み出し時および読み出し時でそれぞれ切替えていた。しかしながら、メモリ容量が増えると、アドレス線の数も増えて、ロウアドレスデコーダの回路が複雑になり、電源電圧ラインの負荷が大きくなることから、電源電圧の電圧レベルを迅速に切替えることが困難であり、高速書き込みができなくなるという問題があった。

【0005】

この問題への対策として、特許文献 1 では、高速書き込み用に外部電源端子を設けて、高速書き込みが要求される場合は、通常の電源電圧とは別に、外部電源端子に印加された電源電圧を用いてワード線電圧を生成している。しかしながら、ロウデコーダ全体に共通の電源電圧を与えるため、ロウデコーダ内の回路構成が複雑な場合には、ロウデコーダの電源ラインの負荷が重くなるが、これに対する対策は特に取られていない。

【0006】

一方、書き込み電圧を制御してメモリセルに多値状態を形成する場合、各状態ごとに、閾値電圧のばらつき分布を持つため、このばらつき分布はできるだけ狭い方が望ましい。このため、複数回の書き込みとペリファイ読み出しを繰り返して、閾値の分布の絞り込みを行うのが一般的である。

【0007】

メモリセルの微細化が進むと、あるメモリセルの閾値の変動によって、隣接する他のメモリセルの閾値が影響を受ける隣接メモリセル間の相互作用（以下、隣接効果）が問題になっている。その一方で、高速書き込みを実現するには、できるだけ書き込み回数を削減するのが望ましい。

【0008】

例えば、特許文献 1 は、状態 (01) の書き込みを行った後に、状態 (00) と状態 (10) の書き込みを同タイミングで行う技術を開示している。しかしながら、特許文献 1 は隣接メモリセル間の相互作用を特に考慮に入れていないため、状態 (10) のメモリセルの閾値が隣接メモリセル間の相互作用により状態 (00) のメモリセルの閾値に影響を与える可能性がある。

【特許文献 1】特開 2003 - 272396 号公報

10

20

30

40

50

【特許文献2】特開2001-84779号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、信頼性よく、かつ高速にメモリセルにデータを書き込むことが可能な不揮発性半導体記憶装置およびその閾値制御方法を提供するものである。

【課題を解決するための手段】

【0010】

本発明の一態様によれば、閾値電圧を調整することにより多値状態を保持可能な複数のメモリセルを備え、前記複数のメモリセルのそれぞれに、前記多値状態に応じた複数の書き込み電圧のいずれかを印加して書き込みを行うことが可能な不揮発性半導体記憶装置であって、

2以上の前記メモリセルに共通接続される複数のワード線と、

第1の電源電圧を駆動電源として用いて、ロウアドレスを構成するビット列のうち一部のビット列をデコードする第1のロウアドレスデコーダと、

第2の電源電圧を駆動電源として用いて、前記ロウアドレスを構成するビット列のうち、前記一部のビット列を除いた残りのビット列をデコードする第2のロウアドレスデコーダと、

前記第2の電源電圧を駆動電源として用いて、前記第1および第2のロウアドレスデコーダのデコード結果に基づいて、前記複数のワード線のうちの一つを駆動する第3のロウアドレスデコーダと、

書き込みを行う前記メモリセルを含むメモリセル群を選択する際に第1の電圧レベルになり、他のメモリセル群を選択する際に第2の電圧レベルになる前記第1の電源電圧を生成する第1の電圧切替部と、

書き込みを行う前記メモリセルを含むメモリセル群を選択する際に第3の電圧レベルになり、他のメモリセル群を選択する際に前記第2の電圧レベルになる前記第2の電源電圧を生成する第2の電圧切替部とを備えることを特徴とする不揮発性半導体記憶装置が提供される。

【0011】

また、本発明の一態様によれば、閾値電圧を調整することにより多値状態を保持可能な複数のメモリセルのそれぞれに、前記多値状態に応じた複数の書き込み電圧のいずれかを印加して書き込みを行うことが可能な不揮発性半導体記憶装置の閾値制御方法であって、

前記多値状態のうち、消去状態とは異なる第1の状態に調整される前記メモリセルに対して、第1の目標閾値に対応する電圧を必要最小回数だけ印加して書き込みを行うステップと、

前記多値状態のうち、前記消去状態および前記第1の状態とは異なり、前記第1の目標閾値より低い第2の目標閾値を持つ第2の状態に調整される前記メモリセルに対して、前記第2の目標閾値に対応する電圧未満の電圧を初期電圧として書き込みを行い、前記第2の目標閾値より低い所定の中間レベルに達しない場合には、過書き込みが生じないように電圧を上げて再書き込みを行うステップと、

前記多値状態のうち、前記消去状態、前記第1の状態および前記第2の状態とは異なり、前記第1および第2の目標閾値より低い第3の目標閾値を持つ第3の状態に調整される前記メモリセルと前記中間レベルまで書き上げた前記第2の状態に調整される前記メモリセルとに対して、前記第3の目標閾値に対応する電圧未満の電圧を初期電圧として書き込みを行い、前記第2および第3の目標閾値に達しない場合には、過書き込みが生じないように電圧を上げて再書き込みを行うステップと、を備えることを特徴とする閾値制御方法が提供される。

【発明の効果】

【0012】

本発明によれば、信頼性よく、かつ高速にメモリセルにデータを書き込むことができる

10

20

30

40

50

。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照しながら、本発明の実施形態について説明する。以下では、本発明をNOR型フラッシュメモリに適用した場合について主に説明する。

【0014】

(第1の実施形態)

図1は本発明の第1の実施形態に係るNOR型不揮発性半導体記憶装置の概略構成を示すブロック図である。不揮発性半導体記憶装置の一例として、NOR型フラッシュメモリの概略構成を示している。図2はNOR型フラッシュメモリ内のメモリセルの接続形態の一例を示す図、図3はNOR型フラッシュメモリのデータ構造の一例を示す図である。

10

【0015】

まず図3を用いて、NOR型フラッシュメモリのデータ構造を説明する。図3のNOR型フラッシュメモリは例えば1Gビットの容量を持ち、8つのバンク(各128Mビット)に分かれている。各バンクは、64個のブロックに分かれている。データの消去はブロック単位で行われる。各ブロックは、2Mビット=128kワードのデータサイズである。

【0016】

各ブロックは、512ページに分かれており、データの書き込みはページ単位で行われる。各ページは、各4kビット=256ワードのデータサイズである。

20

【0017】

各ブロックには、図2に示すように、ロウ方向に配置された512本のワード線WL0~WL511と、隣接するワード線間にそれぞれ配置された512本のソース線SLと、カラム方向に配置された2048本のビット線LBL0~LBL2047と、ワード線およびビット線の各交差点付近に配置された $2048 \times 512 = 1,048,576$ 個のメモリセルMCとが設けられている。

【0018】

各メモリセルMCは、4つの範囲の閾値状態からなる多値データを記憶するため、各メモリセルMCが2ビット分のデータを記憶することになり、1ブロックは、上述したように、 $1,048,576 \times 2 = 2$ Mビットの記憶容量を持っている。

30

【0019】

各メモリセルMCのゲートはワード線に、ドレインはビット線に、ソースはソース線SLにそれぞれ接続されている。ロウ方向に隣接するメモリセルMCはドレイン同士が接続されて、同一のビット線に接続されている。同様に、カラム方向に隣接するメモリセルMCはソース同士が接続されて、同一のソース線SLに接続されている。

【0020】

各メモリセルMCはNMOSで構成されており、メモリセルMCの底面がPウェル90となっており、そのPウェル90の底面を覆うようにディープNウェル91が配置され、さらにその底面を図示しないP基板で覆っている。上述したソース線SL、Pウェル90、ディープNウェル91、P基板ともに、消去バイアス印加時以外は接地電位に固定される。本実施形態では、消去時の説明は省略し、ソース線SL、Pウェル90、ディープNウェル91、P基板がいずれも接地電位固定として説明する。

40

【0021】

カラム方向に隣接するメモリセルMCは制御ゲートCG同士が共通のワード線に接続されている。各ワード線には2048個のメモリセルMCが接続されており、この単位(ページ単位)でメモリセルMCの書き込みが行われる。実際には、2048個のメモリセルMCに同タイミングでデータを書き込むわけではなく、例えば64個ずつ順に書き込む。メモリセルMCの書き込みは、ワード線を介して制御ゲートCGに、およびビット線を介してドレインに、それぞれ所定の高電圧を印加し、ソース-ドレイン間のチャンネルを走行する大多数の電子のうち、散乱されずに高エネルギーを獲得した、ホットエレクトロンを

50

フローティングゲートFGに注入することで行われる。

【0022】

図1のNOR型フラッシュメモリは、アドレスラッチ101、アドレスカウンタ102、アドレスバッファ103、I/Oバッファ104、メモリセルアレイ106、センスアンプ107、カラムゲート回路108、ページバッファ109、多値圧縮回路110、書き込み回路111、コマンドレジスタ113、内部コントローラ114、ロウデコーダ115、カラムデコーダ116、チャージポンプ&レギュレータ121、バンク内電源切替回路(バンク内SW)122を有する。

【0023】

図1において、アドレスラッチ101は、外部のアドレスバスからアドレスを受けてラッチする。アドレスカウンタ102は、アドレスラッチ101のラッチアドレスを受けてアドレスの更新を行う。アドレスバッファ103は、アドレスカウンタ102から出力されたアドレスを受けて、書き込み、読み出し、または消去するメモリセルMCに対応した内部アドレスを出力する。

【0024】

I/Oバッファ104は、外部のデータバスと内部のデータバスとの間でデータの授受を行う。メモリセルアレイ106は、図2および図3で説明した構成になっており、ワード線WLとビット線BLの電圧を切替えることで、データの書き込み、ベリファイおよび読み出しを行う。

【0025】

センスアンプ107は、データのベリファイおよび読み出しのときに利用される。以下では、書き込みパルス印加後の書き込みレベル確認のための読み出し動作をベリファイ読み出しと呼び、通常のデータ読み出し動作を通常読み出しと呼ぶ。センスアンプ107は、ベリファイ読み出しまたは通常読み出しを行うべきメモリセルMCにアクセスして、同メモリセルMCからビット線に流れる電流とリファレンスビット線に流れる電流とを比較して、同メモリセルMCのデータをセンスする。センスされたデータは、ページバッファ109でラッチされる。

【0026】

ベリファイ読み出し時には、所望の閾値電圧以上まで書き込みが行われたか否かを確認するために、メモリセルMCのデータを読み出す。ベリファイ読み出し時に読み出したデータは、ページバッファ109に供給されて、ベリファイ判定が行われる。内部コントローラ114は、ベリファイ判定に成功した場合にはページバッファ109のデータを更新して、次のメモリセル群の書き込みを行い、ベリファイに失敗した場合には、ベリファイに失敗したメモリセルMCへの追加書き込みを行うべく、書き込みデータを更新し、追加書き込みを指示する。

【0027】

ベリファイ用のセンスアンプと通常読み出し用のセンスアンプを分けてもよいが、余計にチップ面積を必要とすることや、両者のセンスアンプのばらつき差により、読み出し余裕度を悪化させるおそれがある。そこで、本実施形態では、ベリファイ読み出しと通常読み出しの両方で同一のセンスアンプ107を利用してセンス動作を行っている。

【0028】

メモリセルMCは、フローティングゲートFGに注入される電子の量を細分化して制御することにより、4値データを記憶する。本実施形態では、各メモリセルMCの多値分布を、図4に示すように、消去状態を(11)、残りの3状態を閾値電圧の低い方から(10)、(00)、(01)と定義する。なお、多値分布に対するデータビットの割付は、必ずしも図4に限定されない。また、メモリセルMCが記憶可能なデータも4値に限らず、例えば、n値データ(nは4以上の正の整数)の記憶が可能な構成としてもよい。

【0029】

ページバッファ109は、I/Oバッファ104を介して供給される書き込みデータをラッチする。ページバッファ109は、少なくとも1本の選択ワード線WLに接続される

10

20

30

40

50

メモリセル群の書き込みデータを確定するのに必要な数だけのデータラッチを内蔵する。

【0030】

多値圧縮回路110は、書き込み時にページバッファ109から供給される多値書き込みデータを圧縮し、書き込み回路111に出力する。書き込み回路111は、多値書き込みデータに応じた書き込み電圧を生成して、カラムゲート回路108を介して、対応するビット線BLに供給する。

【0031】

コマンドレジスタ113は、外部のコントロールバスから入力されるコマンド（書き込みコマンド、読み出しコマンド、或いは消去コマンド等）を保持する。内部コントローラ114は、コマンドレジスタ113で保持されているコマンドを受けて、NOR型フラッシュメモリ100内の各回路を制御するための各種制御信号を発生する。

10

【0032】

ロウデコーダ115は、アドレスバッファ103から出力されるロウアドレスを受けて、メモリセルアレイ106内の対応するワード線WLを選択する信号を生成する。ロウデコーダ115により選択されたワード線WLには、書き込み、読み出し、消去等の各動作に応じて、書き込み電圧、読み出し電圧、消去電圧等が印加される。

【0033】

カラムデコーダ116は、アドレスバッファ103から出力されるカラムアドレスを受け、カラムアドレスに応じてカラムゲート回路108内のカラムゲートを選択駆動する。これにより、読み出し時には、メモリセルアレイ106内の選択されたビット線BLに接続されたメモリセルMCのデータをセンスアンプ107に読み出すことが可能となる。また、書き込み時には、書き込み回路111で指定したメモリセルMCにビット線BLのデータを書き込む。

20

【0034】

昇圧回路であるチャージポンプ&レギュレータ121は、外部電源電圧を昇圧して書き込み、読み出し、消去等の各動作に必要な高電圧（書き込み用電圧、消去用電圧等）を発生し、メモリセルアレイ106、書き込み回路111、ロウデコーダ115、カラムデコーダ116等に供給する。チャージポンプ&レギュレータ121で発生された電圧はロウデコーダ115を経由してメモリセルアレイ106内の選択ワード線WLに供給される。

【0035】

バンク内電源切替回路122は、書き込み時、読み出し時および消去時の内部電源電圧を切替制御するものであり、第1～第4の電圧切替部を有する。第1～第4の電圧切替部の詳細内容については後述する。

30

【0036】

本実施形態は、書き込み時にワード線の電圧レベルを迅速に決定できるという特徴を持っている。図5は図1のカラムゲート回路108、書き込み回路111およびロウデコーダ115の内部構成の一例を示すブロック図である。図5では、ページバッファ109と多値圧縮回路110を1つのブロック123で図示している。

【0037】

図5において、書き込み回路111は、レベルシフタ124と、トランジスタCGPとを有する。レベルシフタ124は、多値圧縮回路110の出力電圧（VDD/VSS）の電圧レベルを（VPG/VSS）にシフトする。トランジスタCGPは書き込み負荷であり、レベルシフタ124の出力電圧に応じてオン/オフする。トランジスタCGPのゲート電圧は書き込み時に電圧VPGとなり、トランジスタCGPの閾値分だけ低下した電位がメモリセルMCのドレインに印加される。より具体的には、メモリセルMCのドレイン端で5Vになるよう、レベルシフタ124の電源電圧VPGの電圧レベルは調整される。

40

【0038】

カラムゲート回路108は、トランジスタCGPのソースとセンスアンプ107との間に縦続接続される4つのトランジスタCGP、CGA、CGB、およびCGDと、メモリセルMCのドレインとトランジスタCGDのドレインの間に接続されるトランジスタCG

50

Cとを有する。

【0039】

図5では、トランジスタCGP、CGA、CGB、CGD、CGCをそれぞれ1つずつ図示しているが、実際には複数個ずつ設けられている。より具体的には、各ブロックごとに、64個のトランジスタCGPと、64個のトランジスタCGAと、256個のトランジスタCGBと、64個のCGDと、2048個のCGCとが設けられる。

【0040】

図6はこれらトランジスタCGP、CGA、CGB、CGD、CGCの接続関係をより詳細に示す図である。図6では、簡略化のために、各ブロック内に、4個のトランジスタCGPと、4個のトランジスタCGAと、8個のトランジスタCGBと、16個のトランジスタCGDと、16個のトランジスタCGCとを設ける例を示している。

10

【0041】

図6では、メモリセルアレイ106内のメモリセルMCの配置とセンスアンプ107の内部構成をそれぞれ矢印線で示す位置に拡大図示している。

【0042】

図6に示すように、トランジスタCGAはバンク選択用のトランジスタであり、そのドレインは書き込み負荷であるトランジスタCGPに接続されている。図6の場合、トランジスタCGP、CGAが4個ずつ存在するため、同時に書き込めるビット数は4ビットである。実際には、図4に示すように、64個のトランジスタCGP、CGAが存在するため、64ビットの同時書き込みが可能である。

20

【0043】

図5に示すように、トランジスタCGPはすべてのバンクで共通して設けられ、トランジスタCGA、CGB、CGDは各バンクごとに設けられ、トランジスタCGCは各ブロックごとに設けられる。

【0044】

トランジスタCGDは、センスアンプ107の入力線に接続されるトランジスタであり、カラムアドレスA2、A4の論理に応じてオン・オフする。トランジスタCGCは、メモリセルMCに接続されるトランジスタであり、カラムアドレスA0～A7の論理に応じてオン・オフする。トランジスタCGCのドレインにはメインビット線MBLが接続され、ソースにはローカルビット線LBLが接続される。図6では、8本のメインビット線MBLと16本のローカルビット線LBLが設けられているが、実際には、図5に示すように、256本のメインビット線MBLと2048本のローカルビット線LBLが設けられている。

30

【0045】

図6に示すように、センスアンプ107はバンクの略中央部に配置され、その両側に等しい数のブロックが配置されている。図6では1つのバンク内に8つのブロックがあるが、実際には、図3に示すように、1つのバンク内に64個のブロックがあるため、センスアンプ107の両側にそれぞれ32個ずつブロックが配置されている。トランジスタCGDもセンスアンプ107の両側に配置されている。

【0046】

データの通常読み出し時と書き込み時には、非選択のビット線MBLは、接地電位VSSにリセットされてシールド線の役割を果たす。センスアンプ107は、データの通常読み出し時とベリファイ読み出し時に、図6の拡大図に示すように、トランジスタCGDのドレイン電圧HONを不図示のリファレンスセル側の基準電圧REFと比較する。

40

【0047】

図6を用いて書き込み時の動作を説明すると、ビット線MBLL<7, 5, 3, 1>とMBLU<7, 5, 3, 1>がトランジスタCGDを介して互いに接続されるか、あるいはビット線MBLL<6, 4, 2, 0>とMBLU<6, 4, 2, 0>がトランジスタCGDを介して互いに接続される。これにより、センスアンプ107の両側のいずれのブロック内のメモリセルMCにも、書き込みドレイン電圧が供給される。

50

【 0 0 4 8 】

図 6 を用いて通常読み出し時またはベリファイ読み出し時の動作を説明すると、例えばブロック B L K 0 のビット線 L B L < 1 4 , 1 0 , 6 , 2 > に接続されたメモリセル M C を読み出す場合は、ビット線 M B L L < 7 , 5 , 3 , 1 > と H O N < 3 : 0 > がトランジスタ C G D を介して接続される。この場合、ビット線 M B L L < 6 , 4 , 2 , 0 > は接地電位固定となり、シールド線となる。また、ビット線 M B L L < 7 , 5 , 3 , 1 > と R E F < 3 : 0 > がトランジスタ C G D を介して接続される。これにより、ビット線 M B L L < 7 , 5 , 3 , 1 > のダミー容量に応じた電圧がセンスアンプ 1 0 7 に供給されるとともに、ビット線 M B L U < 6 , 4 , 2 , 0 > は接地電位固定になり、シールド線として機能する。

10

【 0 0 4 9 】

ロウデコーダ 1 1 5 は、図 5 に示すように、ロウアドレスの下位側ビット列 R A D < 2 : 0 > をデコードする第 1 のプリデコーダ 1 3 1 と、ロウアドレスの上位側ビット列 R A D < 8 : 6 > のデコードと中位側ビット列 R A D < 5 : 3 > のプリデコードを行う第 2 のプリデコーダ 1 3 2 と、第 2 のプリデコーダ 1 3 2 のプリデコード結果に基づいて上位側ビット列 R A D < 8 : 3 > をデコードするロウメインデコーダ 1 3 3 と、ロウメインデコーダ 1 3 3 のデコード結果と第 1 のプリデコーダ 1 3 1 のデコード結果に基づいて、ワード線電位 W L < 5 1 1 : 0 > を生成するロウサブデコーダ 1 3 4 とを有する。

【 0 0 5 0 】

第 1 のプリデコーダ 1 3 1 は第 1 のロウアドレスデコーダに対応し、第 2 のプリデコーダ 1 3 2 およびロウメインデコーダ 1 3 3 は第 2 のロウアドレスデコーダに対応し、ロウサブデコーダ 1 3 4 は第 3 のロウアドレスデコーダに対応する。

20

【 0 0 5 1 】

第 1 のプリデコーダ 1 3 1 と第 2 のプリデコーダ 1 3 2 は、各バンクごとに設けられるが、ロウメインデコーダ 1 3 3 とロウサブデコーダ 1 3 4 は、各ブロックごとに設けられる。

【 0 0 5 2 】

第 1 のプリデコーダ 1 3 1 の電源電圧は V S W i であり、その電圧レベルは第 1 の電圧切替部 1 3 5 により切替制御される。第 2 のプリデコーダ 1 3 2、メインロウデコーダ 1 3 3 およびロウサブデコーダ 1 3 4 の電源電圧は V S W 2 i であり、その電圧レベルは第 2 の電圧切替部 1 3 6 により切替制御される。カラムデコーダ 1 1 6 用の電源電圧 V S C i の電圧レベルは、第 3 の電圧切替部 1 3 7 により切替制御される。第 1 のプリデコーダ 1 3 1 と第 2 のプリデコーダ 1 3 2 の接地電圧は V B B i であり、その電圧レベルは第 4 の電圧切替部 1 3 8 により切替制御される。

30

【 0 0 5 3 】

第 1 の電圧切替部 1 3 5 は、プログラムバンク選択信号 A B A N K S E L m がハイ（書き込みを行うバンク）であれば、V S W i = V S W とし、ロウ（書き込みを行わないバンク）であれば、V S W i = V D D R とする。

【 0 0 5 4 】

第 2 の電圧切替部 1 3 6 は、プログラムバンク選択信号 A B A N K S E L m がハイであれば、V S W 2 i = V S W 2 とし、ロウであれば、V S W 2 i = V D D R とする。

40

【 0 0 5 5 】

第 3 の電圧切替部 1 3 7 は、プログラムバンク選択信号 A B A N K S E L m がハイであれば、V S C i = V D D H とし、ロウであれば、V S C i = V D D R とする。

【 0 0 5 6 】

第 4 の電圧切替部 1 3 8 は、プログラムバンク選択信号 A B A N K S E L m がハイであれば、V B B i = V B B とし、ロウであれば、V B B i = V S S とする。

【 0 0 5 7 】

このように、第 1 ~ 第 4 の電圧切替部 1 3 5 ~ 1 3 8 は、書き込みを行うバンクが否かで、4 種類のバンク内電源電圧 V S W i、V S W 2 i、V B B i、V S C i の電圧レベル

50

を切替えており、本実施形態では書き込み時とベリファイ時では電圧切替えが起きないようにしている。

【0058】

カラムデコーダ116により制御されるカラムゲート回路108、より具体的にはトランジスタCGA、CGB、CGC、およびCGDの各ゲート電圧は、カラムデコーダ116で生成されるため、カラムデコーダ116の電源電圧VSCiの電圧レベルにより変化する。より具体的には、書き込みを行わないバンクに対応したトランジスタCGA、CGB、CGCおよびCGDのゲート電圧はVDDRまたは0Vである。したがって、データの通常読み出し時やベリファイ読み出し時も、カラムゲート回路108は電源電圧VDDR（例えば5V）により駆動される。

10

【0059】

書き込みを行うバンクのカラムデコーダ116には、電源電圧VSCi = VDDH（例えば10V）が供給される。したがって、書き込みを行う際には、カラムゲート回路108は電源電圧VDDHにより駆動される。

【0060】

書き込み時に、カラムゲート回路108の駆動電圧を高くしている理由は、書き込み時には、メモリセルMCのドレインに約5Vを供給し、かつドレイン-ソース間に約50μA以上の大きな電流を流す必要があることから、各トランジスタのゲート電圧を5Vよりも十分に大きな電圧に設定して、カラムゲート回路108内のトランジスタCGA、CGB、CGCおよびCGDでの電圧降下の影響を軽減する必要があるためである。

20

【0061】

VDDRは、通常読み出し時のカラムデコーダ116の電源電圧として用いられるだけでなく、ロウデコーダ115用の電源電圧としても用いられる。VDDRの電圧レベルは例えば5Vに設定される。

【0062】

メモリセルMCへの多値書き込みでは、読み出し方式により複数の読み出し用電圧を用意し、各読み出し用電圧をメモリセルMCのゲートに順に印加することもあるが、本実施形態では、説明の簡略化のために単一制御ゲート電圧での読み出し方式を採用するものとする。この方式では、読み出し時の閾値判定用のリファレンス電流が3種類必要になる。

30

【0063】

読み出し時のメモリセルMCのドレイン電圧は、誤書き込み防止のため、1V以下にする必要があり、この場合の読み出し電流は20μA以下と低い。したがって、カラムゲート回路108の選択電圧は、書き込み時より低くすることができる。そこで、読み出し時のカラムデコーダ116の電源電圧は書き込み時のVDDHよりも低いVDDRに設定される。これは消費電流低減にもつながる。

【0064】

第1の電圧切替部135は、書き込みを行うバンクに対しては、書き込みシーケンス中継続して電圧VSWi = VSWにしている。これにより、書き込み中だけでなく、ベリファイ読み出し中も、電圧VSWi = VSWとなる。

40

【0065】

電圧VSWiは従来技術ではロウデコーダ115全体の電源電圧として用いていたが、本実施形態では、あえて第1のプリデコーダ131専用の電源電圧として用いて、VSWiの負荷容量を格段に小さくしている。

【0066】

書き込みとベリファイ読み出しを繰り返す期間内において、チャージポンプ&レギュレータ121は、電圧VSWの電圧レベルを書き込み時とベリファイ読み出し時で変化させる。したがって、選択ワード線WLの電圧も追従して変化することになるが、本実施形態では、電圧VSWに設定される電圧VSWiは第1のプリデコーダ131のみで利用されるため、電圧VSWiのラインの負荷容量が小さくなり、電圧VSWiの電圧レベルを迅速に安定化させることができる。

50

【 0 0 6 7 】

例えば、従来技術として電圧 V_{SWi} をロウデコーダ 1 1 5 全体の電源電圧として用いる場合と比較して、電圧 V_{SWi} を第 1 のプリデコーダ 1 3 1 のみの電源電圧とした場合は、電圧 V_{SWi} の安定待ち時間を数 1 0 分の 1 まで小さくすることが可能である。

【 0 0 6 8 】

第 1 のプリデコーダ 1 3 1 以外のロウデコーダ 1 1 5 内の各部には、第 2 の電圧切替部 1 3 6 で切替制御される電源電圧 V_{SW2i} が供給される。この電源電圧 V_{SW2i} は、書き込みを行うバンクでは、 V_{SW2} に設定される。電圧 V_{SW2} は、書き込みおよびベリファイ読み出し時のワード線電圧の最大値に合わせて設定され、例えば 9 V 固定である。

10

【 0 0 6 9 】

図 7 は図 5 の各部の電圧波形を示すタイミング図である。図 7 の上から順に、プログラムバンク選択信号 $ABANKSELm$ と、書き込み期間を示す $PRGIN$ 信号と、第 3 の電圧切替部 1 3 7 で切替制御される電圧 V_{SCi} と、第 2 の電圧切替部 1 3 6 で切替制御される電圧 V_{SW2i} と、第 1 の電圧切替部 1 3 5 で切替制御される電圧 V_{SWi} と、第 4 の電圧切替部 1 3 8 で切替制御される電圧 V_{BBi} と、選択ワード線 WL 電圧と、書き込み負荷用のトランジスタ CGP をオンすることを許可する $PRGEN$ 信号と、ページバッファ 1 0 9 で生成されるカラムアドレス信号 $CAD < 7 : 4, 2 >$ と、書き込み負荷用のトランジスタ CGP のゲート電圧 $PRGH < 6 3 : 0 >$ と、トランジスタ CGA のゲート電圧 $CSLA$ と、トランジスタ CGB のゲート電圧 $CSLB < 3 : 0 >$ と、トランジスタ CGC のゲート電圧 $CSLC < 7 : 0 >$ と、トランジスタ CGD のゲート電圧 $CSLD < 3 : 0 >$ と、メモリセル MC のドレイン電圧 $CellDrain$ とを示している。

20

【 0 0 7 0 】

図 7 に示すように、プログラムバンク選択信号 $ABANKSELm$ は、バンク選択中は常にハイである。 $PRGIN$ 信号は、書き込み時にハイ、ベリファイ読み出し時にロウになる。電圧 V_{SCi} は、書き込みを行うバンクが選択されて書き込みシーケンスに入ると、 V_{DDR} から V_{DDH} 固定になる。すなわち、書き込み時でもベリファイ読み出し時でも、 V_{SCi} は常に固定である。

【 0 0 7 1 】

電圧 V_{SW2i} は、書き込みシーケンスに入ると、 V_{DDR} から V_{SW2} 固定になる。 V_{SW2} は例えば 9 V である。電圧 V_{SW2i} は、ロウデコーダ 1 1 5 内の第 1 のプリデコーダ 1 3 1 以外で電源電圧として用いられる。このため、電圧 V_{SW2i} の負荷容量は比較的大きいが、書き込み時とベリファイ読み出し時で電圧レベルは変わらないため、書き込み時間に対して大きな影響は与えない。

30

【 0 0 7 2 】

電圧 V_{SWi} は、書き込みシーケンスに入ると、書き込み時には、書き込み回数に応じたプログラム電圧に設定され、ベリファイ読み出し時にはベリファイ電圧になる。書き込みシーケンス以外では V_{DDR} になる。電圧 V_{SWi} は、第 1 のプリデコーダ 1 3 1 専用の電源電圧であるため、電圧 V_{SWi} の負荷容量を抑制でき、結果的に選択ワード線 WL 電圧の遷移速度を向上できる。

40

【 0 0 7 3 】

電圧 V_{BBi} は、書き込みシーケンスに入ると負電圧（例えば、- 1 V 固定）になり、書き込みシーケンス以外では 0 V 固定になる。

【 0 0 7 4 】

選択ワード線 WL 電圧は、電源電圧 V_{SW} に追従して変化し、書き込み時には、書き込み回数に応じたプログラム電圧に設定され、ベリファイ読み出し時にはベリファイ電圧になる。書き込みシーケンス以外では V_{DDR} になる。また、非選択ワード線に関しては、書き込みシーケンス中は V_{BBi} 電圧（例えば、- 1 V）になり、書き込みシーケンス以外では 0 V 固定になる。

【 0 0 7 5 】

50

PRGEN信号は、書き込みシーケンス中の書き込みパルス印加時にハイになり、それ以外ではロウになる。カラムアドレスCAD<7:4,2>は、書き込みを行うタイミングに合わせて順次更新される。PRGH信号は、カラムアドレスCAD<7:4,2>で選択される同時書き込みセル群における書き込み対象セルのドレインに書き込み電圧を印加することを指示する。

【0076】

トランジスタCGAのゲート電圧CSLAは、書き込みシーケンスに入ると、例えば10V固定になり、それ以外では例えば0Vになる。トランジスタCGBのゲート電圧CSLB<3:0>は、書き込みを行うタイミングに合わせてハイ(例えば10V)になる。トランジスタCGCのゲート電圧CSLC<7:0>とトランジスタCGDのゲート電圧CSLD<3:0>は、従来技術では、書き込み時には例えば10V、ベリファイ読み出し時と通常読み出し時には例えば5V、それ以外では0Vに設定されていた。これに対して、本実施形態では、書き込み時とベリファイ読み出し時には例えば10V、通常読み出し時には例えば5V、それ以外では0Vに設定される。

10

【0077】

メモリセルMC内の書き込み対象セルのドレインには例えば5Vのパルスが供給され、ベリファイ読み出し時には例えば1Vが供給され、それ以外では例えば0Vに設定される。

【0078】

図5および図7に示したように、本実施形態では、書き込みシーケンスに入ると、書き込み時でもベリファイ読み出し時でも、カラムデコーダ116の電源電圧VSCiをVDDH固定(例えば10V)にしている。従来は、カラムデコーダ116の電源電圧VSCiを、書き込み時には例えば10V、ベリファイ読み出し時には例えば5Vにしていた。そこで、本発明者は、ベリファイ読み出し時の電源電圧VSCiが10Vの場合と5Vの場合のセンスアンプ107の特性をシミュレーションにより調べた。

20

【0079】

図8(a)はセンスアンプ107内に設けられる負荷回路の等価回路図である。図8(a)において、縦続接続されたトランジスタQ1~Q3はセンスアンプ107内のトランジスタであり、トランジスタQ3のソースとメモリセルMCとの間に、トランジスタCGC, CGDが縦続接続されている。シミュレーションによりトランジスタCGC, CGDのゲート電圧を5Vにした場合と10Vにした場合とで、トランジスタCGCのソース電圧-ソース電流の特性を調べた。

30

【0080】

図8(b)はトランジスタCGCのソース電圧とドレイン-ソース間を流れる電圧-電流特性のシミュレーション結果を示す図である。図示のように、トランジスタCGC, CGDのゲート電圧が5Vであっても10Vであっても、ほぼ同じ特性になることがわかる。図8(b)の破線は、メモリセルMCのドレイン電圧Vd-ドレイン電流Idの特性を示すグラフである。通常読み出し時はメモリセルMCの制御ゲートが5V程度に固定されるため、このId特性は個々のメモリセルMCの閾値により上下する。この破線と前述の2曲線との交点の電流値がベリファイ読み出し時と通常読み出し時にメモリセルMCが流す電流となる。

40

【0081】

図8(b)からわかるように、カラムデコーダ116の電源電圧VSCiをベリファイ読み出し時に5Vから10Vに変更しても、動作特性上の問題はない。したがって、本実施形態のように、書き込みシーケンス中に、カラムデコーダ116の電源電圧VSCiをVDDH固定にしても、動作上の問題はないことになる。

【0082】

本実施形態では、ロウデコーダ115内の第1のプリデコーダ131用に専用の電源電圧VSWiを設け、第2のプリデコーダ132、ロウメインデコーダ133およびロウサブデコーダ134には電源電圧VSW2iを供給し、電源電圧VSW2iは書き込みシー

50

ケンス中、固定の電圧 V_{SW2} (例えば $9V$) に設定している。本発明者は、ワード線 WL に印加される可能性のある最低電圧レベルを、電圧 V_{SWi} にて問題なく印加できるかをシミュレーションにより検証した。

【0083】

図9(a)はロウサブデコーダ134内のPMOSトランジスタの各端子の電圧を示す図、図9(b)は選択ワード線 WL 電圧の変化を示すグラフである。図9(b)の横軸は時間、縦軸は電圧であり、電源電圧 V_{SW} と選択ワード線 WL 電圧の波形が図示されている。

【0084】

図9(a)に示すように、本実施形態では、書き込みシーケンスに入ると、電源電圧 V_{SW2i} を固定電圧 V_{SW2} (例えば $9V$ とする) に設定する。この電源電圧 V_{SW2i} は、ロウサブデコーダ134内のPMOSTランジスタ134aのウェルにも供給されており、この状態のまま電圧 V_{SW} を直接下げて、選択ワード線 WL 電圧を下げようとする、基板バイアス効果が発生し、PMOSTランジスタ134aの閾値が上昇していき、ワード線 WL がある電圧レベル以下には下がらなくなる懸念がある。

【0085】

図9(b)は、電圧 V_{SW} を $9V$ から $-1V$ に変化させた場合に、選択ワード線 WL 電圧が変化する様子を図示している。PMOSTランジスタ134aのソース電圧が $9V$ から $-1V$ まで下がる間に、選択ワード線 WL 電圧は $9V$ から $1.3V$ 程度までは追従するが、それ以下には下がらないことが分かる。ところが、NOR型フラッシュメモリでは、書き込み時およびペリファイ読み出し時に必要な選択ワード線 WL 電圧の最低電圧は $1.8V$ 程度であり、図9(b)の特性であれば、動作上の問題ないということが確認できた。

【0086】

なお、図5に示したロウサブデコーダ134は、図示のPMOSTランジスタ134aの他にNMOSTランジスタ134bを有する2Tr構成であるが、さらに別のNMOSTランジスタを追加した3Tr構成とすることで、選択ワード線 WL 電圧が基板バイアス効果の影響を受けなくすることも可能である。

【0087】

このように、第1の実施形態では、ロウデコーダ115内の第1のプリデコーダ131に対して専用の電源電圧 V_{SWi} を設けるため、電源電圧 V_{SWi} の負荷容量が小さくなり、選択ワード線 WL 電圧の遷移速度が向上する。また、第2のプリデコーダ132、ロウメインデコーダ133およびロウサブデコーダ134には、書き込み時とペリファイ読み出し時で電圧レベルが変化しない電源電圧 V_{SW2i} を供給するため、電源電圧 V_{SW2i} の負荷容量が大きくても動作速度には影響しない。したがって、選択ワード線 WL の電圧を迅速に確定させることができる。さらに、カラムデコーダ116の電源電圧 V_{SCi} を書き込み時とペリファイ読み出し時で同一の電圧レベルにすることで、書き込みとペリファイ読み出し間の電源電圧遷移時間を短縮でき、高速書き込みが可能となる。

【0088】

(第2の実施形態)

第2の実施形態は、図5のページバッファ109の内部構成に特徴があり、カラムアドレス信号のビット遷移をできるだけ少なくして消費電力の削減を図ったものである。

【0089】

図10は図5のページバッファ109内に設けられるカラムアドレス生成器140の一例を示すブロック図である。図10のカラムアドレス生成器140は、6ビットカウンタ141と、このカウンタの出力信号の隣接ビット同士の排他的論理和を演算する5つのEOR(Exclusive OR)回路142と、これらEOR回路142の出力信号をラッチするD型フリップフロップ(以下、D-F/F)143とを有する。

【0090】

EOR回路142のそれぞれは、2つの入力信号の論理が異なる場合にハイを出力し、論理が同じ場合はロウを出力する。

【0091】

10

20

30

40

50

図 1 1 は図 1 0 のカラムアドレス生成器 1 4 0 の動作を説明する図である。例えば、カウンタは、000000から 1 ずつインクリメントして、000001、000010、000011、000100、... の順に出力する。このとき、5 つの E O R 回路 1 4 2 はそれぞれ、隣接するビット同士の排他的論理和を演算するため、これら E O R 回路 1 4 2 の出力は順に、00000、00001、00011、00010、00110、... になる。

【 0 0 9 2 】

このように、5 つの E O R 回路 1 4 2 の出力は、次のアドレス状態に遷移するとき、必ずアドレス線の 1 ビットのみが変化する。すなわち、図 1 0 のカラムアドレス生成器 1 4 0 によれば、アドレスが遷移する際のアドレスビットの変化する回数を最小限に抑えることができる。

【 0 0 9 3 】

D - F / F 1 4 3 は、5 つの E O R 回路 1 4 2 の出力の順序を入れ替えて、カラムアドレス C A D < 7 : 4 , 2 > に供給する。

【 0 0 9 4 】

図 1 2 (a) は書き込み時およびベリファイ読み出し時のカラムアドレス C A D < 7 : 0 > のビット変化を示す図である。図示のように、書き込み時もベリファイ読み出し時も、カラムアドレスは 1 ビットずつ変化していく。

【 0 0 9 5 】

図 1 2 (a) では、C A D < 2 > の論理を切替えたことによるトランジスタ C G B のゲート電圧の変化に対応する消費電荷量を例えば 4 とし、同様に、C A D < 4 > ~ C A D < 7 > のそれぞれに対応する消費電荷量を例えば 5、1、2、3 と重み付けている。これらの重み付けに対して、カラムアドレスが一巡するまでの各アドレスビットの変化回数との積を取ってその総和を求めると、図 1 2 (b) のようにカラムアドレスを単純に 1 ずつインクリメントした場合の総和と比べて、消費電荷量は約 1 / 4 になる。

【 0 0 9 6 】

このように、第 2 の実施形態では、ページバッファ 1 0 9 内のカラムアドレス生成器 1 4 0 にて、アドレスの遷移本数が 1 本になるようにカラムアドレスを生成するため、カラムデコーダ 1 1 6 およびカラムゲート回路 1 0 8 の消費電力を大幅に削減でき、その分、チャージポンプ & レギュレータ 1 2 1 内で V D D H を生成する電源回路を縮小することができる。

【 0 0 9 7 】

なお、実際にカラムアドレスを生成する場合は、ベリファイを繰り返した後は書き込むべきメモリセル M C の数が減少することにより、生成しなければならないカラムアドレスの数も減るため、書き込みパルスが発生しないカラムアドレスをスキップさせる回路や、書き込みのフェーズによってはメモリセル M C に流す電流が多くなるために 6 4 ビット単位ではなく、それよりも少ない単位 (例えば 3 2 ビット単位) で分割書き込みを行う回路が具備されている。このため、これらの回路と合わせて、アドレス生成回路を構成する必要がある。

【 0 0 9 8 】

(第 3 の実施形態)

フラッシュメモリ内のあるメモリセル M C のフローティングゲート F G に電子が注入されると、図 1 3 に示すように、隣接するメモリセル M C のフローティングゲート F G との間で容量結合が生じて、隣接するメモリセル M C の閾値電圧が変化する隣接メモリセル間の相互作用が生じる。

【 0 0 9 9 】

フラッシュメモリにおいて、上述した隣接メモリセル間の相互作用を防止するには、書き込み対象のメモリセル M C の閾値を調整し終わった後に、隣接するメモリセル M C の閾値変動を極力抑制する必要がある。そのためには、相互作用が発生する関係にあるメモリセル群の閾値調整を同時に行う必要がある。

【 0 1 0 0 】

10

20

30

40

50

また、一般にNOR型フラッシュメモリは、ページ単位で行われる書き込みよりも、ブロック単位で行われる消去の方がメモリ容量が大きく、過書き込みをしたメモリセルMCのみを消去することはできないため、書き込み時にメモリセルMCの閾値制御を行う場合は過書き込みに十分に注意する必要がある。

【0101】

以下に説明する本発明の第3の実施形態は、NOR型フラッシュメモリにおけるメモリセルMCの閾値制御手法に特徴があるものである。

【0102】

図14はNOR型フラッシュメモリにおけるメモリセルMCの閾値制御を説明する図である。メモリセルMCは、消去状態(11)と、3つの書き込み状態(10)、(00)、(01)とを有する。図14では、3つの書き込み状態(10)、(00)、(01)の目標閾値(ペリファイ電圧)をそれぞれ、 V_{th1} 、 V_{th2} 、 V_{th3} とし、それぞれの閾値分布の目標幅 W_{th} を W_{th1} 、 W_{th2} 、 W_{th3} としている。

【0103】

状態(10)のメモリセルMCの閾値は、 $V_{th1} \sim (V_{th1} + W_{th1})$ の範囲内にあり、状態(00)のメモリセルMCの閾値は、 $V_{th2} \sim (V_{th2} + W_{th2})$ の範囲内にあり、状態(01)のメモリセルMCの閾値は、 $V_{th3} \sim (V_{th3} + W_{th3})$ の範囲内にある。また、データの通常読み出し時にセンスアンプ107が各状態を判別するためには、 $V_{th2} > V_{th1} + W_{th1}$ と $V_{th3} > V_{th2} + W_{th2}$ の関係を満たす必要がある。

【0104】

書き込み時にメモリセルMCの閾値制御を行う前は、すべてのメモリセルMCが消去状態(11)にあるものとする。消去状態では、メモリセルMCの閾値の上限が V_{th0} ($< V_{th1}$)以下であり、下限が0V以上に設定される。このように設定する理由は、メモリセルMCの閾値が0Vより低い過消去状態では、選択ワード線WL電圧が0Vのときにビット線から電流がリークしてしまうためである。データ消去後に弱い書き込みとペリファイ読み出しを繰り返すことで、消去状態(11)にあるメモリセルMCの閾値は0~ V_{th0} の間に設定される。

【0105】

図15は本実施形態におけるメモリセルMCの閾値制御を模式的に説明する図、図16はメモリセルMCの閾値制御の処理手順の一例を示すフローチャートである。本実施形態では、フェーズ1~3までの3段階に分けて書き込みを行う。以下、図15を参照しながら、図16のフローチャートに沿って、本実施形態における閾値制御の処理手順を順に説明する。

【0106】

まず、フェーズ1では、状態(01)の閾値制御を行う。図14に示すように、状態(01)は最も閾値が高い状態であり、過書き込みを行っても他の状態と重なってしまうおそれなく、隣接メモリセル間の相互作用も考慮しなくてよいため、最初から高い電圧を選択ワード線WLを介してメモリセルMCのゲートに供給して、必要最小限の書き込み回数で状態(01)の閾値分布を形成する。

【0107】

より具体的には、状態(01)の目標閾値 V_{th3} に対応したゲート電圧をメモリセルMCに供給して、閾値を一気に上昇させる(ステップS71)。好ましくは、1回の書き込みのみで、状態(01)の閾値分布を形成する。書き込みを行った後は、ペリファイ読み出しを行って(ステップS72)、目標閾値に到達したか否かを確認し(ステップS73)、閾値が目標閾値に達していなければ、より高い電圧を選択ワード線WLを介してメモリセルMCのゲートに供給して(ステップS74)、再書き込みを行う(ステップS75)。このフェーズ1で、状態(01)の閾値分布を最終的に確定するのが本実施形態の特徴の一つである。フェーズ1で状態(01)の閾値調整が終了するため、状態(01)の閾値調整の影響で、隣接メモリセル間の相互作用により状態(10)や(00)の閾値

10

20

30

40

50

が変動するおそれなくなる。

【0108】

上述したステップS73で閾値が目標閾値に達したと判断されると、フェーズ2に移行する。フェーズ2では、状態(00)の閾値制御を行う。図14に示すように、状態(00)は2番目に閾値が高い状態であり、最初から高い電圧をメモリセルMCのゲートに供給して書き込みを行うのは危険である。そこで、フェーズ2では、最終的な目標閾値 V_{th2} よりも低い閾値(V_{th2} と V_{th3} の中間くらい)に対応した初期電圧をメモリセルMCのゲートに供給して(ステップS76)、中間レベルまで粗く書き上げる。

【0109】

フェーズ2では、フェーズ1のような最小の書き込み回数で書き上げることをせずに、初期電圧を少し低めにして書き込みを行い、徐々に電圧を上げながら書き込みとベリファイ読み出しを繰り返して、最終的に中間レベルまで閾値を上昇させる(ステップS77~S80)。

【0110】

後述するように、フェーズ3では、状態(10)の書き込みを行うが、その影響で状態(00)の閾値が上昇することから、その上昇分GBを見込んで中間レベルの閾値を設定する。

【0111】

ステップS78にて、閾値が目標閾値 V_{th2}' に達したと判断されると、フェーズ3に移行する。フェーズ3では、状態(00)と(10)の書き込みを行う。このフェーズ3でも、閾値が図14の範囲内に収まるように、最初は低めの初期電圧を設定して状態(10)の書き込みとベリファイ読み出しを行い、その後徐々に電圧を引き上げながら書き込みとベリファイを繰り返して、(10)分布を絞り込む。徐々に引き上げられる電圧が、状態(00)の書き込みの初期電圧レベルに達すると、状態(00)への書き込みが開始される。状態(10)分布がベリファイレベルに達していない場合は、両分布に対して書き込みが同時に行われる。このようにして、状態(00)と(10)の各閾値分布を絞り込んで、最終的に図14のような閾値分布にする(ステップS81~S85)。

【0112】

フェーズ2で状態(00)のみを中間レベルまで書き上げて、その後にフェーズ3で状態(00)と(10)の書き上げを行うため、隣接メモリセル間の相互作用の影響を受けるおそれなくなり、閾値変動を抑制できる。また、フェーズ2で状態(10)の書き込みを先に行う場合、書き込み特性の悪いセルに対して階段上に電圧を高く上げていく途中で、状態(00)の書き込みの初期電圧と同じになるポイントがある。その場合は、状態(10)と状態(00)の書き込みを同時に行うことで、短時間のプログラムが可能になる。

【0113】

このように、本実施形態では、フェーズ1で最も高い閾値分布である状態(01)の書き込みを行って、状態(01)の閾値分布を最終的に確定させるため、その後のフェーズで状態(01)の閾値調整を行わなくて済み、状態(01)の閾値調整による隣接メモリセル間の相互作用を考えなくて済む。また、フェーズ2では、状態(00)を中間レベルまで書き上げて、フェーズ3で状態(00)と(10)の最終的な閾値分布を形成するため、状態(00)と(10)相互間での隣接メモリセル間の相互作用も起きなくなつて、精度よく閾値調整を行うことができる。

【0114】

本実施形態によれば、最初に状態(01)のみの書き込み、次に状態(00)のみの書き込み、最後に状態(00)と(10)の書き込みを行うだけで、書き込みを完了でき、書き込みを指示するコマンドの数が少なくて済む。したがって、コマンドレジスタ113を介して内部コントローラ114に供給されるプログラムコード数を削減でき、内部コントローラ114の処理負担が軽減されるとともに、プログラムの作成も容易になって、プログラムの手間を省くことができる。

10

20

30

40

50

【 0 1 1 5 】

(第 4 の 実 施 形 態)

第 4 の 実 施 形 態 は、 書 き 込 み 時 に 非 選 択 の メ モ リ セ ル M C の 選 択 ワ ー ド 線 W L 電 圧 を 一 定 の 負 電 圧 に 固 定 化 す る も の で あ る。

【 0 1 1 6 】

NOR 型 フラッシュメモリでは、図 2 に示すように、同一のビット線に接続される複数のメモリセルMCがいずれも異なる選択ワード線WLに接続されている。書き込み時には、いずれか一つの選択ワード線WLが選択されて、その選択ワード線WL上の複数のメモリセルMCに書き込みが行われるが、本来は非選択の選択ワード線WLに接続されたメモリセルMCにリーク電流が流れた場合には、ビット線の電圧が変動してしまい、選択メモリセルMCの書き込み特性に悪影響を与えてしまう。

10

【 0 1 1 7 】

このため、非選択メモリセルMCの選択ワード線WLの電圧を、負側（例えば、 $-1V$ ）に下げて、リーク電流を抑制する手法が取られる。ところが、書き込み時には、選択メモリセルMCに接続された選択ワード線WLがかなりの高電圧（例えば、 $9V$ ）になる場合があり、この場合、隣接した非選択メモリセルMCの選択ワード線WLの電圧との電位差（上記の場合は $10V$ ）が大きくなり、図 5 に示す選択バンク内のロウデコーダ 1 1 5 が耐圧を超えてしまい、信頼性上の問題が生じうる。

【 0 1 1 8 】

上記の問題を解決するための一手法として、書き込み時の選択メモリセルMCの選択ワード線WLの電圧に応じて、非選択メモリセルMCの非選択ワード線WLの電圧を制御することが考えられる。例えば、図 1 7 (a) は、非選択メモリセルMCの非選択ワード線WLの電圧を、選択メモリセルMCの選択ワード線WLの電圧に応じて、2 種類の負電圧に切替える例を示している。

20

【 0 1 1 9 】

図 1 7 (a) のように非選択メモリセルMCの非選択ワード線WLの電圧を細かく制御すると、選択 非選択ワード線WL間の電位差が耐圧を超えることを回避できるが、ワード線WLの電圧制御が複雑になり、コマンドレジスタ 1 1 3 から内部コントローラ 1 1 4 に与えられるプログラムコード数が増えてしまう。また、図 1 7 (a) の矢印線で示すように、非選択ワード線WLの電圧が安定するまでの待ち時間が長くなり、書き込みとベリファイ読み出しを迅速に切替えることができなくなる。

30

【 0 1 2 0 】

そこで、本実施形態では、図 1 7 (b) のように、書き込み時およびベリファイ読み出し時には、非選択メモリセルMCの非選択ワード線WLの電圧を所定の負電圧に固定化させる。負電圧を例えば $-1V$ 以下にすると、選択 非選択ワード線WL間の電位差が耐圧を超える可能性があるため、例えば、 $0V$ 未満で $-1V$ より大きい負電圧に設定するのが望ましい。設定する負電圧レベルはメモリセルMCの特性等に応じて最適な値を設定すればよい。

【 0 1 2 1 】

NOR型フラッシュメモリでは、書き込みを行った後に、メモリセルMCの閾値が所望の電圧レベルまで上がったか否かを確認するためにベリファイ読み出しを行う。ベリファイ読み出しでは、書き込みを行ったメモリセルMCに対して、所望の閾値に合わせて設定してゲート電圧を与えて、ベリファイ読み出し動作を行う。書き込みからベリファイ読み出しに切替える際には、メモリセルMCのゲートに接続される選択ワード線WLの電圧も、ベリファイ用の電圧レベルに切替える必要がある。

40

【 0 1 2 2 】

ワード線WLを書き込み用の電圧レベルに設定するには、チャージポンプ&レギュレータ 1 2 1 で昇圧等を行う時間的な余裕が必要となる。従来は、選択メモリセルMCの選択ワード線WLの電圧レベルを設定するタイミングに合わせて、非選択メモリセルMCの非選択ワード線WLの電圧レベルの調整も行っていった。図 1 8 (a) は選択メモリセルMC

50

と非選択メモリセルMCの非選択ワード線WLの電圧制御を同期して行う例を示す電圧波形図である。図18(a)の場合、選択メモリセルMCと非選択メモリセルMCのワード線WLの電圧レベルの切替を並行して行うため、両方のワード線WLの電圧変更が完了した後でないと、書き込み動作を開始できない。チャージポンプ&レギュレータ121にて電圧の昇降圧を同時に行うことは、容量カップリングの影響により、昇圧と降圧を別個に行うよりも時間がかかるため、余裕を見て例えば3ns程度の切替期間を設定していた。

【0123】

これに対して、本実施形態では、図18(b)に示すように、選択メモリセルMCのワード線WLの電圧調整タイミングと、非選択メモリセルMCのワード線WLの電圧調整タイミングとを分離して設定するようにした。書き込みを行う場合は、選択メモリセルMCの閾値分布が確定するまでに、書き込みとベリファイ読み出しを繰り返し行う必要がある。この過程では、書き込みのたびに新たな書き込み電圧が生成される。本実施形態では、図17(b)で説明したように、非選択メモリセルMCの非選択ワード線WL電圧を固定化するため、選択メモリセルMCについて書き込みとベリファイ読み出しを繰り返している間は、非選択メモリセルMCの非選択ワード線WLを変化させる必要がなく、したがって、選択メモリセルMCのワード線選択WL電圧の切替期間をより短く設定できる。図18(b)の例では、2μsに設定している。

10

【0124】

すなわち、本実施形態では、非選択メモリセルMCの非選択ワード線WLの電圧切替期間を考慮せずに、選択メモリセルMCの選択ワード線WLの電圧切替期間を設定できるため、同期間をより短く設定できる。

20

【0125】

図18(b)では、非選択メモリセルMCの非選択ワード線WL電圧の切替期間も2μsの余裕を持たせており、書き込みシーケンスに入った最初のタイミングでは、選択メモリセルMCと非選択メモリセルMCの両方のワード線WL電圧の切替期間として、2ns + 2ns = 4nsの時間が必要であるが、その後は選択メモリセルMCの選択ワード線WL電圧の切替期間2nsだけでよく、書き込みおよびベリファイ読み出し時の選択ワード線WL電圧を高速に切替えることができる。

【0126】

このように、第4の実施形態では、書き込み時およびベリファイ読み出し時に、非選択メモリセルMCの非選択ワード線WLの電圧を所定の負電圧に固定化するため、選択ワード線WLの電圧制御が容易になり、内部コントローラ114を制御するプログラムコード数を削減でき、プログラムの負担を軽減できるとともに、内部コントローラ114の処理速度も速くなる。

30

【0127】

また、書き込みを行う選択メモリセルMCの選択ワード線WL電圧の切替タイミングと非選択メモリセルMCの非選択ワード線WL電圧の切替タイミングを分離して設定するため、選択メモリセルMCの選択ワード線WL電圧の切替タイミングを高速化でき、書き込みおよびベリファイ読み出しを高速化できる。

【0128】

40

(その他の実施形態)

上述した第1～第4の実施形態で説明したNOR型フラッシュメモリの用途は特に問わず、種々の電気機器や電子機器の記憶装置として用いることができる。また、NOR型フラッシュメモリをNAND型フラッシュメモリ等の他のメモリと同一のパッケージに収納してもよい。

【0129】

図19は第1～第4の実施形態で説明したNOR型フラッシュメモリと他のメモリを内蔵した半導体チップ(マルチ・チップ・パッケージ: MCP (Multi Chip Package)) 20の一例を示す断面図である。

【0130】

50

図 19 に示すように、半導体チップ 20 は、基板 21 上に順次積層された NAND 型フラッシュメモリ 22、スペーサ 23、NOR 型フラッシュメモリ 100、スペーサ 24、PSRAM (Pseudo Static Random Access Memory) 25、およびコントローラ 26 を同一パッケージ内に搭載している。

【0131】

NAND 型フラッシュメモリ 22 は、例えば、多値データの記憶が可能な複数のメモリセルを有している。また、半導体チップ 20 において、PSRAM に換えて、SDRAM (Synchronous Dynamic Random Access Memory) を用いた構成であっても良い。

【0132】

上記メモリのうち、メモリシステムによる用途により、NAND 型フラッシュメモリ 22 は、例えば、データ格納用メモリとして使用される。また、NOR 型フラッシュメモリ 100 は、例えば、プログラム格納用メモリとして使用される。また、PSRAM 25 は、例えば、ワーク用メモリとして使用される。

10

【0133】

コントローラ 26 は、主として NAND 型フラッシュメモリ 22 に対するデータ入出力制御、データ管理を行う。コントローラ 26 は、ECC 訂正回路 (図示せず) を有しており、データを書き込む際には誤り訂正符号 (ECC) 付加し、読み出す際にも誤り訂正符号の解析・処理を行う。

【0134】

NAND 型フラッシュメモリ 22、NOR 型フラッシュメモリ 100、PSRAM 25、およびコントローラ 26 は、ワイヤ 27 により基板 21 にボンディングされている。

20

【0135】

基板 21 の裏面に設けられた各半田ボール 28 は、それぞれワイヤ 27 に電氣的に接続されている。パッケージ形状としては、例えば、各半田ボール 28 が二次元的に配置された表面実装型の BGA (Ball Grid Array) が採用される。

【0136】

次に、上記半導体チップ 20 を、電子機器の一例である携帯電話に適用する場合について説明する。

【0137】

図 20 はこの種の携帯電話の内部構成の一例を示すブロック図である。図 20 の携帯電話は、アンテナ 31 と、送受信信号の切替を行うアンテナ共用器 32 と、無線信号をベースバンド信号に変換する受信回路 33 と、送受信の局部発振信号を生成する周波数シンセサイザ 34 と、送信信号を変調処理して無線信号を生成する送信回路 35 と、ベースバンド信号に基づいて所定の伝送フォーマットの受信信号を生成するベースバンド処理部 36 と、受信信号を音声、ビデオおよびテキストデータに分離する多重分離処理部 37 と、音声データをデジタル音声信号に復号する音声コーデック 38 と、デジタル音声信号を PCM 復号してアナログ音声信号を生成する PCM コーデック 39 と、スピーカ 40 と、マイクロホン 41 と、ビデオデータをデジタルビデオ信号に復号するビデオコーデック 42 と、カメラ 43 と、カメラ制御部 44 と、携帯電話全体を制御する制御部 45 と、表示部 46 と、キー入力部 47 と、RAM 48 と、ROM 49 と、プログラム格納用フラッシュメモリ 50 と、データ格納用フラッシュメモリ 51 と、電源回路 52 とを備えている。

30

40

【0138】

図 20 において、プログラム格納用フラッシュメモリ 50 には第 1 ~ 第 3 の実施形態で説明された NOR 型フラッシュメモリ 100 が用いられ、データ格納用フラッシュメモリ 51 には NAND 型フラッシュメモリ 22 が用いられる。

【0139】

上記の記載に基づいて、当業者であれば、本発明の追加の効果や種々の変形を想到できるかもしれないが、本発明の態様は、上述した個々の実施形態に限定されるものではない。特許請求の範囲に規定された内容およびその均等物から導き出される本発明の概念的な

50

思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

【図面の簡単な説明】

【0140】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図。

【図2】NOR型フラッシュメモリ内のメモリセルの接続形態の一例を示す図。

【図3】NOR型フラッシュメモリのデータ構造の一例を示す図。

【図4】多値状態を説明する図。

【図5】図1のカラムゲート回路108、書き込み回路111およびロウデコーダ115の内部構成の一例を示すブロック図。

【図6】トランジスタCGP、CGA、CGB、CGD、CGCの接続関係をより詳細に示す図。

【図7】図5の各部の電圧波形を示すタイミング図。

【図8】(a)はセンスアンプ107周辺の電流経路を示す等価回路図、(b)はトランジスタCGDのドレイン-ソース間を流れる電圧-電流特性のシミュレーション結果を示す図。

【図9】(a)はロウサブデコーダ134内のトランジスタの各端子の電圧を示す図、(b)は選択ワード線WL電圧の変化を示すグラフ。

【図10】図5のページバッファ109内に設けられるカラムアドレス生成器140の一例を示すブロック図。

【図11】図10のカラムアドレス生成器140の動作を説明する図。

【図12】(a)は書き込み時およびベリファイ読み出し時のカラムアドレスCAD<7-0>のビット変化を示す図、(b)はカラムアドレスを1ずつインクリメントした場合のビット変化を示す図。

【図13】隣接メモリセル間の相互作用を説明する図。

【図14】NOR型フラッシュメモリにおけるメモリセルMCの閾値制御を説明する図。

【図15】本実施形態におけるメモリセルMCの閾値制御を模式的に説明する図。

【図16】メモリセルMCの閾値制御の処理手順の一例を示すフローチャート。

【図17】(a)は非選択メモリセルMCの非選択ワード線WLの電圧を2種類の負電圧に切替える例を示す図、(b)は非選択ワード線WLの電圧を所定の負電圧に固定化する図。

【図18】(a)は選択メモリセルMCと非選択メモリセルMCのワード線WLの電圧制御を同期して行う例を示す電圧波形図、(b)は選択メモリセルMCと非選択メモリセルMCのワード線WLの電圧制御を分離して行う例を示す電圧波形図。

【図19】第1～第4の実施形態で説明したNOR型フラッシュメモリと他のメモリを内蔵した半導体チップ20の一例を示す断面図。

【図20】携帯電話の内部構成の一例を示すブロック図。

【符号の説明】

【0141】

- 114 内部コントローラ
- 115 ロウデコーダ
- 116 カラムデコーダ
- 122 バンク内電源切替回路
- 131 第1のプリデコーダ
- 132 第2のプリデコーダ
- 133 ロウメインデコーダ
- 134 ロウサブデコーダ
- 135 第1の電圧切替部
- 136 第2の電圧切替部
- 137 第3の電圧切替部

10

20

30

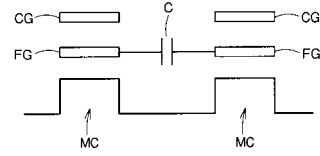
40

50

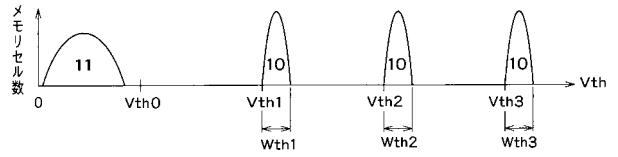
【図12(b)】

		通常のアドレスIncrement順						
		<6>	<5>	<4>	<3>	<2>	<1>	<0>
消費電荷量/回	→	3	2	1	5	4		
変化回数	→	2	4	8	16	32	計	
消費電荷量	→	6	8	8	80	128	230	
書き込み		0	0	0	0	0	1	-
		0	0	0	0	0	1	-
		0	0	0	1	0	0	-
		0	0	0	1	0	0	-
		0	0	1	0	0	0	-
		0	0	1	0	0	0	-
		0	0	1	1	0	0	-
		0	0	1	1	0	0	-
		0	1	0	0	0	0	-
		0	1	0	0	0	0	-
		0	1	0	1	0	0	-
		0	1	1	0	0	0	-
		0	1	1	0	0	0	-
		0	1	1	1	0	0	-
		0	1	1	1	0	0	-
	ベリファイ		0	0	0	0	0	1
		0	0	0	0	0	1	-
		0	0	0	1	0	0	-
		0	0	0	1	0	0	-
		1	1	0	1	0	1	-
		1	1	1	0	0	0	-
		1	1	1	1	0	0	-
		1	1	1	1	0	0	-
		1	1	1	1	0	0	-
		1	1	1	1	1	0	-
		1	1	1	1	1	0	-
		1	1	1	1	1	0	-
		1	1	1	1	1	0	-
		1	1	1	1	1	0	-
		1	1	1	1	1	1	-

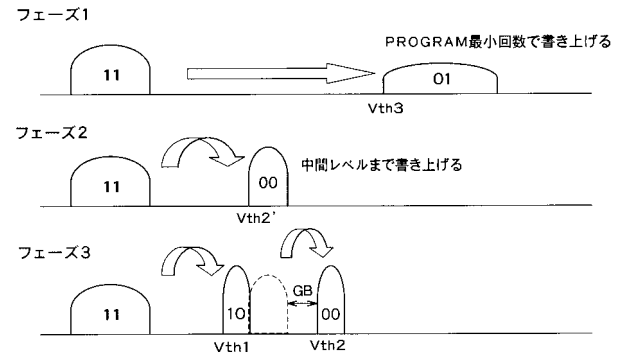
【図13】



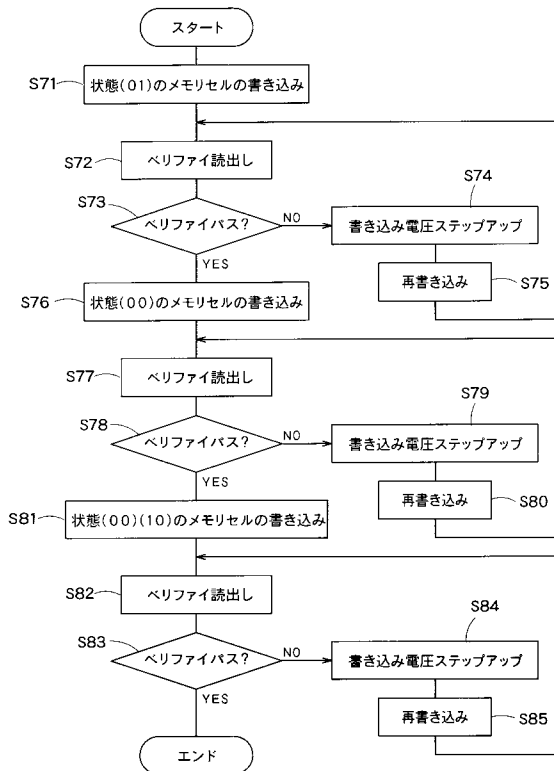
【図14】



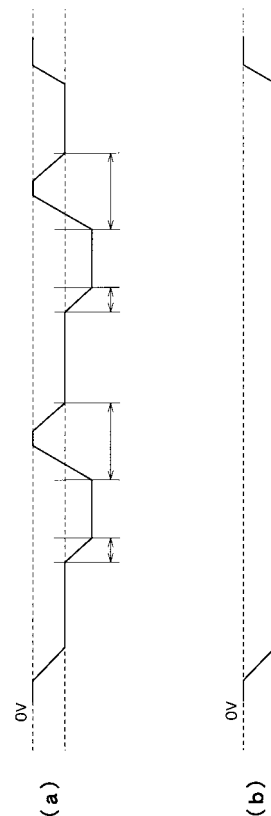
【図15】



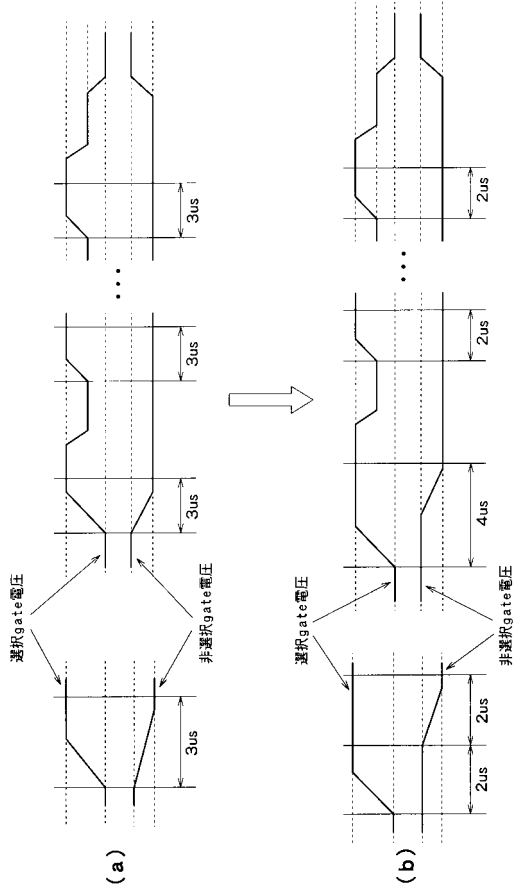
【図16】



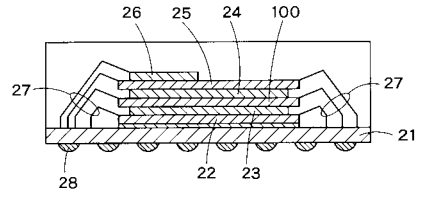
【図17】



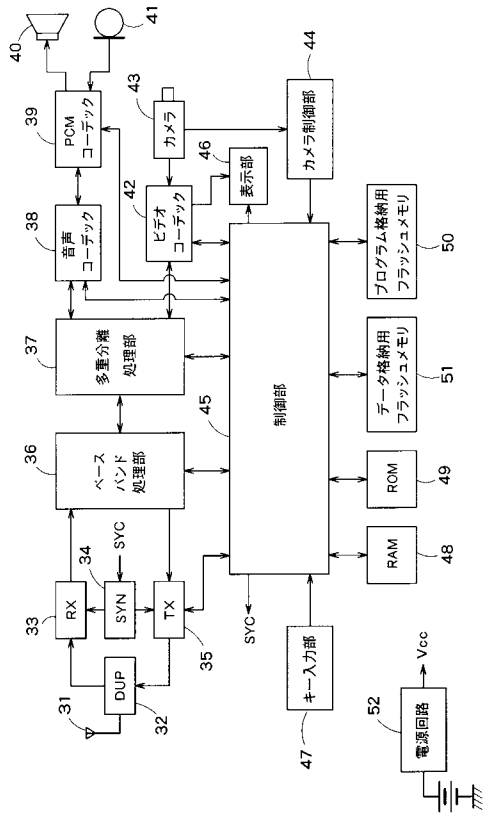
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.			F I		テーマコード(参考)
G 1 1 C 16/04 (2006.01)			G 1 1 C 17/00	6 2 2 A	
G 1 1 C 16/02 (2006.01)			G 1 1 C 17/00	6 4 1	

(72)発明者 本 台 隆

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA19 CA01 DB09 DB12 EA01 EA07 EB09 EC02 EC06
 ED02 ED10 EF08 EG02 EG03 EG18 FA01 FA02 FA05 FA10
 5F083 EP02 EP22 EP77 LA03 LA04 LA05 LA06 LA07 LA10 ZA21
 ZA23
 5F101 BA01 BB02 BD02 BD33 BE01 BE02 BE05 BE07 BE10 BF05