

(19)日本国特許庁(JP)

## (12)特許公報(B1)

(11)特許番号  
特許第7573139号  
(P7573139)

(45)発行日 令和6年10月24日(2024.10.24)

(24)登録日 令和6年10月16日(2024.10.16)

(51)国際特許分類 F I  
H 0 4 R 3/00 (2006.01) H 0 4 R 3/00 3 2 0

請求項の数 8 (全25頁)

(21)出願番号	特願2024-531384(P2024-531384)	(73)特許権者	000191238 日清紡マイクロデバイス株式会社 東京都中央区日本橋横山町3-10
(86)(22)出願日	令和5年6月29日(2023.6.29)	(74)代理人	110001896 弁理士法人朝日奈特許事務所
(86)国際出願番号	PCT/JP2023/024235	(72)発明者	本木 直幸 埼玉県ふじみ野市福岡二丁目1番1号 日清紡マイクロデバイス株式会社 川越 事業所内
審査請求日	令和6年5月24日(2024.5.24)	審査官	渡邊 正宏
早期審査対象出願			

最終頁に続く

(54)【発明の名称】 マイクロホン信号変換モジュール及びマイクロホンモジュール

## (57)【特許請求の範囲】

## 【請求項1】

トランスデューサから入力される第1アナログ信号について第1ゲインでレベル変換を行って、前記レベル変換によって得られる第2アナログ信号を出力するバッファ回路と、前記第2アナログ信号のレベルを第2ゲインでデジタル値に変換するアナログ-デジタル変換回路と、

前記第1ゲイン及び前記第2ゲインを制御する制御回路と、

を備える、マイクロホン信号変換モジュールであって、

前記第2アナログ信号が前記制御回路に入力され、

前記制御回路は、前記第2アナログ信号のレベルに基づいて、前記第1ゲイン及び前記第2ゲインそれぞれの大きさを互いに反対方向へと制御するように構成されており、

前記制御回路は、

前記第2アナログ信号のレベルを所定の上限閾値及び所定の下限閾値と比較する比較回路と、

前記第2アナログ信号のレベルと前記第2アナログ信号の最大振幅の midpoint 電位との大小関係の反転を検出する検出器と、

前記比較回路によって前記第2アナログ信号のレベルが前記下限閾値から前記上限閾値までの範囲外であることが検出されるとインクリメントされ、前記検出器によって前記反転が検出されるとデクリメントされるカウンタと、

を含み、

10

20

前記制御回路は、前記カウンタのカウント値に応じて前記第 1 ゲイン及び前記第 2 ゲインを制御するように構成されている、マイクロホン信号変換モジュール。

【請求項 2】

前記バッファ回路は、

前記第 1 アナログ信号を受ける反転入力端子を有する演算増幅器と、

前記演算増幅器の出力端子と前記反転入力端子との間に配置されている複数のキャパシタと、

前記複数のキャパシタの一部と前記反転入力端子とを接続又は分離するスイッチと、  
を含み、

前記制御回路は、前記スイッチを開閉することによって前記第 1 ゲインを制御するように構成されている、請求項 1 記載のマイクロホン信号変換モジュール。 10

【請求項 3】

前記複数のキャパシタの前記一部は、前記スイッチによって前記反転入力端子と分離されるときに放電するように構成されている、請求項 2 記載のマイクロホン信号変換モジュール。

【請求項 4】

前記バッファ回路は、

容量型トランスデューサから送られる前記第 1 アナログ信号を受ける入力端子を有する非反転バッファと、

前記入力端子と所定の定電位との間にそれぞれ配置される複数のキャパシタと、 20

前記複数のキャパシタそれぞれと前記入力端子とを接続又は分離するスイッチと、  
を含み、

前記制御回路は、前記スイッチを開閉することによって前記第 1 ゲインを制御するように構成されている、請求項 1 記載のマイクロホン信号変換モジュール。

【請求項 5】

前記複数のキャパシタは、前記スイッチによって前記入力端子と分離されるときに放電するように構成されている、請求項 4 記載のマイクロホン信号変換モジュール。

【請求項 6】

前記制御回路は、さらに、前記検出器による前記反転の検出から所定の時間が経過するとパルスを出力するパルス発生回路を含み、 30

前記カウンタは前記パルスが出力されるたびに前記カウント値をデクリメントするように構成されている、請求項 1 記載のマイクロホン信号変換モジュール。

【請求項 7】

トランスデューサから入力される第 1 アナログ信号について第 1 ゲインでレベル変換を行って、前記レベル変換によって得られる第 2 アナログ信号を出力するバッファ回路と、前記第 2 アナログ信号のレベルを第 2 ゲインでデジタル値に変換するアナログ - デジタル変換回路と、

前記第 1 ゲイン及び前記第 2 ゲインを制御する制御回路と、

を備える、マイクロホン信号変換モジュールであって、

前記第 2 アナログ信号が前記制御回路に入力され、 40

前記制御回路は、前記第 2 アナログ信号のレベルに基づいて、前記第 1 ゲイン及び前記第 2 ゲインそれぞれの大きさを互いに反対方向へと制御するように構成されており、

前記アナログ - デジタル変換回路は、デジタル - アナログ変換器によって構成される帰還回路を有するデルタシグマ型アナログ - デジタル変換回路であり、

前記制御回路は、前記帰還回路の帰還量を増減させることによって前記第 2 ゲインを制御するように構成されており、

前記アナログ - デジタル変換回路は、さらに、前記バッファ回路に接続されるトランスデューサのキャパシタンスと、前記バッファ回路の入力キャパシタンスとの比率に応じて設定される帰還量を有する第 2 の帰還回路を含んでいる、マイクロホン信号変換モジュール。 50

**【請求項 8】**

請求項 1 ~ 7 のいずれか 1 項に記載のマイクロホン信号変換モジュールと、前記第 1 アナログ信号を発生させる MEMS トランスデューサと、を含むマイクロホンモジュール。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、マイクロホン信号変換モジュール及びマイクロホンモジュールに関する。

**【背景技術】****【0002】**

従来、各種のエネルギーを異種のエネルギーに変換するトランスデューサが、産業用や民生用などの用途を問わず広く用いられている。このようなトランスデューサの一態様としてマイクロホンが存在する。近年の自然言語処理技術や音声認識技術の飛躍的な進歩に伴う対話型機器の発展に伴って、マイクロホン機器の有用性及びマイクロホンの需要が増大している。マイクロホンとして機能するトランスデューサは、音を感知してアナログの電気信号に変換する。そのため、多くの用途においてマイクロホンが生成する電気信号は、例えば特許文献 1 に示されるマイクロホン装置のように、デジタル信号に変換されてマイコンなどの信号処理装置に入力される。

10

**【先行技術文献】****【特許文献】**

20

**【0003】**

【文献】特開 2004 - 120310 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

音声信号のようなアナログの電気信号をデジタル信号に変換する特許文献 1 に開示されるような装置では、マイクロホンなどから入力される電気信号が、その変換の前に、アナログ - デジタル変換器 (AD 変換器) に適したレベルに増幅される。このようなアナログ信号のレベルや形態などの変換を行う電子モジュールには、マイクロホンで感知された信号が変換誤差などのノイズに埋没しないように、十分な信号雑音比 (SN 比) の確保が求められる。

30

**【0005】**

一方、例えば MEMS (Micro Electro Mechanical Systems) マイクのような、小型のトランスデューサの信号の増幅及び変換などを行う電子モジュールには、しばしば、低電圧且つ低消費電流での動作が求められる。また、マイクロホンを備える各種機器に対する継続的な小型化の要求に応えるべく、マイクロホン用の電子モジュール自体に対する小型化の要求も恒常的に存在する。このようなマイクロホンからの信号の増幅や変換などを行う、低電圧、低消費電流、及び小型の電子モジュールでは、十分な SN 比の確保が理論上困難なことがある。

**【0006】**

40

SN 比を向上させる一つ的手段として、例えば図 8 A に示すようなマイクアンプ 900 では、AD 変換器 910 の前段の増幅器 (プリアンプ) 901 の利得を大きくすることが考えられる。AD 変換器 910 は、一般的なデルタシグマ型 AD 変換器であり、減算器 902 と、積分器 903 と、量子化器 904 と、1 ビットの DA 変換器 905 と、を含んでいる。

**【0007】**

プリアンプ 901 の利得を大きくすることによって、AD 変換器 910 に入力する信号を大きくして見かけ上の SN 比を大きくすることができる。しかし、そのようにプリアンプ 901 の利得が大きくなると、入力信号  $V_i$  の振幅が大きいたまには、出力信号  $V_o$  が、図 8 B に示される信号  $V_o a$  のように飽和してしまうことがある。なお、図 8 B に示

50

される信号  $V_{oa}$  は、A/D変換器 910 の出力信号  $V_o$  を適切なローパスフィルタに通すことによって得られるアナログ信号である（以下で順次参照される図 6 A、図 9、及び、図 10 それぞれに示される出力信号  $S_o$  及び出力信号  $V_{oa}$  も、同様に、ローパスフィルタ通過後の出力信号である）。

#### 【0008】

すなわち、図 8 B において、A/D変換器 910 に入力される信号  $V_{ia}$  が、入力信号  $V_i$  の振幅の極値付近（図 8 B の P 部内）で飽和している。その結果、デルタシグマ型の A/D変換器 910 において適切な変換動作が行われず、信号  $V_{oa}$  が入力信号  $V_i$  を再現できていない。このように、S/N比の向上の為に A/D変換器の前段の増幅器の利得を単に大きくするとダイナミックレンジが低下することがある。従って、マイクロホン信号を扱う電子モジュールには、S/N比及びダイナミックレンジの両方において、求められる性能を十分に備えることが難しい、という問題がある。

10

#### 【0009】

本発明は、このような問題に鑑み、ダイナミックレンジを犠牲にすることなく、しかも良好な S/N比で、トランスデューサからのアナログ信号のデジタル値への変換を可能にすることを目的とする。

#### 【課題を解決するための手段】

#### 【0010】

本発明の一実施形態のマイクロホン信号変換モジュールは、トランスデューサから入力される第 1 アナログ信号について第 1 ゲインでレベル変換を行って、前記レベル変換によって得られる第 2 アナログ信号を出力するバッファ回路と、前記第 2 アナログ信号のレベルを第 2 ゲインでデジタル値に変換するアナログ - デジタル変換回路と、前記第 1 ゲイン及び前記第 2 ゲインを制御する制御回路と、を備える。前記第 2 アナログ信号が前記制御回路に入力され、前記制御回路は、前記第 2 アナログ信号のレベルに基づいて、前記第 1 ゲイン及び前記第 2 ゲインそれぞれの大きさを互いに反対方向へと制御するように構成されている。

20

#### 【0011】

本発明の一実施形態のマイクロホンモジュールは、上記マイクロホン信号変換モジュールと、前記第 1 アナログ信号を発生させる MEMS トランスデューサと、を含んでいる。

#### 【発明の効果】

30

#### 【0012】

本発明のマイクロホン信号変換モジュール及びマイクロホンモジュールによれば、トランスデューサからのアナログ信号を、ダイナミックレンジを犠牲にすることなく、良好な S/N比でデジタル値に変換することができる。

#### 【図面の簡単な説明】

#### 【0013】

【図 1】本発明の一実施形態のマイクロホン信号変換モジュール及びマイクロホンモジュールの一例を概略的に示すブロック図である。

【図 2 A】本発明の一実施形態におけるバッファ回路の一例を示す回路図である。

【図 2 B】図 2 A の例のさらに具体的な構成の例を示す回路図である。

40

【図 3 A】本発明の一実施形態におけるバッファ回路の他の例を示す回路図である。

【図 3 B】図 3 A の例のさらに具体的な構成の例を示す回路図である。

【図 4】本発明の一実施形態における制御回路の一例を示すブロック図である。

【図 5 A】本発明の一実施形態における A/D変換回路の一例を示すブロック図である。

【図 5 B】図 5 A の例のさらに具体的な構成の例を示すブロック図である。

【図 6 A】本発明の一実施形態のマイクロホン信号変換モジュールにおける各信号波形の一例を示す図である。

【図 6 B】図 6 A の VIB 部を拡大してゲイン及びカウント値の変化と共に示す図である。

【図 7】本発明の一実施形態における A/D変換回路の他の例を示すブロック図である。

【図 8 A】従来のマイクアンプの一例を示す回路図である。

50

【図 8 B】図 8 A の従来のマイクアンプにおける各部の信号波形を示す図である。

【図 9】従来のマイクアンプにおいてプリアンプの利得の増減がデジタル処理で補われるときの各部の信号波形の一例を示す図である。

【図 10】従来のマイクアンプにおいてプリアンプの利得の増減がデジタル処理で補われるときの各部の信号波形の他の例を示す図である。

【図 11 A】実施形態のマイクロホン信号変換モジュールのバッファ回路に対する比較例を示す回路図である。

【図 11 B】図 11 A のバッファ回路による信号波形の一例を示す図である。

【発明を実施するための形態】

【0014】

図面を参照しながら、本発明のマイクロホン信号変換モジュール及びマイクロホンモジュールの実施形態を説明する。なお、以下に説明される実施形態は、本発明のマイクロホン信号変換モジュール及びマイクロホンモジュールが取り得る態様のうちの幾つかを示しているに過ぎない。本発明のマイクロホン信号変換モジュール及びマイクロホンモジュールは、以下に説明される実施形態に限定されない。

【0015】

<全体構成及び作用>

図 1 には、一実施形態のマイクロホン信号変換モジュールの一例であるマイクロホン信号変換モジュール 1、及び、一実施形態のマイクロホンモジュールの一例であって、マイクロホン信号変換モジュール 1 を含むマイクロホンモジュール 10 が示されている。なお、以下に説明される実施形態のマイクロホン信号変換モジュールは、単に「マイク信号モジュール」とも称される。

【0016】

図 1 に示されるように、本実施形態のマイク信号モジュール 1 は、アナログ信号のレベル変換を行って出力するバッファ回路 2 と、アナログ信号のレベルをデジタル値に変換するアナログ - デジタル変換回路 (AD 変換回路) 3 と、制御回路 4 と、を備えている。また、図 1 の例において実施形態のマイクロホンモジュール 10 は、マイク信号モジュール 1 とマイクロホン 11 と、を含んでいる。

【0017】

図 1 のマイク信号モジュール 1 は、さらに、定電圧源 5 及び出力バッファ 6 を備えている。定電圧源 5 は、マイクロホン 11 を動作させるバイアス電圧として定電圧  $V_c$  を生成してマイクロホン 11 に提供する。定電圧源 5 は、一例として、低ドロップアウト (LDO) レギュレータなどのリニアレギュレータや、スイッチングレギュレータなどで構成される。出力バッファ 6 には、AD 変換回路 3 からデジタル信号  $S_d1$  が入力される。出力バッファ 6 は、デジタル信号  $S_d1$  を、マイク信号モジュール 1 の出力端子  $S_{out}$  に接続される外部機器 (図示せず) に求められる出力インピーダンス及び駆動能力で出力する。出力バッファ 6 は、例えば、非反転型のインバータや、トランジスタの複合回路によって構成される。

【0018】

バッファ回路 2 は、マイクロホン 11 から入力される第 1 アナログ信号  $S_a1$  について第 1 ゲイン  $G_1$  でレベル変換を行って、そのレベル変換によって得られる第 2 アナログ信号  $S_a2$  を出力する。AD 変換回路 3 は、第 2 アナログ信号  $S_a2$  のレベルを第 2 ゲイン  $G_2$  でデジタル値に変換して、その変換後の信号であるデジタル信号  $S_d1$  を出力する。制御回路 4 には、バッファ回路 2 から第 2 アナログ信号  $S_a2$  が入力される。制御回路 4 は、第 2 アナログ信号  $S_a2$  のレベルに基づいて制御信号  $S_c1$ 、 $S_c2$  を出力することによって、バッファ回路 2 の第 1 ゲイン  $G_1$  及び AD 変換回路 3 の第 2 ゲイン  $G_2$  を制御する。すなわち、バッファ回路 2 は、第 1 ゲイン  $G_1$  の制御、すなわち調整が、バッファ回路 2 の外部から可能なように構成されている。そして、AD 変換回路 3 は、第 2 ゲイン  $G_2$  の制御、すなわち調整が、AD 変換回路 3 の外部から可能なように構成されている。

10

20

30

40

50

## 【 0 0 1 9 】

なお、バッファ回路 2 の第 1 ゲイン  $G_1$  は、一般に用いられている通り、入力信号のレベル（絶対値）に対する、その入力信号に基づいて出力される出力信号のレベル（絶対値）の比率である。一方、AD変換回路 3 の第 2 ゲイン  $G_2$  は、入力されるアナログ信号のレベルの単位変化量に対して適用される出力のデジタル値の変化量を示している。例えば第 2 ゲイン  $G_2$  が 0 dB である場合、AD変換回路 3 の出力信号をアナログ信号に変換することによって、AD変換回路 3 に入力されるアナログ信号の電圧振幅の 1 倍の電圧振幅を有するアナログ信号が得られる。他の例において第 2 ゲイン  $G_2$  が 20 dB である場合、AD変換回路 3 の出力信号を同様にアナログ信号に変換することによって入力アナログ信号の電圧振幅の 10 倍の電圧振幅のアナログ信号が得られる。

10

## 【 0 0 2 0 】

制御回路 4 は、具体的には、第 2 アナログ信号  $S_{a2}$  のレベルに基づいて、第 1 ゲイン  $G_1$  及び第 2 ゲイン  $G_2$  それぞれの大きさを互いに反対方向へと制御するように構成されている。すなわち、制御回路 4 は、第 2 アナログ信号  $S_{a2}$  のレベルに基づいて、第 1 ゲイン  $G_1$  を大きくするときには、第 2 ゲイン  $G_2$  を小さくし、一方、第 1 ゲイン  $G_1$  を小さくするときには、第 2 ゲイン  $G_2$  を大きくする。そのように第 1 ゲイン  $G_1$  及び第 2 ゲイン  $G_2$  を制御することによって、マイク信号モジュール 1 の入力信号に対する出力信号のリニアリティを一定に保つことができる。

## 【 0 0 2 1 】

このように構成される制御回路 4 を含む実施形態のマイク信号モジュール 1 では、一例として、デフォルト状態（基本状態、初期状態、又は工場出荷状態）での第 1 ゲイン  $G_1$  が比較的大きな値に設定される。そうすることによって、入力信号（第 1 アナログ信号  $S_{a1}$ ）の振幅が小さいときでも第 2 アナログ信号  $S_{a2}$  の振幅を大きくすることができる。従って SN 比を高めることができる。なお、第 2 ゲイン  $G_2$  は、その比較的大きな第 1 ゲイン  $G_1$  に応じた比較的小きな値に設定される。従って、AD変換回路 3 の出力として、第 1 アナログ信号  $S_{a1}$  のレベルに応じた大きさのデジタル信号  $S_{d1}$  が得られる。

20

## 【 0 0 2 2 】

一方、第 1 アナログ信号  $S_{a1}$  の振幅が、ある程度以上に大きく、そのためマイク信号モジュール 1 内で信号の飽和が生じるようなときには、制御回路 4 によって第 1 ゲイン  $G_1$  を小さくして第 2 アナログ信号  $S_{a2}$  の振幅が小さくされる（圧縮される）。そうすることによって、マイク信号モジュール 1 内の信号の飽和を防止することができる。従ってダイナミックレンジの低下を回避することができる。

30

## 【 0 0 2 3 】

そして、制御回路 4 は、このように第 1 ゲイン  $G_1$  を小さくするときには、第 2 ゲイン  $G_2$  を大きくする。すなわち、第 2 アナログ信号  $S_{a2}$  からデジタル信号  $S_{d1}$  への変換において信号が伸長される。そのため、第 1 ゲイン  $G_1$  を小さくしたことによる出力信号（デジタル信号  $S_{d1}$ ）の減衰を補うことができる。従って、入力信号（第 1 アナログ信号  $S_{a1}$ ）の比較的大きな振幅を忠実に再現し得る出力信号（デジタル信号  $S_{d1}$ ）を得ることができる。すなわち、ダイナミックレンジの低下を防止、又は少なくとも抑制することができる。

40

## 【 0 0 2 4 】

また、マイク信号モジュール 1 全体のゲイン（感度）を入力信号の小さい振幅から大きい振幅まで、一定に保つことができる。しかも、入力信号の振幅が小さいときでも、良好な SN 比を確保することができる。従って本実施形態によれば、ダイナミックレンジを犠牲にすることなく、マイクロホン 11 のようなトランスデューサからのアナログ信号を、良好な SN 比でデジタル値に変換することができる。

## 【 0 0 2 5 】

なお、本実施形態のマイク信号モジュール 1 は、マイクロホン 11 に限らず、音を電気信号に変換し得る任意の方式及び構造のトランスデューサから入力信号（第 1 アナログ信号  $S_{a1}$ ）を受けることができる。すなわち、マイク信号モジュール 1 に入力信号を入力

50

するトランスデューサは、マイクロホンとしての利用を意図されたものでなくてもよい。マイク信号モジュール 1 は、可聴領域に限らず任意の周波数における空気の振動を電気信号に変換し得る任意のトランスデューサからの信号を第 1 アナログ信号  $S_{a1}$  として受け取ることができる。

【0026】

特に、マイク信号モジュール 1 には、MEMS 技術を空気の振動の検出機構として用いた MEMS トランスデューサで生成された信号が、第 1 アナログ信号  $S_{a1}$  として入力されてもよい。従って、図 1 の例におけるマイクロホン 11 は、MEMS マイクロホンであってもよい。同様に、実施形態のマイクロホンモジュール 10 は、マイク信号モジュール 1 と、第 1 アナログ信号  $S_{a1}$  を発生させる MEMS トランスデューサと、を含んでいてもよい。図 1 の例のマイクロホンモジュール 10 が含むマイクロホン 11 は、MEMS マイクロホンであってもよい。MEMS マイクロホンを含むことで、例えば小型、及び高耐熱性などの良好な性能を有するマイクロホンモジュール 10 が得られると考えられる。

10

【0027】

以下、バッファ回路 2、制御回路 4、及び AD 変換回路 3、それぞれの一例及び一部の變形例を説明する。なお、以下に説明される各回路の構成は、それぞれの回路の単なる例に過ぎず、各回路の構成は以下に説明される構成に限定されない。

【0028】

< バッファ回路の一例（反転型） >

図 2 A には、本実施形態のマイク信号モジュールのバッファ回路 2 が取り得る構成の一例が示されている。図 2 A に示されるように、バッファ回路 2 は、演算増幅器 21 と、複数のキャパシタ（キャパシタ 22 及びキャパシタ 23）と、を含んでいる。演算増幅器 21 は、マイクロホン 11 のようなトランスデューサからの第 1 アナログ信号  $S_{a1}$  を受ける反転入力端子と、参照電位  $V_{ref}$  が印加される非反転入力端子とを有している。キャパシタ 22 及びキャパシタ 23 は、互いに並列に、演算増幅器 21 の出力端子と反転入力端子との間に配置されている。図 2 A においてキャパシタ 22 のキャパシタンスは固定であり、一方、キャパシタ 23 は、キャパシタンスの調整が可能な可変容量キャパシタである。

20

【0029】

参照電位  $V_{ref}$  は、例えば図 1 の定電圧源 5 とは別の電圧源（図示せず）によって定電圧  $V_c$  とは独立して生成される。参照電位  $V_{ref}$  は、例えば、第 1 アナログ信号  $S_{a1}$  の最大振幅の midpoint 電位、又は、演算増幅器 21 の正負電源間（単電源の場合は電源とグランドとの間）の midpoint の電位であり得る。

30

【0030】

マイクロホン 11 は、容量型 MEMS マイクロホンのような容量型のトランスデューサの場合、固有のキャパシタンスを有している。従って、第 1 アナログ信号  $S_{a1}$  の交流成分に対するバッファ回路 2 の第 1 ゲイン  $G_1$  は、次の（式 1）で表される。

$$G_1 = C_{11} / (C_{22} + C_{23}) \quad (\text{式 1})$$

ここで  $C_{11}$ 、 $C_{22}$ 、 $C_{23}$  は、それぞれ、マイクロホン 11、キャパシタ 22、キャパシタ 23 のキャパシタンスである。従って、制御回路 4（図 1 参照）は、キャパシタ 23 のキャパシタンスを調整することによって、第 1 ゲイン  $G_1$  を調整することができる。

40

【0031】

図 2 B には、図 2 A のバッファ回路 2 の一例のさらに具体的な構成の例が示されている。図 2 B は、キャパシタンスの調整が可能なキャパシタ 23 をさらに具体化して示している。図 2 B に示されるように、キャパシタ 23 は、キャパシタ 231、232、233、・・・23n までの複数の第 1 ゲイン  $G_1$  調整用のキャパシタによって構成されている。このようにバッファ回路 2 は、演算増幅器 21 の出力端子と反転入力端子との間に配置されている複数のキャパシタを含んでいる。

【0032】

さらに、バッファ回路 2 は、複数のスイッチ 24 及び複数のスイッチ 25 を含んでいる

50

。各スイッチ 25 は、演算増幅器 21 の出力端子と反転入力端子との間の複数のキャパシタの一部であるキャパシタ 231 ~ 23n いずれか的一端と演算増幅器 21 の反転入力端子との間に配置されている。各スイッチ 25 は、各スイッチ 25 が接続されているキャパシタ 231 ~ 23n のいずれかと演算増幅器 21 の反転入力端子とを接続又は分離する。一方、各スイッチ 24 は、キャパシタ 231 ~ 23n のいずれかと並列に接続されている。各スイッチ 24 が閉じることによって、キャパシタ 231 ~ 23n のうちの、閉じているスイッチ 24 と並列に接続されているキャパシタが放電する。

【0033】

図 2B のように構成されているバッファ回路 2 では、所望の数のスイッチ 25 を閉じることによって、キャパシタ 22 とキャパシタ 23 の合成キャパシタンスを調整することができる。すなわち、第 1 ゲイン G1 を調整することができる。上記の (式 1) によれば、スイッチ 25 を閉じることによって、スイッチ 25 を介して演算増幅器 21 に接続されるキャパシタンス 231 ~ 23n を多くして第 1 ゲイン G1 を小さくすることができる。従って、制御回路 4 は、スイッチ 25 を開閉することによって第 1 ゲイン G1 を制御するように構成されていてもよい。制御回路 4 (図 1 参照) は、例えば第 1 アナログ信号 Sa1 の振幅が大きいときには、スイッチ 25 を閉じることによって、第 2 アナログ信号 Sa2 を減衰させることができる。

10

【0034】

また、図 2B の例では、スイッチ 24 を閉じることによって、キャパシタ 231 ~ 23n のうちの、第 1 ゲイン G1 の調整に寄与していない、すなわち、スイッチ 25 を介して演算増幅器 21 に接続されていないキャパシタを放電させることができる。制御回路 4 は、スイッチ 24 を閉じることによって、キャパシタ 23 を構成する各キャパシタのうちの、第 1 ゲイン G1 の設定に寄与していないキャパシタを放電させるように構成される。

20

【0035】

キャパシタ 231 ~ 23n は、好ましくは、上記の通り、スイッチ 25 によって演算増幅器 21 の反転入力端子と分離されるときに放電するように構成される。このようにキャパシタ 231 ~ 23n を放電しておくことで、それら分離されているキャパシタを演算増幅器 21 に接続して第 1 ゲイン G1 を切り替えるときに、演算増幅器 21 の入出力端子間に蓄えられている電荷量が正しく維持される。そのため、理論的には第 1 ゲイン G1 の切り替えに起因する第 2 アナログ信号 Sa2 の DC オフセットが生じない。従って、第 1 アナログ信号 Sa1 のゼロクロス時 (又は中点電位クロス時) でなくても、第 1 ゲイン G1 を切り替えることができる。

30

【0036】

前述したように、第 2 アナログ信号 Sa2 を減衰させるときには、スイッチ 25 が閉じられる。一方、スイッチ 25 が全て開放され、スイッチ 24 が全て閉じられている状態が、マイク信号モジュールのデフォルト状態であってよい。そのようにスイッチ 25 が全て開放されている状態では、上記 (式 1) から明らかなように、第 1 ゲイン G1 は、キャパシタ 22 のキャパシタンスとマイクロホン 11 のキャパシタンスとの比率によって決定される。このデフォルト状態に限らず第 1 ゲイン G1 は、(式 1) が示すようにマイクロホン 11 のようなトランスデューサのキャパシタンスに依存する。

40

【0037】

しかし、スイッチ 25 を閉じることによる第 1 ゲイン G1 の変化量 (例えば一つのスイッチ 25 を閉じることによる第 2 アナログ信号 Sa2 の減衰量) は、上記 (式 1) の分母にある C22 と C23 との比率で決定される。すなわちキャパシタ 23 のキャパシタンスの調整による第 1 ゲイン G1 の減衰率 G1 は、次の (式 2) で表される。

$$G1 = 1 + (C22 / C23) \quad (\text{式 2})$$

一例として実施形態のマイク信号モジュールが半導体基板上で構成される場合、キャパシタ 22 及びキャパシタ 23 は半導体基板上に形成される。そのような場合、キャパシタ 22 のキャパシタンスと、キャパシタ 231 ~ 23n それぞれのキャパシタンスとの比率を正確に作り込むことは比較的容易である。そのため、スイッチ 25 を閉じることによる第

50



1 ゲイン  $G_1$  の変化量を正しく構成することは比較的容易なことがある。

【0038】

従って、第2ゲイン  $G_2$  を決定する素子も、キャパシタ22、23と同様に半導体基板上で構成することによって、マイクロホン11のキャパシタンスがばらついていても、マイク信号モジュールの良好なリニアリティを容易に確保できることがある。このように、図2A及び図2Bに例示の反転型のバッファ回路2では、第1ゲイン  $G_1$  はマイクロホン11のようなトランスデューサのキャパシタンスのばらつきに依存する。しかし、各ゲインの制御を伴うマイク信号モジュールの信号変換におけるリニアリティの確保は、比較的容易であると考えられる。なお、トランスデューサのキャパシタンスのばらつきによる第1ゲイン  $G_1$  の変動は、従来から行われている調整方法で補償可能である。

10

【0039】

<バッファ回路の他の例(正転型)>

図3Aには、本実施形態のマイク信号モジュールのバッファ回路2が取り得る構成の他の例が示されている。図3Aに示される例では、バッファ回路2は、非反転バッファ26と、キャパシタ27と、を含んでいる。非反転バッファ26は、マイクロホン11から送られる第1アナログ信号  $S_{a1}$  を受ける入力端子を有している。非反転バッファ26は、一例として、ボルテージフォロワを構成するように反転入力端子と出力端子とが接続された演算増幅器である。その演算増幅器の非反転入力端子が、図3Aの非反転バッファ26の入力端子であってもよい。図3Aの例においてマイクロホン11は、容量型MEMSマイクロホンのような容量型トランスデューサである。キャパシタ27は、非反転バッファ26の入力端子と所定の定電位である参照電位  $V_{ref}$  との間に配置されている。キャパシタ27は、キャパシタンスの調整が可能な可変容量キャパシタである。

20

【0040】

参照電位  $V_{ref}$  は、例えば図1の定電圧源5とは別の電圧源(図示せず)によって定電圧  $V_c$  とは独立して生成される。参照電位  $V_{ref}$  は、例えば、第1アナログ信号  $S_{a1}$  の最大振幅の midpoint 電位、又は、演算増幅器21の正負電源間(単電源の場合は電源とグランドとの間)の midpoint の電位であり得る。

【0041】

容量型のトランスデューサであるマイクロホン11は、固有のキャパシタンスを有している。従って、第1アナログ信号  $S_{a1}$  の交流成分に対するバッファ回路2の第1ゲイン  $G_1$  は、次の(式3)で表される。

30

$$G_1 = C_{11} / (C_{11} + C_{27}) \quad (\text{式3})$$

ここで  $C_{11}$ 、 $C_{27}$  は、それぞれ、マイクロホン11、キャパシタ27のキャパシタンスである。従って、制御回路4(図1参照)は、キャパシタ27のキャパシタンスを調整することによって、第1ゲイン  $G_1$  を調整することができる。

【0042】

図3Bには、図3Aのバッファ回路2の一例のさらに具体的な構成例が示されている。図3Bは、キャパシタンスの調整が可能なキャパシタ27をさらに具体化して示している。図3Bに示されるように、キャパシタ27は、キャパシタ271、272、273、 $\dots$ 、27nまでの複数の第1ゲイン  $G_1$  調整用のキャパシタによって構成されている。すなわちバッファ回路2は、非反転バッファ26の入力端子と、所定の定電位である参照電位  $V_{ref}$  との間にそれぞれ配置されている複数のキャパシタを含んでいる。

40

【0043】

さらに、バッファ回路2は、複数のスイッチ28及び複数のスイッチ29を含んでいる。各スイッチ29は、非反転バッファ26の入力端子と、キャパシタ271~27nいずれかの一端との間に配置されている。スイッチ29は、複数のキャパシタ271~27nと非反転バッファ26の入力端子とを接続又は分離する。一方、各スイッチ28は、キャパシタ271~27nのいずれかと並列に接続されている。各スイッチ28が閉じることによって、キャパシタ271~27nのうちの、閉じているスイッチ28と並列に接続されているキャパシタが放電する。

50

## 【 0 0 4 4 】

図 3 B のように構成されるバッファ回路 2 では、所望の数のスイッチ 2 9 を閉じることによって、キャパシタ 2 7 のキャパシタンスを調整して第 1 ゲイン  $G_1$  を調整することができる。上記の (式 3) によれば、スイッチ 2 9 を閉じることによって、非反転バッファ 2 6 に接続されるキャパシタンス 2 7 1 ~ 2 7 n を多くして第 1 ゲイン  $G_1$  を小さくすることができる。従って、制御回路 4 は、スイッチ 2 9 を開閉することによって第 1 ゲイン  $G_1$  を制御するように構成されていてもよい。制御回路 4 (図 1 参照) は、例えば第 1 アナログ信号  $S_{a1}$  の振幅が大きいときには、スイッチ 2 9 を閉じることによって、第 2 アナログ信号  $S_{a2}$  を減衰させることができる。

## 【 0 0 4 5 】

また、図 3 B の例では、キャパシタ 2 7 1 ~ 2 7 n のうちのスイッチ 2 9 を介して非反転バッファ 2 6 に接続されていないキャパシタを、スイッチ 2 8 を閉じることによって放電させることができる。制御回路 4 は、スイッチ 2 8 を閉じることによって、キャパシタ 2 7 を構成する各キャパシタのうちの、第 1 ゲイン  $G_1$  の設定に寄与していないキャパシタを放電させるように構成される。

## 【 0 0 4 6 】

キャパシタ 2 7 1 ~ 2 7 n は、好ましくは、上記のようにスイッチ 2 9 によって非反転バッファ 2 6 の入力端子と分離されるときに放電するように構成される。このようにキャパシタ 2 7 1 ~ 2 7 n を放電しておくことで、それら分離されているキャパシタを非反転バッファ 2 6 に接続して第 1 ゲイン  $G_1$  を切り替えるときに、非反転バッファ 2 6 に接続されているキャパシタに蓄えられている電荷量が正しく維持される。そのため、理論的には第 1 ゲイン  $G_1$  の切り替えに起因する第 2 アナログ信号  $S_{a2}$  の DC オフセットを生じない。従って、第 1 アナログ信号  $S_{a1}$  のゼロクロス時 (又は中点電位クロス時) でなくても、第 1 ゲイン  $G_1$  を切り替えることができる。

## 【 0 0 4 7 】

前述したように第 2 アナログ信号  $S_{a2}$  を減衰させるときには、スイッチ 2 9 が閉じられる。一方、スイッチ 2 9 が全て開放され、スイッチ 2 8 が全て閉じられている状態が、マイク信号モジュールのデフォルト状態であってよい。そのようにスイッチ 2 9 が全て開放されている状態では、上記 (式 3) から明らかなように、第 1 ゲイン  $G_1$  は 1 倍 (0 dB) である。従って、図 3 B の例では、デフォルト状態での第 1 ゲイン  $G_1$  のばらつきは少ないと考えられる。

## 【 0 0 4 8 】

一方、スイッチ 2 9 を閉じることによる第 1 ゲイン  $G_1$  の変化量 (例えば一つのスイッチ 2 9 を閉じることによる第 2 アナログ信号  $S_{a2}$  の減衰量) は、上記 (式 3) の分母にある  $C_{11}$  と  $C_{27}$  との比率で決定される。すなわちキャパシタ 2 7 のキャパシタンスの調整による第 1 ゲイン  $G_1$  の減衰率  $G_1$  は、次の (式 4) で表される。

$$G_1 = 1 + (C_{11} / C_{27}) \quad (\text{式 4})$$

従って、第 1 ゲイン  $G_1$  の変化量は、容量型トランスデューサのキャパシタンス  $C_{11}$  のばらつきに依存する。

## 【 0 0 4 9 】

キャパシタンス  $C_{11}$  は、キャパシタ 2 7 のキャパシタンス  $C_{27}$  から独立してばらつくため、キャパシタンス  $C_{27}$  の調整量に対する第 1 ゲイン  $G_1$  の変化量が、キャパシタンス  $C_{11}$  のばらつきに応じてばらつくことになる。そのため、スイッチ 2 9 のいずれかを閉じて第 2 アナログ信号  $S_{a2}$  を減衰させるような動作領域では、トランスデューサのキャパシタンスのばらつき次第で、バッファ回路 2 の入力と、AD 変換回路 3 (図 1 参照) の出力との間のリニアリティが維持されないこととなる。例えば、これら入力と出力を横軸と縦軸にとるプロット図において、両者の関係が、小さい入力値の領域では直線で示されるが、一定値以上の入力値の領域では、傾きが徐々に増加又は減少する曲線で示されることになる。そこで、このトランスデューサのキャパシタンスのばらつきを補正するために、好ましくは、AD 変換回路 3 (図 1 参照) 内の帰還量の調整が行われる。この調整

10

20

30

40

50

は後に図7を参照して詳述される。

【0050】

図2Bのキャパシタ231～23n及び図3Bのキャパシタ271～27nは、第1ゲインG1に求められる設定値の数に応じた数で配置される。そして、キャパシタ231～23nの数と同数のスイッチ24及びスイッチ25それぞれが設けられる。同様に、キャパシタ271～27nの数と同数のスイッチ28及びスイッチ29それぞれが設けられる。n個のキャパシタ231～23n又はn個のキャパシタ271～27nを設けることによって、第1ゲインG1を、デフォルト状態における値以外のn個の値に設定することができる。

【0051】

<制御回路>

図4には、本実施形態のマイク信号モジュールの制御回路4が取り得る構成の一例がブロック図で示されている。図4に例示される制御回路4は、比較回路40と、ORゲート43と、カウンタ44と、検出器45と、エッジ検出回路46と、パルス発生回路47と、ORゲート48と、を含んでいる。パルス発生回路47は、タイマ471及びパルス発生器472を含んでいる。比較回路40は、第2アナログ信号Sa2のレベルを所定の上限閾値Vth+及び所定の下限閾値Vth-と比較する。図4の例において比較回路40は、比較器41と比較器42と、を含んでいる。

【0052】

比較器41の反転入力端子には上限閾値Vth+が入力され、比較器42の非反転入力端子には下限閾値Vth-が入力される。比較器41の非反転入力端子及び比較器42の反転入力端子は、バッファ回路2(図1参照)の出力端子に接続されている。従って比較器41の非反転入力端子及び比較器42の反転入力端子には、第2アナログ信号Sa2が入力される。比較器41は、所定の上限閾値Vth+と第2アナログ信号Sa2とを比較する。比較器42は、所定の下限閾値Vth-と第2アナログ信号Sa2とを比較する。比較器41及び比較器42それぞれの出力電圧はORゲート43の各入力端子に入力される。比較器41及び比較器42によって、下限閾値Vth-から上限閾値Vth+までの範囲を比較対象として有するウィンドコンパレータが構成されている。

【0053】

カウンタ44は、インクリメント入力端子441と、デクリメント端子442と、出力端子443と、を有している。カウンタ44は、インクリメント入力端子への立ち上がりエッジ又は立下りエッジのいずれかの入力によってカウント値を1ずつ増加させ、デクリメント入力端子への立ち上がりエッジ又は立下りエッジのいずれかの入力によってカウント値を1ずつ減少させる。カウンタ44は、内部に保有しているカウント値を、1又は複数の出力端子443から、シリアル又はパラレルに出力する。

【0054】

ORゲート43からは、比較器41の出力電圧の論理値と比較器42の出力電圧の論理値との論理和が、カウンタ44のインクリメント入力端子441へと出力される。従って、カウンタ44のカウント値は、第2アナログ信号Sa2が上限閾値Vth+を上回るたびにインクリメントされ、さらに、第2アナログ信号Sa2が下限閾値Vth-を下回るたびにインクリメントされる。

【0055】

検出器45は比較器によって構成されている。検出器45の反転入力端子は、バッファ回路2の出力端子に接続されている。検出器45の反転入力端子には第2アナログ信号Sa2が入力され、非反転入力端子には、第2アナログ信号Sa2の最大振幅の中心電位Vcomが入力される。従って、検出器45は、第2アナログ信号Sa2のレベルと中心電位Vcomとの大小関係の反転(時系列上での第2アナログ信号Sa2と中心電位Vcomとの交差であって、中心電位Vcomが0Vの場合はゼロクロス)を検出する。その反転の検出のたびに、検出器45の出力電圧の論理は、「正(“1”)」(ハイレベル電位)から「負(“0”)」(ロウレベル電位)に、又は「負」から「正」に、変化する。

10

20

30

40

50

## 【 0 0 5 6 】

具体的には、図 4 の例において第 2 アナログ信号  $S a 2$  のレベルが中点電位  $V c o m$  よりも低い側から中点電位  $V c o m$  に達するか又は中点電位  $V c o m$  を上回ると、検出器 4 5 の出力電圧の論理は「正」から「負」へと変化する。一方、第 2 アナログ信号  $S a 2$  のレベルが中点電位  $V c o m$  よりも高い側から中点電位  $V c o m$  に達するか又は中点電位  $V c o m$  を下回ると、検出器 4 5 の出力電圧の論理は「負」から「正」へと変化する。なお、図 4 と異なり、検出器 4 5 の非反転入力端子に第 2 アナログ信号  $S a 2$  が入力され、反転入力端子に中点電位  $V c o m$  が入力されてもよい。

## 【 0 0 5 7 】

エッジ検出回路 4 6 は、検出器 4 5 の出力電圧の立ち上がりエッジを検出すると共に、検出器 4 5 の出力電圧の立ち下がりエッジを検出する。エッジ検出回路 4 6 は、これら両エッジいずれかの検出の度に OR ゲート 4 8 にパルスを出力する。OR ゲート 4 8 の二つの入力端子のうち的一方にはエッジ検出回路 4 6 の出力端子が接続されており、他方にはパルス発生器 4 7 2 の出力端子が接続されている。OR ゲート 4 8 の出力端子はカウンタ 4 4 のデクリメント入力端子 4 4 2 に接続されている。OR ゲート 4 8 は、パルス発生器 4 7 2 からロウレベルが入力されている状態では、エッジ検出回路 4 6 からパルスが入力されるたびに、その入力パルスと略同じパルスをカウンタ 4 4 のデクリメント入力端子 4 4 2 に出力する。従って、カウンタ 4 4 のカウント値は、第 2 アナログ信号  $S a 2$  のレベルと中点電位  $V c o m$  との大小関係の反転が検出されるたびにデクリメントされる。

## 【 0 0 5 8 】

すなわち、カウンタ 4 4 は、第 2 アナログ信号  $S a 2$  のレベルが下限閾値  $V t h -$  から上限閾値  $V t h +$  までの範囲外であることが比較回路 4 0 によって検出されるとインクリメントされ、検出器 4 5 によって第 2 アナログ信号  $S a 2$  のレベルと中点電位  $V c o m$  との大小関係の反転が検出されるとデクリメントされる。一例として、上限閾値  $V t h +$ 、及び、下限閾値  $V t h -$  は、それぞれ、AD 変換回路 3 の最大入力電圧範囲の最大値及び最小値に応じて選択される。一例として、上限閾値  $V t h +$  は、AD 変換回路 3 の最大入力電圧範囲の最大値よりも所定の電圧幅だけ低い電圧値である。同様に、下限閾値  $V t h -$  は、AD 変換回路 3 の最大入力電圧範囲の最小値よりも所定の電圧幅だけ高い電圧値であってよい。

## 【 0 0 5 9 】

上記の通りカウント値が増減されるので、第 2 アナログ信号  $S a 2$  のレベルが、一例として AD 変換回路 3 の最大入力電圧範囲の最大値又は最小値に近付いたり最大入力電圧範囲を超えたりすることが続くと、カウンタ 4 4 のカウント値は徐々に増加する。一方、第 2 アナログ信号  $S a 2$  のレベルが、AD 変換回路 3 の最大入力電圧範囲の最大値又は最小値の近傍の値に達することなく中点電位  $V c o m$  を横切ることを繰り返すと、カウンタ 4 4 のカウント値は徐々に減少する。

## 【 0 0 6 0 】

従って、カウンタ 4 4 のカウント値に応じて第 1 ゲイン  $G 1$  を調整することによって、例えば AD 変換回路 3 の最大入力電圧範囲を超えるような第 2 アナログ信号  $S a 2$  の生成を抑制することができる。すなわち、マイク信号モジュール内で信号の飽和を防止することができる。さらに、第 1 ゲイン  $G 1$  と同様にカウンタ 4 4 のカウント値に応じて第 2 ゲイン  $G 2$  を調整することによって、第 1 ゲイン  $G 1$  を小さくしたことによる AD 変換回路 3 (図 1 参照) の出力信号の減衰を補うことができる。従って、図 4 の例のように構成される制御回路 4 は、カウンタ 4 4 のカウント値に応じて第 1 ゲイン  $G 1$  及び第 2 ゲイン  $G 2$  を制御するように構成されていてもよい。

## 【 0 0 6 1 】

カウンタ 4 4 の出力端子 4 4 3 からシリアル又はパラレルに出力されるカウント値は、第 1 ゲイン  $G 1$  を制御する制御信号  $S c 1$  としてバッファ回路 2 へと出力されてよく、第 2 ゲイン  $G 2$  を制御する制御信号  $S c 2$  として AD 変換回路 3 へと出力されてよい。或いは、制御回路 4 は、カウント値の情報を含むカウンタ 4 4 からの出力信号に対して適切な

10

20

30

40

50

信号処理回路（図示せず）で加工や分配などの必要な信号処理を行ってもよい。そして制御回路 4 は、その処理後の信号を制御信号  $S c 1$ 、 $S c 2$  として、バッファ回路 2、A/D 変換回路 3 それぞれへと出力してもよい。

【0062】

図 4 の例の制御回路 4 において、第 2 アナログ信号  $S a 2$  のレベルと中点電位  $V c o m$  との大小関係の反転が検出されると、エッジ検出回路 4 6 からタイマ 4 7 1 にリセット信号  $R s t$  が入力される。タイマ 4 7 1 は、リセット信号  $R s t$  が入力されるたびに、その時点までの計時状態をリセットして、その後の経過時間を計時する。そしてタイマ 4 7 1 は、予め設定された所定の時間が経過すると、イネーブル信号  $E n$  をパルス発生器 4 7 2 に出力し、内部の計時状態をリセットして計時を繰り返す。パルス発生器 4 7 2 は、イネーブル信号  $E n$  が入力されると、予め設定された所定の時間毎にパルス  $P r$  を出力する。

10

【0063】

このように、パルス発生回路 4 7 は、検出器 4 5 による第 2 アナログ信号  $S a 2$  のレベルと中点電位  $V c o m$  との大小関係の反転の検出から次の反転の検出までに所定の時間が経過すると、パルス  $P r$  をカウンタ 4 4 に向けて出力する。図 4 の例のパルス発生回路 4 7 は、具体的には、OR ゲート 4 8 にパルス  $P r$  を出力する。OR ゲート 4 8 は、エッジ検出回路 4 6 からロウレベルが入力されている状態では、パルス発生回路 4 7 からパルス  $P r$  が入力されるたびに、カウンタ 4 4 のデクリメント入力端子 4 4 2 にパルス  $P r$  を出力する。すなわち、カウンタ 4 4 はパルス  $P r$  が出力されるたびにカウント値をデクリメントするように構成されている。そのため、カウンタ 4 4 のカウント値は、第 2 アナログ信号  $S a 2$  のレベルと中点電位  $V c o m$  との大小関係の反転が検出されてから次の反転が検出されるまでの間に、タイマ 4 7 1 に設定されている所定の時間が経過するたびに、デクリメントされる。

20

【0064】

パルス発生回路 4 7 を含む図 4 の制御回路 4 では、所定の時間の経過に基づいてパルス発生器 4 7 2 を作動させることによって強制的にカウンタ 4 4 のカウント値をデクリメントすることができる。このような構成により、第 2 アナログ信号  $S a 2$  が、検出器 4 5 によって検出され得ないような小信号若しくは無信号のときに、カウンタ 4 4 のカウント値をデクリメントすることができる。或いは、小振幅の第 2 アナログ信号  $S a 2$  が、若干の中点電位  $V c o m$  からのオフセットのために、中点電位  $V c o m$  を横切る変化をしないときに、カウンタ 4 4 のカウント値をデクリメントすることができる。そのようにカウント値を強制的にデクリメントすることによって、第 1 ゲイン  $G 1$  及び第 2 ゲイン  $G 2$  を適切な値に制御できることがある。

30

【0065】

タイマ 4 7 1 に設定される所定の時間は、一例として、50 m 秒以上である。このような時間がタイマ 4 7 1 に設定されると、小信号若しくは無信号となった場合でも初期状態に戻すことができる。なお、カウント値が 0 のときに第 2 アナログ信号  $S a 2$  のレベルと中点電位  $V c o m$  との大小関係が反転しても、カウンタ 4 4 のデクリメント入力端子 4 4 2 に入力されるパルス  $P r$  は無視される。従ってカウント値は変化しない。

【0066】

< A/D 変換回路 >

図 5 A には、本実施形態のマイク信号モジュールの A/D 変換回路 3 が取り得る構成の一例がブロック図で示されている。図 5 A に例示される A/D 変換回路 3 は、入力信号に対してデルタシグマ変調を行うデルタシグマ型 A/D 変換回路である（「デルタシグマ型 A/D 変換回路」は「シグマデルタ型 A/D 変換回路」とも称される）。従って A/D 変換回路 3 は、減算器 3 1、積分器 3 2、量子化器 3 3、及び、1 ビットのデジタル - アナログ変換器（D/A 変換器）3 4 を含んでいる。主に D/A 変換器 3 4 によって、A/D 変換回路 3 の出力端  $V a d o$  から入力端  $V a d i$  へと A/D 変換回路 3 の出力値を帰還させる帰還回路  $F B$  が構成されている。

40

【0067】

50

減算器 3 1 は、D A 変換器 3 4 が出力する正又は負の基準電圧 ( $+V_r$  又は  $-V_r$ ) を第 2 アナログ信号  $S_{a2}$  から差し引いて積分器 3 2 へと出力する。積分器 3 2 は、減算器 3 1 の出力を累積加算して量子化器 3 3 に出力する。量子化器 3 3 は、積分器 3 2 から入力される電圧が基準値以上であれば「正 (“ 1 ”)」(ハイレベル電位)のデジタル値を出力し、基準値以下であれば「負 (“ 0 ”)」(ロウレベル電位)のデジタル値を出力する。D A 変換器 3 4 は、量子化器 3 3 の出力が「正」であれば正の基準電圧  $+V_r$  を減算器 3 1 へと出力し、量子化器 3 3 の出力が「負」であれば負の基準電圧 ( $-V_r$ ) を減算器 3 1 へと出力する。このようなデルタシグマ変調を第 2 アナログ信号  $S_{a2}$  について行うことによって、第 2 アナログ信号  $S_{a2}$  の大きさに応じた P D M (パルス密度変調)形式のデジタル出力値が得られる。このように動作する A D 変換回路 3 は、図 2 A 及び図 2 B に例示の反転型のバッファ回路 2 との組み合わせに適している。

10

## 【 0 0 6 8 】

図 5 A に示される A D 変換回路 3 では、帰還回路 F B の帰還量が調整可能なように構成されている。「帰還量」は、量子化器 3 3 の出力に基づいて A D 変換回路 3 の入力側に与えられる電圧の大きさを意味している。より具体的には、図 5 A の例において「帰還量」は、量子化器 3 3 の正負それぞれの出力に基づいて減算器 3 1 に入力される正又は負の基準電圧  $V_r$  の大きさを意味する。帰還量が大きくなると、減算器 3 1 による減算処理毎の減算結果の変化量が大きくなるので、入力される第 2 アナログ信号  $S_{a2}$  に対して量子化器 3 3 から出力されるデジタル値が小さくなり、第 2 ゲイン  $G_2$  は小さくなる。逆に、帰還量が小さくなると、入力される第 2 アナログ信号  $S_{a2}$  に対して出力されるデジタル値は大きくなり、第 2 ゲイン  $G_2$  は大きくなる。すなわち、帰還回路 F B の帰還量を増減させることによって、A D 変換回路 3 の第 2 ゲイン  $G_2$  を制御することができる。従って、制御回路 4 (図 1 参照)は、帰還回路 F B の帰還量を増減させることによって第 2 ゲイン  $G_2$  を制御するように構成されていてもよい。そのような構成は、第 2 ゲイン  $G_2$  の制御を容易にすると考えられる。

20

## 【 0 0 6 9 】

図 5 B には、図 5 A の A D 変換回路 3 の一例のさらに具体的な構成例が示されている。図 5 B は、帰還量の調整が可能な帰還回路 F B をさらに具体化して示している。図 5 B に示されるように、帰還回路 F B は、帰還回路  $F B_0$ 、 $F B_1$ 、 $F B_2$ 、 $F B_3$ 、 $\dots$ 、 $F B_n$  までの複数の帰還回路によって構成されている。帰還回路  $F B_0$  は、主に D A 変換器 3 4 0 によって構成されている。同様に、帰還回路  $F B_1$ 、 $F B_2$ 、 $F B_3$ 、 $\dots$ 、 $F B_n$  は、それぞれ、主に D A 変換器 3 4 1、3 4 2、3 4 3、 $\dots$ 、3 4 n によって構成されている。このように A D 変換回路 3 は、それぞれが D A 変換器によって構成される任意の複数の帰還回路を有していてもよい。

30

## 【 0 0 7 0 】

さらに、図 5 B の A D 変換回路 3 は、複数のスイッチ 3 5 を含んでいる。各スイッチ 3 5 は、帰還回路  $F B_1 \sim F B_n$  それぞれに設けられている。各スイッチ 3 5 は、D A 変換器 3 4 1  $\sim$  3 4 n それぞれの出力と減算器 3 1 との間に配置されており、D A 変換器 3 4 1  $\sim$  3 4 n それぞれの出力と減算器 3 1 とを接続、又は分離する。

## 【 0 0 7 1 】

D A 変換器 3 4 0、3 4 1  $\sim$  3 4 n は、それぞれ、前述したように量子化器 3 3 の出力の論理に応じて、正又は負の基準電圧  $V_r$  を出力する。そのため、D A 変換器 3 4 1  $\sim$  3 4 n のうちのスイッチ 3 5 によって減算器 3 1 と接続される D A 変換器の数が多ければ多いほど、帰還回路 F B 全体の帰還量は大きくなる。逆に、接続される D A 変換器の数が少なければ少ないほど帰還量は小さくなる。すなわち、各スイッチ 3 5 の開閉を制御することによって、帰還回路 F B の帰還量を調整することができる。従って、制御回路 4 (図 1 参照)は、スイッチ 3 5 を開閉することによって第 2 ゲイン  $G_2$  を制御するように構成されていてもよい。

40

## 【 0 0 7 2 】

一例として、スイッチ 3 5 が全て閉じている状態が、マイク信号モジュール 1 のデフォ

50

ルト状態であってよい。その状態では、DA変換器340～340nにより帰還回路FBが構成される。そして、スイッチ35が一つ開放されるごとに、その開放されるスイッチ35に接続されているDA変換器341～34nのいずれかが出力する基準電圧Vrだけ、帰還回路FBの帰還量が減少する。その帰還量の減少に応じて第2ゲインG2が増大する。なお、DA変換器340、341～34nそれぞれが出力する基準電圧Vrは、全て同じであってよく、異なってもよい。

#### 【0073】

帰還回路FB1～FBnは、第2ゲインG2に求められる設定値の数に応じた数だけ設けられる。そして、帰還回路FB1～FBnの数と同数のスイッチ35それぞれが設けられる。n個の帰還回路FB1～FBnを設けることによって、第2ゲインG2を、デフォルト状態における値以外のn個の値に設定することができる。

10

#### 【0074】

AD変換回路3は、好ましくは、スイッチ35の一つを閉じることによる第2ゲインG2の変化率が、図2Bの例のバッファ回路2においてスイッチ25の一つを閉じることによる第1ゲインG1の変化率と略同じになるように構成される。スイッチ35の一つを閉じることによる第2ゲインG2の変化率は、図3Bの例のバッファ回路2においてスイッチ29の一つを閉じることによる第1ゲインG1の変化率と略同じであってよく、好ましくは略同じである。さらに、第1ゲインG1と第2ゲインG2とは、デシベル表示において、互いの反数（絶対値が略同じで正負が逆の数）であってよく、そのようにAD変換回路3及びバッファ回路2が構成されると、第1ゲインG1及び第2ゲインG2の制御において、マイク信号モジュールのリニアリティの維持が容易なことがある。

20

#### 【0075】

一例として、制御回路4（図1参照）は、図2Bの複数のスイッチ24及び複数のスイッチ25それぞれに対する制御信号を含む複数の制御信号を出力してもよい。他の例として、制御回路4は、図3Bの例の複数のスイッチ28及び複数のスイッチ29それぞれに対する制御信号を含む複数の制御信号を出力してもよい。さらに、制御回路4は、図5Bの例の複数のスイッチ35それぞれに対する制御信号を含む複数の制御信号を出力してもよい。そしてその複数の制御信号のそれぞれが、スイッチ24及びスイッチ25、スイッチ28及びスイッチ29、又は、スイッチ35それぞれにおいてその開閉を制御する制御端子に入力されてもよい。或いは、制御回路4から出力される制御信号が、適切なマルチプレクサ（図示せず）を介して、各スイッチ24及び各スイッチ25、又は、各スイッチ28及び各スイッチ29の制御端子へと分配されると共に、各スイッチ35の制御端子へと分配されてもよい。

30

#### 【0076】

<各信号の波形例>

図6Aには、本実施形態のマイク信号モジュール1（図1参照）における、第1アナログ信号Sa1、及び、その第1アナログ信号Sa1の入力によって生成される第2アナログ信号Sa2それぞれの波形の一観察例が示されている。図6Aには、さらに、図6Aの第1アナログ信号Sa1に対してAD変換回路3（図1参照）から得られる出力信号Soの波形の一観察例が示されている。なお、図6Aの出力信号Soは、図8Bに関して前述したように、AD変換回路3から出力されるデジタル信号Sd1（図1参照）をローパスフィルタに通すことによって得られる信号の波形である。図6AのVIB部の第1アナログ信号Sa1及び第2アナログ信号Sa2が、拡大して図6Bに示されている。図6Bには、さらに制御回路4に含まれるカウンタ44（図4参照）のカウント値Nc、第1ゲインG1、及び第2ゲインG2の変化の一例が示されている。

40

#### 【0077】

図6Aに示されるように、時点T1よりも前の時間領域では、第1アナログ信号Sa1の振幅が比較的小さいので、第1アナログ信号Sa1を第1ゲインG1で増幅することによって、第1アナログ信号Sa1の振幅よりも大きい振幅を有する第2アナログ信号Sa2が生成されている。大きな振幅の第2アナログ信号Sa2を生成することによって、S

50

N比が向上すると考えられる。このときの第1ゲイン $G_1$ は、例えば、図2Aに関して前述された上記(式1)に基づいて、 $C_{11}/C_{22}$ であり得る。ここで $C_{11}$ は、マイクロホン11(図2A参照)のようなトランスデューサのキャパシタンスであり、 $C_{22}$ は図2Aのバッファ回路2の入出力間のキャパシタンスである。

【0078】

時点 $T_1$ までの時間領域において、AD変換回路3(図5B参照)は、第1ゲイン $G_1$ に応じた第2ゲイン $G_2$ で第2アナログ信号 $S_{a2}$ のレベルをデジタル値に変換している。その結果、出力信号 $S_o$ において、第1アナログ信号 $S_{a1}$ が略忠実に再現されている。

【0079】

時点 $T_1$ 以降では、第1アナログ信号 $S_{a1}$ の振幅が大きくなるため、第1ゲイン $G_1$ が、時点 $T_1$ の前の時間領域の値よりも小さくされる。すなわち、図6Bに示されるように、時点 $T_{11}$ で第2アナログ信号 $S_{a2}$ が下限閾値 $V_{th-}$ に達するためカウント値 $N_c$ がインクリメントされる。そのため、第1ゲイン $G_1$ が、時点 $T_{11}$ までの値よりも小さくされる。その結果、第2アナログ信号 $S_{a2}$ の振幅が第1ゲイン $G_1$ の減少に応じた量だけ小さくなるため、AD変換回路3において信号の飽和が生じない。加えて、カウント値 $N_c$ のインクリメントに応じて第2ゲイン $G_2$ が大きくなるので、第2アナログ信号 $S_{a2}$ は適切な大きさのデジタル値に変換される。

【0080】

時点 $T_{11}$ 後も第1アナログ信号 $S_{a1}$ のレベルが増大するので、時点 $T_{12}$ において再び第2アナログ信号 $S_{a2}$ が下限閾値 $V_{th-}$ に達する。そのため、カウント値 $N_c$ がさらにインクリメントされ、第1ゲイン $G_1$ が小さくされると共に第2ゲイン $G_2$ が大きくなる。従って、第2アナログ信号 $S_{a2}$ は、飽和することなく、引き続き適切な大きさのデジタル値に変換される。時点 $T_{12}$ 後も、第2アナログ信号 $S_{a2}$ が下限閾値 $V_{th-}$ に達する度に、カウント値 $N_c$ がインクリメントされ、それに応じて第1ゲイン $G_1$ が小さくされると共に第2ゲイン $G_2$ が大きくなる。

【0081】

その後、時点 $T_2$ で第2アナログ信号 $S_{a2}$ が中点電位 $V_{com}$ に達すると、カウント値 $N_c$ がデクリメントされ、それに応じて第1ゲイン $G_1$ が大きくなると共に第2ゲイン $G_2$ が小さくなる。その後、時点 $T_3$ で第2アナログ信号 $S_{a2}$ が上限閾値 $V_{th+}$ に達すると、再度、カウント値 $N_c$ がインクリメントされ、それに応じて第1ゲイン $G_1$ が小さくされると共に第2ゲイン $G_2$ が大きくなる。

【0082】

このように、第1ゲイン $G_1$ 及び第2ゲイン $G_2$ が制御されるので、図6Aに示されるように、時点 $T_1$ 以降も、出力信号 $S_o$ において、第1アナログ信号 $S_{a1}$ が略忠実に再現される。このように本実施形態によれば、良好なりニアリティで十分なダイナミックレンジを確保しながら、入力信号(第1アナログ信号 $S_{a1}$ )の小振幅時の十分なSN比も確保することができる。

【0083】

< AD変換回路の他の例 >

図7には、本実施形態のマイク信号モジュールにおけるAD変換回路の他の例であるAD変換回路 $3x$ が示されている。AD変換回路 $3x$ は、図5AのAD変換回路3に加えて、第2の帰還回路 $FBx$ を有している。第2の帰還回路 $FBx$ は、主に、バッファ回路2(図3A及び図3B参照)の入力端子に接続されるマイクロホン11のようなトランスデューサのキャパシタンスのばらつきを補正するために付加される。AD変換回路 $3x$ は、図3A及び図3Bに例示の正転型のバッファ回路2との組み合わせに適している。

【0084】

バッファ回路2が正転型の場合、反転型と異なり、参照電位 $V_{ref}$ (図3A参照)に対する極性として第1アナログ信号 $S_{a1}$ (図3A参照)の極性と同じ極性を有する第2アナログ信号 $S_{a2}$ がバッファ回路2からAD変換回路 $3x$ に出力される。そのため、図

10

20

30

40

50



7のAD変換回路3x内のDA変換器34は、量子化器33の出力が「正」であれば負の基準電圧 $-V_r$ を減算器31へと出力し、量子化器33の出力が「負」であれば正の基準電圧 $(+V_r)$ を減算器31へと出力する。従って、減算器31において実質的には、量子化器33の出力が「正」のときには絶対値 $V_r$ が加算され、量子化器33の出力が「負」のときには絶対値 $V_r$ が減算される。DA変換器34がそのように動作することによって、正転型のバッファ回路2からの第2アナログ信号 $S_{a2}$ に対する適切なデルタシグマ変調動作が実現される。なお、図7の例においてもDA変換器34が図5Aの例と同様に動作してもよく、その場合、減算器31は、DA変換器34からの出力に対する加算器としての機能を有していてもよい。

【0085】

一方、第2の帰還回路 $FB_x$ は、主に、図5AのDA変換器34と同様に動作するDA変換器 $34_x$ によって構成されている。すなわち、DA変換器 $34_x$ は、量子化器33の出力が「正」であれば正の基準電圧 $+V_{rx}$ を減算器31へと出力し、量子化器33の出力が「負」であれば負の基準電圧 $-V_{rx}$ を減算器31へと出力する。DA変換器 $34_x$ が出力する正又は負の基準電圧 $(+V_{rx}$ 又は $-V_{rx})$ は、DA変換器34から出力される基準電圧 $(+V_r$ 又は $-V_r)$ と共に、減算器31によって第2アナログ信号 $S_{a2}$ から差し引かれる。

【0086】

第2の帰還回路 $FB_x$ は、帰還回路 $FB$ と同様に、帰還量の調整が可能なように構成されている。従って、第2の帰還回路 $FB_x$ は、図5Bの帰還回路 $FB$ と同様に、それぞれスイッチとDA変換器とを含む複数の帰還回路によって構成されてもよい。そのスイッチの開閉によって第2の帰還回路 $FB_x$ の帰還量を調整することができる。第2の帰還回路 $FB_x$ の帰還量は、バッファ回路2(図3A及び図3B参照)に接続されるマイクロホン11のようなトランスデューサのキャパシタンスと、バッファ回路2の入力キャパシタンスとの比率に応じて設定される。「バッファ回路2の入力キャパシタンス」は、バッファ回路2の入力端子に接続されている、マイクロホン11などのトランスデューザ以外の(例えば図3A及び図3Bのキャパシタ27のような)容量性素子のキャパシタンスである。

【0087】

前述したように、図3A及び図3Bのバッファ回路2においてスイッチ29を閉じることによる第1ゲイン $G_1$ の変化量は、上記(式4)によれば、 $C_{27}$ と $C_{11}$ との比率によって決定される。 $C_{11}$ は、バッファ回路2に接続されるマイクロホン11のようなトランスデューサのキャパシタンスである。 $C_{27}$ は、図3A及び図3Bのキャパシタ27のキャパシタンスであってバッファ回路2の入力キャパシタンスである。従って、第2アナログ信号 $S_{a2}$ を精度よくデジタル信号に変換するには、バッファ回路2に接続されるトランスデューサのキャパシタンスとバッファ回路2の入力キャパシタンスとの比率のばらつきを補正する必要がある。

【0088】

この点に関して、図7の例では、前述したように、第2の帰還回路 $FB_x$ は、バッファ回路2に接続されるトランスデューサのキャパシタンスとバッファ回路2の入力キャパシタンスとの比率に応じて設定される帰還量を有している。そのため、第2の帰還回路 $FB_x$ によって、第1ゲイン $G_1$ のばらつきを補正することができる。従って入力のアナログ信号を正確にデジタル信号に変換できると考えられる。

【0089】

一例として、図5Bの帰還回路 $FB$ のスイッチ35及びDA変換器 $34_1 \sim 34_n$ のような複数組のスイッチ及びDA変換器を第2の帰還回路 $FB_x$ が含んでいる場合、そのスイッチの開閉の制御によって、第2の帰還回路 $FB_x$ の帰還量を調整することができる。すなわち、第1ゲイン $G_1$ のばらつきを補正することができる。第2の帰還回路 $FB_x$ の帰還量は、一例として、バッファ回路2に接続されるトランスデューサのキャパシタンス及びバッファ回路2の入力インピーダンスを、既知のアナログ信号を用いて測定することによって決定される。そして決定された帰還量が実現されるように、例えば、第2の帰還

10

20

30

40

50

回路  $F B x$  の  $D A$  変換器  $3 4 x$  に対して図 5 B のスイッチ 3 5 のような機能を果たすスイッチの開閉が制御される。なお、第 2 の帰還回路  $F B x$  の帰還量は、第 2 の帰還回路  $F B x$  内のキャパシタンスの調整以外の手段で基準電圧  $V r x$  を調整することによって調整されてもよい。

【 0 0 9 0 】

なお、 $A D$  変換回路  $3 x$  の第 2 ゲイン  $G 2$  は、第 2 の帰還回路  $F B x$  の帰還量にも依存する。従って、図 7 の例において第 1 ゲイン  $G 1$  と第 2 ゲイン  $G 2$  とは、デシベル表示において互いの反数でなくてもよい。例えば、第 1 ゲイン  $G 1$  と第 2 ゲイン  $G 2$  とは、倍率表示において、バッファ回路 2 に接続されるトランスデューサのキャパシタンスとバッファ回路 2 の入力キャパシタンスとの比率と略同じ比率で、異なってもよい。

10

【 0 0 9 1 】

< 実施形態以外の構成との対比 >

図 1 ~ 図 7 を参照する上記説明のように、本実施形態のマイク信号モジュールでは、制御によるバッファ回路 2 の第 1 ゲイン  $G 1$  の増減を補ってリニアリティを維持すべく、 $A D$  変換回路 3 の第 2 ゲイン  $G 2$  が制御される。このような本実施形態の構成に対して、 $D S P$  ( デジタル・シグナル・プロセッサ ) などを用いて、 $A D$  変換後のデジタル信号に対して伸長 / 圧縮などの処理を行うことによってリニアリティを維持することも考えられる。

【 0 0 9 2 】

しかし、 $D S P$  などを用いた、 $A D$  変換後のデジタル領域での信号処理では、 $D C$  オフセットによるノイズ回避又は  $D S P$  での信号処理時間確保のため、入力されるアナログ信号のゼロクロス時にゲインの切り替えが行われる。そのため、図 9 に示される P 1 部の出力信号  $V o a$  のように、入力信号の振幅増大直後の第 1 波がクリップ ( 欠損 ) してしまうことがある。なお、図 9 は、図 8 A の従来 of マイクアンプ 9 0 0 において、プリアンプ 9 0 1 の利得の制御を行うと共に、その制御によるプリアンプ 9 0 1 の利得の増減を  $A D$  変換器 9 1 0 の出力信号のデジタル処理によって補った場合の各信号の波形を示している。図 9 において、信号  $V i$ 、 $V i a$ 、 $V o a$  は、図 8 B と同様に、それぞれ、図 8 A のプリアンプ 9 0 1 の入力信号、 $A D$  変換器 9 1 0 の入力信号、 $A D$  変換器 9 1 0 の出力信号 ( 適切なローパスフィルタ通過後のアナログ信号 ) の一観察例である。図 9 では、出力信号  $V o a$  において、プリアンプの利得切り替え後に  $D C$  オフセット  $V o f$  も生じている。

20

30

【 0 0 9 3 】

さらに、図 1 0 には、図 9 と同様に、図 8 A のマイクアンプ 9 0 0 においてプリアンプ 9 0 1 の利得の増減を補うデジタル処理が行われた場合の入力信号  $V i$  及び出力信号  $V o a$  の他の観察例が示されている。図 1 0 の例においても、P 2 部に示されるように、出力信号  $V o a$  の第 1 波がクリップしている。P 2 部以降の時間領域においても、 $D C$  オフセットによる  $A D$  変換器 9 1 0 の入力電圧範囲の超過のために P 3 部に示されるように、出力信号  $V o a$  にクリップが生じている。さらに、入力信号  $V i$  と出力信号  $V o a$  との間には、遅延  $t d$  が生じている。図 9 及び図 1 0 に示される不具合は、 $D C$  オフセットなどのキャンセル回路を設けることによって回避されるが、そのような回路の付加は、図 8 A のマイクアンプ 9 0 0 を大型化させることになる。

40

【 0 0 9 4 】

一方、本実施形態では、制御によるバッファ回路 2 の第 1 ゲイン  $G 1$  の増減は、 $A D$  変換回路 3 の第 2 ゲイン  $G 2$  の制御によって、アナログ領域で補われる。第 1 ゲイン  $G 1$  及び第 2 ゲイン  $G 2$  共にアナログ領域で制御されるので、第 1 ゲイン  $G 1$  及び第 2 ゲイン  $G 2$  を略リアルタイム、又は音声信号に対して数  $M H z$  と非常に高い頻度で制御する事が可能である。そのため信号遅延が生じ難く、よって信号遅延によるクリップなどの波形の歪みも生じ難い。さらに、 $D S P$  を使用しないため回路規模を削減でき、且つ、動作時の消費電流も節約できる。これらの利点を備えながら、 $D S P$  使用時と同等又はそれ以上の性能を得ることが可能なこともある。

【 0 0 9 5 】

50

<バッファ回路の他の構成との対比>

図 1 1 A には、図 2 B 及び図 3 B に例示のバッファ回路 2 とは異なる構成を有するバッファ回路 9 2 が、比較例として示されている。そして図 1 1 B には、バッファ回路 9 2 を図 2 B のバッファ回路 2 の代わりに実施形態のマイク信号モジュールに用いたときの第 1 アナログ信号  $S_{a1}$  と第 2 アナログ信号  $S_{a2}$  の一例が示されている。バッファ回路 9 2 は、演算増幅器 9 2 1、キャパシタ 9 2 2、9 2 3、複数のスイッチ 9 2 4、及び複数のスイッチ 9 2 5 を含んでいる。演算増幅器 9 2 1、キャパシタ 9 2 2、9 2 3 (キャパシタ 9 2 3 1 ~ 9 2 3 n)、及びスイッチ 9 2 5 は、それぞれ、図 2 B のバッファ回路 2 の演算増幅器 2 1、キャパシタ 2 2、2 3、及びスイッチ 2 5 と同様に機能する。一方、各スイッチ 9 2 4 は、キャパシタ 9 2 3 1 ~ 9 2 3 n のいずれかと、参照電位  $V_{ref}$  が印加される演算増幅器 9 2 1 の非反転入力端子とを接続又は分離する。バッファ回路 9 2 においても、各スイッチ 9 2 5 の開閉を切り替えることによって、バッファ回路 9 2 のゲインを制御することができる。

【0096】

また、バッファ回路 9 2 では、キャパシタ 9 2 3 1 ~ 9 2 3 n のうちの、スイッチ 9 2 5 によって演算増幅器 9 2 1 の反転入力端子と分離されているキャパシタが、スイッチ 9 2 4 を閉じることによって充電される。そうすることでゲインの切り替え時におけるバッファ回路 9 2 の出力信号の急激な変動が抑制されるので、所謂ポップノイズを小さくすることができる。しかし、ゲインの切り替え時に演算増幅器 9 2 1 の出力端子と反転入力端子間に蓄えられている電荷量に変化してしまうため、図 1 1 B に示されるように、第 2 アナログ信号  $S_{a2}$  に DC オフセット  $V_{of}$  が生じてしまう。なお、図 1 1 B の第 2 アナログ信号  $S_{a2}$  における DC オフセット発生後の振幅の顕著な減衰は、DC オフセットを有する第 2 アナログ信号  $S_{a2}$  が、制御回路 4 (図 1 参照) によって大振幅信号と誤認されたことによるものである。このような DC オフセットは、例えば第 2 アナログ信号  $S_{a2}$  のゼロクロス時にゲインを切り替えることによって防止することができる。しかし、そのようにゲイン切り替え時期に制約があると、切り換えの遅延によって前述したような信号のクリップが生じることがある。

【0097】

これに対して、図 2 B や図 3 B に示されるバッファ回路 2 では、第 1 ゲイン  $G_1$  の切り替え時期が DC オフセット抑制のための制限を受けないため、切り換えの遅延や、それに伴う信号のクリップの発生を抑制することができる。

【符号の説明】

【0098】

- 1    マイクロホン信号変換モジュール (マイク信号モジュール)
- 10   マイクロホンモジュール
- 11   マイクロホン
- 2    バッファ回路
- 21   演算増幅器
- 22   キャパシタ
- 23   可変容量キャパシタ
- 24、25   スイッチ
- 26   非反転バッファ
- 27   可変容量キャパシタ
- 28、29   スイッチ
- 3、3x    AD変換回路
- 34、34x、340、341 ~ 34n   DA変換器
- 4    制御回路
- 40   比較回路
- 44   カウンタ
- 45   検出器 (比較器)

10

20

30

40

50

- 4 7 パルス発生回路
- 4 7 1 タイマ
- 4 7 2 パルス発生器
- F B 帰還回路
- F B x 第 2 の帰還回路
- G 1 第 1 ゲイン
- G 2 第 2 ゲイン
- S a 1 第 1 アナログ信号
- S a 2 第 2 アナログ信号
- P r パルス
- V c o m 中点電位
- V t h + 上限閾値
- V t h - 下限閾値

10

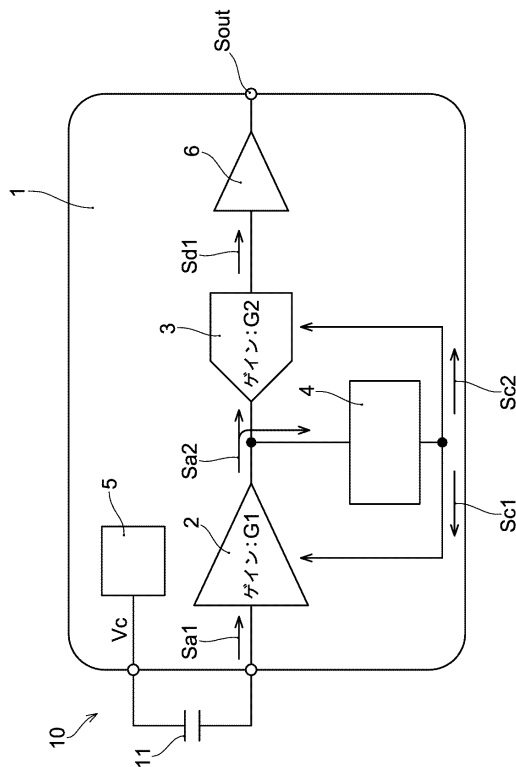
【要約】

マイクロホン信号変換モジュール(1)は、トランスデューサから入力される第1アナログ信号(Sa1)について第1ゲイン(G1)でレベル変換を行って得られる第2アナログ信号(Sa2)を出力するバッファ回路(2)と、第2アナログ信号(Sa2)のレベルを第2ゲイン(G2)でデジタル値に変換するアナログ-デジタル変換回路(3)と、第1ゲイン(G1)及び第2ゲイン(G2)を制御する制御回路(4)と、を備える。第2アナログ信号(Sa2)が制御回路(4)に入力され、制御回路(4)は、第2アナログ信号(Sa2)のレベルに基づいて、第1ゲイン(G1)及び第2ゲイン(G2)それぞれの大きさを互いに反対方向へと制御するように構成されている。

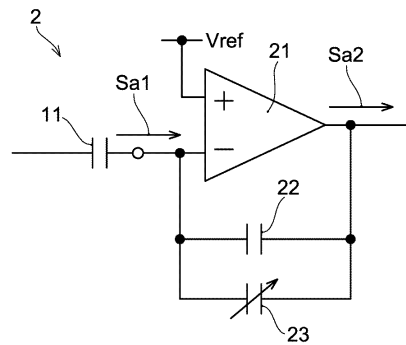
20

【図面】

【図1】



【図2A】



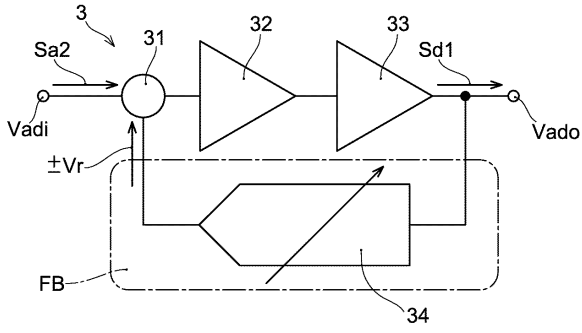
30

40

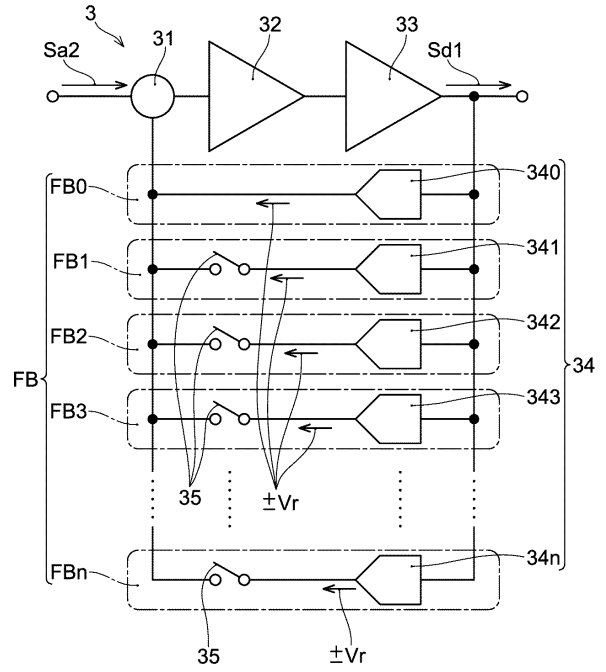
50



【 5 A 】



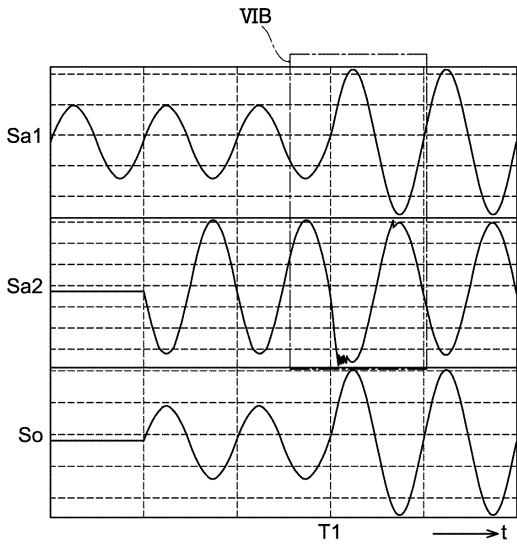
【 5 B 】



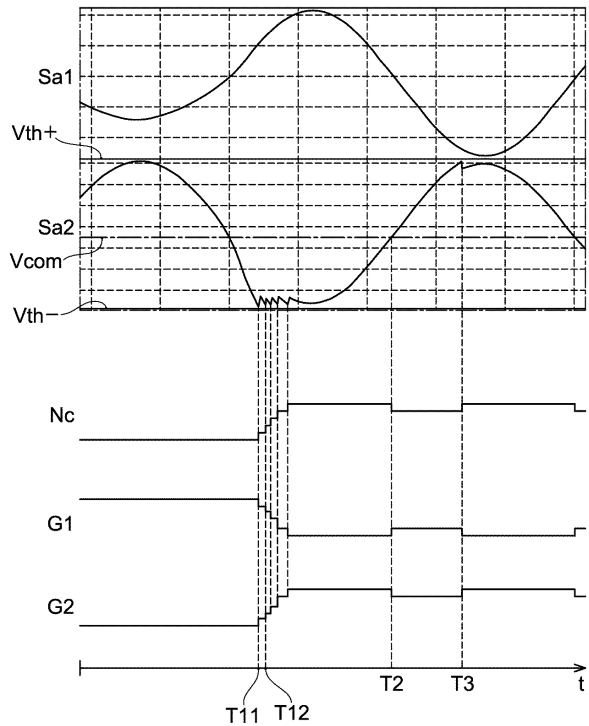
10

20

【 6 A 】



【 6 B 】

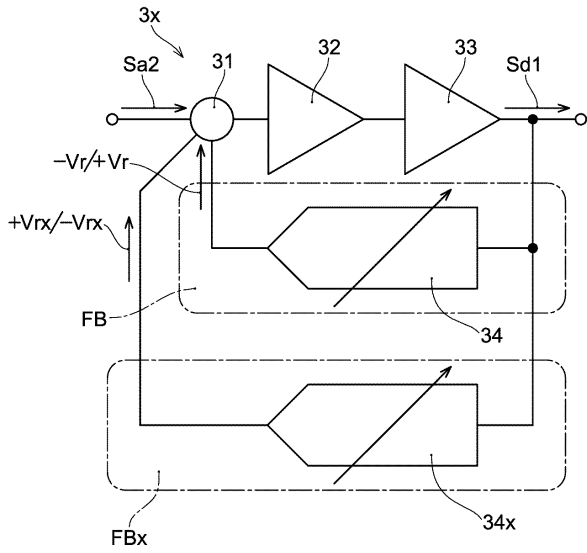


30

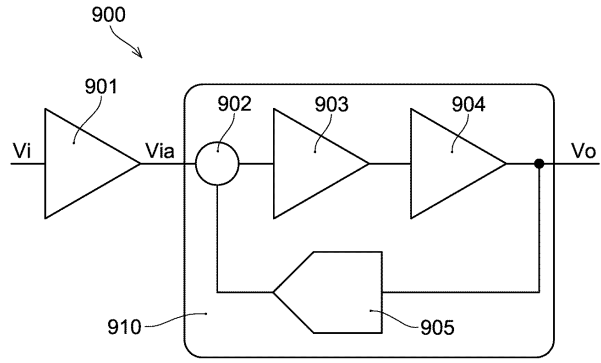
40

50

【 図 7 】

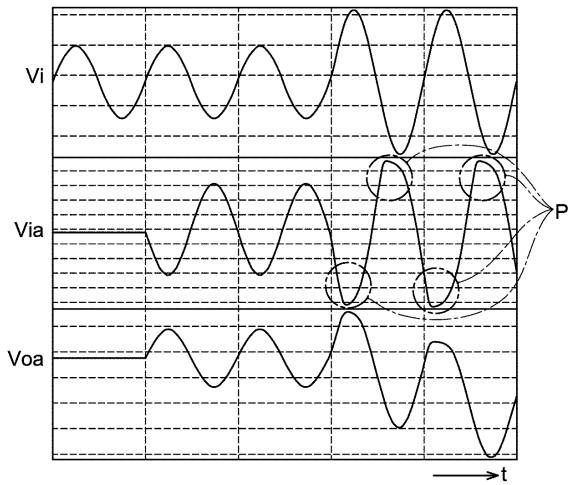


【 図 8 A 】

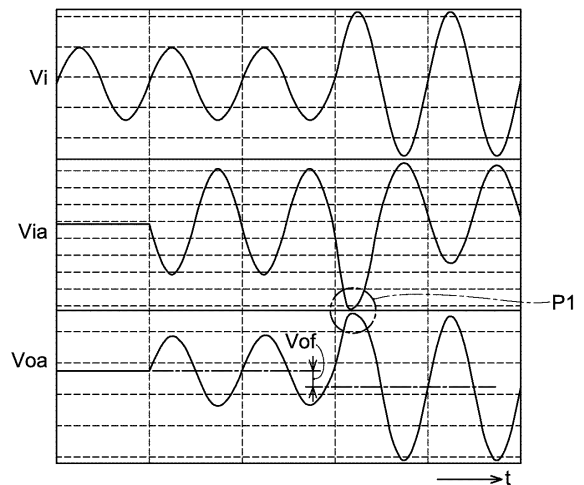


10

【 図 8 B 】



【 図 9 】



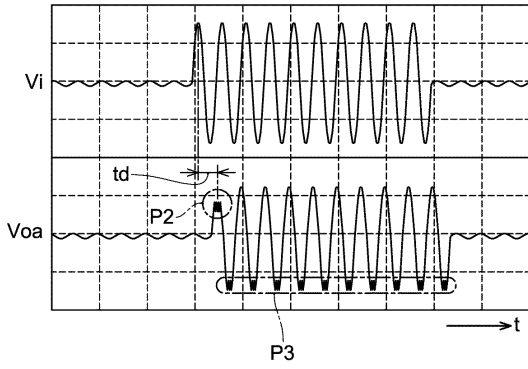
20

30

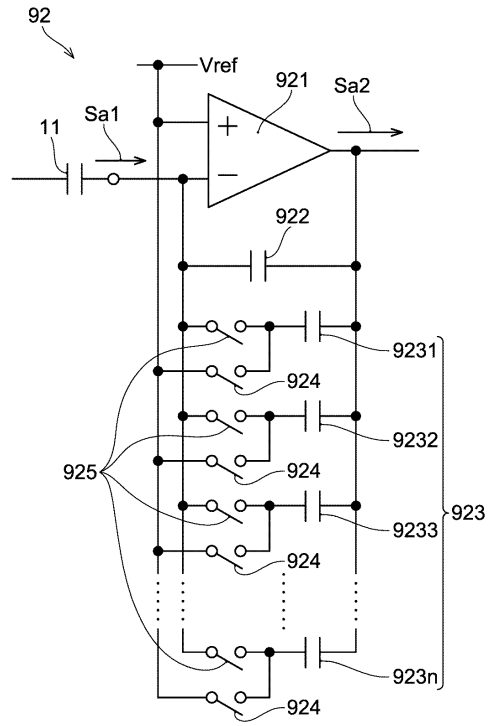
40

50

【 1 0 】



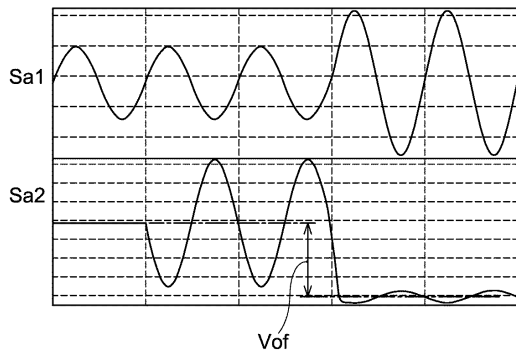
【 1 1 A 】



10

20

【 1 1 B 】



30

40

50



---

フロントページの続き

- (56)参考文献 特表2015-530024(JP,A)  
米国特許出願公開第2016/0157017(US,A1)
- (58)調査した分野 (Int.Cl., DB名)
- |      |               |
|------|---------------|
| H03F | 1/00 - 3/45   |
| H03F | 3/50 - 3/52   |
| H03F | 3/62 - 3/64   |
| H03F | 3/68 - 3/72   |
| H03G | 1/00 - 3/34   |
| H04R | 3/00 - 3/14   |
| H04R | 25/00 - 25/04 |