

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3957421号
(P3957421)

(45) 発行日 平成19年8月15日(2007.8.15)

(24) 登録日 平成19年5月18日(2007.5.18)

(51) Int. Cl.	F I
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 H
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C

請求項の数 4 (全 10 頁)

<p>(21) 出願番号 特願平11-32788 (22) 出願日 平成11年2月10日(1999.2.10) (65) 公開番号 特開2000-231788(P2000-231788A) (43) 公開日 平成12年8月22日(2000.8.22) 審査請求日 平成16年2月26日(2004.2.26)</p>	<p>(73) 特許権者 500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1 (74) 代理人 100123788 弁理士 宮崎 昭夫 (74) 代理人 100106138 弁理士 石橋 政幸 (74) 代理人 100127454 弁理士 緒方 雅昭 (72) 発明者 柴田 友之 東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 デバイス開発センタ内 (72) 発明者 大石 貫時 東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 デバイス開発センタ内 最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数種のライトレイテンシーの設定を可能とするライト用のレジスタと、複数種のリードレイテンシーの設定を可能とするリード用のレジスタとを有し、C A Sレイテンシーに基づいてリードレイテンシーとライトレイテンシーを設定するものであり、

前記ライト用のレジスタは、前記C A Sレイテンシーに基づいて予め設定された制御信号により、ライト用のステート信号に基づいて生成された複数種の遅延されたステート信号から1つを選択し、所定の遅延されたステート信号として出力するマルチプレクサ回路と、このマルチプレクサ回路からの遅延されたステート信号により内部データ取り込み用のクロック信号を制御し、ライト用の外部データに基づいて所定のレイテンシーの内部データとして出力するレジスタ回路とからなり、

前記リードレイテンシーの値と前記ライトレイテンシーの値とを等しくすることを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置であって、

前記リード用のレジスタは、前記C A Sレイテンシーに基づいて予め設定された制御信号により、リード用の内部データに基づいて生成された複数種の遅延されたデータから1つを選択し、所定のレイテンシーの外部データとして出力するマルチプレクサ回路からなることを特徴とする半導体記憶装置。

【請求項3】

10

20

請求項 1 または 2 記載の半導体記憶装置であって、
システムバス上に複数の前記半導体記憶装置が接続される場合に、各半導体記憶装置間で個別に前記リードレイテンシーと前記ライトレイテンシーとを設定することを特徴とする半導体記憶装置。

【請求項 4】

請求項 1、2 または 3 記載の半導体記憶装置であって、
前記半導体記憶装置は、シンクロナス D R A M であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、半導体記憶装置の制御技術に関し、特にシンクロナス D R A M (S D R A M) などのクロック同期式メモリを用いたシステムオペレーション効率の向上に好適な半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】

たとえば、本発明者が検討した技術として、S D R A M などにおいては、たとえば C A S レイテンシーでリードレイテンシーを 1 ~ 3 サイクルなどに設定し、システムクロックの周波数に合わせてメモリアクセスの効率を落とさないように設定しており、一方、ライトレイテンシーは 0 または 1 などに固定設定してオペレーションを行う技術などが考えられる。

20

【0003】

なお、このような S D R A M などの半導体記憶装置に関する技術としては、たとえば 1994 年 11 月 5 日、株式会社培風館発行の「アドバンスト エレクトロニクス I - 9 超 L S I メモリ」に記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】

ところで、前記のような S D R A M などの半導体記憶装置によれば、ライトレイテンシーは固定設定であるため、たとえば連続したライト動作 - リード動作 - ライト動作などのオペレーションなどが行われるシステムでは、バスの空き時間、デッドサイクルが増加することが考えられる。

30

【0005】

ここで、連続したライト動作 - リード動作 - ライト動作を行うオペレーション時のデータの遷移を示す図 5 の例で説明する。ここでは、C A S レイテンシー C L = 2、バースト長 B L = 4 に設定したときの動作である。この例では、ライトレイテンシー = 0、リードレイテンシー = 2 であるため、ライト動作 - リード動作時には、図に示すように、入出力データ I / O i のバス上に空き時間ができてしまう。また、リード動作 - ライト動作時には、入出力データ I / O i のバス上でデータの衝突を避けるために、所定のデータ長 (B L = 4) が読み出される前にハイインピーダンスコントロールがなされる。

【0006】

40

すなわち、連続したライト動作 - リード動作 - ライト動作のオペレーション時には、ライトレイテンシーが固定されているために、ライト動作 - リード動作時にはバス上に空き時間が発生し、またリード動作 - ライト動作時にはリードデータのキャンセル (マスク) が発生し、システムバスの効率が落ちることが考えられる。

【0007】

そこで、本発明の目的は、S D R A M などのクロック同期式メモリにおいて、リードレイテンシーに合わせ、ライトレイテンシーの設定を可変とすることで、システムバスの効率を向上させることができる半導体記憶装置を提供するものである。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から

50

明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

すなわち、本発明による半導体記憶装置は、複数種のライトレイテンシーの設定を可能とするライト用のレジスタと、複数種のリードレイテンシーの設定を可能とするリード用のレジスタとを有し、SDRAMなどのクロック同期式メモリのCASレイテンシー（リードレイテンシー）に合わせ、ライトレイテンシーの設定を可変とするものである。

10

【0011】

このライト用のレジスタは、CASレイテンシーに応じ、予め設定された制御信号により、ライト用のステート信号に基づいて生成された複数種の遅延されたステート信号から1つを選択し、所定の遅延されたステート信号として出力するマルチプレクサ回路と、このマルチプレクサ回路からの遅延されたステート信号により内部データ取り込み用のクロック信号を制御し、ライト用の外部データに基づいて所定のレイテンシーの内部データとして出力するレジスタ回路とからなるものである。

【0012】

また、リード用のレジスタは、CASレイテンシーに応じ、予め設定された制御信号により、リード用の内部データに基づいて生成された複数種の遅延されたデータから1つを選択し、所定のレイテンシーの外部データとして出力するマルチプレクサ回路からなるものである。

20

【0013】

この構成において、リードレイテンシーの値とライトレイテンシーの値とを等しくしたり、システムバス上に複数の半導体記憶装置が接続される場合に、各半導体記憶装置間で個別にリードレイテンシーとライトレイテンシーとを設定するようにしたものである。

【0014】

よって、前記半導体記憶装置によれば、システムバスの効率を向上させることができる。この結果、システムの性能向上が可能となる。すなわち、メモリのリードレイテンシーとライトレイテンシーとを合わせることで、連続したインタラプトオペレーションなどにおいて、システムバスの空き時間や、デッドサイクルをなくすことができる。これにより、バス効率を最大限に上げることが可能となるため、システム全体の性能を向上させることができる。

30

【0015】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0016】

図1は本発明の一実施の形態である半導体記憶装置を示す概略機能ブロック図、図2は本実施の形態の半導体記憶装置において、入力レジスタを示す回路図、図3はライト動作のオペレーションを示すタイミング図、図4は連続したライト動作 - リード動作 - ライト動作のオペレーションを示すタイミング図である。

40

【0017】

まず、図1により本実施の形態の半導体記憶装置の一例の概略機能構成を説明する。

【0018】

本実施の形態の半導体記憶装置は、たとえば2バンク構成による256MbSDRAMとされ、2個のメモリアレイバンクMAB0、MAB1と、各メモリアレイバンクMAB0、MAB1に対応するロウデコーダRD、カラムデコーダCDおよびセンスアンプ&入出力バスSA&IOBと、共通のロウアドレスバッファRAB、カラムアドレスバッファCAB、カラムアドレスカウンタCAC、リフレッシュカウンタRC、入力バッファIB、出力バッファOB、入力レジスタIR、出力レジスタOR、制御論理&タイミング発生器

50

CL&TGなどからなり、周知の半導体製造技術によって1個の半導体チップ上に形成されて構成されている。

【0019】

このSDRAMには、クロック信号CLKの他に、制御信号として、クロックイネーブル信号CKE、チップセレクト信号/CS、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WE、データマスク信号/DQMなどが外部から入力され、これらの制御信号に基づいて制御論理&タイミング発生器CL&TGにより内部制御信号が生成され、この内部制御信号によりリード動作、ライト動作などの内部回路の動作が制御されるようになっている。

【0020】

このSDRAMのリード動作、ライト動作においては、外部から入力されるアドレス信号Aaに基づいて、このロウアドレス信号、カラムアドレス信号がそれぞれロウアドレスバッファRAB、カラムアドレスバッファCABに入力され、ロウデコーダRD、カラムデコーダCDを介してメモリアレイバンクMAB0, MAB1内の任意のメモリセルが選択される。そして、リード時には、メモリセルのデータがセンスアンプ&入出力バスSA&IOB、出力レジスタORを介して、出力バッファOBから入出力データI/Oiとしてリード用の出力データQiが出力され、またライト時にはライト用の入力データDiが入力バッファIBから入力レジスタIRを介して入力される。

【0021】

次に、本実施の形態の特徴である、リードレイテンシーに合わせ、ライトレイテンシーの設定を可変とする入力レジスタIRについて説明する。この入力レジスタIRは、CASレイテンシーに応じ、予め設定された制御信号CL-Controlにより、ライト用のステート信号WD-ENに基づいて生成された複数種の遅延されたステート信号から1つを選択し、所定の遅延されたステート信号として出力するマルチプレクサ回路と、このマルチプレクサ回路からの遅延されたステート信号により内部データ取り込み用のクロック信号を制御し、ライト用の外部データDiniに基づいて所定のレイテンシーの内部データInt-Diniとして出力するレジスタ回路とからなり、図2により回路例、図3によりタイミング例をそれぞれ説明する。

【0022】

図2において、入力レジスタIRは、制御論理&タイミング発生器CL&TGからのライトステート信号WD-ENを入力として遅延されたライトステート信号WD-EN123を出力するマルチプレクサ回路と、入力バッファIBからの外部データDiniを入力として内部データInt-Diniを出力するレジスタ回路とから構成されている。ライトステート信号WD-ENは、ライトコマンドによりアサートされるライトのステート信号である。

【0023】

マルチプレクサ回路には、ライトステート信号WD-ENを入力とし、クロック信号CLKに同期して動作し、種類の異なる遅延されたステート信号を生成するために3段に縦列接続された複数のフリップフロップFF1~FF3と、各フリップフロップFF1~FF3から生成されたステート信号のうち、制御信号CL-controlにより1つを選択して遅延されたライトステート信号WD-EN123として出力するセクタSLなどが設けられている。

【0024】

レジスタ回路には、外部データDiniを入力として、クロック信号CLKに同期して動作するフリップフロップFF4と、クロック信号CLKと遅延されたライトステート信号WD-EN123とを論理積演算するゲートANDと、ゲートANDからの内部データ取り込み用クロック信号WD-CLK123に同期して動作し、ライトレイテンシーに対応する内部データInt-Diniとして出力するフリップフロップFF5などが設けられている。

【0025】

10

20

30

40

50

図3において、(a)は制御信号 $CL-control = 1$ 、(b)は制御信号 $CL-control = 3$ の場合のタイミングをそれぞれ示す。この際に、制御信号 $CL-control = 1$ の場合は、マルチプレクサ回路において、1段のフリップフロップ回路 $FF1$ のみにより遅延されたライトステート信号 $WD-EN123$ をセクタ SL により選択し、また制御信号 $CL-control = 3$ の場合は、3段のフリップフロップ回路 $FF1 \sim FF3$ を介して遅延されたライトステート信号 $WD-EN123$ を選択する。

【0026】

たとえば、図3(a)のように制御信号 $CL-control = 1$ の場合のライト動作は、クロック信号 CLK に同期して、1サイクル目でライト $Write$ のコマンド COM が発行されると、1サイクル後の2サイクル目から順に入出力データ I/Oi としてライト用のデータ $D1 \sim D4$ が入力される。このライト用のデータ $D1 \sim D4$ は、1サイクル目のクロック信号 CLK の立ち上がりから遅延されたライトステート信号 $WD-EN$ に基づいて、さらに1サイクルの範囲内で遅延されたライトステート信号 $WD-EN123$ が生成され、これとクロック信号 CLK との論理積演算による内部データ取り込み用クロック信号 $WD-CLK123$ に同期して内部データ $Int-Dini$ として取り込まれる。

10

【0027】

同様に、図3(b)のように制御信号 $CL-control = 3$ の場合のライト動作は、クロック信号 CLK に同期して、1サイクル目でライト $Write$ のコマンド COM が発行されると、3サイクル後の4サイクル目から順にライト用のデータ $D1 \sim D4$ が入力される。このライト用のデータ $D1 \sim D4$ は、1サイクル目のクロック信号 CLK の立ち上がりから遅延されたライトステート信号 $WD-EN$ に基づいて、さらに2～3サイクルの範囲内で遅延されたライトステート信号 $WD-EN123$ が生成され、これとクロック信号 CLK との論理積演算による内部データ取り込み用クロック信号 $WD-CLK123$ に同期して内部データ $Int-Dini$ として取り込まれる。

20

【0028】

また、出力レジスタ OR は、前記入力レジスタ IR のマルチプレクサ回路と同様の構成とされ、内部データ $Int-Douti$ を入力として外部データ $Douti$ を出力する、図示しない複数のフリップフロップとセクタとからなり、 CAS レイテンシーに応じ、予め設定された制御信号 $CL-control$ により、リード用の内部データ $Int-Douti$ に基づいて生成された複数種の遅延されたデータから1つを選択し、所定のレイテンシーの外部データ $Douti$ として出力するマルチプレクサ回路構成となっている。

30

【0029】

次に、本実施の形態の作用について、図4により連続したライト動作 - リード動作 - ライト動作のオペレーション時の入出力データ I/Oi の遷移の一例を説明する。

【0030】

ここでは、図4のように、 CAS レイテンシー $CL = 2 =$ リードレイテンシー $=$ ライトレイテンシー、バースト長 $BL = 4$ に設定したときの動作において、クロック信号 CLK に同期して、コマンド COM として1サイクル目でライトコマンド $Write(a)$ 、2サイクル目でリードコマンド $Read(b)$ 、6サイクル目でライトコマンド $Write(c)$ を発行する場合を示す。

40

【0031】

まず、1サイクル目でライトコマンド $Write(a)$ が発行されると、これから2サイクル後(ライトレイテンシー $= 2$)の3サイクル目にライト用のデータ $D(a1)$ が入力される。一方、2サイクル目でリードコマンド $Read(b)$ が発行されているので、2サイクル後(リードレイテンシー $= 2$)の4サイクル目～7サイクル目まではリード用のデータ $Q(b1)$ 、 $Q(b2)$ 、 $Q(b3)$ 、 $Q(b4)$ が順にバースト長分だけ連続して出力される。

【0032】

さらに、6サイクル目で発行されたライトコマンド $Write(c)$ に対しては、2サイクル後の8サイクル目から順にバースト長分だけ連続してライト用のデータ $D(c1)$ 、

50

D(c2), ・ ・ が入力される。以上のように、ライトコマンド、リードコマンドの発行に対しては、2サイクル後からデータの入力、出力が行われる。この入出力データI/Oiの入力、出力に際しては、インタラプト動作による新しいコマンドの発行が優先される。

【0033】

以上の連続したライト動作 - リード動作 - ライト動作のオペレーションにおいては、ライトレイテンシー = リードレイテンシー = 2であるため、ライト動作 - リード動作時においても入出力データI/Oiのバス上に空き時間は発生しない。また、リード動作 - ライト動作では、バーストリード途中での中断、ハイインピーダンスコントロールはなされる必要がない。

10

【0034】

従って、本実施の形態の半導体記憶装置によれば、リードレイテンシーの設定を可変とする出力レジスタORと、ライトレイテンシーの設定を可変とする入力レジスタIRとを設け、リードレイテンシーとライトレイテンシーとを合わせることで、連続したインタラプトオペレーションなどにおいて、システムバスの空き時間や、デッドサイクルをなくすることができるので、バス効率を最大限に上げることが可能となるため、システム全体の性能を向上させることができる。

【0035】

たとえば、本実施の形態のオペレーションでは、前記図5に示すオペレーションに対し、約22%程度のバス効率の向上が見られる。さらに連続したライト動作 - リード動作 - ライト動作のオペレーションや、インタラプトオペレーションでは、より一層、バス効率が向上(約20~30%程度)することは明らかである。

20

【0036】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0037】

たとえば、システムバスに複数のSDRAMがつながっている場合には、ライトレイテンシー、リードレイテンシーを複数のSDRAM間で個別に設定することで、より一層、バスの効率を上げるように制御することも可能である。

30

【0038】

また、2バンク構成による256MbSDRAMの例で説明したが、4バンク、8バンクなどの多バンク化の傾向にあり、また1Gビットなどの容量のSDRAMについても広く適用可能であり、このように多バンク、大容量の構成とすることにより本発明の効果はますます大きくなる。

【0039】

さらに、本発明は、SDRAMの他に、DDRSDRAMなどに効果的であるが、さらに他のクロック同期式メモリ全般に広く応用することも可能である。

【0040】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

40

【0041】

(1). 複数種のライトレイテンシーの設定を可能とするライト用のレジスタと、複数種のリードレイテンシーの設定を可能とするリード用のレジスタとを有し、リードレイテンシーに合わせ、ライトレイテンシーの設定を可変とすることで、連続したインタラプトオペレーションなどにおいて、システムバスの空き時間や、デッドサイクルをなくすることができるので、バス効率を最大限に上げることが可能となる。

【0042】

(2). 前記(1)により、SDRAMなどのクロック同期式メモリにおいて、システムバスの

50

効率を向上させることができるので、システムの性能向上を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体記憶装置を示す概略機能ブロック図である。

【図2】本発明の一実施の形態の半導体記憶装置において、入力レジスタを示す回路図である。

【図3】 (a), (b) は本発明の一実施の形態の半導体記憶装置において、ライト動作のオペレーションを示すタイミング図である。

【図4】本発明の一実施の形態の半導体記憶装置において、連続したライト動作 - リード動作 - ライト動作のオペレーションを示すタイミング図である。

【図5】本発明の前提となる半導体記憶装置において、連続したライト動作 - リード動作 - ライト動作のオペレーションを示すタイミング図である。 10

【符号の説明】

M A B 0 , M A B 1 メモリアレイバンク

R D ロウデコーダ

C D カラムデコーダ

S A & I O B センスアンプ & 入出力バス

R A B ロウアドレスバッファ

C A B カラムアドレスバッファ

C A C カラムアドレスカウンタ

R C リフレッシュカウンタ

I B 入力バッファ

O B 出力バッファ

I R 入力レジスタ

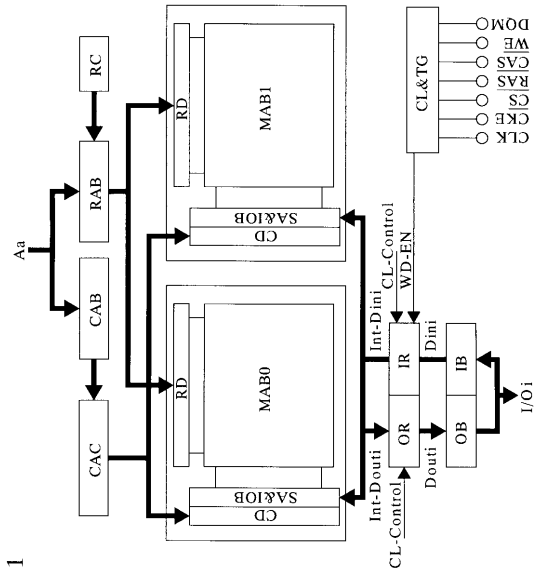
O R 出力レジスタ

C L & T G 制御論理 & タイミング発生器

F F 1 ~ F F 4 フリップフロップ

S L セレクタ

【 図 1 】



1
図

【 図 2 】

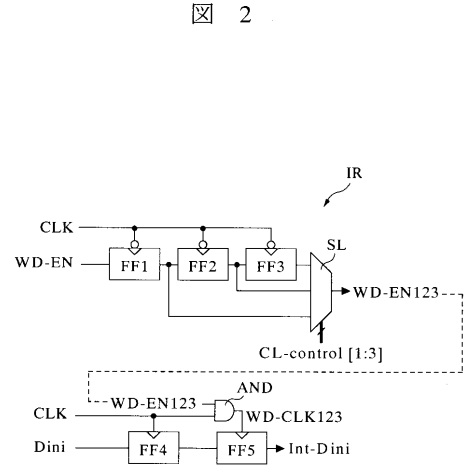


図 2

【 図 3 】

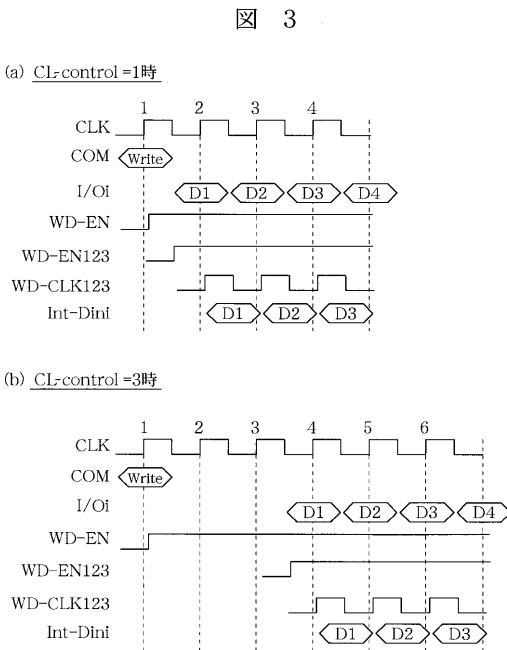
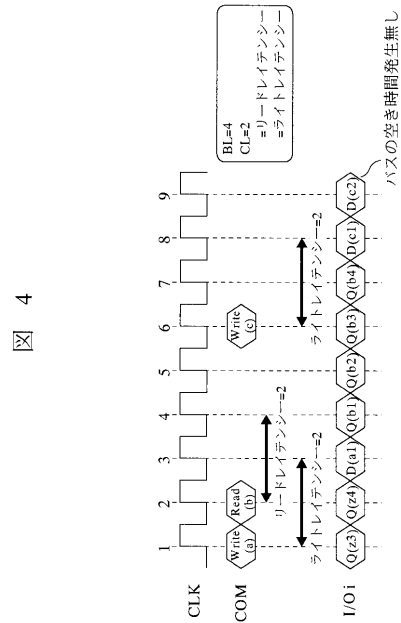


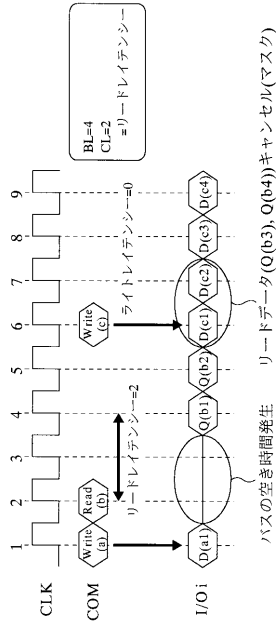
図 3

【 図 4 】



4
図

図 5



フロントページの続き

審査官 園田 康弘

- (56)参考文献 特開平07 - 254273 (JP, A)
特開平10 - 247387 (JP, A)
特開平09 - 106682 (JP, A)
特開平10 - 283779 (JP, A)
特開平10 - 233091 (JP, A)
特開平10 - 208472 (JP, A)
特開平10 - 275464 (JP, A)
特開平10 - 334659 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407

G11C 11/401