



(12) 发明专利申请

(10) 申请公布号 CN 105990116 A

(43) 申请公布日 2016. 10. 05

(21) 申请号 201510054964. 9

(22) 申请日 2015. 02. 03

(71) 申请人 联华电子股份有限公司

地址 中国台湾新竹市新竹科学工业园区

(72) 发明人 洪庆文 吴家荣 黄志森 陈意维

许家彰

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

H01L 21/28(2006. 01)

H01L 21/768(2006. 01)

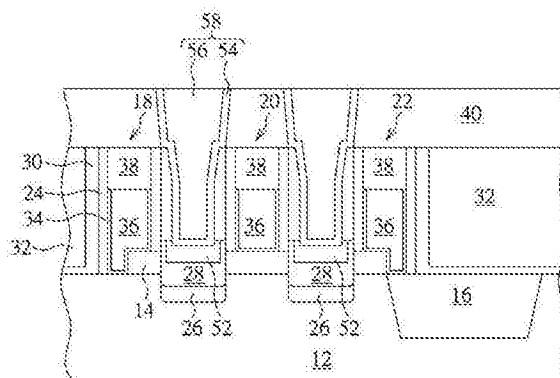
权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种制作半导体元件的方法

(57) 摘要

本发明公开一种制作半导体元件的方法。首先提供一基底,该基底具有一栅极结构设于其上以及一层间介电层围绕栅极结构,然后形成一介电层于栅极结构及层间介电层上、形成一图案化硬掩模于介电层上、形成一开口于介电层及层间介电层中、进行一硅化金属制作工艺以形成一硅化金属层于开口内、在硅化金属制作工艺后去除图案化硬掩模及未反应的金属以及形成一接触堵塞于开口内。



1. 一种制作半导体元件的方法,包含:
提供一基底,该基底具有一栅极结构设于其上以及一层间介电层围绕该栅极结构;
形成一介电层于该栅极结构及该层间介电层上;
形成一图案化硬掩模于该介电层上;
形成一开口于该介电层及该层间介电层中;
进行一硅化金属制作工艺以形成一硅化金属层于该开口内;
在该硅化金属制作工艺后去除该图案化硬掩模及未反应的金属;以及
形成一接触插塞于该开口内。
2. 如权利要求 1 所述的方法,其中该介电层包含四乙氧基硅烷 (TEOS)。
3. 如权利要求 1 所述的方法,其中该图案化硬掩模包含氮化钛 (TiN)。
4. 如权利要求 1 所述的方法,其中该硅化金属制作工艺还包含:
形成一第一金属层于该图案化硬掩模及该介电层上并填入该开口;
进行一快速升温退火制作工艺以形成该硅化金属层于该栅极结构旁的一外延层;
去除该图案化硬掩模及该硅化金属制作工艺中未反应的金属;
形成一第二金属层及一第三金属层于该开口内;以及
平坦化该第三金属层及该第二金属层以形成该接触插塞。
5. 如权利要求 1 所述的方法,其中该第一金属层包含镍或钛。
6. 如权利要求 1 所述的方法,其中该第二金属层是选自由钛、钽、氮化钛、氮化钽以及氮化钨所构成的群组。
7. 如权利要求 1 所述的方法,其中该第三金属层是选自由铝、钛、钽、钨、铌、钼以及铜所构成的群组。
8. 如权利要求 1 所述的方法,还包含利用含有硫酸、过氧化氢、与去离子水的混合溶液 (sulfuric acid-hydrogen peroxide mixture, SPM) 来去除该图案化硬掩模及未反应的金属。

一种制作半导体元件的方法

技术领域

[0001] 本发明涉及一种制作半导体元件的方法,尤其是涉及一种于硅化金属制作工艺后同时去除由氮化钛所构成的图案化掩模及硅化金属制作工艺中未反应金属的方法。

背景技术

[0002] 近年来,随着场效晶体管 (field effect transistors, FETs) 元件尺寸持续地缩小,现有平面式 (planar) 场效晶体管元件的发展已面临制作工艺上的极限。为了克服制作工艺限制,以非平面 (non-planar) 的场效晶体管元件,例如鳍状场效晶体管 (fin field effect transistor, Fin FET) 元件来取代平面晶体管元件已成为目前的主流发展趋势。由于鳍状场效晶体管元件的立体结构可增加栅极与鳍状结构的接触面积,因此,可进一步增加栅极对于载流子通道区域的控制,从而降低小尺寸元件面临的漏极引发能带降低 (drain induced barrier lowering, DIBL) 效应,并可以抑制短通道效应 (short channel effect, SCE)。再者,由于鳍状场效晶体管元件在同样的栅极长度下会具有更宽的通道宽度,因而可获得加倍的漏极驱动电流。甚而,晶体管元件的临界电压 (threshold voltage) 也可通过调整栅极的功函数而加以调控。

[0003] 然而,在现有的鳍状场效晶体管元件制作工艺中,外延层时常于各种清洗过程中受到化学溶液侵蚀而耗损,进而影响元件的整体电性表现。因此如何改良现有鳍状场效晶体管制作工艺即为现今一重要课题。

发明内容

[0004] 为解决上述问题,本发明优选实施例揭露一种制作半导体元件的方法。首先提供一基底,该基底具有一栅极结构设于其上以及一层间介电层围绕栅极结构,然后形成一介电层于栅极结构及层间介电层上、形成一图案化硬掩模于介电层上、形成一开口于介电层及层间介电层中、进行一硅化金属制作工艺以形成一硅化金属层于开口内、在硅化金属制作工艺后去除图案化硬掩模及未反应的金属以及形成一接触插塞于开口内。

附图说明

[0005] 图 1 至图 8 为本发明优选实施例制作一半导体元件的方法示意图;

[0006] 图 9 至图 10 为本发明另一实施例制作一半导体元件的方法示意图。

[0007] 主要元件符号说明

[0008]	12	基底	14	鳍状结构
[0009]	16	绝缘层	18	栅极结构
[0010]	20	栅极结构	22	栅极结构
[0011]	24	间隙壁	26	源极 / 漏极区域
[0012]	28	外延层	30	接触洞蚀刻停止层
[0013]	32	层间介电层	34	功函数金属层

[0014]	36	低阻抗金属层	38	硬掩模
[0015]	40	介电层	42	硬掩模
[0016]	44	开口	46	图案化硬掩模
[0017]	48	开口	50	第一金属层
[0018]	52	硅化金属层	54	第二金属层
[0019]	56	第三金属层	58	接触插塞

具体实施方式

[0020] 请参照图 1 至图 8, 图 1 至图 8 为本发明优选实施例制作一半导体元件的方法示意图, 其可实施于平面型或非平面型晶体管元件制作工艺, 现以应用于非平面型晶体管元件制作工艺为例。如图 1 所示, 首先提供一基底 12, 例如一硅基底或硅覆绝缘 (SOI) 基板, 其上定义有一晶体管区, 例如一 PMOS 晶体管区或一 NMOS 晶体管区。基底 12 上具有至少一鳍状结构 14 及一绝缘层, 其中鳍状结构 14 的底部被绝缘层, 例如氧化硅所包覆而形成浅沟隔离 16, 且部分的鳍状结构 14 上还分别设有多个栅极结构 18、20、22。

[0021] 鳍状结构 14 的形成方式可以包含先形成一图案化掩模 (图未示) 于基底 12 上, 再经过一蚀刻制作工艺, 将图案化掩模的图案转移至基底 12 中。接着, 对应三栅极晶体管元件及双栅极鳍状晶体管元件结构特性的不同, 而可选择性去除或留下图案化掩模, 并利用沉积、化学机械研磨 (chemical mechanical polishing, CMP) 及回蚀刻制作工艺而形成一环绕鳍状结构 14 底部的浅沟隔离 16。除此之外, 鳍状结构 14 的形成方式另也可以是先制作一图案化硬掩模层 (图未示) 于基底 12 上, 并利用外延制作工艺于暴露出于图案化硬掩模层的基底 12 上成长出半导体层, 此半导体层即可作为相对应的鳍状结构 14。同样的, 另可以选择性去除或留下图案化硬掩模层, 并通过沉积、CMP 及回蚀刻制作工艺形成一浅沟隔离 16 以包覆住鳍状结构 14 的底部。另外, 当基底 12 为硅覆绝缘 (SOI) 基板时, 则可利用图案化掩模来蚀刻基底上的一半导体层, 并停止于此半导体层下方的一底氧化层以形成鳍状结构, 故可省略前述制作浅沟隔离 16 的步骤。

[0022] 栅极结构 18、20、22 的制作方式可依据制作工艺需求以先栅极 (gate first) 制作工艺、后栅极 (gate last) 制作工艺的先栅极介电层 (high-k first) 制作工艺以及后栅极制作工艺的后栅极介电层 (high-k last) 制作工艺等方式制作完成。以本实施例的先栅极介电层制作工艺为例, 可先于鳍状结构 14 与浅沟隔离 16 上形成一优选包含高介电常数介电层与多晶硅材料所构成的虚置栅极 (图未示), 然后于虚置栅极侧壁形成间隙壁 24。接着于间隙壁 24 两侧的鳍状结构 14 以及 / 或基底 12 中形成一源极 / 漏极区域 26 与外延层 28、形成一接触洞蚀刻停止层 30 覆盖虚置栅极, 并形成一由四乙氧基硅烷 (Tetraethyl orthosilicate, TEOS) 所组成的层间介电层 32 于接触洞蚀刻停止层 30 上。

[0023] 之后可进行一金属栅极置换 (replacement metal gate) 制作工艺, 先平坦化部分的层间介电层 32 及接触洞蚀刻停止层 30, 并将虚置栅极转换为栅极结构 18、20、22 等金属栅极。金属栅极置换制作工艺可包括先进行一选择性的干蚀刻或湿蚀刻制作工艺, 例如利用氨水 (ammonium hydroxide, NH_4OH) 或氢氧化四甲铵 (Tetramethylammonium Hydroxide, TMAH) 等蚀刻溶液来去除虚置栅极中的多晶硅材料以于层间介电层 32 中形成一凹槽。之后形成一至少包含 U 型功函数金属层 34 与低阻抗金属层 36 的导电层于该凹槽

内,并再搭配进行一平坦化制作工艺使U型功函数金属层34与低阻抗金属层36的表面与层间介电层32表面齐平。

[0024] 在本实施例中,功函数金属层34优选用以调整形成金属栅极的功函数,使其适用于N型晶体管(NMOS)或P型晶体管(PMOS)。若晶体管为N型晶体管,功函数金属层34可选用功函数为3.9电子伏特(eV)~4.3eV的金属材料,如铝化钛(TiAl)、铝化锆(ZrAl)、铝化钨(WAl)、铝化钽(TaAl)、铝化铪(HfAl)或TiAlC(碳化钛铝)等,但不以此为限;若晶体管为P型晶体管,功函数金属层34可选用功函数为4.8eV~5.2eV的金属材料,如氮化钛(TiN)、氮化钽(TaN)或碳化钽(TaC)等,但不以此为限。功函数金属层34与低阻抗金属层36之间可包含另一阻障层(图未示),其中阻障层的材料可包含钛(Ti)、氮化钛(TiN)、钽(Ta)、氮化钽(TaN)等材料。低阻抗金属层36则可选自铜(Cu)、铝(Al)、钨(W)、钛铝合金(TiAl)、钴钨磷化物(cobalt tungsten phosphide, CoWP)等低电阻材料或其组合。由于依据金属栅极置换制作工艺将虚置栅极转换为金属栅极是此领域者所熟知技术,在此不另加赘述。

[0025] 形成栅极结构18、20、22后可选择性先去除部分功函数金属层34与低阻抗金属层36,然后填入一硬掩模38于功函数金属层34与低阻抗金属层36上。其中硬掩模38可为单一材料层或复合材料层,例如一包含氧化硅与氮化硅的复合层。

[0026] 如图2所示,接着先全面性覆盖一介电层40于栅极结构与层间介电层32上,然后再形成一硬掩模42于介电层40上。在本实施例中,介电层40主要作为一前金属介电层(pre-metal dielectric, PMD),其可选择与层间介电层32相同或不同的材料所构成,例如优选为TEOS,而硬掩模42则为一金属掩模,且优选由氮化钛(TiN)所构成。

[0027] 如图3所示,然后进行一光刻暨蚀刻制作工艺,例如可先形成一图案化光致抗蚀剂(图未示)于硬掩模42上,接着利用蚀刻去除部分硬掩模42以形成一开口44暴露出介电层40表面,并同时硬掩模42转换为一图案化硬掩模46。

[0028] 如图4所示,接着搭配其他区域的开口图案制作工艺进行一次或一次以上光刻暨蚀刻制作工艺,利用蚀刻去除部分图案化硬掩模46、部分介电层40以及部分层间介电层32以形成开口48暴露出外延层28。

[0029] 随后如图5所示,进行一硅化金属制作工艺以形成一硅化金属层(图未示)于开口48内。在本实施例中,硅化金属制作工艺可包括先进行一预清洗(pre-clean)去除图案化硬掩模46、介电层40以及外延层28表面的残余物,然后形成一第一金属层50于图案化硬掩模46及介电层40上并填入开口48,特别是开口48内的接触洞蚀刻停止层30表面以及外延层28表面。其中本实施例的第一金属层50优选包含镍或钛,但不局限于此。之后可再选择性覆盖一由氮化钛所构成的遮盖层(图未示)于金属层50上。

[0030] 如图6所示,接着进行一快速升温退火(rapid thermal process, RTP)制作工艺,使第一金属层50与外延层28中的硅反应以形成一硅化金属层52。需注意的是,由于与外延层28接触的第一金属层50优选于加热过程中完全转换为硅化金属层52,因此剩余的第一金属层50,即硅化金属制作工艺中未反应的金属仍残留于图案化硬掩模46表面、介电层40表面以及开口48中接触洞蚀刻停止层30表面。

[0031] 然后如图7所示,利用含有硫酸、过氧化氢、与去离子水的混合溶液(sulfuric acid-hydrogen peroxide mixture, SPM)来去除图案化硬掩模46,并同时去除所有残留于

图案化硬掩模 46 表面、介电层 40 表面以及开口 48 中接触洞蚀刻停止层 30 表面的第一金属层 50, 即前述硅化金属制作工艺中未反应的金属, 以及前述选择性形成于第一金属层 50 表面的氮化钛遮盖层。值得注意的是, 由于去除图案化硬掩模 46 及未反应的金属时, 开口 48 仅暴露出硅化金属层 52 但不暴露出任何外延层 28, 因此外延层 28 表面不会于去除过程中受到 SPM 的影响而耗损。

[0032] 最后如图 8 所示, 先形成一第二金属层 54 于介电层 40 表面以及开口 48 内的接触洞蚀刻停止层 30 表面与硅化金属层 52 表面, 然后再形成一第三金属层 56 于第二金属层 54 上并填满开口 48, 其中第二金属层 54 优选选自由钛、钽、氮化钛、氮化钽以及氮化钨所构成的群组, 第三金属层 56 优选选自由铝、钛、钽、钨、铌、钼以及铜所构成的群组, 但不局限于此。接着进行一平坦化制作工艺, 例如以化学机械研磨 (chemical mechanical polishing, CMP) 制作工艺去除部分第三金属层 56、部分第二金属层 54 甚至一部分的介电层 40 以形成接触插塞 58。至此即完成本发明优选实施例的一半导体元件的制作。

[0033] 请接着参照图 9 至图 10, 图 9 至图 10 为本发明另一实施例制作一半导体元件的方法示意图。如图 9 所示, 相较于图 6 至图 7 形成硅化金属层 52 后便直接以 SPM 同时拔除图案化硬掩模 46 及未反应的金属, 本实施例可选择在不去除未反应金属, 即部分第一金属层 50 仍覆盖于图案化硬掩模 46 表面、介电层 40 表面以及接触洞蚀刻停止层 30 表面的情况下直接沉积第二金属层 54 于硅化金属层 52 及第一金属层 50 表面以及第三金属层 56 于第二金属层 54 上并填满开口。或是在形成开口 48 暴露出外延层 28 之后, 便直接形成第一金属层 50 以及第二金属层 54 于图案化硬掩模 46 及介电层 40 上并填入开口 48, 然后再进行快速升温退火 (RTP) 制作工艺, 使第一金属层 50 与外延层 28 中的硅反应以形成一硅化金属层 52。其中第一金属层 50、第二金属层 54 及第三金属层 56 的材质均可比照前述实施例, 在此不另加赘述。

[0034] 接着如图 10 所示, 可利用一平坦化制作工艺, 例如以化学机械研磨方式去除部分第三金属层 56、部分第二金属层 54、部分第一金属层 50、图案化硬掩模 46 甚至一部份的介电层 40, 使剩余的第一金属层 50、第二金属层 54 及第三金属层 56 表面与介电层 40 表面齐平以形成接触插塞 58。其中, 剩余的第一金属层 50 仍残留于开口 48 的侧壁表面不会被移除, 而与第二金属层 54 共同构成接触插塞的阻障层。至此即完成本实施例的半导体元件的制作。

[0035] 综上所述, 相较于现有技术中于硅化金属层形成之前便以 SPM 去除由氮化钛所构成的图案化硬掩模, 本发明主要将去除图案化硬掩模的时间点移至硅化金属层形成后, 然后再以前述第一实施例的 SPM 方式或第二实施例的研磨方式一同去除图案化硬掩模及硅化金属制作工艺中未反应的金属, 如此即可改善现行去除图案化硬掩模时所使用的 SPM 容易侵蚀到裸露的外延层, 而造成外延层表面耗损的情形。

[0036] 以上所述仅为本发明的优选实施例, 凡依本发明权利要求所做的均等变化与修饰, 都应属本发明的涵盖范围。

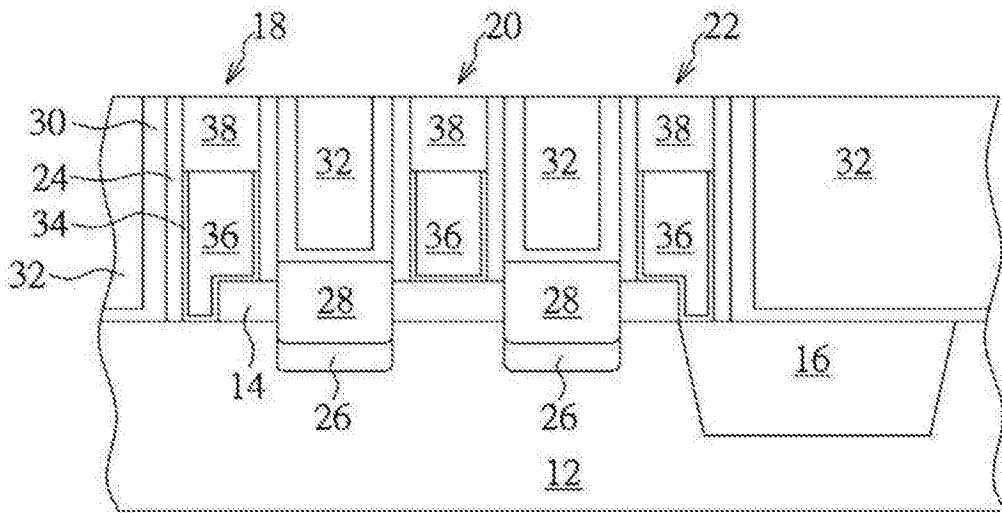


图 1

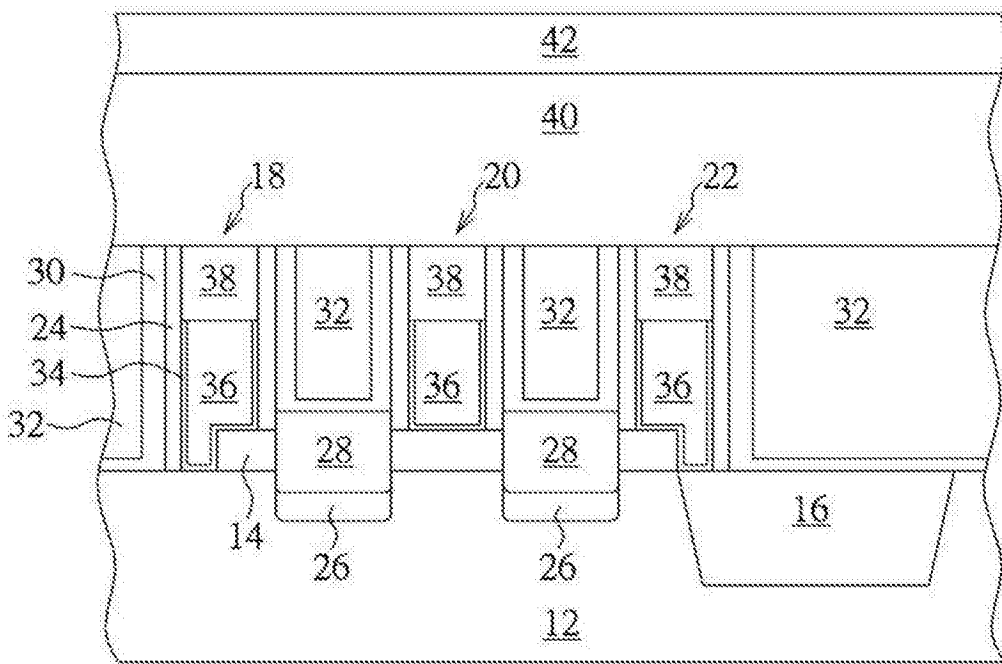


图 2

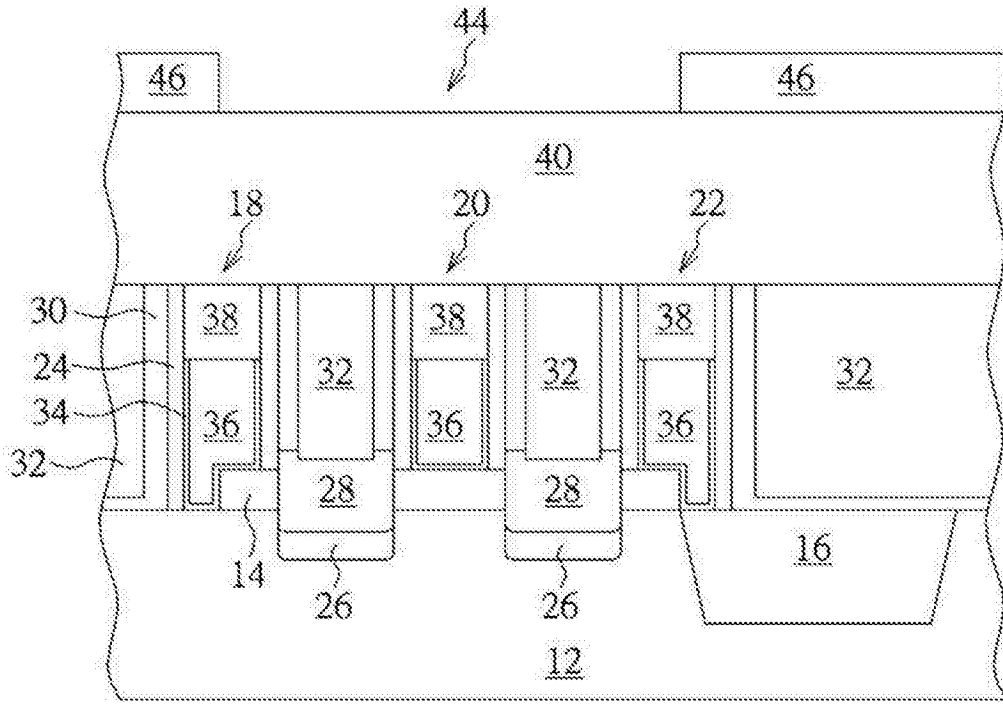


图 3

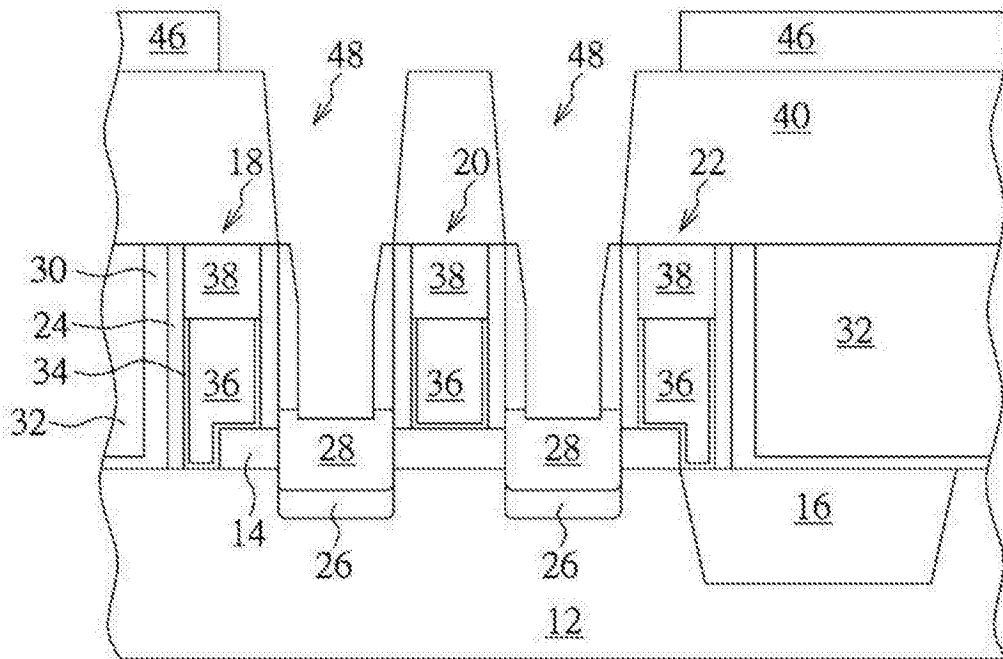


图 4

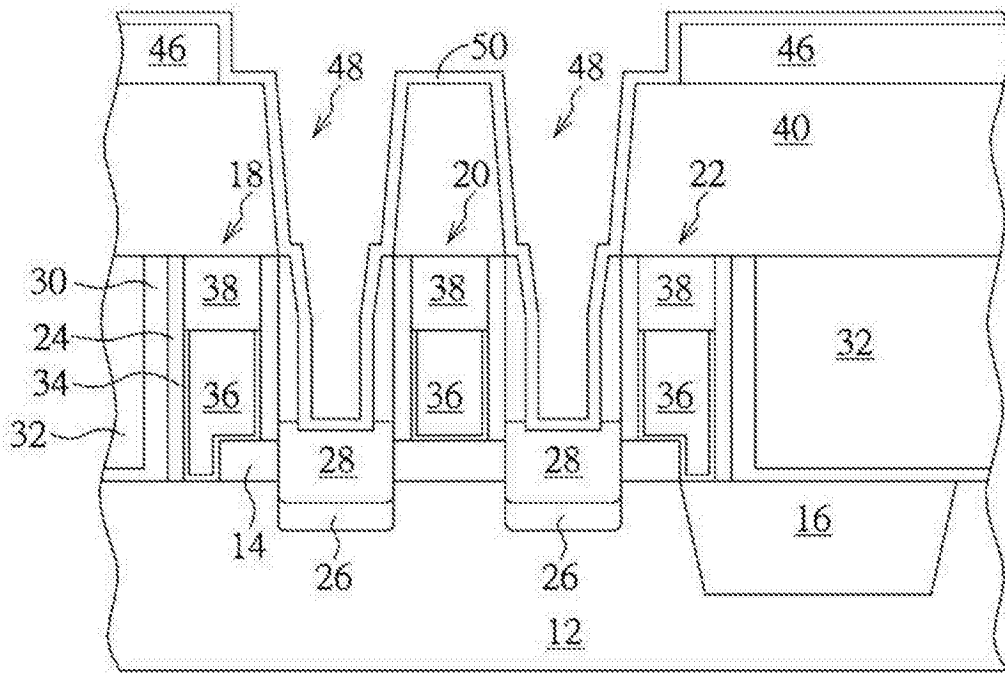


图 5

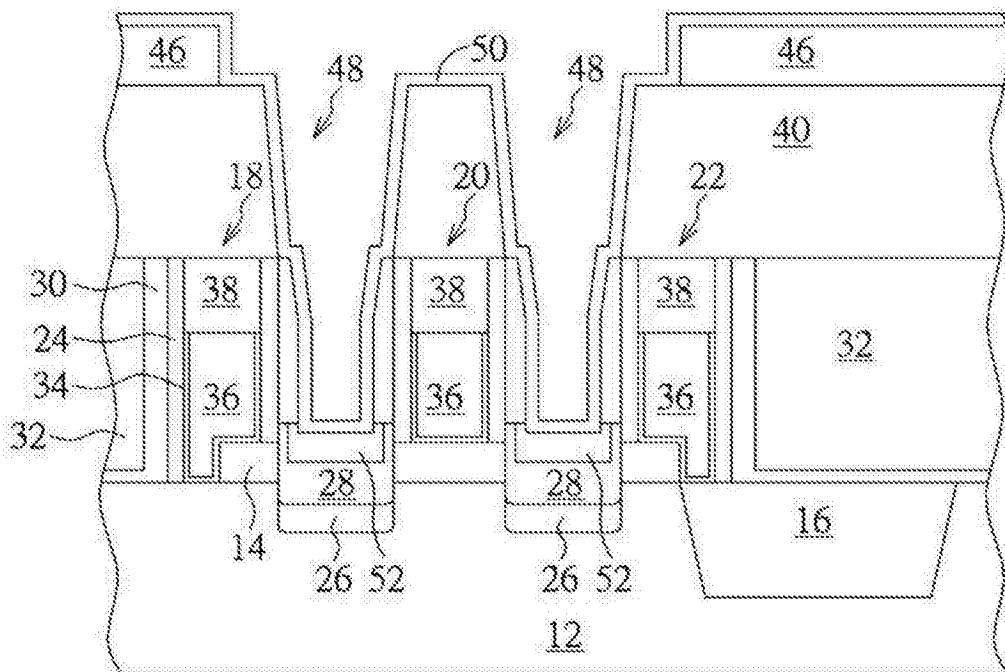


图 6

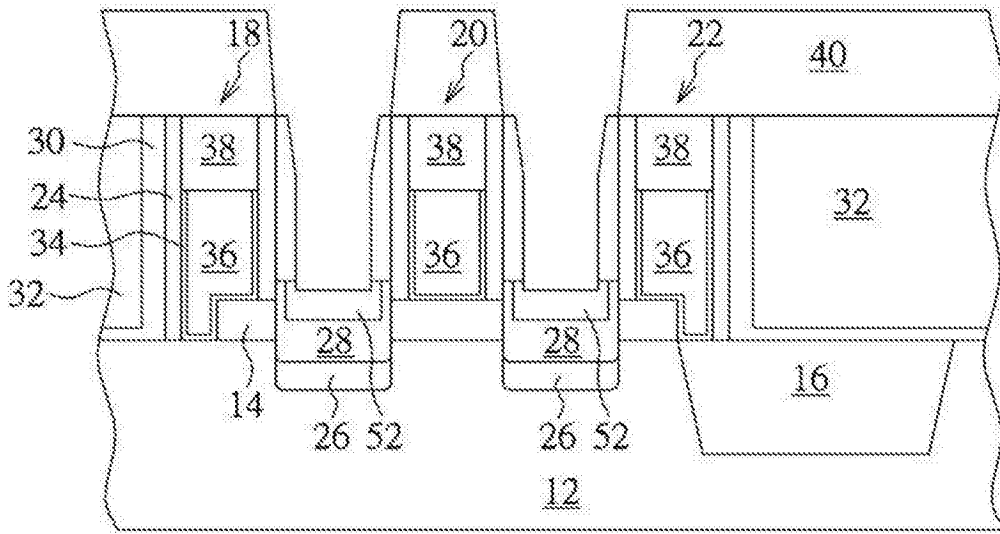


图 7

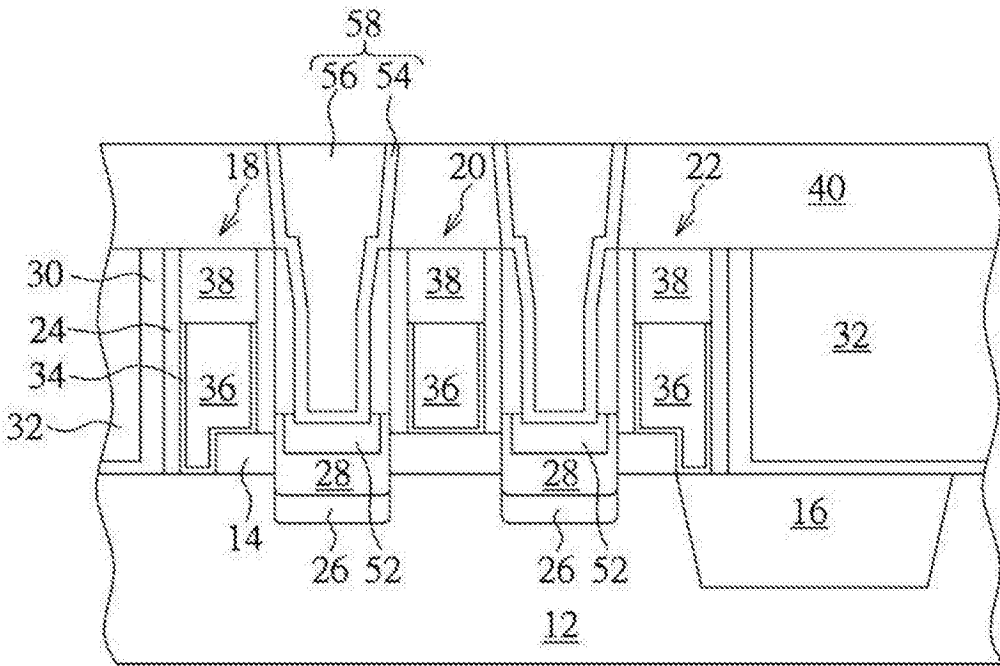


图 8

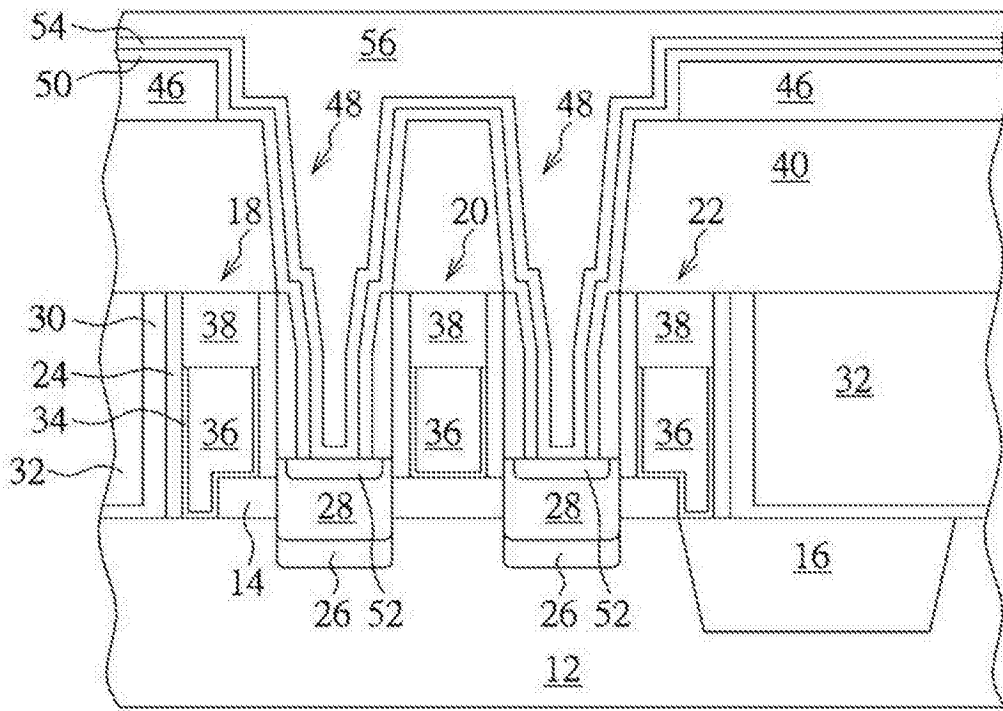


图 9

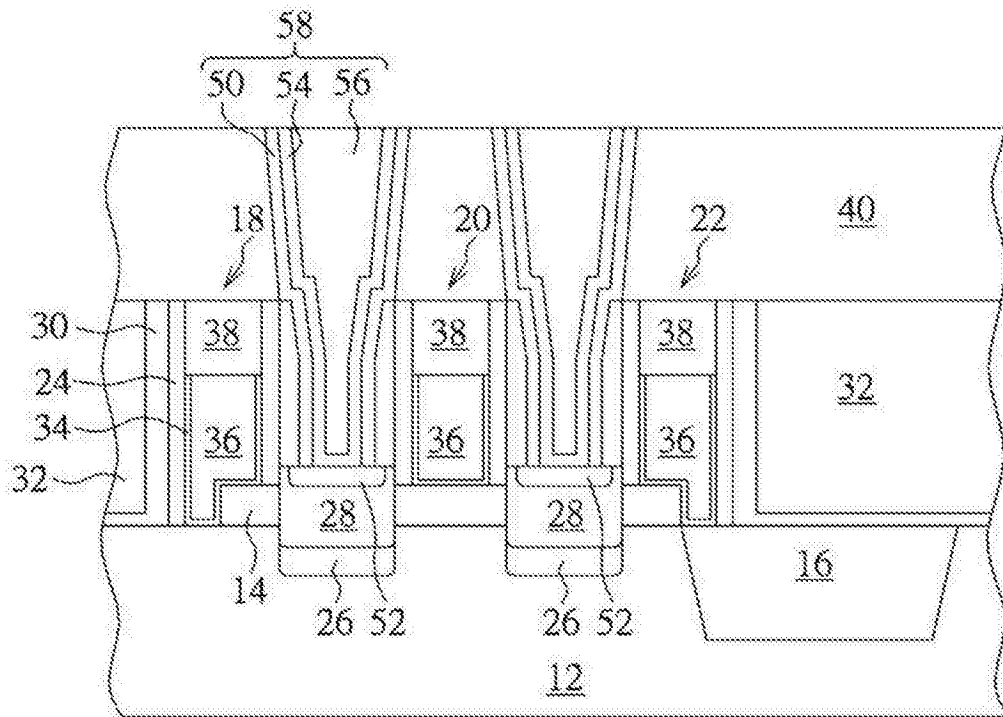


图 10