

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4517056号  
(P4517056)

(45) 発行日 平成22年8月4日(2010.8.4)

(24) 登録日 平成22年5月28日(2010.5.28)

(51) Int.Cl. F I  
H02M 3/155 (2006.01) H02M 3/155 H

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2004-196646 (P2004-196646)	(73) 特許権者	500542778
(22) 出願日	平成16年7月2日(2004.7.2)		杉本 泰博
(65) 公開番号	特開2006-20441 (P2006-20441A)		神奈川県横浜市都筑区川和台34-3
(43) 公開日	平成18年1月19日(2006.1.19)	(74) 代理人	100101915
審査請求日	平成19年6月28日(2007.6.28)		弁理士 塩野入 章夫
		(72) 発明者	杉本 泰博
			神奈川県横浜市都筑区川和台34-3
		審査官	安池 一貴

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

一方の端子が入力電圧源に接続され、制御入力の有無でオンおよびオフ動作を行うスイッチ用トランジスタ素子と、該スイッチ用トランジスタ素子の他方の端子と出力端子との間に接続されたインダクタ素子とを持つ出力回路と、  
前記出力回路中の、インダクタ素子に流れる電流を検出し、該電流に比例した電流を発生する電流検出回路と、  
一定の割合で変化する電圧の、べき乗に比例した電流を発生するスローブ補償電流発生回路と、  
上記両電流を合成し、該合成電流に比例した電圧を発生する電流合成電圧発生回路とを備え、

前記電流検出回路は、前記スイッチ用トランジスタ素子と前記インダクタ素子との接続点と入力電圧源間に、互いに直列に接続される第1および第2のスイッチ素子と、該第1および第2のスイッチ素子の接続点に現れる電圧変化を第1のインピーダンス素子の両端に印加するための増幅手段とを持ち、該第1のインピーダンス素子に流れる電流を出力する事を特徴とするDC-DCコンバータ。

【請求項2】

一方の端子が入力電圧源に接続され、制御入力の有無でオンおよびオフ動作を行うスイッチ用トランジスタ素子と、該スイッチ用トランジスタ素子の他方の端子と出力端子との間に接続されたインダクタ素子とを持つ出力回路と、

10

20

前記出力回路中の、インダクタ素子に流れる電流を検出し、該電流に比例した電流を発生する電流検出回路と、

一定の割合で変化する電圧の、べき乗に比例した電流を発生するスロープ補償電流発生回路と、

上記両電流を合成し、該合成電流に比例した電圧を発生する電流合成電圧発生回路とを備え、

前記スロープ補償電流発生回路は、入力電圧源と他の電源間に、容量、電位シフト素子、および一定の電流を供給する電流源を直列に接続し、容量に並列に接続される第3のスイッチ素子と、前記電位シフト素子と前記一定の電流を供給する電流源との接続点における電圧と、入力電圧源間の電圧変化のべき乗に比例した電流を発生させる非線形な電圧-電流変換素子を持つ事の特徴とするDC-DCコンバータ。

10

【請求項3】

一方の端子が入力電圧源に接続され、制御入力の有無でオンおよびオフ動作を行うスイッチ用トランジスタ素子と、該スイッチ用トランジスタ素子の他方の端子と出力端子との間に接続されたインダクタ素子とを持つ出力回路と、

前記出力回路中の、インダクタ素子に流れる電流を検出し、該電流に比例した電流を発生する電流検出回路と、

一定の割合で変化する電圧の、べき乗に比例した電流を発生するスロープ補償電流発生回路と、

上記両電流を合成し、該合成電流に比例した電圧を発生する電流合成電圧発生回路とを備え、

20

前記電流合成電圧発生回路は、前記電流検出回路から出力される電流と、前記スロープ補償電流発生回路から出力される電流との合成電流を第2のインピーダンス素子に供給し、該第2のインピーダンス素子の両端に発生する電圧を出力電圧とする事の特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC-DCコンバータに関し、電流帰還形DC-DCコンバータ回路に適した電流検出回路およびスロープ補償回路に関する。

30

【背景技術】

【0002】

従来、非特許文献1に示される形式の、電流帰還形DC-DCコンバータ回路が提案され使用されている。非特許文献1に示される電流帰還形DC-DCコンバータ回路では、図2に示すような回路構成が使用され、安定度の高い常に一定の出力電圧が発生される。

【0003】

図2において、 $V_{in}$ はDC-DCコンバータに加えられる入力電圧で、 $V_{out}$ はDC-DCコンバータの出力電圧であり、 $R_L$ は負荷を抵抗で置き換えたものである。図は $V_{in}$ 、 $V_{out}$ となる降圧型を実現する構成となっている。この場合、トランジスタ10(Q1)は周期Tの一部( $D \times T$ 、Dはデューティ)で導通状態となる。ここでTは発振器210(OSC)の発振周期である。トランジスタ10(Q1)がオンするとトランジスタ10(Q1)およびインダクタ素子12(L)を通して図示の $I_{Lf}$ の電流が流れ、同時にインダクタ素子12(L)にはエネルギーの充電が起こるが、実使用の安定状態においては $V_{in}$ および $V_{out}$ は一定であるので、インダクタ素子12(L)の両端に加わる電圧は一定で、インダクタ素子12(L)の電流はこの期間において、負荷 $R_L$ に流れる電流 $I_L$ を平均値として、時間と共に増加する波形となる。

40

【0004】

一方、時刻( $D \times T$ )を過ぎTまでの間では、トランジスタ10(Q1)はオフとなりダイオード11(D)がオンとなる。この時ダイオード11(D)およびインダクタ素子12(L)を通して図示の方向に $I_{Lb}$ の電流が流れ、インダクタ素子12(L)に蓄積され

50

ていたエネルギーの放電が起こる。この場合もインダクタ素子 1 2 (L) の両端に加わる電圧は一定であり、インダクタ素子 1 2 (L) の電流は、負荷RLに流れる電流を平均値として、時間と共に減少する波形となる。

【 0 0 0 5 】

以上のように発振器 2 1 0 (OSC) の一発振周期 T 内に、入力端子よりインダクタ素子 1 2 (L) にエネルギーが充電され、蓄積されたエネルギーは残りの時間内に放電されて負荷RLにエネルギーが受け渡される。この動作が 1 秒間にOSCの発振周波数回だけ繰り返されるので、一周期でのエネルギーの授受は小さくとも、大きな負荷電流を供給する事が出来るし、あるいはインダクタ素子 1 2 (L) のインダクタンス値を小さく出来るのである。

10

【 0 0 0 6 】

なおこのエネルギーの授受は、負帰還ループにより制御されている。例えば負荷抵抗が小さくなった(負荷電流が増大し、負荷での電力消費が大となった場合に相当)場合、前記蓄積されたエネルギーの放電は大となるので、前記充電されるエネルギーも大でなければならない。しかしながらこの充電されるエネルギーの割合はインダクタ素子 1 2 (L) の両端の電圧が変わらなければ、常に一定である。充電されるエネルギーを大とするには、充電時間を長くするしかない。

【 0 0 0 7 】

図 2 において、負荷での電力消費が大となった(負荷電流が大となった)、という情報はVout電圧とレファレンス電圧との差の電圧を誤差増幅器 3 0 0 で増幅することにより得られる。負荷電流が大となり、Vout電圧がわずかながら低下すると、誤差増幅器 3 0 0 の出力電圧Veが大となる。

20

【 0 0 0 8 】

図 2 中、OSC (2 1 0) は時刻 T 毎に前記充電時間を開始するためのセットパルスを選択 2 2 0 に供給する役目を持ち、比較器 2 3 0 の出力は前記充電時間を終了するためのリセットパルスを選択 2 2 0 に供給する役目を持っている。Veが大となれば比較器 2 3 0 の逆相入力端子(-で表示)の電圧が大となるので、比較器 2 3 0 の正相入力端子(+で表示)の電圧Vsも大とならねばリセットパルスを発生出来ない。Vsは上述のインダクタ素子 1 2 (L) に流れる電流に比例する電流を、抵抗素子 2 5 0 (Rs) に供給して作成する。前記充電時間中には該電流は一定の割合で増大するので、Vsの値が前記比較器 2 3 0 の逆相入力端子の電圧より大となった瞬間に、比較器 2 3 0 からラッチ 2 2 0 にリセットパルスが送出されるが、Veが大の場合は充電時間を長くしてVsの値を大となる必要がある。したがって充電期間が増大し、この結果充電されるエネルギーも大となる。充電されるエネルギーが大となると負荷電流も増大し、その結果Voutも上昇する。以上の動作により、負荷での電力消費が大となった場合においてもVout電圧は一定に保たれる。

30

【 0 0 0 9 】

しかしながらVsを発生するためには、充電期間中にインダクタ素子 1 2 (L) に流れる電流、に比例する電流 $I_{Lp}$ を発生させる必要がある。充電期間中にインダクタ素子 1 2 (L) に流れる電流とトランジスタ 1 0 (Q 1) に流れる電流は等しいので、一般的には、抵抗素子をトランジスタ 1 0 (Q 1) と直列に接続しその両端の電圧を用いてVsを発生させる方法、あるいはトランジスタ 1 0 (Q 1) と並列に接続した相似なトランジスタに流れる電流を用いる方法、などがある。

40

【 0 0 1 0 】

ただしこの場合、挿入した抵抗素子には負荷電流と同一レベルの大きな電流が流れる。負荷電流が大である場合には負荷 1 0 0 (RL) の値は小さくなるので、上記抵抗素子の抵抗値が小さくとも、相対的に負荷との抵抗比は大となり、したがって負荷 1 0 0 (RL) での電力消費量に比し上記抵抗素子の電力消費量の割合が大になってしまう。これはDC-DCコンバータの効率が下がる事に相当するので、抵抗を挿入せずにインダクタ素子 1 2 (L) に流れる電流に比例した電流を取り出す必要がある。

【 0 0 1 1 】

50

また並列に相似なトランジスタを接続する方法においては、充電期間中はトランジスタ 10 (Q1) がオン状態にあり (線形領域で動作)、並列に接続した相似なトランジスタはその電流出力を得るために飽和領域で動作させるので、上記の2つのトランジスタの動作領域は異なる。したがって、相似なトランジスタに流れる電流は、トランジスタ 10 (Q1) の電流すなわちインダクタ素子 12 (L) の電流とは異なってしまう。

【0012】

また更に、非特許文献1と図3に示されるように、図2の構成においては次のような安定性の問題が発生する。

【0013】

図3は、図2における誤差増幅器300の出力電圧 $V_e$ 、スロープ補償電圧 $V_c$ 、およびインダクタ素子12 (L) に流れる電流に比例した (比例定数をKとする) 電流 $I_{LP}$ が抵抗250 ( $R_s$ ) に流れて発生した電圧 $V_s$ 、との相互の関係を示すものである。ただし、抵抗250 ( $R_s$ ) に電流 $I_{LP}$ が流れるのは、前記充電期間のみであるが、図2の系全体の動作は、前記インダクタ素子12 (L) に1周期中の全期間において流れる電流により決定されているので、システムの安定性を論じる目的で、図3に示すように1周期中の全期間においてインダクタ素子12 (L) に流れる電流と相似な電流を考えて、これが抵抗250 ( $R_s$ ) に流れ $V_s$ という電圧が発生している、と考えている。

【0014】

特に図3 (a) は、スロープ補償電圧 $V_c$ を導入しなければ、前記充電を行う期間および充放電の1周期の時間Tとの割合 (デューティ (D) と呼ぶ。) が50%を越した場合において、系の安定性が損なわれる事を示す図である。この場合、インダクタ素子12 (L) の両端に加わる電圧は、前記充電を行う期間および放電を行う期間それぞれについて、一定であると仮定している。図3 (a) における実線は、前記インダクタ素子12 (L) の電流と相似な電流 $I_{LP}$ が、1周期中の全期間において抵抗 $R_s$ に流れたとした場合の抵抗両端の電圧波形 (すなわち $V_s$ ) を表わすものである。実際の $I_{LP}$ の波形は、上述の通り、充電を行う期間のみに電流が流れる形で、これは図2に示す波形である。

【0015】

図2では、時刻ゼロでトランジスタ10 (Q1) がオンとなる。この時図3 (a) で $V_s$ は $V_e$ に比し低い電圧レベルにある。図2において、トランジスタ10 (Q1) がオンするとインダクタ素子12 (L) に $V_{in}$ より電流が供給されるが、この電流 $I_{Lf}$ はトランジスタ10 (Q1) のエミッタ端子の電圧が $V_{in}$ と一致すると仮定すれば、

【数1】

$$I_{Lf} = \frac{V_{in} - V_{out}}{L} t + I_{L0} \quad (1)$$

で表され、時間と共に直線的に増加する電流となるので、インダクタ素子L (12) に流れる電流に比例した電流 $I_{LP}$ が流れて発生する $V_s$ の電圧も、図3 (a) のように直線的に上昇する形となる。ただし (1) 式の $I_{L0}$ は、時刻ゼロにおけるインダクタ素子12 (L) の電流を表わしている。この時の $V_s$ の傾き $m_1$ は、該電流の増加の割合をK倍したものであるから、

【数2】

$$m_1 = K \frac{V_{in} - V_{out}}{L} \quad (2)$$

である。

【0016】

このように $V_s$ は時刻と共に上昇を続け、時刻 $D \times T$ 後に $V_e$ と同一の電圧となる。 $V_s$ が $V_e$ と同一電圧となると、図2において比較器230の出力が反転し、それ以前の、論理0の状態から論理1の状態に変わるので、ラッチ220のリセット端子 (R) にパルスが入力され、ラッチ220の出力は論理0の状態に変わって、トランジスタ10 (Q1) はオフに

10

20

30

40

50

変わる。

【 0 0 1 7 】

トランジスタ 1 0 ( Q 1 ) がオフとなると、 $I_{Lp}$  は流れなくなるので図 2 に示すように、 $V_s$  の電圧は 0 に戻り、比較器 2 3 0 の出力は再び論理 0 の状態に戻るが、ラッチ 2 2 0 の出力には変化が無く論理 0 の状態に保たれるので、時刻  $D \times T$  以降  $T$  までは、トランジスタ 1 0 ( Q 1 ) はオフとなったままである。

【 0 0 1 8 】

トランジスタ 1 0 ( Q 1 ) がオフとなった直後には、インダクタ素子 1 2 ( L ) には充電期間中に蓄えられたエネルギーが存在している。このエネルギーはトランジスタ 1 0 ( Q 1 ) がオフの期間である、時刻  $D \times T$  以降  $T$  の間で、図 2 の  $I_{Lb}$  となり放電する。 $I_{Lb}$  は、 $V_{out}$  が一定でダイオード 1 1 ( D ) による電圧降下が無視できるとすれば、

【数 3】

$$I_{Lb} = -\frac{V_{out}}{L}t + I_{LDT} \quad (3)$$

となる。ただし  $I_{LDT}$  は時刻  $D \times T$  におけるインダクタ素子 1 2 ( L ) の電流を示す。( 3 ) 式より、 $I_{Lb}$  は時間と共に減少する電流である事がわかる。この減少する電流に比例する電流が図 2 の抵抗  $R_s$  に流れたと考えると、 $V_s$  の変化を模擬的に図 3 ( a ) 上に描くと、図 3 ( a ) の傾き  $m_2$  を持つ直線となる。

【 0 0 1 9 】

したがって  $m_2$  は、

【数 4】

$$m_2 = -K \frac{V_{out}}{L} \quad (4)$$

で表される形である。

【 0 0 2 0 】

なお一周期  $T$  における、図 2 の  $I_{Lf}$  および  $I_{Lb}$  の平均値は、負荷 1 0 0 ( RL ) に流れる電流  $I_{RL}$  に等しい。 $I_{Lf}$  および  $I_{Lb}$  は単調に増加および減少する電流であるので、各時刻において平均値との間に差が生じるが、この差はコンデンサ 1 3 ( C ) に充電あるいはコンデンサ 1 3 ( C ) より供給される。定常状態におけるコンデンサ 1 3 ( C ) への電荷の出入りは、一周期で考えるとゼロである。

【 0 0 2 1 】

以上の動作を繰り返し、図 2 の回路は負荷 1 0 0 ( RL ) に一定の電流を供給し続けるのである。

【 0 0 2 2 】

ここでインダクタ素子 1 2 ( L ) に流れる電流が時刻ゼロにおいて、何らかの原因(負荷の電流が変わったなど)で 1 0 だけ変動した場合を考えて見よう。この場合図 2 の  $V_s$  の電圧は、図 3 ( a ) の点線で示される波形のように変化する。すなわち、 $K \cdot I_0 \cdot R_s$  の電圧だけ  $V_s$  が変わる。ただし、インダクタ電流が変動しても出力電圧の大きな変動はなく、インダクタ両端の電圧は一定であると考えられるので、図 3 ( a ) の点線で示される波形のように、充電を行う期間のインダクタ電流の増加の割合に比例した値  $m_1$  と、放電を行う期間の減少の割合に比例した値  $m_2$  には変化がない。

【 0 0 2 3 】

ここで図 3 ( a ) において、1 周期を経た時刻  $T$  における安定状態からの変動量  $K \cdot I_1 \cdot R_s$  を計算する。この値が前記時刻ゼロにおいて加わった電圧変動  $K \cdot I_0 \cdot R_s$  より大であれば、一周期を経て変動が大となったわけであり、該変動は周期を経るごとに更に拡大して行くと考えられる。したがってこの系は不安定であると言える。一方、変動量  $K \cdot I_1 \cdot R_s$  が前記時刻ゼロにおいて加わった電圧変動  $K \cdot I_0 \cdot R_s$  より小であれば、一周期を経て変動が小となり、該変動は周期を経るごとに縮小して行く。したがってこのような系

10

20

30

40

50

は安定であると言える。

【 0 0 2 4 】

図 3 ( a ) において、Vs 波形の傾き  $m_1$  および  $m_2$ 、時刻ゼロにおける変動量  $K \cdot I_0 \cdot R_s$  を用いると、

【 数 5 】

$$K \times \Delta I_1 \times R_s = K \times \Delta I_0 \times R_s \times \frac{m_2}{m_1} \quad (5)$$

が成り立つ。更に ( 2 ) 式および ( 4 ) 式を考慮すると、

【 数 6 】

$$\Delta I_1 = \Delta I_0 \times \frac{m_2}{m_1} = -\Delta I_0 \times \frac{V_{out}}{V_{in} - V_{out}} \quad (6)$$

となる。( 6 ) 式は、インダクタ素子 1 2 ( L ) に起こった電流変動  $I_0$  が 1 周期後には (  $m_2 / m_1$  ) 倍だけ増幅されて  $I_1$  となる、という事を示している。ただし、 $I_1$  は  $I_0$  の方向と逆向きとなっているので、( 6 ) 式の第 2 項にはマイナス符号が付く。デューティ 5 0 % 以上の場合には  $|m_2| > |m_1|$  となるから ( 式 ( 6 ) から考えて言い換えると、 $V_{out} > (V_{in} / 2)$  の状態)、 $I_1$  は  $I_0$  より大となる事がわかる。

【 0 0 2 5 】

これは、インダクタ素子 1 2 ( L ) に起こった電流変動は、周期を重ねる毎に次第に大きくなり、ついには発散してしまう、すなわち系は不安定である、という事である。

【 0 0 2 6 】

以上の議論は、図 2 の回路構成がデューティ 5 0 % 以上の場合には不安定となり使用出来ない、という事を物語っている。この問題を解決するために、図 3 ( b ) に示すように時間と共に直線的に変化するスローブ補償電圧  $V_c$  を導入する。このスローブ補償電圧の傾きを  $-m$  としよう ( $m$  は正の値である)。

【 0 0 2 7 】

ここで図 3 ( a ) での議論と同様に、インダクタ素子 1 2 ( L ) に流れる電流が時刻ゼロにおいて、何らかの原因 ( 負荷の電流が変わったなど ) で  $I_0$  だけ変動したと考えて見よう。この場合 Vs の電圧は、図 3 ( b ) の点線で示される波形のように変化する。すなわち、 $K \cdot I_0 \cdot R_s$  の電圧だけ Vs が変わる。ただし、インダクタ電流が変動しても出力電圧の大きな変動はなく、インダクタ両端の電圧は一定であると考えられるので、図 3 ( b ) の点線で示される波形のように、充電を行う期間のインダクタ電流増加の割合に比例した値  $m_1$  と、放電を行う期間の減少の割合に比例した値  $m_2$  には変化がない。

【 0 0 2 8 】

一周りを過ぎた時刻 T における安定状態からの変動量  $K \cdot I_1 \cdot R_s$  は、Vs 波形の傾き  $m_1$ 、 $m_2$ 、 $V_c$  波形の傾き  $-m$  および  $K \cdot I_0 \cdot R_s$  を用いると、

【 数 7 】

$$K \times \Delta I_1 \times R_s = K \times \Delta I_0 \times R_s \times \frac{m_2 + m}{m_1 + m} \quad (7)$$

すなわち、

【 数 8 】

$$\Delta I_1 = \Delta I_0 \times \frac{m_2 + m}{m_1 + m} \quad (8)$$

と計算される。( 8 ) 式は、インダクタ素子 1 2 ( L ) に起こった電流変動  $I_0$  が 1 周期後には (  $m_2 + m$  ) / (  $m_1 + m$  ) 倍だけ増幅されて  $I_1$  となる、という事を示している。

【 0 0 2 9 】

10

20

30

40

50

ここで、

【数 9】

$$|m_1 + m| \geq |m_2 + m| \quad (9)$$

であれば、 $|m_1|$ は $|m_2|$ より小さくなる。すなわち系が安定となる。実際、 $m_1$ と $m$ は正の値を取り、 $m_2$ は負の値をとるので、 $(m_1 + m)$ の値は $m_1$ の値よりも増加し、 $|m_2 + m|$ の値は $|m_2|$ の値に比し減少する。したがって $m$ の値を適正に取れば、(9)式を満足させる事が出来る。 $(m_1 + m)$ が正の値を取り、 $(m_2 + m)$ の値が負となるとすれば、(9)式の条件は、

【数 10】

$$m_1 + m \geq -(m_2 + m) \quad (10)$$

すなわち、

【数 11】

$$m \geq -\frac{m_2 + m_1}{2} \quad (11)$$

と書ける。

【0030】

デューティが50%の場合には $m_2 = -m_1$ となるので、(11)式の条件は $m \geq 0$ となり、 $m$ の値はゼロでも良いが、デューティが100%となる場合( $V_{in} = V_{out}$ の場合に相当)には、(2)式より $m_1 = 0$ となるので、

【数 12】

$$m \geq -\frac{m_2}{2} \quad (12)$$

とする必要がある。(11)式および(12)式は、デューティに依存して必要な $m$ の値が変る事、およびデューティが大となるにしたがって $m$ の値も増加させる必要のある事、を示している。

【0031】

しかしながら実際の回路においては、デューティに依存して $m$ の値を変化させる事が困難であるため、使用条件下で最大となる $m$ の値に固定しておく事が通常である。前述の通り、デューティの相違により必要な $m$ の値は異なる。したがって最大となる $m$ の値を使用した場合には、系の安定性は確保されているものの、各デューティ値における必要な $m$ の値を提供しているわけではない。

【0032】

また特許文献1中のFig. 5に示されているように、D/A変換器やカウンタなどを用い、折れ線グラフのように $m$ の値を段階的に変えて行くような方法がとられている。これは、各デューティ値において必要な $m$ の値を提供しようとするものであるが、D/A変換器やカウンタなどの追加機能が必要となり回路の消費電力が増大するため、DC-DCコンバータとしての効率を低下させてしまう。

【0033】

【非特許文献1】「UNITRODE Application Note、U-97、3-43~3-48」1999UNITRODE CORPORATION

【特許文献1】米国特許第6177787号明細書「Circuits and Methods for Controlling Timing and Slope Compensation in Switching Regulators」

【発明の開示】

【発明が解決しようとする課題】

【0034】

以上のように非特許文献1で提案されている図2の回路構成、および図3のスローブ補

10

20

30

40

50

償方法では、インダクタ素子12(L)に流れる電流に比例した電流を検出するために、スイッチ用トランジスタ素子と直列に抵抗(電力消費が発生)を挿入する必要のある事、あるいは並列に相似なトランジスタを接続してもインダクタ素子12(L)に流れる電流を正確に検出出来ない事、デューティの変化に対応した最適なスロープ保証電圧を提供出来ない事、などの問題がある。また特許文献1で提案されているスロープ電圧波形作成方法は、デューティの変化に対応したスロープ補償電圧を作る事が出来るが、ハードウェアの規模が大となり余分な電力の発生が生じる事、などの欠点がある。

【0035】

そこで本発明では、スイッチ用トランジスタ素子と直列に抵抗を接続する、あるいは並列に相似なトランジスタを接続する、事でインダクタ素子12(L)に流れる電流を検出する手法ではなく、より簡便に低消費電力でインダクタ素子12(L)に流れる電流を検出する手段を提供することを第1の目的とする。

10

【0036】

更にスロープ補償電圧の傾きの最適値はデューティに依存する事より、デューティの変化に対応した傾きを発生させる簡便な手段を提供することを第2の目的とする。

【課題を解決するための手段】

【0037】

本発明のDC-DCコンバータの第1の形態は、一方の端子が入力電圧源に接続され、制御入力の有無でオンおよびオフ動作を行うスイッチ用トランジスタ素子と、該スイッチ用トランジスタ素子の他方の端子と出力端子との間に接続されたインダクタ素子とを持つ出力回路と、前記出力回路中の、インダクタ素子に流れる電流を検出し、該電流に比例した電流を発生する電流検出回路と、一定の割合で変化する電圧の、べき乗に比例した電流を発生するスロープ補償電流発生回路と、上記両電流を合成し、該合成電流に比例した電圧を発生する電流合成電圧発生回路とを備える。

20

【0038】

電流検出回路は、前記スイッチ用トランジスタ素子と前記インダクタ素子との接続点と入力電圧源間に、互いに直列に接続される第1および第2のスイッチ素子と、該第1および第2のスイッチ素子の接続点に現れる電圧変化を第1のインピーダンス素子の両端に印加するための増幅手段とを持ち、第1のインピーダンス素子に流れる電流を出力する。これにより、前記出力回路中のインダクタ素子に流れる電流に比例した電流を発生する。

30

【0039】

本発明のDC-DCコンバータの第2の形態は、一方の端子が入力電圧源に接続され、制御入力の有無でオンおよびオフ動作を行うスイッチ用トランジスタ素子と、該スイッチ用トランジスタ素子の他方の端子と出力端子との間に接続されたインダクタ素子とを持つ出力回路と、前記出力回路中の、インダクタ素子に流れる電流を検出し、該電流に比例した電流を発生する電流検出回路と、一定の割合で変化する電圧の、べき乗に比例した電流を発生するスロープ補償電流発生回路と、上記両電流を合成し、該合成電流に比例した電圧を発生する電流合成電圧発生回路とを備える。

【0040】

スロープ補償電流発生回路は、入力電圧源と他の電源間に、容量、電位シフト素子、および一定の電流を供給する電流源を直列に接続し、容量に並列に接続される第3のスイッチ素子と、前記電位シフト素子と前記一定の電流を供給する電流源との接続点における電圧と、入力電圧源間の電圧変化のべき乗に比例した電流を発生させる非線形な電圧-電流変換素子を持つ。この非線形な電圧-電流変換素子の出力電流は、前記一定の割合で変化する電圧のべき乗に比例した電流となる。

40

【0041】

本発明のDC-DCコンバータの第3の形態は、一方の端子が入力電圧源に接続され、制御入力の有無でオンおよびオフ動作を行うスイッチ用トランジスタ素子と、該スイッチ用トランジスタ素子の他方の端子と出力端子との間に接続されたインダクタ素子とを持つ出力回路と、前記出力回路中の、インダクタ素子に流れる電流を検出し、該電流に比例した電

50

流を発生する電流検出回路と、一定の割合で変化する電圧の、べき乗に比例した電流を発生するスロープ補償電流発生回路と、上記両電流を合成し、該合成電流に比例した電圧を発生する電流合成電圧発生回路とを備える。

【 0 0 4 2 】

電流合成電圧発生回路は、前記電流検出回路から出力される電流と、前記スロープ補償電流発生回路から出力される電流との合成電流を第2のインピーダンス素子に供給し、該第2のインピーダンス素子の両端に発生する電圧を出力電圧とする。

【 発明の効果 】

【 0 0 4 3 】

本発明によれば、簡単な回路構成でかつ低消費電力で、出力スイッチ用トランジスタ素子に直列に抵抗を接続することなく、あるいは出力スイッチ用トランジスタ素子に並列に相似なトランジスタを接続する事なく、インダクタ電流に比例した波形を電圧の形で発生させる事ができる。また、デューティに比例してその傾きが次第に大となるような、しかもその変化は連続でスムーズなものであるような、スロープ補償電圧を発生させる事が出来る。これらの電圧を合成手段により合成して用いれば、高速応答、安定動作、などの特徴を持ったDC-DCコンバータが構成出来る。

【 発明を実施するための最良の形態 】

【 0 0 4 4 】

以下、本発明の実施の形態を実施例に基づき詳細に説明する。図1は、本発明実施例を示す回路構成図である。

【 0 0 4 5 】

図1において、トランジスタ10(MP1)および11(MN1)は、それぞれ出力回路のPMOSスイッチ用トランジスタ素子およびNMOSスイッチ用トランジスタ素子である。出力回路には、外付けのインダクタ素子12(L)、容量素子13(C)および負荷100(RL)が接続される。本発明の図1では、図2のNPNスイッチ用トランジスタ素子(10)およびスイッチ用ダイオード素子(11)に代えて、MOSトランジスタが使用されている。

【 0 0 4 6 】

トランジスタ10(MP1)および11(MN1)のゲート端子には、それぞれ19および20に示す制御波形が加えられているので、D×T期間中はトランジスタ10(MP1)がオンし、トランジスタ11(MN1)はオフとなる。したがって、入力VinよりLを通して電流が流れる。この期間が充電期間である。一方、周期TのうちD×Tを除く期間においては、トランジスタ10(MP1)はオフし、トランジスタ11(MN1)がオンとなる。インダクタ素子12(L)に蓄えられたエネルギーは、負荷100(RL)およびトランジスタ11(MN1)を通過して放電する(放電期間)。図2においてVs電圧波形は、トランジスタ10(MP1)がオンしている期間の、インダクタ素子12(L)に流れる電流に比例したものであった。したがって、該期間にインダクタ素子12(L)に流れる電流に比例した電流を作成する必要がある。

【 0 0 4 7 】

図1においては、電流検出回路200の出力電流であるI<sub>D</sub>がインダクタ素子12(L)に流れる電流に比例した電流となる。I<sub>D</sub>は、スイッチ素子201(SW1)、202(SW2)、オペアンプ203、トランジスタ204(MP2)および抵抗素子205(RD)を用いて、以下のようにして発生される。

【 0 0 4 8 】

まずD×T期間中にインダクタ素子12(L)に流れる電流I<sub>Lf</sub>は、トランジスタ10(MP1)に流れる電流と等しい事に着目する。該期間におけるトランジスタ10(MP1)のドレイン電流I<sub>d</sub>は、MP1がオン状態、すなわち線形領域で動作している事より、

【 数 1 3 】

$$I_d = \beta \left\{ (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right\} \quad (13)$$

10

20

30

40

50

と表す事が出来る。ここで

$= (\mu_p C_o W_{MP1}) / (L_{MP1})$ 、 $\mu_p$  : ホールの移動度、 $C_o$  : MP1の単位面積当りのゲート容量、 $W_{MP1}$  : MP1のゲート幅、 $L_{MP1}$  : MP1のゲート長、 $V_{GS}$  : MP1のゲート・ソース間電圧、 $V_{th}$  : MP1のスレッシュホールド電圧、 $V_{DS}$  : MP1のドレイン・ソース間電圧であり、それぞれトランジスタ10 (MP1)のデバイスパラメータおよび端子間電圧で規定される量である。

【0049】

この時、トランジスタ10 (MP1)のオン抵抗 $R_{on}(MP1)$ は、 $V_{GS} = V_{in}$ であるため、

【数14】

$$R_{on}(M_{p1}) = \frac{\partial V_{DS}}{\partial I_d} = \frac{1}{\beta(V_{in} - V_{thp} - V_{DS})} \quad (14)$$

10

で計算されるが、MP1はオン状態であり、 $V_{DS} = 0$ と考えて良いので、

【数15】

$$R_{on}(M_{p1}) \approx \frac{1}{\beta(V_{in} - V_{thp})} \quad (15)$$

で近似される、と考えられる。ここでDC-DCコンバータの通常の使用状態(安定状態を指す)では、 $V_{in}$ 、 $V_{thp}$ は一定であるので、 $R_{on}(MP1)$ も一定値となる。

【0050】

20

一方、インダクタ素子12(L)に流れる電流 $I_{Lf}$ は、(1)式で与えられるので、図1における端子Aの電圧 $V_o$ は、

【数16】

$$V_o = V_{in} - R_{on}(M_{p1})I_{Lf} = V_{in} - \frac{V_{in} - V_{out}}{\beta L(V_{in} - V_{thp})} t - \frac{I_{L0}}{\beta(V_{in} - V_{thp})} \quad (16)$$

となる。ただしこの場合のLは、インダクタ素子のインダクタンスを表している。

【0051】

DC-DCコンバータの通常の使用状態(安定状態を指す)では、(16)式の、 $V_{in}$ 、 $L$ 、 $V_{in}$ 、 $V_{thp}$ 、 $V_{out}$ は全て一定値であり、 $I_{L0}$ も負荷100により定まる一定値となるので、(16)式はA点の電圧 $V_o$ が時間と共に一定の割合で降下する事を示すものである。

30

【0052】

該期間においてスイッチ素子201(SW1)をオンさせスイッチ素子202(SW2)をオフさせると、オペアンプ203の正相入力端子(+の表示)の電圧はA点の電圧と一致する。オペアンプ203とトランジスタ素子204(MP2)、抵抗素子205(RD)および電流合成電圧発生回路250の唯一の構成要素である抵抗 $R_s$ (以下、抵抗素子250( $R_s$ )と記述する)、より成る回路では、第1に、オペアンプ203の正相入力端子の電圧と、トランジスタ素子204(MP2)のソース端子と接続されているオペアンプ203の逆相入力端子(-の表示)であるB点の電圧が一致するように動作するので、B点の電圧もA点の電圧に一致する。第2に、抵抗素子205(RD)に流れる電流は、トランジスタ素子204(MP2)を通過して抵抗素子250( $R_s$ )に流れるので、 $I_D$ が抵抗素子250( $R_s$ )に流れることにより発生する電圧 $V_s'$ は( $V_{in}$ -A点の電圧 $V_o$ )の( $R_s/RD$ )倍されるように動作する。すなわち、

40

【数17】

$$V_s' = (V_{in} - V_o) \frac{R_s}{R_D} = R_{on}(M_{p1})I_{Lf} \times \frac{R_s}{R_D} \quad (17)$$

で、インダクタ素子に流れる電流 $I_{Lf}$ に比例した電圧 $V_s'$ が得られる。

【0053】

なお、トランジスタ素子11(MN1)がオンする放電期間においては、スイッチ素子2

50

0 1 (SW1) はオフでスイッチ素子 2 0 2 (SW2) はオンとなる。この場合、抵抗素子 2 0 5 (RD) の両端の電圧差はゼロとなり、Vsもゼロである。トランジスタ素子 1 0 (MP1) がオフ状態からオン状態に切り替わる際、過大な電流がトランジスタ素子 1 0 (MP1) に流れA点の電圧Voにスパイク上の電圧が現れる事がある。この場合においてもスイッチ素子 2 0 1 (SW1) をオンするタイミングをずらす事で、このような異常な電圧をVsに伝達せずに済む。

【 0 0 5 4 】

一方、スロープ補償電圧を発生するためのスロープ補償電流発生回路 4 0 0 は、容量素子 4 0 1 (Cs)、スイッチ素子 4 0 2 (SW3)、オフセット電圧源 4 0 3 (Vof)、定電流源 4 0 4 (Ic) およびトランジスタ素子 4 0 5 (MP3) より構成される。スロープ補償電流発生回路 4 0 0 の出力は電流Isであり、この電流が抵抗素子 2 5 0 (Rs) に流れて、Vsの一部であるスロープ補償分の電圧を発生する。

10

【 0 0 5 5 】

スイッチ素子 4 0 2 (SW3) は、インダクタ電流の充電期間にオフとなり、放電期間にオンとなるスイッチである。トランジスタ素子 1 0 (MP1) がオンとなる充電期間において、スイッチ素子 4 0 2 (SW3) がオフとなると、定電流源 4 0 4 (Ic) の電流が容量素子 4 0 1 (Cs) に流れて、容量素子 4 0 1 (Cs) の両端の電圧は時間と共に直線的に増加する。この両端の電圧差Vcsは、

【数 1 8】

$$V_{cs} = \frac{I_c}{C_s} t \quad (18)$$

20

である。このVcsとオフセット電圧源 4 0 3 (Vof) の電圧の和が、トランジスタ素子 4 0 5 (MP3) のゲート・ソース間に加わるので、トランジスタ素子 4 0 5 (MP3) が飽和領域で動作する事を仮定すると、スロープ補償電流発生回路 4 0 0 の出力電流Isは、

【数 1 9】

$$I_s = \frac{\beta_{MP3}}{2} (V_{cs} + V_{of} - V_{thp})^2 = \frac{\beta_{MP3}}{2} \left( \frac{I_c}{C_s} t + V_{of} - V_{thp} \right)^2 \quad (19)$$

となり、時間と共に増加する 2 次曲線となる。

30

【 0 0 5 6 】

ただし、 $\beta_{MP3} = (\mu_p C_o W_{MP3}) / (L_{MP3})$ 、 $\mu_p$  : ホールの移動度、 $C_o$  : MP3 の単位面積当りのゲート容量、 $W_{MP3}$  : MP3 のゲート幅、 $L_{MP3}$  : MP3 のゲート長、 $V_{th}$  : MP3 のスレッシュヨルド電圧であり、それぞれトランジスタ 4 0 5 (MP3) のデバイスパラメータである。

【 0 0 5 7 】

Isは抵抗素子 2 5 0 (Rs) に供給されるので、Vsのスロープ補償電圧分として、2 次曲線の形の電圧波形が得られる。2 次曲線の傾きは、時間と共に増大するので、スロープ電圧の傾きも時間と共に増大する。

【 0 0 5 8 】

上述の結果を総合すると、Vsとして図 4 に示すような所望の電圧波形が得られる。

40

【 0 0 5 9 】

以上のように、図 1 の構成によれば、簡単な回路構成でかつ低消費電力で、出力スイッチ用トランジスタ素子に直列に抵抗を接続することなく、あるいは出力スイッチ用トランジスタ素子に並列に相似なトランジスタを接続する事なく、インダクタ電流に比例した波形を電圧の形で発生させる事ができる事がわかる。また、デューティに比例してその傾きが次第に大となるような、しかもその変化は連続でスムーズなものであるような、スロープ補償電圧を発生させる事が出来ることもわかる。これらの電圧を合成した電圧を用いて、高速応答、安定動作、などの特徴を持ったDC-DCコンバータを構成する。

【 0 0 6 0 】

50

次に本発明の図1の電流検出回路200およびスロープ補償電流発生回路400を用いて、実際に降圧型DC-DCコンバータ用ICを構成した例について述べる。図5にこれを示した。図5は、出力のスイッチ用トランジスタ素子であるトランジスタ10(MP1)、トランジスタ11(MN1)、帰還回路に抵抗素子22(Rf)と容量素子23(Cf)を持つ誤差増幅器300、レファレンス電圧源21(VREF)、発振器210(OSC)、フリップ・フロップ220(FF1)、比較器230および、本発明の電流検出回路200、スロープ補償電流発生回路400と電流の合成により電圧を発生する抵抗素子250(Rs)より成る。出力回路として、外付けにインダクタ素子12(L)、容量素子13(C)、負荷100(RL)、抵抗素子14(R1)および15(R2)よりなる電圧分圧器を想定している。

【0061】

図5のDC-DCコンバータでは、周期Tを持つ発振器210(OSC)の出力によりフリップ・フロップ220(FF1)がセットされ、その結果Q/出力がローとなりトランジスタ10(MP1)がオンとなって充電期間が開始される。この時、トランジスタ11(MN1)はオフとなる。トランジスタ10(MP1)のゲート端子とトランジスタ11(MN1)のゲート端子には、両者ともフリップ・フロップ220(FF1)のQ/出力が加わるのであるが、トランジスタ10(MP1)とトランジスタ11(MN1)が同時にオン状態となりVinからグラウンド端子に貫通電流が流れるのを防ぐために、互いのQ/信号にはわずかな遅延を施してある。フリップ・フロップ220(FF1)より2本のQ/およびQ'信号が出力されているのは、それぞれを区別するためである。

【0062】

充電期間の開始と同時に、電流検出回路200およびスロープ補償電流発生回路400が動作し、抵抗素子250(Rs)の両端の電圧Vsも上昇し始める。一方、負荷100(RL)の両端の電圧Voutを抵抗素子14(R1)および15(R2)で分圧した電圧は、レファレンス電圧源21(VREF)の電圧と比較され、誤差増幅器300で増幅されて比較器230の逆相入力端子(-で表示)に入力されている。抵抗素子250(Rs)の両端の電圧Vsが上昇して、比較器230の逆相入力端子(-で表示)に加わっている電圧Veよりも大となると、比較器230よりフリップ・フロップ220(FF1)にリセットパルスが入力される。リセットパルスが入力されると、フリップ・フロップ220(FF1)のQ/出力およびQ'出力はハイとなるので、トランジスタ10(MP1)はオフとなりトランジスタ11(MN1)はオンとなって、図5のDC-DCコンバータは放電期間に入る。この放電期間には、電流検出回路200およびスロープ補償電流発生回路400の出力電流はない。比較器230の出力はローとなるが、フリップ・フロップ220(FF1)の出力には変化がないので、放電期間は、発振器210(OSC)より次のトリガパルスがフリップ・フロップ220(FF1)に入力されるまで続く。

【0063】

以上の動作を繰り返し、図5のDC-DCコンバータは、負荷100(RL)に安定に電流を供給し続ける。

【0064】

図1の本発明の回路を組み込んだ、図5のDC-DCコンバータの動作を、SPICE回路シミュレーションにて確認した。図6にこれを示す。トランジスタのデバイスパラメータは、0.6 $\mu$ m設計ルール CMOS素子のものを用いた。Vinは3.6VでVoutは2.5Vとした。図5中における各素子のパラメータ値は次のようである。  
fosc=4 MHz (T=250 nS)、L=2.2 $\mu$ H、C=10 $\mu$ F、RL=20、R1=400 k、R2=100 k、VREF=0.5 V、Rf=1,200 k、Cf=20 pF、Rs=30 k。

【0065】

図6(a)は、図5のA点の電圧であるVoの波形およびVout波形を示すものである。Vo波形において、電圧が高い部分はトランジスタ10(MP1)がオン状態で、インダクタ素子12(L)にエネルギーが蓄積される充電期間を示している。電圧の低い部分は、トランジスタ11(MN1)がオン状態で放電期間に相当する。充電期間の方が放電期間より長く、この場合はデューティが50%以上である事がわかる。充電期間の電圧の高い部分では、電圧

10

20

30

40

50

が時間と共に直線的に下降する。これは(16)式に示された通りである。Vout波形は、全期間を通して一定値に保たれている。

【0066】

図6(b)は、図5のインダクタ素子12(L)に流れる電流の波形を示している。安定な繰り返し波形が得られている事がわかる。充電期間において、インダクタ素子12(L)に流れる電流は直線的に増加する。放電期間においては直線的に減少し、図のような波形が得られる事がわかる。

【0067】

図6(c)は、図5のVs波形およびVe波形を示すものである。Vs波形は充電期間のみに変化し、放電期間においては一定値に保たれる。放電期間においては、図1のスイッチ素子201(SW1)はオフで202(SW2)および402(SW3)が共にオンしている。この時図1中のI<sub>D</sub>およびI<sub>S</sub>は完全にはゼロにはならず、わずかな電流が流れるので、図6(c)のVs波形の電圧もゼロではなく、わずかな電圧が現れている。ただし電流の変化はなくVs波形の電圧値も一定である。充電期間においてVs波形は、時間と共に直線的に増加する図5のインダクタ素子12(L)に流れる電流に比例する電圧の変化と、2次曲線の形をしたスローブ補償電圧、との和より成り立っている事がわかり、図1の本発明の回路の動作が正しく行われている事がわかる。Vs波形の電圧がVe波形の電圧を超えたところで、図5中の比較器230よりリセットパルスが出力され、充電期間が終了するのは、前述の説明の通りである。

10

【0068】

以上より、図1の本発明回路を用いた図5のDC-DCコンバータは、デューティが50%を超えた場合においても安定に動作する事が示される。これは図1の本発明回路の有効性を示している。

20

【産業上の利用可能性】

【0069】

本発明の回路は、電流モード型DC-DCコンバータなどの、スローブ電流補償回路を必要とする種々の構成に適用することができる。

【図面の簡単な説明】

【0070】

【図1】本発明の実施例のスローブ電流補償回路の回路構成を示す図である。

30

【図2】従来例の電流モード型DC-DCコンバータの回路構成を示す図である。

【図3】従来例の電流モード型DC-DCコンバータにおけるスローブ補償回路の必要性を示す図である。

【図4】本発明の回路により発生されるスローブ補償電圧波形を示す図である。

【図5】本発明の回路を適用した実施例の、電流モード型DC-DCコンバータの回路構成を示す図である。

【図6】本発明の回路を適用した実施例の、電流モード型DC-DCコンバータにおいて、スイッチ用トランジスタ素子とインダクタ素子の接続点の電圧、インダクタ電流およびスローブ補償電圧波形をシミュレーションした結果を示す図である。

【符号の説明】

40

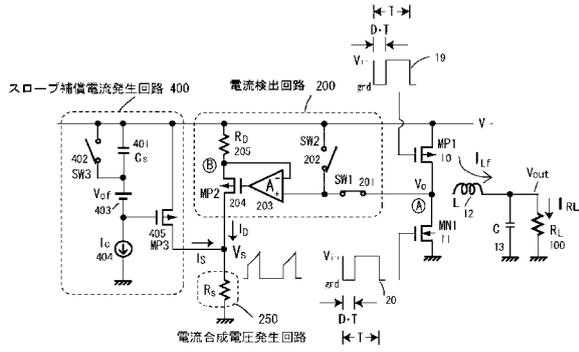
【0071】

Vin	入力電圧源
Vout	DC-DCコンバータに必要な外付け回路を付加した状態での最終出力電圧
Vo	スイッチ用トランジスタ素子とインダクタ素子の接続点の電圧
Vs	インダクタ素子に流れる電流に比例する電圧
Ve	誤差増幅器の出力電圧
Vc	スローブ補償電圧
T	周期
D	デューティ

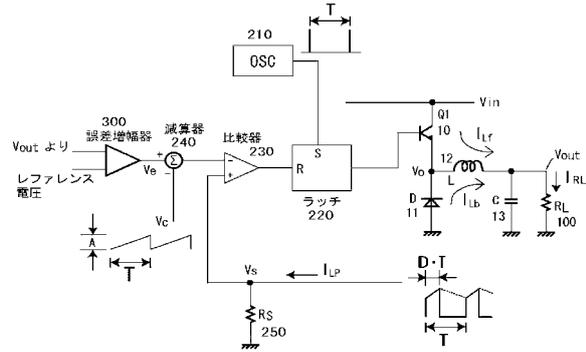
50

$I_{Lf}$ 、 $I_{Lb}$	充電期間および放電期間にインダクタ素子に流れる電流	
$I_D$ 、 $I_s$	電流検出回路およびスローブ電流発生回路の出力電流	
$I_{RL}$	負荷に流れる電流	
$I_{LP}$	従来構成の回路中でインダクタ電流に比例した電流	
$m_1$ 、 $m_2$	$V_s$ の傾き	
$m$	$V_c$ の傾き	
$K$	比例係数	
$I_0$ 、 $I_1$	インダクタ電流の変動量	
$10$ 、 $11$	スイッチング用トランジスタ（またはダイオード）素子	
$12$	インダクタンス素子（ $L$ ）	10
$13$	出力回路中の容量素子（ $C$ ）	
$14$ 、 $15$	出力電圧を分圧する抵抗	
$19$ 、 $20$	スイッチング用トランジスタ素子のゲートに加わる電圧波形	
$21$	レファレンス電圧源	
$22$ 、 $23$	誤差増幅器の帰還抵抗および帰還容量	
$100$	負荷（ $R_L$ ）	
$200$	電流検出回路	
$201$ 、 $202$	電流検出回路中のスイッチ	
$203$	オペアンプ	
$204$	電流検出回路中のトランジスタ素子	20
$205$	電流検出回路中の抵抗素子	
$210$	発振回路（OSC）	
$220$	ラッチ	
$230$	比較器	
$240$	減算器	
$250$	$V_s$ 電圧を発生する抵抗素子	
$300$	誤差増幅器	
$400$	スローブ補償電流発生回路	
$401$	スローブ補償電流発生回路中の容量素子	
$402$	スローブ補償電流発生回路中のスイッチ素子	30
$403$	オフセット電圧源	
$404$	定電流源	
$405$	スローブ補償電流発生回路中のトランジスタ素子	

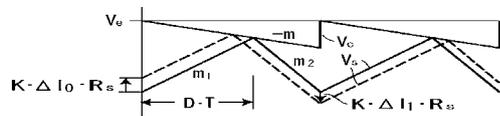
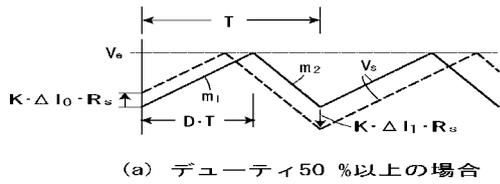
【図1】



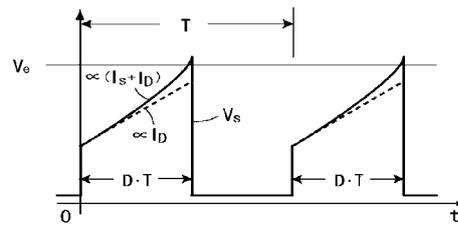
【図2】



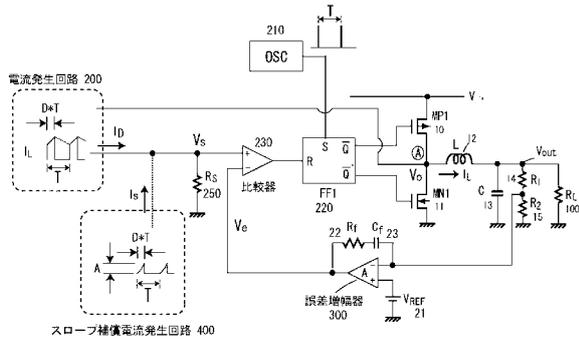
【図3】



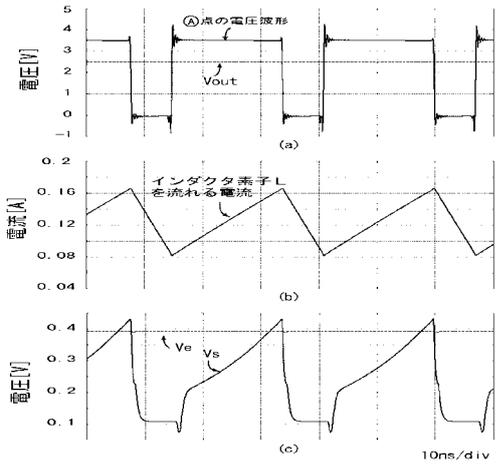
【図4】



【図5】



【図6】



---

フロントページの続き

- (56)参考文献 特開2003-070242(JP,A)  
特開2004-120982(JP,A)  
特開2004-88964(JP,A)  
特開2000-201474(JP,A)  
特開平11-41924(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155