



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월17일  
(11) 등록번호 10-0942969  
(24) 등록일자 2010년02월10일

(51) Int. Cl.

H03L 7/08 (2006.01)

(21) 출원번호 10-2007-0088930  
(22) 출원일자 2007년09월03일  
심사청구일자 2007년09월03일  
(65) 공개번호 10-2009-0023852  
(43) 공개일자 2009년03월06일  
(56) 선행기술조사문헌

US7023944 B2  
JP2002353808 A  
KR1020070035923 A  
KR1020040064036 A

전체 청구항 수 : 총 32 항

(73) 특허권자  
주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자  
이기원  
서울 양천구 목6동 목동신시가지아파트 118-701  
(74) 대리인  
특허법인 신성

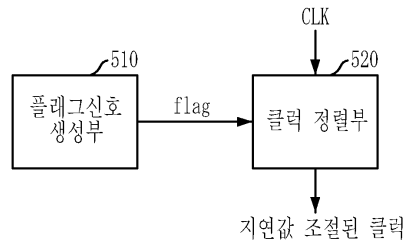
심사관 : 김기완

(54) 아날로그 지연고정루프 및 이의 동작방법, 클럭 데이터복원회로 및 클럭 데이터 복원방법, 위상고정루프 및 이의동작방법

(57) 요약

본 발명은 저주파수에서의 고정시간을 줄이기 위한 아날로그 지연고정루프 및 이의 동작방법, 클럭 데이터 복원회로 및 클럭 데이터 복원방법, 위상고정루프 및 이의 동작방법에 관한 것으로, 본 발명에 따른 아날로그 지연고정루프는, 지연고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 플래그신호 생성부; 및 내부 클럭을 외부 클럭에 정렬하기 위해 상기 내부 클럭의 지연량을 조절하며, 상기 지연량을 조절하는 과정에서 상기 지연량의 변화 폭을 상기 플래그신호에 응답하여 조절하는 클럭정렬부를 포함한다.

대표도 - 도5



**특허청구의 범위**

**청구항 1**

제어전압과 미리 설정된 기준전압을 비교해 플래그신호를 생성하는 플래그신호 생성부;  
 내부 클럭과 외부 클럭간의 지연시간을 모델링하기 위한 지연모델부;  
 상기 지연모델부의 출력과 내부 클럭의 위상을 비교하는 위상비교부;  
 상기 위상비교부의 비교 결과에 따라 상기 제어전압의 레벨을 증가 또는 감소시켜 출력하되, 상기 제어전압의 증가 또는 감소의 폭은 상기 플래그신호에 따라 조절되는 것을 특징으로 하는 제어전압 생성부; 및  
 상기 제어전압에 응답하여 상기 내부 클럭의 지연값을 조절해 상기 지연모델부로 출력하는 전압제어지연라인부를 포함하는 아날로그 지연고정루프.

**청구항 2**

제 1항에 있어서,  
 상기 제어전압 생성부는,  
 상기 위상비교부의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부; 및  
 상기 충전전류와 상기 방전전류에 응답하여 상기 제어전압을 출력하는 루프필터부를 포함하는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 3**

제 2항에 있어서,  
 상기 전하펌프부는,  
 상기 플래그신호에 응답하여 상기 충전전류, 상기 방전전류의 전류량을 조절하는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 4**

제 3항에 있어서,  
 상기 전하펌프부는,  
 바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터를 포함하며,  
 상기 둘 이상의 풀업 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 5**

제 3항에 있어서,  
 상기 전하펌프부는,  
 제1바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터와, 제2바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부의 전류를 접지단으로 누설하는 병렬 연결된 둘 이상의 풀다운 트랜지스터를 포함하며,  
 상기 둘 이상의 풀업 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지며, 상기 둘 이상의 풀다운 트랜지스터 중 적어도 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 6**

제 2항에 있어서,

상기 루프필터부는,

상기 충전전류 또는 상기 방전전류에 응답하여 충전 또는 방전되며, 상기 제어전압을 출력하기 위한 둘 이상의 캐패시터를 포함하며,

상기 둘 이상의 캐패시터 중 적어도 하나 이상은 상기 플래그신호에 응답하여 온/오프되는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 7**

삭제

**청구항 8**

제 1항에 있어서,

상기 플래그신호 생성부는,

상기 제어전압을 입력받기 위한 전압플로워; 및

상기 전압플로워를 통해 입력받은 상기 제어전압과 상기 기준전압을 비교하여 상기 플래그신호로 출력하는 비교기

를 포함하는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 9**

제 1항에 있어서,

상기 플래그신호 생성부는,

상기 지연고정루프가 저주파수에서 동작할 때 인에이블 되며, 고주파수 동작시에는 디스에이블 되는 것을 특징으로 하는 아날로그 지연고정루프.

**청구항 10**

제어전압과 미리 설정된 기준전압을 비교하여 플래그신호를 생성하는 단계;

내부 클럭과 피드백된 클럭의 위상을 비교하는 단계;

상기 비교결과에 따라 상기 제어전압을 조절해 출력하며, 상기 제어전압을 조절하는 과정에서 상기 제어전압의 변화 폭을 상기 플래그신호에 응답하여 조절하는 것을 특징으로 하는 제어전압을 출력하는 단계;

상기 제어전압에 응답하여 상기 내부클럭의 지연값을 조절하는 단계; 및

지연값이 조절된 상기 내부클럭을 소정시간 더 지연시켜 상기 피드백된 클럭으로서 피드백하는 단계

를 포함하는 아날로그 지연고정루프의 동작방법.

**청구항 11**

제 10항에 있어서,

상기 제어전압을 출력하는 단계는,

상기 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및

상기 충전전류 또는 상기 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압을 출력하는 전압출력 단계

를 포함하는 것을 특징으로 하는 아날로그 지연고정루프의 동작방법.

**청구항 12**

제 10항에 있어서,

상기 제어전압을 출력하는 단계는,

상기 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및

상기 충전전류 또는 상기 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압을 출력하며, 충전 방전에 따른 상기 제어전압의 전위 변화의 정도는 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전압출력 단계를 포함하는 것을 특징으로 하는 아날로그 지연고정루프의 동작방법.

**청구항 13**

삭제

**청구항 14**

제어전압과 기준전압을 비교해 플래그 신호를 생성하는 플래그신호 생성부;

전압제어지연라인부로부터 피드백된 클럭과 데이터의 위상을 비교하는 위상비교부;

상기 위상비교부의 비교 결과에 따라 상기 제어전압의 레벨을 증가 또는 감소시켜 출력하되, 상기 제어전압의 증가 또는 감소의 폭은 상기 플래그 신호에 따라 조절되는 것을 특징으로 하는 제어전압 생성부; 및

상기 제어전압에 응답하여 입력클럭의 지연값을 조절해 상기 피드백된 클럭으로 출력하는 상기 전압제어지연라인부;

상기 피드백된 클럭을 이용하여 상기 데이터를 복원하는 데이터복원부

를 포함하는 클럭 데이터 복원회로.

**청구항 15**

제 14항에 있어서,

상기 제어전압 생성부는,

상기 위상비교부의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부; 및

상기 충전전류와 상기 방전전류에 응답하여 상기 제어전압을 출력하는 루프필터부

를 포함하는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 16**

제 15항에 있어서,

상기 전하펌프부는,

상기 플래그신호에 응답하여 상기 충전전류, 상기 방전전류의 전류량을 조절하는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 17**

제 16항에 있어서,

상기 전하펌프부는,

바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터를 포함하며,

상기 둘 이상의 풀업 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 18**

제 16항에 있어서,

상기 전하펌프부는,

제1바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터와, 제2바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부의 전류를 접지단으로 누설하는 병렬 연결된 둘 이상의 풀다운 트랜지스터를 포함하며,

상기 둘 이상의 풀업 트랜지스터 중 일부는 상기 플래그신호에 응답하며 한 끝단이 연결되거나 끊어지며, 상기 둘 이상의 풀다운 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 19**

제 15항에 있어서,

상기 루프필터부는,

상기 충전전류 또는 상기 방전전류에 응답하여 충전 또는 방전되며, 상기 제어전압을 출력하기 위한 둘 이상의 캐패시터를 포함하며,

상기 둘 이상의 캐패시터 중 일부는 상기 플래그신호에 응답하여 온/오프되는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 20**

삭제

**청구항 21**

제 14항에 있어서,

상기 플래그신호 생성부는,

상기 제어전압을 입력받기 위한 전압플로워; 및

상기 전압플로워를 통해 입력받은 상기 제어전압과 미리 설정된 기준전압을 비교하여 상기 플래그신호로 출력하는 비교기

를 포함하는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 22**

제 14항에 있어서,

상기 플래그신호 생성부는,

상기 클럭 데이터 복원회로가 저주파수에서 동작할 때 인에이블 되며, 고주파수 동작시에는 디스에이블 되는 것을 특징으로 하는 클럭 데이터 복원회로.

**청구항 23**

제어전압과 미리 설정된 기준전압을 비교하여 플래그신호를 생성하는 단계;

데이터와 피드백된 클럭의 위상을 비교하는 단계;

상기 비교결과에 따라 제어전압을 조절해 출력하며, 상기 제어전압을 조절하는 과정에서 상기 제어전압의 변화폭을 상기 플래그신호에 응답하여 조절하는 것을 특징으로 하는 제어전압을 출력하는 단계;

상기 제어전압에 응답하여 입력클럭의 지연값을 조절하며, 지연값이 조절된 클럭을 상기 피드백된 클럭으로서 피드백하는 단계; 및

상기 지연값이 조절된 클럭을 이용하여 상기 데이터를 복원하는 단계

를 포함하는 클럭 데이터 복원방법.

**청구항 24**

제 23항에 있어서,  
 상기 제어전압을 출력하는 단계는,  
 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및  
 상기 충전전류 또는 상기 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압을 출력하는 전압출력 단계를 포함하는 것을 특징으로 하는 클럭 데이터 복원방법.

**청구항 25**

제 23항에 있어서,  
 상기 제어전압을 출력하는 단계는,  
 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및  
 상기 충전전류 또는 상기 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압을 출력하며, 충전 방전에 따른 상기 제어전압의 전위 변화의 정도는 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전압출력 단계를 포함하는 것을 특징으로 하는 클럭 데이터 복원방법.

**청구항 26**

삭제

**청구항 27**

제어전압과 미리 설정된 기준전압을 비교하여 플래그신호를 생성하는 플래그신호 생성부;  
 입력 클럭과 출력 클럭의 위상/주파수를 비교하는 위상/주파수 비교부;  
 상기 위상/주파수 비교부의 출력에 비교결과에 따라 상기 제어전압의 레벨을 증가 또는 감소시켜 출력하되, 상기 증가 또는 감소의 폭은 상기 플래그신호에 따라 조절되는 것을 특징으로 하는 제어전압 생성부; 및  
 상기 제어전압에 의해 결정되는 주파수를 가지는 상기 출력클럭을 출력하는 전압제어발전기부를 포함하는 위상고정루프.

**청구항 28**

제 27항에 있어서,  
 상기 제어전압 생성부는,  
 상기 위상/주파수 비교부의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부; 및  
 상기 충전전류와 상기 방전전류에 응답하여 상기 제어전압을 출력하는 루프필터부를 포함하는 것을 특징으로 하는 위상고정루프.

**청구항 29**

제 28항에 있어서,  
 상기 전하펌프부는,  
 상기 플래그신호에 응답하여 상기 충전전류, 상기 방전전류의 전류량을 조절하는 것을 특징으로 하는 위상고정루프.

**청구항 30**

제 29항에 있어서,

상기 전하펌프부는,

바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터를 포함하며,

상기 둘 이상의 풀업 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지는 것을 특징으로 하는 위상고정루프.

**청구항 31**

제 29항에 있어서,

상기 전하펌프부는,

제1바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터와, 제2바이어스 전압을 자신의 게이트에 입력받아 상기 전하펌프부의 전류를 접지단으로 누설하는 병렬 연결된 둘 이상의 풀다운 트랜지스터를 포함하며,

상기 둘 이상의 풀업 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지며, 상기 둘 이상의 풀다운 트랜지스터 중 일부는 상기 플래그신호에 응답하여 한 끝단이 연결되거나 끊어지는 것을 특징으로 하는 위상고정루프.

**청구항 32**

제 28항에 있어서,

상기 루프필터부는,

상기 충전전류 또는 상기 방전전류에 응답하여 충전 또는 방전되며, 상기 제어전압을 출력하기 위한 둘 이상의 캐패시터를 포함하며,

상기 둘 이상의 캐패시터 중 일부는 상기 플래그신호에 응답하여 온/오프되는 것을 특징으로 하는 위상고정루프.

**청구항 33**

삭제

**청구항 34**

제 27항에 있어서,

상기 플래그신호 생성부는,

상기 제어전압을 입력받기 위한 전압플로워; 및

상기 전압플로워를 통해 입력받은 상기 제어전압과 상기 기준전압을 비교하여 상기 플래그신호로 출력하는 비교기

를 포함하는 것을 특징으로 하는 위상고정루프.

**청구항 35**

제어전압과 미리 설정된 기준전압을 비교해 플래그신호를 생성하는 단계;

입력 클럭과 피드백된 출력 클럭의 위상/주파수를 비교하는 단계;

상기 비교결과에 따라 상기 제어전압을 조절해 출력하며, 상기 제어전압을 조절하는 과정에서 상기 제어전압의 변화 폭을 상기 플래그신호에 응답하여 조절하는 것을 특징으로 하는 제어전압을 출력하는 단계; 및

상기 제어전압에 의해 결정되는 주파수를 가지는 상기 출력 클럭을 출력하는 단계

를 포함하는 위상고정루프의 동작방법.

**청구항 36**

제 35항에 있어서,

상기 제어전압을 출력하는 단계는,

상기 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및

상기 충전전류 또는 상기 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압을 출력하는 전압출력 단계를 포함하는 것을 특징으로 하는 위상고정루프의 동작방법.

**청구항 37**

제 35항에 있어서,

상기 제어전압을 출력하는 단계는,

상기 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및

상기 충전전류 또는 상기 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압을 출력하며, 충전 방전에 따른 상기 제어전압의 전위 변화의 정도는 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전압출력 단계를 포함하는 것을 특징으로 하는 위상고정루프의 동작방법.

**청구항 38**

삭제

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 아날로그 지연고정루프(Analog DLL: Analog Delay Locked Loop), 클럭 데이터 복원회로(CDR회로: Clock Data Recovery Circuit)와, 위상고정루프(PLL: Phase Locked Loop)에 관한 것으로, 더욱 상세하게는 저주파수의 클럭에서도 고정시간을 줄일 수 있는 아날로그 지연고정루프, 클럭 데이터 복원회로와, 위상고정루프에 관한 것이다.

**배경기술**

[0002] 먼저 지연고정루프에 대해 살펴보면, 외부 클럭에 동기되어 동작하는 DRAM과 같은 동기형 반도체 장치들은, 클럭 버퍼와 클럭 드라이버를 이용하여 내부 클럭을 발생하기 때문에, 통상적으로 내부 클럭은 외부 클럭에 비해 일정 시간 지연되고, 이로 인하여 반도체 장치의 동작 성능이 저하된다. 즉, 반도체 장치의 데이터 액세스시간은 칩 내부의 클럭버퍼 등으로 인한 소정의 지연시간만큼 증가되는 문제점이 생기는 것이다.

[0003] 따라서 칩 내부에 외부클럭에 동기된 내부클럭을 발생하는 회로를 구비하게 되는데, 이때 사용되는 회로가 지연고정루프이다. 통상적으로 지연고정루프는 외부클럭에 내부클럭을 동기시키는 방법에 따라서 아날로그 지연고정루프와 디지털 지연고정루프로 구분된다.

[0004] 아날로그 지연고정루프는 디지털 지연고정루프에 비해 일반적으로 좋은 지터 특성을 가지고 있기 때문에 하이스피드 디램과 같은 고주파수의 클럭을 사용하는 반도체 장치에 많이 사용된다.

[0005] 도 1은 종래의 아날로그 지연고정루프의 구성도이다.

[0006] 종래의 아날로그 지연고정루프는, 외부 클럭(도면에 미도시)이 내부 클럭(CLK)으로 버퍼링될 때 지연되는 지연량을 모델링하기 위한 지연모델부(140), 지연모델부(140)로부터 출력되는 클럭과 내부 클럭(CLK)의 위상을 비교하는 위상비교부(100), 위상비교부(100)의 출력에 응답하여 충전전류(charging current) 또는 방전전류(discharging current)를 출력하는 전하펌프부(110), 충전전류와 방전전류에 응답하여 제어전압(Vcontrol)을 출력하는 루프필터부(120), 및 제어전압(Vcontrol)에 응답하여 내부클럭(CLK)의 지연값을 조절해 지연모델부(140



0)로 출력하는 전압제어지연라인부(130)를 포함하여 구성된다.

- [0007] 동작을 보면, 위상비교부(100)는 피드백된 클럭(CLK<sub>feed</sub>)과 내부클럭(CLK)의 위상을 비교하여 업/다운(UP/DN) 신호를 출력한다. 전하펌프부(110)는 업/다운 신호에 응답하여 충전전류 또는 방전전류를 출력하고, 루프필터부(120)는 충전전류 방전전류에 따라 변하는 제어전압(V<sub>control</sub>)을 출력한다. 그리고 최종적으로 전압제어지연라인부(130)는 제어전압(V<sub>control</sub>)의 값에 따라 내부클럭(CLK)의 지연값을 조절하게 된다. 즉, 내부클럭(CLK)은 외부클럭과 동기화 되도록 지연값이 조정된다.
- [0008] 이제, 클럭 데이터 복원회로에 대해 살펴본다. 칩들 사이의 통신 시스템이 점차 고속화, 대용량화됨에 따라, 시스템들의 직접화 및 고속화가 요구되고 있다. 하드웨어의 복잡성과 전력, 가격 등의 이유로 인하여 송신단에서는 동기를 맞추는 클럭(clock)을 제외한 데이터(data) 정보만을 수신단으로 보내는 방식이 사용되어 진다. 이때 수신단은 제한된 채널 대역폭으로 인해 왜곡된 데이터를 정확히 복원할 수 있는 클럭을 필요로 하게 된다. 대용량의 데이터 전송시 이런 클럭의 필요성은 더욱 커지게 되고, 수신된 데이터에 동기화된 안정적인 클럭을 발생시키는 구조는 시스템의 성능에 많은 영향을 주게 된다. 이에 따라 높은 전송률을 가지는 데이터로부터 동기화된 안정적인 클럭을 추출하는 클럭 데이터 복원회로(CDR: Clock Data Recovery)가 사용된다.
- [0009] 도 2는 종래의 클럭 데이터 복원회로의 구성도이다.
- [0010] 종래의 클럭 데이터 복원회로는, 전압제어지연라인부(220), 위상비교부(230), 전하펌프부(240), 루프필터부(250), 데이터복원부(260)를 포함하여 구성되며, 일반적으로 위상고정루프(210)로부터 공급받는 클럭을 이용하게 된다.
- [0011] 위상고정루프(PLL: Phase Locked Loop)(210)는 주파수가 일정한 안정적인 클럭을 전압제어지연라인부(220)에 출력한다.
- [0012] 전압제어지연라인부(VCDL: Voltage Controlled Delay Line)(220)는 위상고정루프(210)로부터 출력된 클럭을 입력받아 입력되는 전압(V<sub>control</sub>)에 따라 클럭의 지연값을 조절한다. 전압제어지연라인부(220)로는 위상비교부(230)에서 생성되는 데이터와 클럭의 타이밍에 대한 정보가 전하펌프부(240) 루프필터부(250)를 통해 전압(V<sub>control</sub>)의 형태로 입력되는데, 전압제어지연라인부(220)는 그 정보를 토대로 클럭을 지연시켜 데이터와 클럭의 타이밍이 일치하도록 조절한다.
- [0013] 위상비교부(230)는 전압제어지연라인부(220)로부터 출력되는 클럭과 데이터(DATA)를 입력받아 데이터(DATA)와 클럭의 위상을 비교하여, 그 정보를 업/다운(UP/DN) 신호로 전하펌프부(240)로 출력한다.
- [0014] 전하펌프부(charge pump)(240)는 위상비교부(230)에서 출력된 업/다운(UOP/DN) 신호를 입력받아 충전전류(charging current) 또는 방전전류(discharging current)를 루프필터부(250)로 출력한다.
- [0015] 루프필터부(Loop Filter)(250)는 전하펌프부(240)로부터 입력받은 전류를 완만한 변화를 가지는 전압(V<sub>control</sub>)으로 전압제어지연라인부(220)에 출력해 전압제어지연라인부(220)의 지연값을 결정한다.
- [0016] 데이터복원부(260)는 전압제어지연라인부(220)에서 출력되는 지연값이 조절된 클럭을 이용하여 데이터(DATA)를 복원해 출력한다. 여기서 데이터(DATA)를 복원(recover)한다는 의미는 데이터(DATA)와 정렬된 클럭을 이용하여 데이터를 래치(latch)해(또는 catch) 출력한다는 의미이다.
- [0017] 전체적인 동작을 정리하면, 클럭 데이터 복원회로(CDR)는 위상고정루프(210)에서 출력된 클럭의 라이징 에지(rising edge)가 데이터 펄스의 가운데에 정렬되도록 조절한다. 그리고 데이터에 정렬된 클럭을 이용하여 데이터를 복원해 출력한다.
- [0018] 도 3은 클럭 데이터 복원회로를 통해 데이터에 정렬된 클럭을 보여주는 도면이며, 도면과 같이 데이터에 정렬된 클럭을 이용하여 데이터를 복원하게 된다.
- [0019] 도 4는 종래의 위상고정루프의 구성도이다.
- [0020] 종래의 위상고정루프는 도면과 같이, 위상/주파수 비교부(410), 전하펌프부(420), 루프필터부(430), 전압제어발진기(440)를 포함하여 구성된다.
- [0021] 위상/주파수 비교부(410)는 입력클럭(REF\_CLK)과 출력클럭(CLK)의 위상/주파수를 비교한다. 전하펌프부(420)는 위상/주파수 비교부(410)의 비교 결과에 따라 충전전류(charging current) 또는 방전전류(discharging current)를 출력하고, 루프필터부(430)는 충전전류, 방전전류에 의해 충전 방전되며 전압이 변하는 제어전압

(Vcontrol)을 출력한다. 그리고 전압제어발진기부(VCO: Voltage Controlled Oscillator)(440)는 제어전압(Vcontrol)에 의해 결정되는 주파수를 가지는 클럭(CLK)을 출력한다.

[0022] 즉, 위상고정루프는 입력클럭(REF\_CLK)과 출력클럭(CLK)을 비교하여 일정한 주파수를 가지는 안정적인 출력클럭(CLK)을 생성한다.

[0023] 도 1,2,4에 나타난 바와 같이, 클럭 데이터 복원회로, 아날로그 지연고정루프, 위상고정루프는 그 구성이 비슷하다. 다만, 클럭 데이터 복원회로는 클럭과 데이터를 동기화 시키고(지연값 조절), 아날로그 지연고정루프는 내부클럭과 외부클럭을 동기화시키고(지연값 조절), 위상고정루프는 출력클럭의 주파수를 조절할 뿐 기본적인 원리는 서로 비슷하다.

[0024] 아날로그 지연고정루프는 일반적으로 좋은 지터(jitter) 특성을 갖기 때문에, 그 구조의 복잡성에도 불구하고 하이 스피드 메모리에 많이 사용된다. 하이 스피드(고주파수)를 타겟으로 설계된 아날로그 지연고정루프는 저주파수에서는 다른 특성을 가질 수 있다. 예를 들면 지터(jitter)나 고정시간(locking time) 등이다.

[0025] 저주파수에서는 클럭의 한 주기가 길어지기 때문에 고정되기까지의 딜레이값이 더 커져야 한다. 즉, 아날로그 지연고정루프와 클럭 데이터 복원회로는 저주파수(low frequency) 동작시 고정시간(locking time)이 늘어나게 된다는 문제점이 있다. 그리고 이러한 문제점은 고주파수(high frequency)를 타겟(target)으로 설계된 아날로그 지연고정루프, 클럭 데이터 복원회로, 위상고정루프일수록 더욱 커진다.

## 발명의 내용

### 해결 하고자하는 과제

[0026] 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 아날로그 지연고정루프, 클럭 데이터 복원회로, 위상고정루프의 고정시간(locking time)을 줄이고자 함에 그 목적이 있다. 특히, 저주파수 동작시에도 고정시간이 늘어나지 않는 아날로그 지연고정루프, 클럭 데이터 복원회로, 및 위상고정루프를 제공하고자 하는데 그 목적이 있다.

### 과제 해결수단

[0027] 상기한 목적을 달성하기 위한 본 발명에 따른 아날로그 지연고정루프는, 지연고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 플래그신호 생성부; 및 내부 클럭을 외부 클럭에 정렬하기 위해 상기 내부 클럭의 지연량을 조절하며, 상기 지연량을 조절하는 과정에서 상기 지연량의 변화 폭을 상기 플래그신호에 응답하여 조절하는 클럭정렬부를 포함한다.

[0028] 상세하게, 상기 내부 클럭과 상기 외부 클럭간의 지연시간을 모델링하기 위한 지연모델부; 상기 지연모델부의 출력과 내부 클럭의 위상을 비교하는 위상비교부; 상기 위상비교부의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부; 상기 충전전류와 상기 방전전류에 응답하여 제어전압을 출력하는 루프필터부; 및 상기 제어전압에 응답하여 상기 내부 클럭의 지연값을 조절해 상기 지연모델부로 출력하는 전압제어지연라인부를 포함하여 구성될 수 있다. 상기 전하펌프부는, 상기 플래그신호에 응답하여 상기 충전전류, 상기 방전전류의 전류량을 조절하는 것을 특징으로 할 수 있다. 또는, 상기 루프필터부는, 상기 충전전류 또는 상기 방전전류에 응답하여 충전 또는 방전되며, 상기 제어전압을 출력하기 위한 둘 이상의 캐패시터를 포함하며, 상기 둘 이상의 캐패시터 중 적어도 하나 이상은 상기 플래그신호에 응답하여 온/오프되는 것을 특징으로 할 수 있다.

[0029] 본 발명에 따른 지연고정루프의 동작방법은, 지연고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 단계; 내부 클럭과 피드백된 클럭의 위상을 비교하는 단계; 상기 비교결과에 따라 제어전압을 조절해 출력하며, 상기 제어전압을 조절하는 과정에서 상기 제어전압의 변화 폭을 상기 플래그신호에 응답하여 조절하는 것을 특징으로 하는 제어전압을 출력하는 단계; 상기 제어전압에 응답하여 상기 내부클럭의 지연값을 조절하는 단계; 및 지연값이 조절된 상기 내부클럭을 소정시간 더 지연시켜 상기 피드백된 클럭으로서 피드백하는 단계를 포함한다.

[0030] 상기 제어전압을 출력하는 단계는, 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및 상기 충전전류 또는 상기 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압을 출력하는 전압출력 단계를 포함하는 것을 특징으로 할 수 있다. 또는 상기 제어전압을 출력하는 단계는, 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및 상기 충전전류 또는 상기 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압을 출력하며, 충전 방전에 따

른 상기 제어전압의 전위 변화의 정도는 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전압출력 단계를 포함하는 것을 특징으로 할 수 있다.

[0031] 본 발명에 따른 클럭 데이터 복원회로는, 클럭 데이터 복원회로의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 플래그신호 생성부; 클럭과 데이터를 정렬하기 위해 상기 클럭의 지연량을 조절하며, 상기 지연량을 조절하는 과정에서 상기 지연량의 변화 폭을 상기 플래그신호에 응답하여 조절하는 클럭데이터정렬부; 및 상기 클럭데이터정렬부를 통해 지연값이 조절된 클럭을 이용하여 상기 데이터를 복원하는 데이터복원부를 포함한다.

[0032] 상세하게, 상기 클럭데이터정렬부는, 전압제어지연라인부로부터 피드백된 클럭과 상기 데이터의 위상을 비교하는 위상비교부; 상기 위상비교부의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부; 상기 충전전류와 상기 방전전류에 응답하여 제어전압을 출력하는 루프필터부; 및 상기 제어전압에 응답하여 상기 클럭의 지연값을 조절해 상기 데이터 복원부와 상기 위상비교부로 전달하는 상기 전압제어지연라인을 포함하여 구성될 수 있다. 상기 전하펌프부는, 상기 플래그신호에 응답하여 상기 충전전류, 상기 방전전류의 전류량을 조절하는 것을 특징으로 할 수 있다. 또는, 상기 루프필터부는, 상기 충전전류 또는 상기 방전전류에 응답하여 충전 또는 방전되며, 상기 제어전압을 출력하기 위한 둘 이상의 캐패시터를 포함하며, 상기 둘 이상의 캐패시터 중 적어도 하나 이상은 상기 플래그신호에 응답하여 온/오프되는 것을 특징으로 할 수 있다.

[0033] 본 발명에 따른 클럭 데이터 복원방법은, 클럭 데이터 복원회로의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 단계; 데이터와 피드백된 클럭의 위상을 비교하는 단계; 상기 비교결과에 따라 제어전압을 조절해 출력하며, 상기 제어전압을 조절하는 과정에서 상기 제어전압의 변화 폭을 상기 플래그신호에 응답하여 조절하는 것을 특징으로 하는 제어전압을 출력하는 단계; 상기 제어전압에 응답하여 상기 클럭의 지연값을 조절하며, 지연값이 조절된 클럭을 상기 피드백된 클럭으로서 피드백하는 단계; 및 상기 지연값이 조절된 클럭을 이용하여 상기 데이터를 복원하는 단계를 포함한다.

[0034] 상기 제어전압을 출력하는 단계는, 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및 상기 충전전류 또는 상기 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압을 출력하는 전압출력 단계를 포함하는 것을 특징으로 할 수 있다. 또는 상기 제어전압을 출력하는 단계는, 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및 상기 충전전류 또는 상기 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압을 출력하며, 충전 방전에 따른 상기 제어전압의 전위 변화의 정도는 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전압출력 단계를 포함하는 것을 특징으로 할 수 있다.

[0035] 본 발명에 따른 위상고정루프는, 위상고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 플래그신호 생성부; 및 안정적인 클럭을 출력하기 위해 입력 클럭과 피드백된 출력 클럭의 위상/주파수를 비교하여 상기 출력 클럭의 주파수를 조절하며, 상기 주파수를 조절하는 과정에서 상기 주파수의 변화 폭을 상기 플래그신호에 응답하여 조절하는 주파수조절부를 포함한다.

[0036] 상세하게 상기 주파수조절부는 상기 입력 클럭과 상기 출력클럭의 위상/주파수를 비교하는 위상/주파수 비교부; 상기 위상/주파수 비교부의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부; 상기 충전전류와 상기 방전전류에 응답하여 제어전압을 출력하는 루프필터부; 및 상기 제어전압에 의해 결정되는 주파수를 가지는 상기 출력클럭을 출력하는 전압제어발진기를 포함하여 구성될 수 있다. 상기 전하펌프부는, 상기 플래그신호에 응답하여 상기 충전전류, 상기 방전전류의 전류량을 조절하는 것을 특징으로 할 수 있다. 또는, 상기 루프필터부는, 상기 충전전류 또는 상기 방전전류에 응답하여 충전 또는 방전되며, 상기 제어전압을 출력하기 위한 둘 이상의 캐패시터를 포함하며, 상기 둘 이상의 캐패시터 중 적어도 하나 이상은 상기 플래그신호에 응답하여 온/오프되는 것을 특징으로 할 수 있다.

[0037] 본 발명에 따른 위상고정루프의 동작방법은, 위상고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호를 생성하는 단계; 입력 클럭과 피드백된 출력 클럭의 위상/주파수를 비교하는 단계; 상기 비교결과에 따라 제어전압을 조절해 출력하며, 상기 제어전압을 조절하는 과정에서 상기 제어전압의 변화 폭을 상기 플래그신호에 응답하여 조절하는 것을 특징으로 하는 제어전압을 출력하는 단계; 및 상기 제어전압에 의해 결정되는 주파수를 가지는 상기 출력 클럭을 출력하는 단계를 포함한다.

[0038] 상세하게 상기 제어전압을 출력하는 단계는, 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및 상기 충전전류 또는 상기 방

전전류에 의해 충전 방전되며 전위가 결정되는 제어전압을 출력하는 전압출력 단계를 포함할 수 있다. 또는 상기 제어전압을 출력하는 단계는, 상기 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및 상기 충전전류 또는 상기 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압을 출력하며, 충전 방전에 따른 상기 제어전압의 전위 변화의 정도는 상기 플래그신호에 따라 결정되는 것을 특징으로 하는 전압출력 단계를 포함할 수 있다.

[0039] 즉, 본 발명에 따른 아날로그 지연고정루프, 클럭 데이터 복원회로, 및 위상고정루프는, 자신의 고정(locking) 전까지 남은 시간에 따라 자신의 해상도를 조절한다.

**효 과**

[0040] 본 발명에 따른 아날로그 지연고정루프, 클럭 데이터 복원회로, 및 위상고정루프는, 자신의 고정(locking) 전까지 남은 시간에 따라 자신의 해상도를 조절한다.

[0041] 즉, 고정 전까지 시간이 많이 남은 경우에는 제어전압을 러프(rough)하게 변화시키고, 고정 전까지 시간이 조금 남은 경우에는 제어전압을 세밀하게 변화시킨다. 따라서 고정시간(locking time)을 줄이면서도 정확한 동작을 한다는 장점이 있다.

[0042] 특히, 종래에는 아날로그 지연고정루프 등이 고주파수를 타겟으로 설계된 경우, 저주파수 동작시에 고정시간이 크게 늘어나는 문제점이 있었으나, 본 발명은 저주파수 동작시에도 빠른 고정을 할 수 있다는 장점이 있다.

**발명의 실시를 위한 구체적인 내용**

[0043] 이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0044] 도 5는 본 발명에 따른 아날로그 지연고정루프의 구성도이다.

[0045] 본 발명에 따른 아날로그 지연고정루프는, 지연고정루프의 고정(locking) 전까지 남은 시간에 따라 인에이블 되는 플래그신호(flag)를 생성하는 플래그신호 생성부(510)와, 내부 클럭(CLK)을 외부 클럭에 정렬하기 위해 내부 클럭(CLK)의 지연량을 조절하며, 지연량을 조절하는 과정에서 지연량 변화 폭을 플래그신호(flag)에 응답하여 조절하는 클럭정렬부(520)를 포함한다.

[0046] 즉, 종래의 아날로그 지연고정루프에는 없던 플래그신호 생성부(510)를 구비하여 지연고정루프의 고정(locking)까지 시간이 많이 남았는지 조금 남았는지의 정보를 갖는 플래그신호를 생성하며, 종래의 아날로그 지연고정루프에 대응되는 클럭정렬부(520)는 플래그신호에 응답하여 지연량 변화의 폭을 조절한다. 이는 클럭의 최종적인 지연량이 플래그신호(flag)에 응답하여 변화된다는 의미가 아니라, 지연량이 변화할 때 한번에 변화되는 지연량의 양이 플래그신호(flag)에 따라 변화된다는 의미이다. 즉, 플래그신호에 따라 클럭정렬부(520)의 해상도가 변화된다.

[0047] 도 6는 도 5의 아날로그 지연고정루프의 제1상세 실시예이다.

[0048] 플래그신호 생성부(610)는 도면과 같이, 제어전압(Vcontrol)을 입력받기 위한 전압플로워(611)와, 전압플로워(611)를 통해 입력받은 제어전압(Vcontrol)과 미리 설정된 기준전압(Vref)을 비교하여 플래그신호(flag)로 출력하는 비교기(612)를 포함하여 구성될 수 있다. 플래그신호 생성부(610)는 미리 설정된 기준전압(Vref)과 제어전압(Vcontrol)을 비교하여 지연고정루프의 고정(locking) 전까지의 시간이 많이 남았는지 적게 남았는지를 판단한다. 제어전압(Vcontrol)의 값이 높을수록 전압제어지연라인부(650)의 지연값이 크다는 것을 의미하며, 이는 제어전압(Vcontrol)의 값이 낮을때에 비해 고정(locking)까지의 시간이 적게 남았다는 것을 의미한다. 도면의 플래그신호(flag)는 제어전압(Vcontrol)이 기준전압(Vref)보다 높을때 인에이블 되므로, 플래그신호(flag)의 인에이블은 고정 전까지의 시간이 비교적 적게 남았음을 의미한다.

[0049] 플래그신호 생성부(610)로 입력되는 MODE 신호는 현재 아날로그 지연고정루프가 고주파에서 동작하고 있는지 저주파수에서 동작하고 있는지를 나타내는 신호이며, 이 신호를 이용해서 플래그신호 생성부(610)가 인에이블 또는 디스에이블 되게 구성할 수 있다. 고속과 저속의 모드를 갖는 시스템의 경우는 내부적으로 고속모드와 저속모드를 구별하기 위한 신호가 사용되게 된다. 따라서 이러한 신호를 도면의 MODE신호로 사용하면 된다.

[0050] 플래그신호 생성부(610)는 고속모드와 저속모드 모두에서 사용될 수도 있지만, 저속모드(클럭이 저주파수)일 경우에는 고정시간(locking time)이 더 늘어나기 때문에 플래그신호 생성부(610)를 사용해서 고정시간을 줄일 필

요성이 더 많은 반면에, 고속모드(클럭이 고주파수)에서는 고정시간이 오래 걸리지 않기 때문에 플래그신호 생성부(610)를 사용할 필요성이 상대적으로 줄어든다. 따라서 본 발명의 플래그신호 생성부(610)는 도면과 같은 MODE 신호를 사용하여 저속모드(저주파수)에서만 인에이블 되게 구성할 수 있다.

- [0051] 저주파수 일수록 고정(locking)에 필요한 지연량이 커지기 때문에 고정에 필요한 제어전압(Vcontrol)의 레벨이 고주파수에서보다 높게 된다. 따라서 도면과 같이 MODE 신호를 사용하여 플래그신호 생성부(610)를 저속모드에서만 사용할 경우에는, 상대적으로 기준전압(Vref)을 더 높게 설정할 수 있으므로, 저속모드에서의 고정시간(locking time)을 더 줄이는 것이 가능하다는 장점도 생긴다.
- [0052] 클럭정렬부(520)는 내부 클럭(CLK)과 외부 클럭간의 지연시간을 모델링하기 위한 지연모델부(660); 지연모델부(660)의 출력과 내부 클럭(CLK)의 위상을 비교하는 위상비교부(620); 위상비교부(620)의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부(630); 충전전류와 방전전류에 응답하여 제어전압(Vcontrol)을 출력하는 루프필터부(640); 및 제어전압(Vcontrol)에 응답하여 내부 클럭의 지연값을 조절해 지연모델부(660)로 출력하는 전압제어지연라인부(650)를 포함해 구성된다. 전하펌프부(630)와 루프필터부(640)는 위상비교부(620)의 비교결과에 따라 제어전압(Vcontrol)을 생성하는 역할을 수행하므로 이를 합하여 제어전압 생성부라 한다. 즉, 클럭정렬부는 종래의 아날로그 지연고정루프와 비슷한 구성요소로 구성된다.
- [0053] 그러나 제1상세 실시예에서의 전하펌프부(620)는 플래그 신호(flag)를 입력받으며, 플래그신호(flag)에 따라 충전전류 방전전류의 전류량을 조절한다. 충전전류를 출력할 것인지 방전전류를 출력할 것인지는 종래와 마찬가지로 위상비교부(610)의 출력인 업/다운(UP/DN) 신호에 의해 결정되지만, 충전전류와 방전전류의 전류량은 플래그신호(flag)에 응답하여 조절된다. 고정까지의 시간이 많이 남은 경우, 즉 플래그신호(flag)가 디스에이블 된 경우에는 충전전류 및 방전전류의 전류량이 많아지게 조정되며, 고정까지의 시간이 얼마 남지 않은 경우, 즉 플래그신호(flag)가 인에이블 된 경우에는 충전전류 및 방전전류의 전류량이 적어지게 조정된다.
- [0054] 정리하면, 플래그신호(flag)가 디스에이블 되면 충전전류 방전전류의 전류량이 많아지기 때문에 클럭정렬부(520)는 빠르게 지연값을 변화시키며, 플래그신호(flag)가 인에이블 되면 충전전류 방전전류의 전류량이 적어지기 때문에 클럭정렬부(520)는 지연값을 느리게 변화시킨다. 즉, 플래그신호(flag)의 인에이블 여부에 따라 클럭정렬부(520)의 해상도가 변하게 된다.
- [0055] 도 7은 도 6의 전하펌프부(630)의 일실시에 구성도이다.
- [0056] 도면에 도시된 바와 같이, 전하펌프부(630)는 바이어스 전압(M2, M3, M4, M5의 게이트 전압)을 자신의 게이트에 입력받아 전하펌프부(630) 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터들(M2, M3, M4, M5, 두 번의 미러링을 하는 경우이기 때문에 트랜지스터 4개가 사용)을 포함하며, 병렬 연결된 풀업 트랜지스터들 중 일부(M2, M3, 두 번의 미러링을 하는 경우이기 때문에 2개의 트랜지스터가 flag신호의 제어를 받음)가 플래그신호(flag)에 의해 한 끝단이 연결되거나 끊어져 충전전류와 방전전류의 전류량은 플래그신호(flag)에 따라 조절한다.
- [0057] 그 동작을 보면, 전류원 ICH의 전류는 트랜지스터 M2, M4에 의해 미러링되고, 미러링된 트랜지스터 M2, M4의 전류는 다시 트랜지스터 M3, M5로 미러링된다. 그리고, 미러링된 트랜지스터 M3, M5의 전류는 업/다운(UP/DOWN) 신호에 의해 충전전류 또는 방전전류로 출력된다.
- [0058] 그리고 트랜지스터 M2, M3는 자신의 한 드레인-소스 중 한 끝단이 플래그신호에 의해 끊어지거나 연결된다. 플래그신호가 디스에이블 되면 트랜지스터 M2, M3는 연결되어 끊어졌을 때에 비해 더 많은 전류가 미러링되고 그 결과 충전전류와 방전전류의 양은 많아진다. 그러나 플래그신호가 인에이블 되어 트랜지스터 M2, M3가 끊어지면 미러링되는 전류의 양이 적어지고 결국 충전전류와 방전전류의 양도 줄어들게 된다. 즉, 플래그신호(flag)의 인에이블 여부에 의해 충전전류와 방전전류의 전류량이 달라진다.
- [0059] 도시된 실시예는 ICH를 두 번 미러링하는 경우를 도시하였기 때문에 4개의 트랜지스터(M2, M3, M4, M5) 중 2개의 트랜지스터(M3, M5)가 flag 신호의 제어를 받는 경우를 도시하였으며, 한번 미러링하는 경우라면 2개의 트랜지스터 중 하나의 트랜지스터만 flag신호의 제어를받게 구성하면 된다.
- [0060] 도 8은 도 6의 전하펌프부(630)의 다른 실시예 구성도이다.
- [0061] 도면에 도시된 바와 같이, 전하펌프부(630)는 제1바이어스 전압을 자신의 게이트에 입력받아 전하펌프부(630) 내로 전류를 공급하는 병렬 연결된 둘 이상의 풀업 트랜지스터(M6, M7)와, 제2바이어스 전압을 자신의 게이트에 입력받아 전하펌프부의 전류를 접지단으로 누설하는 병렬 연결된 둘 이상의 풀다운 트랜지스터(M8, M9)를 포함

하며, 둘 이상의 풀업 트랜지스터(M6, M7) 중 일부(M6)는 플래그신호(flag)에 응답하여 한 끝단이 연결되거나 끊어지며, 둘 이상의 풀다운 트랜지스터(M8, M9) 중 일부(M8)는 플래그신호(flag)에 응답하여 한 끝단이 연결되거나 끊어져 충전전류와 방전전류의 전류량을 조절할 수 있다.

- [0062] 그 동작을 보면 플래그신호(flag)가 디스에이블 된 경우에는 모든 트랜지스터(M6,7,8,9)가 동작하기 때문에 충전전류 방전전류의 전류량이 많아진다. 그러나 플래그신호(flag)가 인에이블 되는 경우에는 트랜지스터 M6, M8의 한 끝단이 끊어지기 때문에 충전전류와 방전전류의 전류량은 플래그신호(flag)가 디스에이블된 경우보다 적어진다.
- [0063] 즉, 충전전류와 방전전류의 전류량은 도 7의 실시예와 마찬가지로 플래그신호(flag)에 의해 조절된다. 다만, 도 8의 실시예에서는 전류미러를 사용하지 않고 직접적으로 전원전압(VDD)과 접지전압(VSS) 사이에서 충전전류 방전전류를 생성한다는 점이 도 7의 실시예와 다르다.
- [0064] 도 9는 도 5의 아날로그 지연고정루프의 제2상세 실시예이다.
- [0065] 도 9의 제2상세 실시예는 도 6의 제1상세 실시예와는 다르게 플래그신호 생성부(910)에서 생성한 플래그신호(flag)를 전하펌프부(930)가 아닌 루프필터부(940)로 입력한다.
- [0066] 즉, 제1상세 실시예에서는 전하펌프(630)에서 출력되는 충전전류, 방전전류의 전류량은 플래그신호(flag)에 의해 변화시키는 방법으로 아날로그 지연고정루프의 해상도를 변화시켰지만, 제2상세 실시예에서는 루프필터부(940)의 용량을 플래그신호(flag)에 의해 변화시켜 아날로그 지연고정루프의 해상도를 변화시킨다.
- [0067] 루프필터부(940) 이외의 기본적인 구성은 제1상세 실시예와 동일하므로, 루프필터(940) 이외의 부분에 대한 이상의 상세한 설명은 생략하기로 한다.
- [0068] 도 10은 도 9의 루프필터부(940)의 일 실시예 구성도이다.
- [0069] 도면에 도시된 바와 같이, 루프필터부(940)는 충전전류 또는 방전전류에 응답하여 충전 또는 방전되며, 제어전압(Vcontrol)을 출력하기 위한 둘 이상의 캐패시터(C1, C2)를 포함하며, 둘 이상의 캐패시터(C1, C2) 중 일부(C1)는 플래그신호(flag)에 응답하여 온/오프되는 것을 특징으로 한다.
- [0070] 플래그신호(flag)가 디스에이블 된 경우 캐패시터 C1는 오프된다. 따라서 루프필터부(940) 전체의 캐패시턴스는 C1이 된다. 그리고 플래그신호(flag)가 인에이블 된 경우 캐패시터 C1은 온 된다. 따라서 루프필터부(940) 전체의 캐패시턴스는 C1+C2가 된다. 그러므로 플래그신호(flag)가 인에이블 된 경우에는 제어전압(Vcontrol)이 천천히 변화하게 되고, 플래그신호(flag)가 디스에이블 된 경우에는 제어전압(Vcontrol)이 빨리 변화하게 된다. 즉, 플래그신호(flag)의 인에이블 여부에 의해 지연고정루프의 해상도가 변하게 된다.
- [0071] 도 11은 본 발명에 따른 아날로그 지연고정루프에서 제어전압(Vcontrol)의 변화를 나타낸 도면이다.
- [0072] 도면에 도시된 바와 같이, 제어전압(Vcontrol)이 기준전압(Vref)보다 낮을 때 즉, 플래그신호(flag)가 디스에이블 된 경우 제어전압(Vcontrol)은 가파르게 증가한다. 그러나 제어전압(Vcontrol)이 기준전압(Vref)보다 높아져 플래그신호(flag)가 인에이블 되는 경우 제어전압(Vcontrol)은 완만하게 증가한다. 즉, 고정(locking)까지 시간이 많이 남은 경우에는 제어전압(Vcontrol)을 가파르게 변화시키고, 고정까지의 시간이 적게 남은 경우에는 제어전압(Vcontrol)을 완만하게 변화시킨다.
- [0073] 따라서 고정시간(locking time)을 줄이면서도 고정에 가까워지면 제어전압(Vcontrol)을 세밀하게 변화시키기 때문에 우수한 지터(jitter)특성을 얻을 수 있다는 장점이 있다.
- [0074] 도 12는 본 발명에 따른 클럭 데이터 복원회로의 구성도이다.
- [0075] 본 발명에 따른 클럭 데이터 복원회로는, 클럭 데이터 복원회로의 고정(locking) 전까지 남은 시간에 따라 인에이블 되는 플래그신호(flag)를 생성하는 플래그신호 생성부(1210); 클럭(CLK)과 데이터(DATA)를 정렬하기 위해 클럭(CLK)의 지연량을 조절하며, 지연량을 조절하는 과정에서 지연량의 변화 폭을 플래그신호(flag)에 응답하여 조절하는 클럭데이터정렬부(1220); 및 클럭데이터정렬부(1220)를 통해 지연값이 조절된 클럭을 이용하여 상기 데이터를 복원하는 데이터복원부(1230)를 포함하여 구성된다.
- [0076] 즉, 종래의 아날로그 클럭 데이터 복원회로에는 없던 플래그신호 생성부(1210)를 구비하여 클럭 데이터 복원회로의 고정(locking)까지 시간이 많이 남았는지 조금 남았는지의 정보를 갖는 플래그신호(flag)를 생성하며, 플래그신호를 통해 클럭데이터정렬부의 지연량 변화의 폭을 조절한다. 이는 클럭(CLK)의 최종적인 지연량이 플레

그신호(flag)에 응답하여 변화된다는 의미가 아니라 지연량이 변화할 때 한번에 변화되는 지연량의 양이 플래그신호(flag)에 따라 변화된다는 의미이다. 즉, 플래그신호에 따라 클럭데이터정렬부(1220)의 해상도가 변한다.

[0077] 도 13은 도 12의 클럭 데이터 복원회로의 제1상세 실시예이다.

[0078] 플래그신호생성부(1310)는 아날로그 지연고정루프의 플래그신호생성부(610)와 동일하게 구성될 수 있다. 클럭데이터정렬부(1220)는 전압제어지연라인부(1350)으로부터 피드백된 클럭과 데이터(DATA)의 위상을 비교하는 위상비교부(1320); 위상비교부(1320)의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부(1330); 충전전류와 방전전류에 응답하여 제어전압(Vcontrol)을 출력하는 루프필터부(1340); 및 제어전압(Vcontrol)에 응답하여 클럭(CLK)의 지연값을 조절해 데이터 복원부(1360)와 위상비교부(1320)로 전달하는 전압제어지연라인부(1350)를 포함하여 구성된다. 또한, 데이터복원부(1360)는 전압제어지연라인부(1350)에서 출력되는 지연값이 조절된 클럭을 이용하여 데이터(DATA)를 복원한다. 전하펌프부(1330)와 루프필터부(1340)는 위상비교부(1320)의 비교결과에 따라 제어전압(Vcontrol)을 생성하는 역할을 수행하므로 이를 합하여 제어전압 생성부라 한다.

[0079] 도 13의 제1상세 실시예에서 클럭 데이터 복원회로의 고정시간을 빨리하는 기본적인 원리는 아날로그 지연고정루프의 제1상세 실시예(도 6)에서와 동일하다. 따라서 전하펌프부(1330)가 플래그신호(flag)의 제어를 받아 충전전류와 방전전류의 양을 조절한다. 전하펌프부는 도 7,8에서 도시한 전하펌프부와 동일하게 구성될 수 있으며, 그 동작도 동일하므로 더 이상의 상세한 설명은 생략하기로 한다.

[0080] 도 14는 도 12의 클럭 데이터 복원회로의 제2상세 실시예이다.

[0081] 도 14의 제2상세 실시예에서 클럭 데이터 복원회로의 고정시간을 빨리하는 기본적인 원리는 아날로그 지연고정루프의 제2상세 실시예(도 9)에서와 동일하다. 따라서 루프필터부(1440)가 플래그신호(flag)의 제어를 받아 자신의 용량(캐패시턴스)을 변화시킨다. 루프필터부(1440)는 도 10에서 도시한 루프필터부와 동일하게 구성될 수 있으며, 그 동작도 동일하므로 더 이상의 상세한 설명은 생략하기로 한다.

[0082] 도 15는 본 발명에 따른 위상고정루프의 구성도이다.

[0083] 본 발명에 따른 위상고정루프는, 위상고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호(flag)를 생성하는 플래그신호 생성부(1510); 및 안정적인 클럭을 출력하기 위해 입력 클럭(CLK\_REF)과 피드백된 출력 클럭(CLK)의 위상/주파수를 비교하여 출력 클럭(CLK)의 주파수를 조절하며, 주파수를 조절하는 과정에서 주파수의 변화 폭을 플래그신호(flag)에 응답하여 조절하는 주파수조절부(1520)를 포함하여 구성된다.

[0084] 즉, 종래의 위상고정루프에는 없던 플래그신호 생성부(1510)를 구비하여 위상고정루프의 고정까지 시간이 많이 남았는지 조금 남았는지의 정보를 갖는 플래그신호(flag)를 생성하며, 플래그신호(flag)를 통해 주파수조절부(1520)의 주파수 변화량의 폭을 조절한다. 이는 최종적인 출력 클럭(CLK)의 주파수가 플래그신호(flag)에 응답하여 변화된다는 의미가 아니라 주파수가 변화할 때 한번에 변화되는 주파수의 변화량이 플래그신호(flag)에 따라 변화된다는 의미이다. 즉, 플래그신호(flag)에 따라 주파수조절부(1520)의 해상도가 변한다.

[0085] 도 16은 도 15의 위상고정루프의 제1상세 실시예이다.

[0086] 플래그신호 생성부(1610)는 아날로그 지연고정루프의 플래그신호 생성부(610)와 동일하게 구성될 수 있다. 다만, 전압제어발진기(1650)는 설계에 따라 제어전압(Vcontrol)이 높아질수록 주파수가 높아지는 경우도 있고, 제어전압(Vcontrol)이 낮아질수록 주파수가 높아지는 경우도 있으므로, 플래그신호 생성부(1610)의 비교기(1612)의 +, - 단자의 입력신호를 서로 바꾸어줘야 하는 경우는 있을 수 있다.

[0087] 주파수조절부(1520)는 입력 클럭(CLK\_REF)과 출력클럭(CLK)의 위상/주파수를 비교하는 위상/주파수 비교부(1620); 위상/주파수 비교부(1620)의 출력에 응답하여 충전전류 또는 방전전류를 출력하는 전하펌프부(1630); 충전전류와 방전전류에 응답하여 제어전압(Vcontrol)을 출력하는 루프필터부(1640); 및 제어전압(Vcontrol)에 의해 결정되는 주파수를 가지는 출력클럭(CLK)을 출력하는 전압제어발진기부(1650)를 포함하여 구성된다. 전하펌프부(1630)와 루프필터부(1640)는 위상/주파수 비교부(1620)의 비교결과에 따라 제어전압(Vcontrol)을 생성하는 역할을 하므로 이를 합하여 제어전압 생성부라 한다.

[0088] 도 16의 제1상세 실시예에서의 위상고정루프의 고정시간을 빨리하는 기본적인 원리는 아날로그 지연고정루프의 제1상세 실시예(도 6)에서와 동일하다. 따라서 전하펌프부(1630)가 플래그신호(flag)의 제어를 받아 충전전류와 방전전류의 양을 조절한다. 전하펌프부는 도 7,8에서 도시한 전하펌프부와 동일하게 구성될 수 있으며, 그 동작도 동일하므로 더 이상의 상세한 설명은 생략하기로 한다.

- [0089] 도 17은 도 15의 위상고정루프의 제2상세 실시예이다.
- [0090] 도 17의 제2상세 실시예에서 위상고정루프의 고정시간을 빨리하는 기본적인 원리는 아날로그 지연고정루프의 제2상세 실시예(도 9)에서와 동일하다. 따라서 루프필터부(1740)가 플래그신호(flag)의 제어를 받아 자신의 용량(캐패시턴스)을 변화시킨다. 루프필터부(1740)는 도 10에서 도시한 루프필터부와 동일하게 구성될 수 있으며, 그 동작도 동일하므로 더 이상의 상세한 설명은 생략하기로 한다.
- [0091] 이상에서 살펴본 바와 같이, 본 발명에 따른 아날로그 지연고정루프, 클럭 데이터 복원회로, 위상고정루프는 자신의 고정까지 남은 시간이 많은 경우에는 제어전압을 러프(rough)하게 변화시키고, 자신의 고정까지 남은 시간이 적은 경우에는 제어전압을 세밀하게 변화시킨다. 따라서 고정시간을 빨리하면서도 정확한 동작을 보장받을 수 있다는 장점이 있다.
- [0092] 도 5, 6, 9를 다시 참조하여 본 발명에 따른 아날로그 지연고정루프의 동작방법에 대해 살펴본다. 본 발명에 따른 아날로그 지연고정루프의 동작방법은, 지연고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호(flag)를 생성하는 단계; 내부 클럭(CLK)과 피드백된 클럭의 위상을 비교하는 단계; 비교결과에 따라 제어전압(Vcontrol)을 조절해 출력하며, 제어전압(Vcontrol)을 조절하는 과정에서 제어전압(Vcontrol)의 변화 폭을 플래그신호(flag)에 응답하여 조절하는 것을 특징으로 하는 제어전압(Vcontrol)을 출력하는 단계; 제어전압(Vcontrol)에 응답하여 내부클럭(CLK)의 지연값을 조절하는 단계; 및 지연값이 조절된 내부클럭을 소정시간 더 지연시켜(지연모델부에 의해 이루어짐) 피드백된 클럭으로서 피드백하는 단계를 포함한다.
- [0093] 도 6의 제1상세 실시예에서 이루어지는 것과 같은 방법에 의할 경우 상기 제어전압을 출력하는 단계는, 내부 클럭(CLK)과 피드백된 클럭의 위상 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 플래그신호(flag)에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및 충전전류 또는 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압(Vcontrol)을 출력하는 전압출력 단계로 이루어진다.
- [0094] 또한, 도 7의 제2상세 실시예에서 이루어지는 것과 같은 방법에 의할 경우 상기 제어전압을 출력하는 단계는, 내부 클럭(CLK)과 피드백된 클럭의 위상 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및 충전전류 또는 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압(Vcontrol)을 출력하며, 충전 방전에 따른 제어전압(Vcontrol)의 전위 변화의 정도는 플래그신호(flag)에 따라 결정되는 것을 특징으로 하는 전압출력 단계로 이루어진다.
- [0095] 도 12, 13, 14를 다시 참조하여 본 발명에 따른 클럭 데이터 복원방법에 대해 살펴본다. 본 발명에 따른 클럭 데이터 복원방법은, 클럭 데이터 복원회로의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호(flag)를 생성하는 단계; 데이터(DATA)와 피드백된 클럭의 위상을 비교하는 단계; 비교결과에 따라 제어전압(Vcontrol)을 조절해 출력하며, 제어전압(Vcontrol)을 조절하는 과정에서 제어전압(Vcontrol)의 변화 폭을 플래그신호(flag)에 응답하여 조절하는 것을 특징으로 하는 제어전압(Vcontrol)을 출력하는 단계; 제어전압(Vcontrol)에 응답하여 클럭(CLK)의 지연값을 조절하며, 지연값이 조절된 클럭을 피드백된 클럭으로서 피드백하는 단계; 및 지연값이 조절된 클럭을 이용하여 데이터(DATA)를 복원하는 단계를 포함한다.
- [0096] 도 13의 제1상세 실시예에서 이루어지는 것과 같은 방법에 의할 경우 상기 제어전압을 출력하는 단계는, 데이터(DATA)와 피드백된 클럭의 위상 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 플래그신호(flag)에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및 충전전류 또는 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압(Vcontrol)을 출력하는 전압출력 단계로 이루어진다.
- [0097] 또한, 도 14의 제2상세 실시예에서 이루어지는 것과 같은 방법에 의할 경우 상기 제어전압을 출력하는 단계는, 데이터(DATA)와 피드백된 클럭의 위상 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및 충전전류 또는 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압(Vcontrol)을 출력하며, 충전 방전에 따른 제어전압(Vcontrol)의 전위 변화의 정도는 플래그신호(flag)에 따라 결정되는 것을 특징으로 하는 전압출력 단계로 이루어진다.
- [0098] 도 15,16,17을 다시 참조하여 본 발명에 따른 위상고정루프의 동작방법에 대해 살펴본다. 본 발명에 따른 위상고정루프의 동작방법은, 위상고정루프의 고정 전까지 남은 시간에 따라 인에이블 되는 플래그신호(flag)를 생성하는 단계; 입력 클럭(CLK\_REF)과 피드백된 출력 클럭(CLK)의 위상/주파수를 비교하는 단계; 비교결과에 따라 제어전압(Vcontrol)을 조절해 출력하며, 제어전압(Vcontrol)을 조절하는 과정에서 제어전압(Vcontrol)의 변화 폭을 플래그신호(flag)에 응답하여 조절하는 것을 특징으로 하는 제어전압(Vcontrol)을 출력하는 단계; 및 제어전압(Vcontrol)에 의해 결정되는 주파수를 가지는 출력 클럭(CLK)을 출력하는 단계를 포함한다.



[0099] 도 16의 제1상세 실시예에서 이루어지는 것과 같은 방법에 의한 경우, 상기 제어전압을 출력하는 단계는, 입력 클럭(CLK\_REF)과 출력 클럭(CLK)의 위상/주파수 비교결과에 따라 충전전류 또는 방전전류를 출력하며, 그 전류량은 플래그신호(flag)에 따라 결정되는 것을 특징으로 하는 전류출력 단계; 및 충전전류 또는 방전전류에 의해 충전 방전되며 전위가 결정되는 제어전압(Vcontrol)을 출력하는 전압출력 단계로 이루어진다.

[0100] 도 17의 제2상세 실시예에서 이루어지는 것과 같은 방법에 의한 경우, 상기 제어전압을 출력하는 단계는, 입력 클럭(CLK\_REF)과 출력 클럭(CLK)의 위상/주파수 비교결과에 따라 충전전류 또는 방전전류를 출력하는 단계; 및 충전전류 또는 방전전류에 따라 충전 방전되며 전위가 결정되는 제어전압(Vcontrol)을 출력하며, 충전 방전에 따른 제어전압(Vcontrol)의 전위 변화의 정도는 플래그신호(flag)에 따라 결정되는 것을 특징으로 하는 전압출력 단계로 이루어진다.

[0101] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

**도면의 간단한 설명**

[0102] 도 1은 종래의 아날로그 지연고정루프의 구성도.

[0103] 도 2는 종래의 클럭 데이터 복원회로의 구성도.

[0104] 도 3은 클럭 데이터 복원회로를 통해 데이터에 정렬된 클럭을 보여주는 도면.

[0105] 도 4는 종래의 위상고정루프의 구성도.

[0106] 도 5는 본 발명에 따른 아날로그 지연고정루프의 구성도.

[0107] 도 6는 도 5의 아날로그 지연고정루프의 제1상세 실시예.

[0108] 도 7은 도 6의 전하펌프부(630)의 일실시예 구성도.

[0109] 도 8은 도 6의 전하펌프부(630)의 다른 실시예 구성도.

[0110] 도 9는 도 5의 아날로그 지연고정루프의 제2상세 실시예.

[0111] 도 10은 도 9의 루프필터부(910)의 일실시예 구성도.

[0112] 도 11은 본 발명에 따른 아날로그 지연고정루프에서 제어전압(Vcontrol)의 변화를 나타낸 도면.

[0113] 도 12는 본 발명에 따른 클럭 데이터 복원회로의 구성도.

[0114] 도 13은 도 12의 클럭 데이터 복원회로의 제1상세 실시예.

[0115] 도 14는 도 12의 클럭 데이터 복원회로의 제2상세 실시예.

[0116] 도 15는 본 발명에 따른 위상고정루프의 구성도.

[0117] 도 16은 도 15의 위상고정루프의 제1상세 실시예.

[0118] 도 17은 도 15의 위상고정루프의 제2상세 실시예.

[0119] \*도면의 주요 부분에 대한 부호의 설명

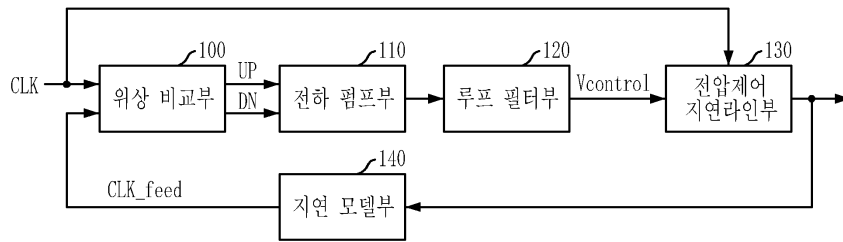
[0120] 510, 1210, 1510: 플래그신호 생성부                      520: 클럭정렬부

[0121] 1220: 클럭 데이터 정렬부                              1230: 데이터 복원부

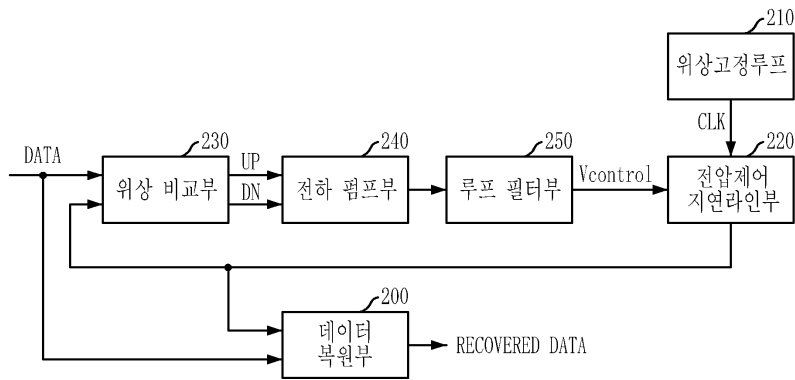
[0122] 1520: 주파수조절부

도면

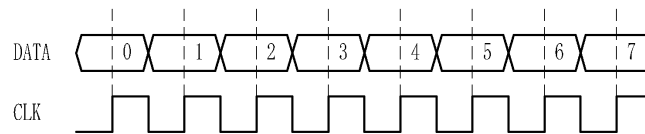
도면1



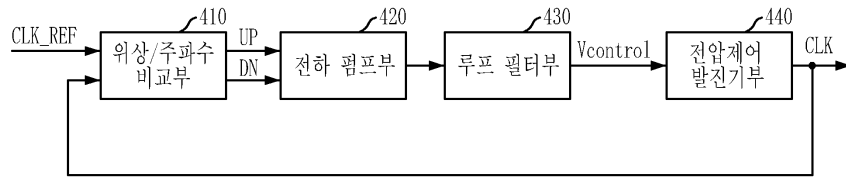
도면2



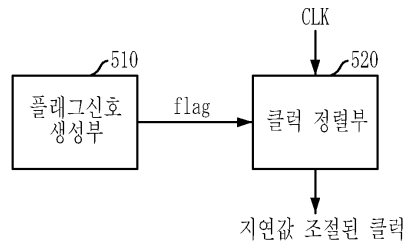
도면3



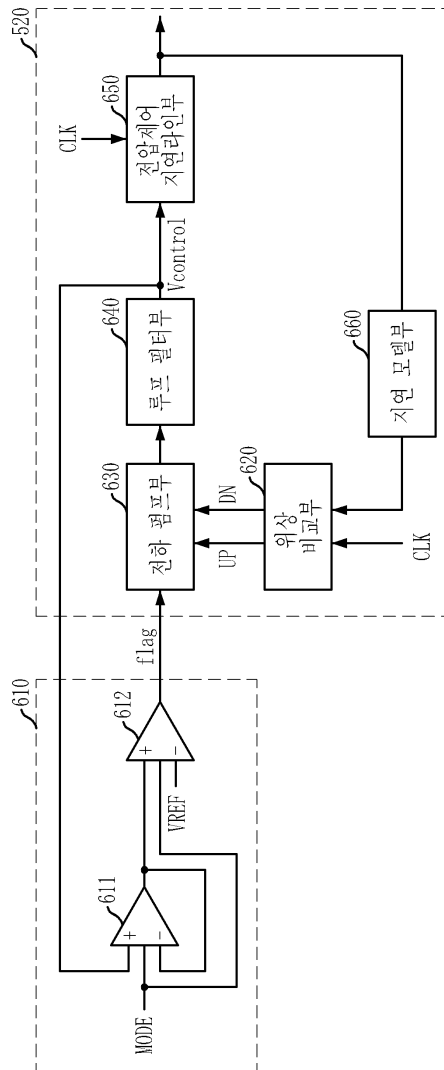
도면4



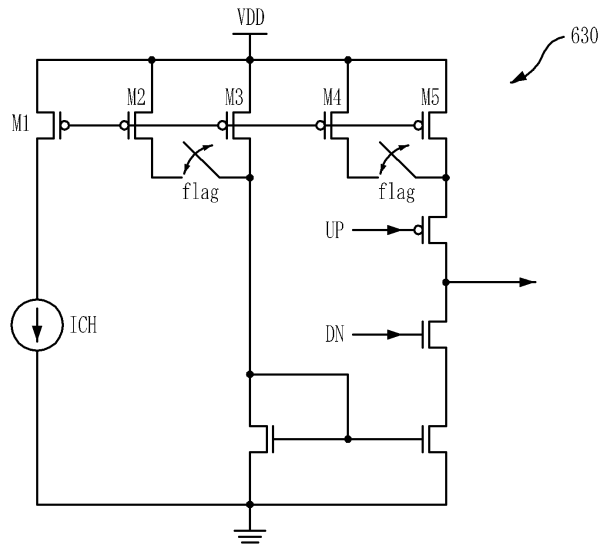
도면5



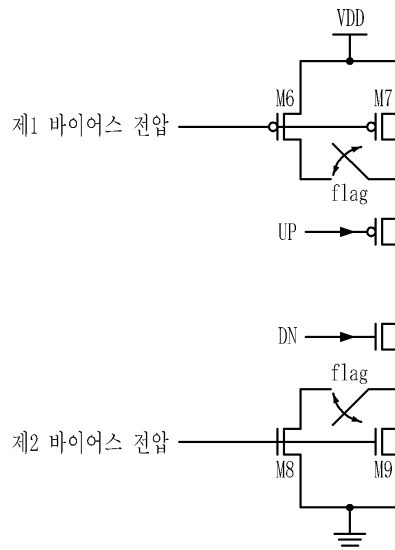
도면6



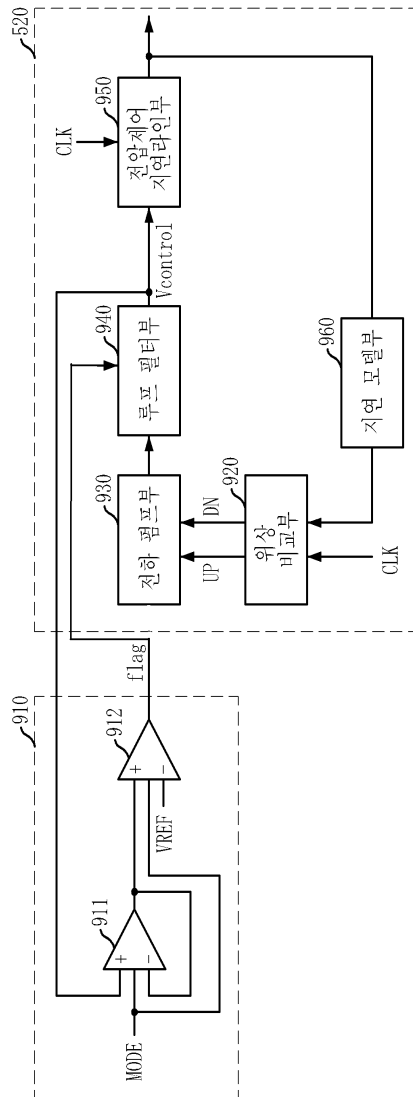
도면7



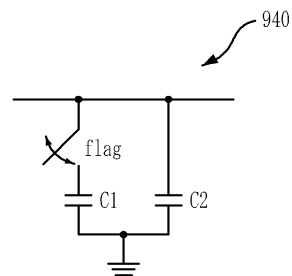
도면8



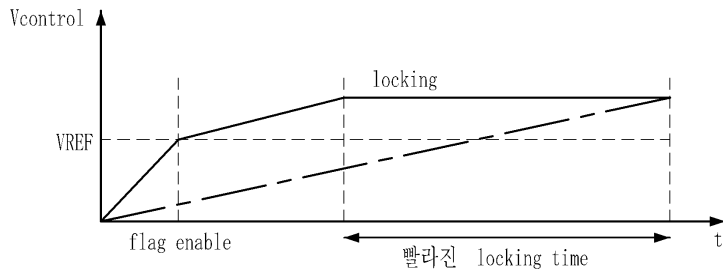
도면9



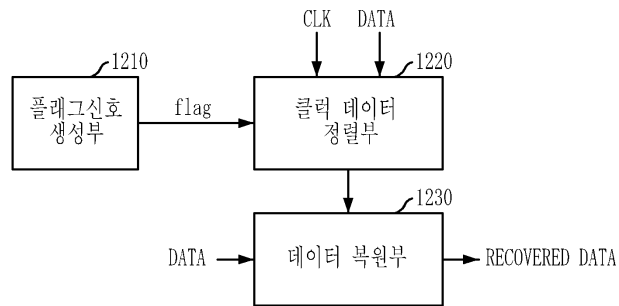
도면10



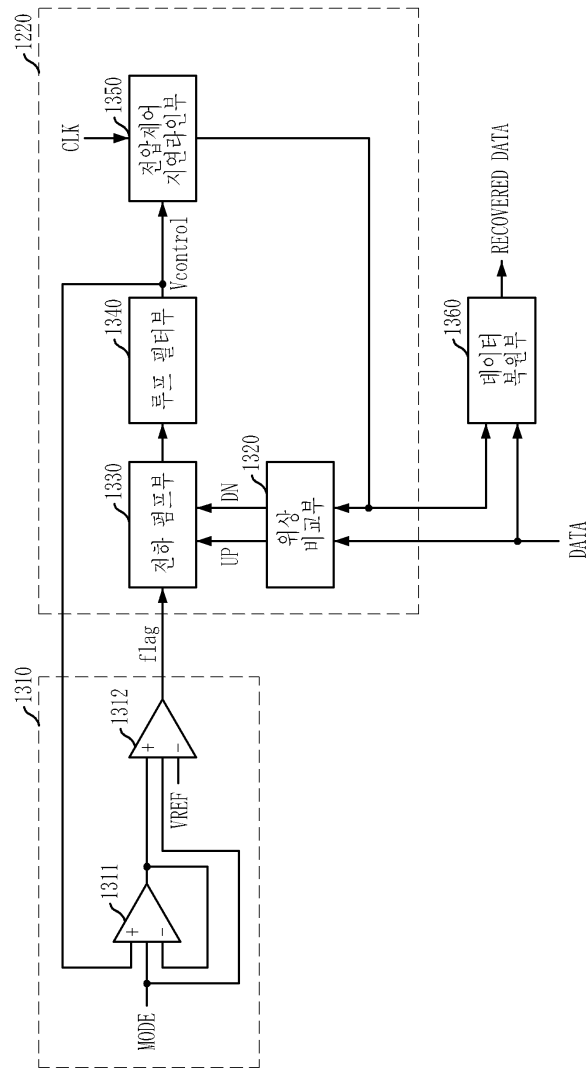
도면11



도면12

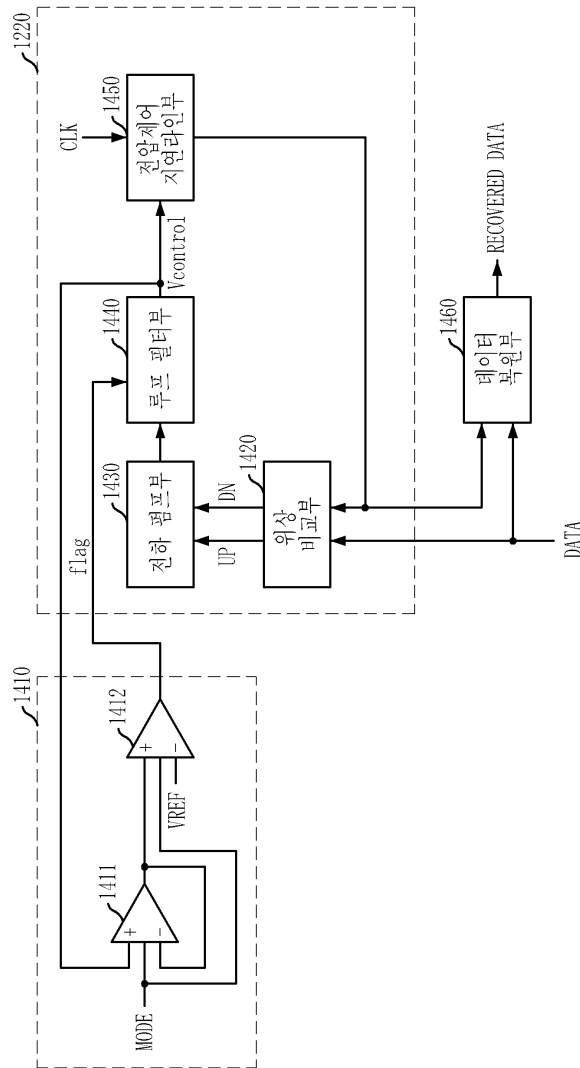


도면13

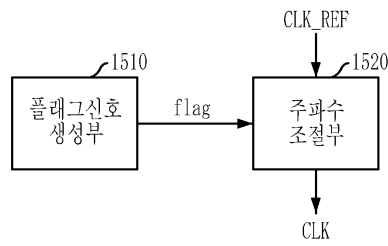




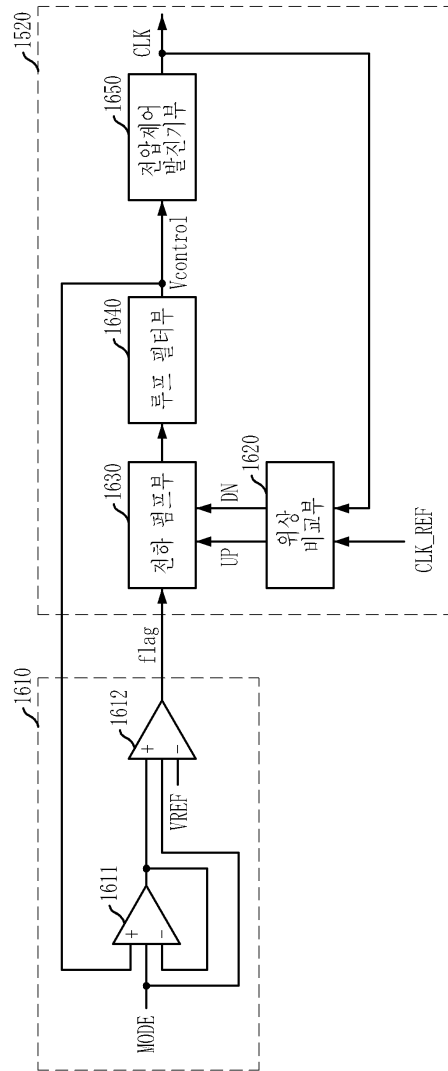
도면14



도면15



도면16



도면17

