

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5073136号
(P5073136)

(45) 発行日 平成24年11月14日(2012.11.14)

(24) 登録日 平成24年8月31日(2012.8.31)

(51) Int. Cl.	F I
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 O 2 A
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 3 2 1 E
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 C
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 3 1 E
HO 1 L 27/08 (2006.01)	

請求項の数 9 (全 35 頁)

(21) 出願番号	特願2001-254516 (P2001-254516)	(73) 特許権者	302062931
(22) 出願日	平成13年8月24日(2001.8.24)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2003-68869 (P2003-68869A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成15年3月7日(2003.3.7)	(74) 代理人	100088672
審査請求日	平成20年8月22日(2008.8.22)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	前田 茂伸
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	高篠 裕行
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、

前記絶縁ゲート型トランジスタは、

前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、

前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、

前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディ領域を挟んで形成されるソース・ドレイン領域とを含み、

前記絶縁ゲート型容量は、

前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、

前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、

前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディ領域を挟んで形成され、同電位となる取り出し電極領域とを含み、

前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディ領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第1の不純物領域を有し、かつ、

前記絶縁ゲート型容量は、前記取り出し電極と前記容量用ボディ領域とは同一導電型で容量用ゲート電極の下で接し、前記容量用ゲート電極と前記容量用ボディ領域とは同一導電型であり、

前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出したトランジスタ用エクステンション部を有し、

前記取り出し電極領域は上層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、

前記容量用エクステンション部は前記トランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型であることを特徴とする、

半導体装置。

【請求項2】

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、

前記絶縁ゲート型トランジスタは、

前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、

前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、

前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、

前記絶縁ゲート型容量は、

前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、

前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、

前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、

前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の不純物領域を有し、かつ、

前記絶縁ゲート型容量は、前記容量用ボディー領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、

前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出したトランジスタ用エクステンション部を有し、

前記取り出し電極領域は上層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、

前記容量用エクステンション部は前記トランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型であることを特徴とする、

半導体装置。

【請求項3】

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、

前記絶縁ゲート型トランジスタは、

前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、

前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、

前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、

前記絶縁ゲート型容量は、

前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、

前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、

前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、

前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第1

10

20

30

40

50

の不純物領域を有し、かつ、

前記絶縁ゲート型容量は、前記取り出し電極と前記容量用ボディー領域とは同一導電型で容量用ゲート電極の下で接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、

前記絶縁ゲート型トランジスタは第1及び第2のトランジスタを含み、

前記第1のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第1のトランジスタ用エクステンション部を有し、

前記第2のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第2のトランジスタ用エクステンション部を有し、

前記取り出し電極領域は上層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、

前記容量用エクステンション部は前記第2のトランジスタ用エクステンション部と不純物濃度が同程度で、かつ前記第1のトランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型であることを特徴とする、

半導体装置。

【請求項4】

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、

前記絶縁ゲート型トランジスタは、

前記半導体基板の上に選択的に形成されるトランジスタ用ゲート絶縁膜と、

前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、

前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、

前記絶縁ゲート型容量は、

前記半導体基板の上に選択的に形成される容量用ゲート絶縁膜と、

前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、

前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、

前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の不純物領域を有し、かつ、

前記絶縁ゲート型容量は、前記容量用ボディー領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、

前記絶縁ゲート型トランジスタは第1及び第2のトランジスタを含み、

前記第1のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第1のトランジスタ用エクステンション部を有し、

前記第2のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第2のトランジスタ用エクステンション部を有し、

前記取り出し電極領域は上層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、

前記容量用エクステンション部は前記第2のトランジスタ用エクステンション部と不純物濃度が同程度で、かつ前記第1のトランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型であることを特徴とする、

半導体装置。

【請求項5】

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、

10

20

30

40

50

前記絶縁ゲート型トランジスタは、
前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、
前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、
前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディ領域を挟んで形成されるソース・ドレイン領域とを含み、
前記絶縁ゲート型容量は、
前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、
前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、
前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディ領域を挟んで形成され、同電位となる取り出し電極領域とを含み、
前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディ領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第1の不純物領域を有し、かつ、
前記絶縁ゲート型容量は、前記取り出し電極と前記容量用ボディ領域とは同一導電型で容量用ゲート電極の下で接し、前記容量用ゲート電極と前記容量用ボディ領域とは同一導電型であり、
前記容量用ボディ領域は空孔部を有し、前記トランジスタ用ボディ領域は空孔部を有していない、
 半導体装置。

10

【請求項6】

20

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、
前記絶縁ゲート型トランジスタは、
前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、
前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、
前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディ領域を挟んで形成されるソース・ドレイン領域とを含み、
前記絶縁ゲート型容量は、
前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、
前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、
前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディ領域を挟んで形成され、同電位となる取り出し電極領域とを含み、
前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディ領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の不純物領域を有し、かつ、
前記絶縁ゲート型容量は、前記容量用ボディ領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディ領域とは同一導電型であり、
前記容量用ボディ領域は空孔部を有し、前記トランジスタ用ボディ領域は空孔部を有していない、
 半導体装置。

30

40

【請求項7】

請求項1ないし請求項6のうち、いずれか1項記載の半導体装置であって、
前記容量用ボディ領域及び前記取り出し電極領域は互いに異なる導電型で形成される、
 半導体装置。

【請求項8】

半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、
前記絶縁ゲート型トランジスタは、

50

前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、
 前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、
 前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボ
 ディー領域を挟んで形成されるソース・ドレイン領域と、
 前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成さ
 れる、前記ソース・ドレイン領域と逆の導電型の第1の不純物領域とを含み、
 前記絶縁ゲート型容量は、
 前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、
 前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、
 前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟ん
 で形成される取り出し電極領域と、
 前記取り出し電極領域から前記容量用ボディー領域の一部にかけて形成される、前記取
 り出し電極領域と逆の導電型の第2の不純物領域とを含み、
 前記容量用ボディー領域と前記取り出し電極領域と前記トランジスタ用ボディー領域と
 は同一導電型であり、
 前記容量用ボディー領域の表面における不純物濃度が前記トランジスタ用ボディー領域
 の表面における不純物濃度より高い濃度に設定されることを特徴とする、
 半導体装置。

10

【請求項9】

請求項8記載の半導体装置であって、
 前記容量用ボディー領域の表面における不純物濃度は、前記トランジスタ用ボディー領
 域の表面における不純物濃度より高濃度に設定されることを特徴とする、
 半導体装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は絶縁ゲート型トランジスタ及び絶縁ゲート型容量を有する半導体装置及びその
 製造方法に関する。

【0002】

【従来の技術】

ゲート長がサブクオータミクロン以下のトランジスタでは、ショートチャネル効果を抑制
 するために、ポケット領域を形成するポケット注入工程を実行している。ポケット注入は
 NUDC (Non Uniformly Doped Channel) 注入とも呼ばれている。

30

【0003】

図36はポケット注入工程を示す断面図である。同図に示すように、CMOSトランジスタ
 を形成するに際し、半導体基板101の上層部に設けられた分離絶縁膜102によってNMOS
 形成領域A11及びPMOS形成領域A12が素子分離される。

【0004】

NMOS形成領域A11において、Pウェル領域111の表面上にゲート酸化膜112及び
 ゲート電極113が形成されており、このゲート電極113をマスクとしてP型不純物
 イオン103を注入し拡散することにより、NMOSトランジスタのポケット領域となる
 P型不純物注入領域119を形成する。

40

【0005】

同様に、PMOS形成領域A12において、Nウェル領域121の表面上にゲート酸化膜
 122及びゲート電極123が形成されており、このゲート電極123をマスクとしてN
 型不純物イオン104を注入し拡散することにより、PMOSトランジスタのポケット領
 域となるN型不純物注入領域129を形成する。

【0006】

すなわち、NMOS形成領域A11及びPMOS形成領域A12それぞれにおいて、各M
 OSトランジスタのチャンネル領域と同じ導電型の不純物を注入するのがポケット注入工程

50

である。このポケット注入工程によってチャンネル長方向の不純物分布が不均一になり、ゲート長が短くなる程、実効的なチャンネル不純物濃度が高くなり、その結果、ショートチャンネル効果を抑制することができる。

【0007】

図37はポケット注入工程後のCMOSトランジスタ完成状態を示す断面図である。

【0008】

同図に示すように、NMOS形成領域A11において、ゲート電極113の下方のチャンネル領域を挟んでN⁺ソース・ドレイン領域114, 114が形成され、N⁺ソース・ドレイン領域114, 114間で対向する先端領域がそれぞれエクステンション部114eとなる。

10

【0009】

そして、エクステンション部114eの近傍領域において、エクステンション部114eからチャンネル領域の一部にかけて、P型不純物注入領域119がP⁻ポケット領域117として残存する。また、ゲート電極113の両側面にはサイドウォール116, 116がそれぞれ形成される。

【0010】

このように、ゲート酸化膜112、ゲート電極113、N⁺ソース・ドレイン領域114、サイドウォール116及びP⁻ポケット領域117によってNMOSトランジスタQ11が形成される。

【0011】

20

PMOS形成領域A12において、ゲート電極123の下方のチャンネル領域を挟んでP⁺ソース・ドレイン領域124, 124が形成され、P⁺ソース・ドレイン領域124, 124間で対向する先端領域がそれぞれエクステンション部124eとなる。

【0012】

そして、エクステンション部124eの近傍領域において、エクステンション部124eからチャンネル領域の一部にかけて、N型不純物注入領域129がN⁻ポケット領域127として残存する。また、ゲート電極123の両側面にはサイドウォール126, 126がそれぞれ形成される。

【0013】

このように、ゲート酸化膜122、ゲート電極123、P⁺ソース・ドレイン領域124、サイドウォール126及びN⁻ポケット領域127によってPMOSトランジスタQ12が形成される。

30

【0014】

一方、高周波アナログ回路、あるいは高速デジタル回路では、インダクタ(L)と可変容量(C)とを用いてLC型のVCO(Voltage Controlled Oscillator; 電圧制御発振器)を製造する必要がある。

【0015】

MOSトランジスタの構造を利用して、絶縁ゲート型容量である可変容量に損失の少ないものを得ようとした場合、基板(ボディー領域)と取り出し電極部との不純物の導電性を同じにしたアキュムレーション(accumulation)型の可変容量を作る必要がある。

40

【0016】

図38はアキュムレーション型の可変容量の構造を示す断面図である。同図に示すように、アキュムレーション型の可変容量を形成するに際し、半導体基板101の上層部に設けられた分離絶縁膜102によってP型可変容量形成領域A13及びN型可変容量形成領域A14が素子分離される。

【0017】

P型可変容量形成領域A13において、ゲート電極133の下方のチャンネル領域を挟んでP⁺取り出し電極領域134, 134が形成され、P⁺取り出し電極領域134, 134間で対向する先端領域がそれぞれエクステンション部134eとなる。

【0018】

50

そして、エクステンション部 134e の近傍領域において、エクステンション部 134e からチャンネル領域の一部にかけて、N⁻ポケット領域 137 が形成される。また、ゲート電極 133 の両側面にはサイドウォール 136、136 がそれぞれ形成される。

【0019】

このように、ゲート酸化膜 132、ゲート電極 133、P⁺取り出し電極領域 134、サイドウォール 136、及び N⁻ポケット領域 137 によって P 型可変容量 C11 が形成される。すなわち、P 型可変容量 C11 は P⁺取り出し電極領域 134 を一方電極、ゲート電極 133 を他方電極、ゲート酸化膜 132 を電極間絶縁膜とした絶縁ゲート型容量となる。

【0020】

N 型可変容量形成領域 A14 において、ゲート電極 143 の下方のチャンネル領域を挟んで N⁺取り出し電極領域 144、144 が形成され、N⁺取り出し電極領域 144、144 間で対向する先端領域がそれぞれエクステンション部 144e となる。

【0021】

そして、エクステンション部 144e の近傍領域において、エクステンション部 144e からチャンネル領域の一部にかけて、P⁻ポケット領域 147 が形成される。また、ゲート電極 143 の両側面にはサイドウォール 146、146 がそれぞれ形成される。

【0022】

このように、ゲート酸化膜 142、ゲート電極 143、N⁺取り出し電極領域 144、サイドウォール 146、及び P⁻ポケット領域 147 によって N 型可変容量 C12 が形成される。すなわち、N 型可変容量 C12 は N⁺取り出し電極領域 144 を一方電極、ゲート電極 143 を他方電極、ゲート酸化膜 142 を電極間絶縁膜とした絶縁ゲート型容量となる。

【0023】

図 39 及び図 40 は N 型可変容量 C12 の容量値変更度合を示す説明図である。ゲート電極 143 に付与するゲート電圧 V_G が 0V より小さい場合、図 39 に示すように、空乏層 148 はゲート電極 133 下の N ウェル領域 121 において下方に延びるため、N 型可変容量 C12 の容量値は小さくなる。一方、ゲート電圧 V_G が 0V より大きい場合、図 40 に示すように、空乏層 148 はゲート電極 143 下の N ウェル領域 121 において縮んでいるため、N 型可変容量 C12 の容量値は大きくなる。このように、ゲート電極 143 に付与するゲート電圧 V_G によって N 型可変容量 C12 の容量値を可変に設定することができる。なお、P 型可変容量 C11 においても同様なゲート電極 133 に付与するゲート電圧によって容量値を変更することができる。

【0024】

【発明が解決しようとする課題】

しかしながら、ショートチャンネル特性を向上させる（ショートチャンネル効果を抑制させる）ために、図 36 で示したポケット注入工程を実行すると、アキュムレーション型の変容量では取り出し電極領域とゲート電極直下の半導体基板 101 の領域であるボディー領域において、ボディー領域の導電型と逆の導電型のポケット領域が形成されてしまうため、直列抵抗が高くなるという問題点があった。

【0025】

図 41 は図 38 で示した可変容量の等価回路を示す回路図である。同図に示すように、可変容量は容量成分 C10 と抵抗成分 R10 との直列接続により等価的に表される。

【0026】

一方、可変容量の電気的特性を表す指標に Q-factor (Q 値) がある。Q 値は、{ Q : Q 値, ω : 角周波数, C : 容量成分 C10 の容量値, R : 抵抗成分 R10 の抵抗値 } とすると、以下の(1)式により表される。

【0027】

【数 1】

10

20

30

40

$$Q = \frac{1}{\omega C R} \quad \dots (1)$$

【 0 0 2 8 】

Q値は高いほど、容量のエネルギー効率が高くなるが、ポケット領域の存在により、抵抗成分R10の抵抗値Rが高くなってしまい、(1)式に従いQ値が低下してしまうという問題点があった。

【 0 0 2 9 】

この発明は上記問題点を解決するためになされたもので、絶縁ゲート型トランジスタ及び絶縁ゲート型容量それぞれの電気的特性を共に劣化させない構造の半導体装置及びその製造方法を得ることを目的とする。

【 0 0 3 0 】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含んでおり、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディ領域を挟んで形成されるソース・ドレイン領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディ領域を挟んで形成され、同電位となる取り出し電極領域とを含み、前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディ領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第1の不純物領域を有し、かつ、前記絶縁ゲート型容量は、前記取り出し電極と前記容量用ボディ領域とは同一導電型で容量用ゲート電極の下で接し、前記容量用ゲート電極と前記容量用ボディ領域とは同一導電型であり、前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディ領域側に一部突出したトランジスタ用エクステンション部を有し、前記取り出し電極領域は上層部が前記容量用ボディ領域側に一部突出した容量用エクステンション部を有し、前記容量用エクステンション部は前記トランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型である。

【 0 0 3 1 】

この発明に係る請求項2記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含んでおり、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディ領域を挟んで形成されるソース・ドレイン領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディ領域を挟んで形成され、同電位となる取り出し電極領域とを含み、前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディ領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の不純物領域を有し、かつ、前記絶縁ゲート型容量は、前記容量用ボディ領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディ領域とは同一導電型であり、前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディ領域側に一部突出したトランジスタ用エクステンション部を有し、前記取り出し電極領域は上

10

20

30

40

50

層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、前記容量用エクステンション部は前記トランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型である。

この発明に係る請求項3記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第1の不純物領域を有し、かつ、前記絶縁ゲート型容量は、前記取り出し電極と前記容量用ボディー領域とは同一導電型で容量用ゲート電極の下で接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、前記絶縁ゲート型トランジスタは第1及び第2のトランジスタを含み、前記第1のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第1のトランジスタ用エクステンション部を有し、前記第2のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第2のトランジスタ用エクステンション部を有し、前記取り出し電極領域は上層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、前記容量用エクステンション部は前記第2のトランジスタ用エクステンション部と不純物濃度が同程度で、かつ前記第1のトランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型である。

この発明に係る請求項4記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の不純物領域を有し、かつ、前記絶縁ゲート型容量は、前記容量用ボディー領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、前記絶縁ゲート型トランジスタは第1及び第2のトランジスタを含み、前記第1のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第1のトランジスタ用エクステンション部を有し、前記第2のトランジスタの前記ソース・ドレイン領域は上層部が前記トランジスタ用ボディー領域側に一部突出した第2のトランジスタ用エクステンション部を有し、前記取り出し電極領域は上層部が前記容量用ボディー領域側に一部突出した容量用エクステンション部を有し、前記容量用エクステンション部は前記第2のトランジスタ用エクステンション部と不純物濃度が同程度で、かつ前記第1のトランジスタ用エクステンション部より不純物濃度が高濃度に設定されて、前記ソース・ドレイン領域と前記取り出し電極領域とは同一導電型である。

10

20

30

40

50

この発明に係る請求項 5 記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第 1 の不純物領域を有し、かつ、前記絶縁ゲート型容量は、前記取り出し電極と前記容量用ボディー領域とは同一導電型で容量用ゲート電極の下で接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、前記容量用ボディー領域は空孔部を有し、前記トランジスタ用ボディー領域は空孔部を有していない。

10

この発明に係る請求項 6 記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含む半導体装置であって、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成され、同電位となる取り出し電極領域とを含み、前記絶縁ゲート型トランジスタは、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の不純物領域を有し、かつ、前記絶縁ゲート型容量は、前記容量用ボディー領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であり、前記容量用ボディー領域は空孔部を有し、前記トランジスタ用ボディー領域は空孔部を有していない。

20

30

【 0 0 3 2 】

また、請求項 7 の発明は、請求項 1 ないし請求項 6 のうち、いずれか 1 項に記載の半導体装置であって、前記容量用ボディー領域及び前記取り出し電極領域は互いに異なる導電型で形成される。

【 0 0 4 2 】

この発明に係る請求項 8 記載の半導体装置は、半導体基板に作り込まれる絶縁ゲート型トランジスタ及び絶縁ゲート型容量を含んでおり、前記絶縁ゲート型トランジスタは、前記半導体基板上に選択的に形成されるトランジスタ用ゲート絶縁膜と、前記トランジスタ用ゲート絶縁膜上に形成されるトランジスタ用ゲート電極と、前記半導体基板の表面内における前記トランジスタ用ゲート電極下のトランジスタ用ボディー領域を挟んで形成されるソース・ドレイン領域と、前記ソース・ドレイン領域から前記トランジスタ用ボディー領域の一部にかけて形成される、前記ソース・ドレイン領域と逆の導電型の第 1 の不純物領域とを含み、前記絶縁ゲート型容量は、前記半導体基板上に選択的に形成される容量用ゲート絶縁膜と、前記容量用ゲート絶縁膜上に形成される容量用ゲート電極と、前記半導体基板の表面内における前記容量用ゲート電極下の容量用ボディー領域を挟んで形成される取り出し電極領域と、前記取り出し電極領域から前記容量用ボディー領域の一部にかけて形成される、前記取り出し電極領域と逆の導電型の第 2 の不純物領域とを含み、前記容量用ボディー領域と前記取り出し電極領域と前記トランジスタ用ボディー領域とは同一導電型であり、前記容量用ボディー領域の表面における不純物濃度が前記トランジスタ用ボディー領域の表面における不純物濃度より高い濃度に設定される。

40

50

【 0 0 4 3 】

また、請求項 9 の発明は、請求項 8 記載の半導体装置であって、前記容量用ボディー領域の表面における不純物濃度は、前記トランジスタ用ボディー領域の表面における不純物濃度より高濃度に設定される。

【 0 0 5 1 】

【発明の実施の形態】

<実施の形態 1 >

図 1 はこの発明の実施の形態 1 である、MOS トランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。

【 0 0 5 2 】

同図に示すように、NMOS 形成領域 A 1、PMOS 形成領域 A 2、N 型可変容量形成領域 A 3 及び P 型可変容量形成領域 A 4 に NMOS トランジスタ Q 1、PMOS トランジスタ Q 2、N 型可変容量 C 1 及び P 型可変容量 C 2 がそれぞれ形成される。なお、各形成領域 A 1 ~ A 4 は分離絶縁膜（図示せず）等により素子分離されている。また、各形成領域 A 1、A 2、A 3、及び A 4 にはボディー領域となるウェル領域 1 1、2 1、3 1、及び 4 1 がそれぞれ形成される。

【 0 0 5 3 】

NMOS 形成領域 A 1 において、P ウェル領域 1 1 の表面上にゲート酸化膜 1 2 が選択的に形成され、ゲート酸化膜 1 2 上に N⁺型のゲート電極 1 3 が形成される。ゲート電極 1 3 の下方の P ウェル領域 1 1 の表面領域であるチャンネル領域を挟んで N⁺ソース・ドレイン領域 1 4、1 4 が形成され、N⁺ソース・ドレイン領域 1 4、1 4 間で対向する突出した先端領域がそれぞれエクステンション部 1 4 e となる。

【 0 0 5 4 】

そして、エクステンション部 1 4 e の近傍領域において、エクステンション部 1 4 e からチャンネル領域の一部にかけて P⁻ポケット領域 1 7 が形成される。また、ゲート電極 1 3 の両側面にはサイドウォール 1 6、1 6 がそれぞれ形成される。さらに、N⁺ソース・ドレイン領域 1 4 の表面内及びゲート電極 1 3 の上層部にシリサイド領域 1 4 s 及びシリサイド領域 1 3 s がそれぞれ形成される。

【 0 0 5 5 】

このように、ゲート酸化膜 1 2、ゲート電極 1 3、N⁺ソース・ドレイン領域 1 4、サイドウォール 1 6 及び P⁻ポケット領域 1 7 によって NMOS トランジスタ Q 1 が形成される。

【 0 0 5 6 】

PMOS 形成領域 A 2 において、N ウェル領域 2 1 の表面上にゲート酸化膜 2 2 が選択的に形成され、ゲート酸化膜 2 2 上に P⁺型のゲート電極 2 3 が形成される。ゲート電極 2 3 の下方のチャンネル領域を挟んで P⁺ソース・ドレイン領域 2 4、2 4 が形成され、P⁺ソース・ドレイン領域 2 4、2 4 間で対向する突出した先端領域がそれぞれエクステンション部 2 4 e となる。

【 0 0 5 7 】

そして、エクステンション部 2 4 e の近傍領域に、エクステンション部 2 4 e からチャンネル領域の一部にかけて P⁻ポケット領域 2 7 が形成される。また、ゲート電極 2 3 の両側面にはサイドウォール 2 6、2 6 がそれぞれ形成される。さらに、P⁺ソース・ドレイン領域 2 4 の表面内及びゲート電極 2 3 の上層部にシリサイド領域 2 4 s 及びシリサイド領域 2 3 s がそれぞれ形成される。

【 0 0 5 8 】

このように、ゲート酸化膜 2 2、ゲート電極 2 3、P⁺ソース・ドレイン領域 2 4、サイドウォール 2 6 及び P⁻ポケット領域 2 7 によって PMOS トランジスタ Q 2 が形成される。

【 0 0 5 9 】

N 型可変容量形成領域 A 3 において、N ウェル領域 3 1 の表面上にゲート酸化膜 3 2 が選

10

20

30

40

50

択的に形成され、ゲート酸化膜 3 2 上に N⁺型のゲート電極 3 3 が形成される。ゲート電極 3 3 の下方の N ウェル領域 3 1 の表面であるボディー表面領域を挟んで N⁺取り出し電極領域 3 4 , 3 4 が形成される。N⁺取り出し電極領域 3 4 , 3 4 間で対向する突出した先端領域がそれぞれエクステンション部 3 4 e となる。

【 0 0 6 0 】

また、ゲート電極 3 3 の両側面にはサイドウォール 3 6 , 3 6 がそれぞれ形成される。さらに、N⁺取り出し電極領域 3 4 の表面内及びゲート電極 3 3 の上層部にシリサイド領域 3 4 s 及びシリサイド領域 3 3 s がそれぞれ形成される。

【 0 0 6 1 】

このように、ゲート酸化膜 3 2、ゲート電極 3 3、N⁺取り出し電極領域 3 4、及びサイドウォール 3 6 によって N 型 (N⁺ゲート / N⁻ボディー型) 可変容量 C 1 が形成される。すなわち、N 型可変容量 C 1 は N⁺取り出し電極領域 3 4 を一方電極、ゲート電極 3 3 を他方電極、ゲート酸化膜 3 2 を電極間絶縁膜とした絶縁ゲート型容量となり、ゲート電極 3 3 に与えるゲート電圧によって、ゲート電極 3 3 下の N ウェル領域 3 1 における空乏層の伸び具合を変化させることにより容量値を可変設定することができる。

10

【 0 0 6 2 】

P 型可変容量形成領域 A 4 において、P ウェル領域 4 1 の表面上にゲート酸化膜 4 2 が選択的に形成され、ゲート酸化膜 4 2 上に P⁺型のゲート電極 4 3 が形成される。ゲート電極 4 3 の下方のボディー表面領域を挟んで P⁺取り出し電極領域 4 4 , 4 4 が形成される。P⁺取り出し電極領域 4 4 , 4 4 間で対向する突出した先端領域がそれぞれエクステンション部 4 4 e となる。

20

【 0 0 6 3 】

また、ゲート電極 4 3 の両側面にはサイドウォール 4 6 , 4 6 がそれぞれ形成される。さらに、P⁺取り出し電極領域 4 4 の表面内及びゲート電極 4 3 の上層部にシリサイド領域 4 4 s 及びシリサイド領域 4 3 s がそれぞれ形成される。

【 0 0 6 4 】

このように、ゲート酸化膜 4 2、ゲート電極 4 3、P⁺取り出し電極領域 4 4、及びサイドウォール 4 6 によって P 型 (P⁺ゲート / P⁻ボディー型) 可変容量 C 2 が形成される。すなわち、P 型可変容量 C 2 は、P⁺取り出し電極領域 4 4 を一方電極、ゲート電極 4 3 を他方電極、ゲート酸化膜 4 2 を電極間絶縁膜とした絶縁ゲート型容量となり、ゲート電極 4 3 に与えるゲート電圧によって、ゲート電極 4 3 下の P ウェル領域 4 1 における空乏層の伸び具合を変化させることにより容量値を可変設定することができる。

30

【 0 0 6 5 】

上述したように、実施の形態 1 の半導体装置は、MOS トランジスタにはポケット領域が存在しているため、ショートチャネル効果を抑制した MOS トランジスタを得ることができる。

【 0 0 6 6 】

一方、可変容量にはポケット領域 (取り出し電極領域隣接逆導電型領域) が存在しない構造を呈している。すなわち、可変容量の取り出し電極領域の近傍領域において、取り出し電極領域と逆の導電型の領域が全く存在しない構造を呈しているため、直列抵抗が低く Q 値が劣化しない。

40

【 0 0 6 7 】

このように、実施の形態 1 の半導体装置として、ショートチャネル効果を抑制した MOS トランジスタと直列抵抗が低く Q 値が劣化しない可変容量とからなる半導体装置を得ることができる。

【 0 0 6 8 】

図 2 ~ 図 7 は実施の形態 1 の半導体装置の製造方法を示す断面図である。以下、これらの図を参照して実施の形態 1 の半導体装置の製造処理手順を説明する。

【 0 0 6 9 】

まず、図 2 に示すように、互いに素子分離されている NMOS 形成領域 A 1、PMOS 形

50

成領域 A 2、N 型可変容量形成領域 A 3、及び P 型可変容量形成領域 A 4 に既存の方法でボディ領域となる P ウェル領域 1 1、N ウェル領域 2 1、N ウェル領域 3 1 及び P ウェル領域 4 1 を形成した後、P ウェル領域 1 1 の表面上にゲート酸化膜 1 2 及び N⁺型のゲート電極 1 3 を選択的に形成し、N ウェル領域 2 1 の表面上にゲート酸化膜 2 2 及び P⁺型のゲート電極 2 3 を選択的に形成し、N ウェル領域 3 1 の表面上にゲート酸化膜 3 2 及び N⁺型のゲート電極 3 3 を選択的に形成し、P ウェル領域 4 1 の表面上にゲート酸化膜 4 2 及び P⁺型のゲート電極 4 3 を選択的に形成する。

【0070】

そして、図 3 に示すように、NMOS 形成領域 A 1 以外の領域上にレジスト 5 1 を形成した後、NMOS 形成領域 A 1 のみに対し、注入エネルギーを変えて P 型不純物イオン 6 1、N 型不純物イオン 6 2 をゲート電極 1 3 をマスクとして順次注入し拡散処理を施すことにより、P⁻拡散領域 1 9 及び N⁻エクステンション領域 1 8 をそれぞれ形成する。

10

【0071】

ここで、N 型不純物イオン 6 2 の注入の具体例として、ヒソイオンを用いて、3 ~ 20 keV の注入エネルギー、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{15} / \text{cm}^2$ 、注入角度 0° でイオン注入を行うことが考えられる。

【0072】

また、P 型不純物イオン 6 1 の注入の具体例として、ボロンイオンを用いて、10 ~ 20 keV の注入エネルギー、ドーズ量 $1 \times 10^{13} \sim 3 \times 10^{13} / \text{cm}^2$ 、注入角度 0 ~ 45° でイオン注入を行うことが考えられる。

20

【0073】

その後、図 4 に示すように、レジスト 5 1 の除去後、N 型可変容量形成領域 A 3 以外の領域上にレジスト 5 2 を形成した後、N 型可変容量形成領域 A 3 のみに対し、例えば N 型不純物イオン 6 2 の注入と同内容で N 型不純物イオン 6 3 イオンを注入して N⁻エクステンション領域 3 8 を形成する。この際、後述する N 型不純物イオン 6 4 と同条件で N 型不純物イオンを注入して N⁻ポケット領域をさらに形成することも考えられる。

【0074】

次に、図 5 に示すように、レジスト 5 2 の除去後、PMOS 形成領域 A 2 以外の領域上にレジスト 5 3 を形成した後、PMOS 形成領域 A 2 のみに対し、注入エネルギーを変えて N 型不純物イオン 6 4、P 型不純物イオン 6 5 をゲート電極 2 3 をマスクとして順次注入し拡散処理を施すことにより、N⁻拡散領域 2 9 及び P⁻エクステンション領域 2 8 を形成する。

30

【0075】

また、P 型不純物イオン 6 5 の注入の具体例として、BF₂イオンを用いて、3 ~ 10 keV の注入エネルギー、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{15} / \text{cm}^2$ 、注入角度 0° でイオン注入を行うことが考えられる。

【0076】

また、N 型不純物イオン 6 4 の注入の具体例として、ヒソイオンを用いて、50 ~ 150 keV の注入エネルギー、ドーズ量 $1 \times 10^{13} \sim 3 \times 10^{13} / \text{cm}^2$ 、注入角度 0 ~ 45° でイオン注入を行うことが考えられる。

40

【0077】

その後、図 6 に示すように、レジスト 5 3 の除去後、P 型可変容量形成領域 A 4 以外の領域上にレジスト 5 4 を形成した後、P 型可変容量形成領域 A 4 のみに対し、例えば P 型不純物イオン 6 5 の注入と同内容で P 型不純物イオン 6 6 イオンを注入して P⁻エクステンション領域 4 8 を形成する。この際、P 型不純物イオン 6 1 と同条件で P 型不純物イオンを注入して P⁻ポケット領域をさらに形成することも考えられる。

【0078】

そして、図 7 に示すように、レジスト 5 4 を除去すると、MOS トランジスタ形成領域 A 1、A 2 にのみポケット領域となる P⁻拡散領域 1 9、N⁻拡散領域 2 9 が存在し、可変容量形成領域 A 3、A 4 にはポケット領域となる拡散領域が存在しない構造を得ることがで

50

きる。

【0079】

以降、既存のMOSトランジスタ及び可変容量の形成方法を用いて、図1で示した構造を得ることができる。なお、図1で示す構造ではサイドウォールを形成後にソース・ドレイン領域（取り出し電極領域）を形成し、さらにセルフアラインシリサイド（シリサイド）プロセスによって、ソース・ドレイン領域（取り出し電極領域）の表面内及びゲート電極の上層部をシリサイド化してシリサイド領域を形成し、低抵抗化図っている。

【0080】

ここで、NMOSトランジスタQ1のN⁺ソース・ドレイン領域14形成の具体例として、ヒソイオンを用いて、20～70keVの注入エネルギー、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ 、注入角度0～30°でイオン注入を行うことが考えられる。

【0081】

また、PMOSトランジスタQ2のP⁺ソース・ドレイン領域24形成の具体例として、BF₂を用いて、10～30keVの注入エネルギー、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ 、注入角度0～30°でイオン注入を行うことが考えられる。

【0082】

また、シリサイドとしては、例えば、CoSi₂、TiSi₂、NiSi₂等が用いられる。

【0083】

なお、本実施の形態では、N型、P型の可変容量を共に形成したが、どちらか一方の方の可変容量のみを形成しても良い。回路的に使い勝手が良い型の可変容量を形成すればよいが、ポディー部の直列抵抗成分の抵抗値が低く、Q値が高くなるのはN型であり、この点においてN型は優れている。

【0084】

<実施の形態2>

図8はこの発明の実施の形態2である、MOSトランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。

【0085】

同図に示すように、支持基板3上に埋め込み酸化膜4が形成され、埋め込み酸化膜4上のSOI層5が分離絶縁膜（図示せず）等によりNMOS形成領域A1、PMOS形成領域A2、N型可変容量形成領域A3及びP型可変容量形成領域A4に素子分離される。

【0086】

そして、実施の形態1と同様な構造のNMOSトランジスタQ1、PMOSトランジスタQ2、N型可変容量C1及びP型可変容量C2がそれぞれNMOS形成領域A1、PMOS形成領域A2、N型可変容量形成領域A3及びP型可変容量形成領域A4にそれぞれ形成される。

【0087】

このように、実施の形態2の半導体装置は、SOI基板（支持基板3、埋め込み酸化膜4、SOI層5）上に実施の形態1と同様なMOSトランジスタQ1、Q2及び可変容量C1、C2を形成している。したがって、バルク基板がSOI基板に置き換わる点を除き、構造及び製造方法は実施の形態1と同様である。

【0088】

図9は実施の形態2のN型可変容量の高周波電流による影響を示す説明図である。同図に示すように、N型可変容量C1において流れる高周波電流パスCP1は主にゲート酸化膜32近傍の領域におけるN⁺取り出し電極領域34、ゲート電極33間を流れるため、可変容量特性は大きく劣化しない。

【0089】

図10はSOI基板に作り込まれたポケット領域を有するN型可変容量の高周波電流による影響を示す説明図である。同図に示すように、SOI層5の膜厚がバルク基板に比べて薄い分、N型可変容量C1Pにおいて流れる高周波電流パスCP2の一部（点線で示す部

10

20

30

40

50

分)が無効化され、直列抵抗が高くなるため、劣化の度合は大きい。

【0090】

このように、P⁻ポケット領域37が存在すると、高周波電流パスCP2の悪影響が強くなる。したがって、SOI構造において、可変容量にポケット領域を設けない実施の形態2の構造は非常に有効である。

【0091】

<実施の形態3>

図11はこの発明の実施の形態3である、MOSトランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。

【0092】

同図に示すように、アキュムレーション型の可変容量C1, C2に代えてインバージョン型の可変容量C3, C4を設けている。具体的には図1で示した実施の形態1の構造に比べて、Nウェル領域31に代えてPウェル領域30、Pウェル領域41に代えてNウェル領域40が設けられている点異なる。

【0093】

すなわち、N型(N⁺ゲート/P⁻ボディ/ N⁺S/D型)可変容量C3及びP型(P⁺ゲート/N⁻ボディ/P⁺S/D型)可変容量C4はNMOSトランジスタ及びPMOSトランジスタと等価な構造を呈し、NMOSトランジスタQ1及びPMOSトランジスタQ2と比較して、P⁻ポケット領域17及び27に相当するポケット領域を有していない点のみ異なっている。

【0094】

インバージョン型構造の可変容量では、ポケット領域を設けてもポケット領域とボディ領域(Pウェル領域30, Nウェル領域40)との導電型が同一になるため、アキュムレーション型の可変容量のように、ボディ領域の直列抵抗成分の抵抗値が増えることはない。

【0095】

しかし、ポケット領域を形成すると、チャンネル長方向での不純物濃度分布が不均一となるため、MOSトランジスタとして見た場合に閾値電圧にチャンネル方向に分布が生じてしまい、ゲート電圧に基づく可変容量の容量値の見積もりが困難であるという問題が生じる。

【0096】

したがって、インバージョン型の可変容量にポケット領域を設けないという実施の形態3の構造は、可変容量の容量値の見積り精度の向上という効果を奏する。

【0097】

<実施の形態4>

実施の形態4は実施の形態1の構造を得るための実施の形態1とは別の半導体装置の製造方法である。実施の形態1の製造方法では、MOSトランジスタと可変容量とのエクステンション領域の形成工程をそれぞれ独立して行ったが、複数のエクステンション領域を同条件で同時に行うようにしたのが実施の形態4である。

【0098】

図12~図15は実施の形態4の半導体装置の製造方法を示す断面図である。以下、これらの図を参照して実施の形態4の半導体装置の製造処理手順を説明する。

【0099】

まず、実施の形態1と同様にして図2で示す構造を得た後、図12に示すように、NMOS形成領域A1及びN型可変容量形成領域A3以外の領域上にレジスト55を形成した後、NMOS形成領域A1及びN型可変容量形成領域A3のみに対し、ゲート電極13及びゲート電極33をマスクとしてN型不純物イオン67を注入することにより、N⁻エクステンション領域18及びN⁻エクステンション領域38を同時に得る。なお、N型不純物イオン67を注入角度“0”で行う。

【0100】

その後、図13に示すように、NMOS形成領域A1以外の領域上にレジスト56を形成

10

20

30

40

50

した後、NMOS形成領域A1のみに対し、P型不純物イオン68をゲート電極13をマスクして注入し拡散処理を施すことにより、P⁺拡散領域19を形成する。なお、P型不純物イオン68はN型不純物イオン67より高い注入エネルギーで斜め注入される。

【0101】

そして、図14に示すように、PMOS形成領域A2及びP型可変容量形成領域A4以外の領域上にレジスト57を形成した後、PMOS形成領域A2及びP型可変容量形成領域A4のみに対し、ゲート電極23及びゲート電極43をマスクとしてP型不純物イオン69を注入することにより、P⁺エクステンション領域28及びP⁺エクステンション領域48を同時に得る。なお、P型不純物イオン69を注入角度“0”で行う。

【0102】

その後、図15に示すように、PMOS形成領域A2以外の領域上にレジスト56を形成した後、PMOS形成領域A2のみに対し、N型不純物イオン70をゲート電極23をマスクして注入し拡散処理を施すことにより、N⁻拡散領域29を形成する。なお、N型不純物イオン70はP型不純物イオン69より高い注入エネルギーで斜め注入される。

【0103】

以降、既存のMOSトランジスタ及び可変容量の形成方法を用いて、図1で示した構造を得ることができる。

【0104】

このように、実施の形態4の半導体装置の製造方法では、エクステンション領域を同一導電型のMOSトランジスタ及び可変容量間で同時に形成するため、実施の形態1の半導体装置の製造方法に比べて、イオン注入工程数を2工程低減することができる。

【0105】

<実施の形態5>

図16はこの発明の実施の形態5である、MOSトランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。

【0106】

同図に示すように、エクステンション領域を有する可変容量C1、C2に代えてエクステンション領域を有しない可変容量C5、C6を設けている。具体的には図1で示した実施の形態1の構造に比べて、エクステンション部34eを有するN⁺取り出し電極領域34が、エクステンション部を有さないN⁺取り出し電極領域35の置き換わり、エクステンション部44eを有するP⁺取り出し電極領域44が、エクステンション部を有さないP⁺取り出し電極領域45の置き換わっている。なお、他の構成は図1で示した実施の形態1と同様である。

【0107】

実施の形態5の半導体装置の製造方法は、実施の形態1の半導体装置の製造方法において、図4及び図6で示すN⁻エクステンション領域38及びP⁻エクステンション領域48の製造工程がそれぞれ省略される点の実施の形態1と異なる。

【0108】

このように、実施の形態5の半導体装置の製造方法では、可変容量のエクステンション領域の形成工程を省略する分、実施の形態1の半導体装置の製造方法に比べて、レジスト形成及びイオン注入工程数を2工程低減することができる。

【0109】

実施の形態5の半導体装置は、可変容量はエクステンション部を設けることによる効果を発揮できないものの、ポケット領域を設けない効果は実施の形態1～実施の形態4と同様に享受することができる。

【0110】

<実施の形態6>

図17はこの発明の実施の形態6である、MOSトランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。

【0111】

10

20

30

40

50

同図に示すように、可変容量C1, C2に代えて、可変容量C1, C2よりも高濃度なエクステンション領域を有する可変容量C7, C8を設けている。

【0112】

具体的には実施の形態1の構造に比べて、図4及び図6で示すN⁺エクステンション領域38及びP⁺エクステンション領域48の形成する際、その不純物濃度をMOSトランジスタのN⁺エクステンション領域18及びP⁺エクステンション領域28よりも2~100倍程度高くなるように形成している。

【0113】

図17では、MOSトランジスタQ1, Q2と可変容量C7, C8のゲート長は同一程度に示しているが、実際には可変容量のゲート長の方がMOSトランジスタのゲート長よりも長く設定されることが多い。

10

【0114】

したがって、可変容量はMOSトランジスタに比べてショートチャネル効果の影響が小さいため、エクステンション領域の不純物濃度を高くすることにより弊害が小さい。逆に、エクステンション領域の不純物濃度を高くすることにより、可変容量の直列抵抗成分を下げる利点の方が大きい。

【0115】

なお、本実施の形態では、エクステンション領域の形成を高濃度に形成する例を示したが、不純物イオンの注入エネルギーをMOSトランジスタの1.2~30倍程度高くしてエクステンション領域を1.2~30倍程度深くしても同様な効果を奏する。

20

【0116】

<実施の形態7>

一般に、デバイスがスケールされると電源電圧もスケールされて低電圧化されるため、高い電圧で動作する他のチップ(デバイス)とのインタフェースを設ける必要が生じてくる。

【0117】

このとき、デバイス内部ではスケールされた高性能なMOSトランジスタ(以下、「高性能トランジスタ」と略記する。)に加えて、例えば、3.3Vあるいは5.0V対応の高電圧用のMOSトランジスタ(以下、「高電圧用トランジスタ」と略記する。)を作り込む必要がある。

30

【0118】

高電圧用トランジスタは高性能トランジスタと比較した場合、ゲート長が長く、ゲート酸化膜の膜厚が厚い、さらに、エクステンション領域を異なる条件で形成し、また、ポケット領域は形成しない場合が多い。エクステンション領域を異なる条件で形成するのは、高い電圧でもパンチスルー等のS/Dブレイクダウン現象は生じることないようにホットキャリア耐性を高めるためであり、ポケット領域を形成する必要がないのはゲート長が長いためである。

【0119】

図18はこの発明の実施の形態7である、MOSトランジスタ及び可変容量を有する半導体装置のレイアウト構成を示す説明図である。同図に示すように、実施の形態7の高性能トランジスタ形成領域E1、高電圧トランジスタ形成領域E2、及び可変容量形成領域E3から構成され、各形成領域E1~E3に高性能トランジスタ、高電圧用トランジスタ、及び可変容量が構成される。

40

【0120】

図19は実施の形態7の半導体装置における高電圧トランジスタ形成領域E2及び可変容量形成領域E3の構造を示す断面図である。

【0121】

高電圧トランジスタ形成領域E2のNMOS形成領域A5において、ボディー領域であるPウェル領域71の表面上にゲート酸化膜72が選択的に形成され、ゲート酸化膜72上にN⁺型のゲート電極73が形成される。ゲート電極73の下方のチャンネル領域を挟んで

50

N⁺ソース・ドレイン領域 7 4 , 7 4 が形成され、N⁺ソース・ドレイン領域 7 4 , 7 4 間で対向する先端領域がそれぞれエクステンション部 7 4 e となる。

【 0 1 2 2 】

また、ゲート電極 7 3 の両側面にはサイドウォール 7 6 , 7 6 がそれぞれ形成される。さらに、N⁺ソース・ドレイン領域 7 4 の表面内及びゲート電極 7 3 の上層部にシリサイド領域 7 4 s 及びシリサイド領域 1 3 s がそれぞれ形成される。

【 0 1 2 3 】

このように、ゲート酸化膜 7 2、ゲート電極 7 3、N⁺ソース・ドレイン領域 7 4、及びサイドウォール 7 6 によって高電圧用 N M O S トランジスタ Q 3 が形成される。

【 0 1 2 4 】

高電圧トランジスタ形成領域 E 2 の P M O S 形成領域 A 6 において、N ウェル領域 8 1 の表面上にゲート酸化膜 8 2 が選択的に形成され、ゲート酸化膜 8 2 上に P⁺型のゲート電極 8 3 が形成される。ゲート電極 8 3 の下方のチャンネル領域を挟んで P⁺ソース・ドレイン領域 8 4 , 8 4 が形成され、P⁺ソース・ドレイン領域 8 4 , 8 4 間で対向する先端領域がそれぞれエクステンション部 8 4 e となる。

【 0 1 2 5 】

また、ゲート電極 8 3 の両側面にはサイドウォール 8 6 , 8 6 がそれぞれ形成される。さらに、P⁺ソース・ドレイン領域 8 4 の表面内及びゲート電極 8 3 の上層部にシリサイド領域 8 4 s 及びシリサイド領域 8 3 s がそれぞれ形成される。

【 0 1 2 6 】

このように、ゲート酸化膜 8 2、ゲート電極 8 3、P⁺ソース・ドレイン領域 8 4、及びサイドウォール 8 6 によって高電圧用 P M O S トランジスタ Q 4 が形成される。

【 0 1 2 7 】

なお、図 1 9 では図示していないが、高性能トランジスタ形成領域 E 1 に形成される高性能トランジスタは、例えば図 1 で示した実施の形態 1 の N M O S トランジスタ Q 1 , P M O S トランジスタ Q 2 と同様な構造で形成される。

【 0 1 2 8 】

高電圧用 N M O S トランジスタ Q 3 及び高電圧用 P M O S トランジスタ Q 4 は、高性能用の N M O S トランジスタ Q 1 及び P M O S トランジスタ Q 2 に比べて、ゲート長が長く、ゲート酸化膜の膜厚が厚く、エクステンション領域を異なる条件で設定し、ポケット領域が形成されていない点異なる。

【 0 1 2 9 】

一方、可変容量形成領域 E 3 の N 型可変容量形成領域 A 3 及び P 型可変容量形成領域 A 4 には N 型可変容量 C 1 及び P 型可変容量 C 2 がそれぞれ形成される。

【 0 1 3 0 】

N 型可変容量 C 1 及び P 型可変容量 C 2 は、基本的な構造は、図 1 で示した実施の形態 1 の N 型可変容量 C 1 及び P 型可変容量 C 2 と同様である。

【 0 1 3 1 】

ただし、N 型可変容量 C 1 及び P 型可変容量 C 2 は高電圧用 N M O S トランジスタ Q 3 及び高電圧用 P M O S トランジスタ Q 4 と比較して、エクステンション領域は同条件（少なくとも不純物濃度が同程度の条件）で、N M O S トランジスタ Q 1 及び P M O S トランジスタ Q 2 のエクステンション領域より不純物濃度が濃くなるように形成され、ゲート長は同一に形成される。また、N 型可変容量 C 1 及び P 型可変容量 C 2 は N M O S トランジスタ Q 1 及び P M O S トランジスタ Q 2 と比較して、ゲート酸化膜の膜厚が同一に形成される。

【 0 1 3 2 】

このような構造の実施の形態 7 の半導体装置は、高電圧用 N M O S トランジスタ Q 3 及び N 型可変容量 C 1 のエクステンション領域を同一工程で形成でき、高電圧用 P M O S トランジスタ Q 4 及び P 型可変容量 C 2 のエクステンション領域を同一工程で形成できるため、製造工程数を必要最小限に抑えてながら、直列抵抗成分を下げた可変容量を有する半導

10

20

30

40

50

体装置を得ることができる。

【0133】

また、高電圧用トランジスタのエクステンション領域の不純物濃度をLDD領域として高性能トランジスタのエクステンション領域と同程度に形成する場合もある。この場合、注入エネルギーを高くして、エクステンション領域を深く形成する。

【0134】

したがって、可変容量のエクステンション領域を高電圧用トランジスタのエクステンション領域と同条件で比較的深く形成することにより、実施の形態6の半導体装置と同様な効果を得ることができる。

【0135】

<実施の形態8>

各々のチャネル領域が異なる不純物濃度に設定されたMOSトランジスタ及び可変容量を有する構造の半導体装置が実施の形態8である。実施の形態8の半導体装置は、MOSトランジスタ及び可変容量それぞれのチャネル領域の不純物濃度を異なる濃度に設定することにより、閾値電圧の個別設定等、装置の設計自由度の向上を図ることができる。

【0136】

図20はこの発明の実施の形態8である、MOSトランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。同図において、PMOS形成領域A2に形成されるPMOSトランジスタQ2は、図1で示した実施の形態1のPMOSトランジスタQ2と同様である。

【0137】

一方、N型可変容量形成領域A3に形成されるN型可変容量C9は、エクステンション部34eの近傍にP⁻ポケット領域37を有し、N⁺取り出し電極領域34、34間のNウェル領域31が高濃度チャネル領域31cとなっている。なお、他の構成は、図1で示した実施の形態1のN型可変容量C1と同様である。

【0138】

N型可変容量C9はNウェル領域31の他の領域よりN型の不純物濃度が高い高濃度チャネル領域31cを有しており、この高濃度チャネル領域31cがP⁻ポケット領域37を打ち消して直列抵抗成分の低下を十分に補うことができるため、可変容量のQ値を十分に高めることができる。

【0139】

このように、図20で示した構造は、PMOSトランジスタQ2とN型可変容量C9との間でチャネル濃度を変える際、N型可変容量C9に高濃度チャネル領域31cを設けることより可変容量のQ値を高めている。すなわち、図20で示した構造は、MOSトランジスタ及び可変容量それぞれのチャネル領域の不純物濃度を異なる濃度に設定して設計自由度の向上を図ったより望ましい例である。

【0140】

なお、高濃度チャネル領域31cはNウェル領域31の形成後、さらにN型の不純物をNウェル領域31の上層部に注入することにより得る。すなわち、高濃度チャネル領域31cの形成工程を別途必要とする。

【0141】

なお、図20ではPMOSトランジスタ及びN型可変容量のみを示したが、NMOSトランジスタとP型可変容量との間にも同様な構造で形成することは勿論、可能である。

【0142】

<実施の形態9>

図21はこの発明の実施の形態9である、MOSトランジスタ及び可変容量を有する半導体装置の製造方法の一部を示す断面図である。

【0143】

実施の形態9の半導体装置の製造方法では、MOSトランジスタ及び可変容量の双方にポケット領域を形成する。

10

20

30

40

50

【 0 1 4 4 】

既存の方法に基づく形成工程を経て、1回目の不純物注入及び拡散処理によってM O S トランジスタ側にソース・ドレイン領域、可変容量側に取り出し電極領域3 4を形成した状態を前提としている。

【 0 1 4 5 】

1回目の不純物注入及び拡散処理としては、N型不純物注入後に熱処理(例えば、900~1100、N₂雰囲気で10~120"(秒)のR T A (Rapid Thermal Anneal))が考えられる。上記熱処理としては、N型不純物の注入により形成された結晶欠陥は回復している。

【 0 1 4 6 】

以降の処理が実施の形態9の製造方法の固有の方法であり、実施の形態9では、さらに、M O S トランジスタに対しては行わず、可変容量に対してのみ、図21に示すように、2回目の不純物注入及び拡散処理を行っている。図21の例では2回目の不純物注入として、N型不純物イオン91をゲート電極33をマスクとして注入し、熱処理を行うことにより、N⁺取り出し電極領域34hを形成し、N型可変容量C15を最終的に得ている。

【 0 1 4 7 】

2回目の不純物注入及び拡散処理としては、N型不純物注入後に比較的低温な500~800で、10~120分程度のアニール処理が考えられる。

【 0 1 4 8 】

可変容量に対してのみ2回目の不純物注入及び拡散処理を行い、拡散処理時の熱処理が上述したように比較的低温で行われるため、可変容量のウェル領域に2回目の不純物イオン注入による結晶欠陥が導入され、欠陥部分と不純物とが互いにカップリングして大きく拡散する現象であるT E D (Transient Enhanced Diffusion)が生じる。

【 0 1 4 9 】

このT E D現象によって、N型可変容量C15に形成されたP⁻ポケット領域37とN⁺取り出し電極領域34hの不純物が再度拡散する。その結果、P⁻ポケット領域37の存在が直列抵抗の低下を招く程の影響力を持たなくなり、Q値の優れたN型可変容量C15を得ることができる。

【 0 1 5 0 】

なお、図21ではN型可変容量C15を示したが同様にP型可変容量についても適用できることは勿論である。

【 0 1 5 1 】

<実施の形態10>

図22~図26はこの発明の実施の形態10である、M O S トランジスタ及び可変容量を有する半導体装置におけるN型可変容量の製造方法を示す断面図である。以下、これらの図を参照して実施の形態10のN型可変容量の製造処理手順を説明する。

【 0 1 5 2 】

まず、図22に示すように、Nウェル領域31の表面上に選択的にゲート酸化膜32、ゲート電極33及びマスク用酸化膜59からなる積層構造を得、この積層構造をマスクとして、N型及びP型の不純物を導入してN⁻エクステンション領域38及びP⁻拡散領域39をそれぞれ形成する。なお、ゲート電極33の形成材料としてはポリシリコンを用いる。

【 0 1 5 3 】

次に、図23に示すように、ゲート電極33に対して、等方性のポリシリコンエッチング処理を施して、ゲート電極33のゲート長方向における周辺領域を一部除去し、ゲート長が短くなったゲート電極33nを得る。

【 0 1 5 4 】

その後、図24に示すように、酸化膜に対するウェットエッチングをマスク用酸化膜59及びゲート酸化膜32に対して施し、マスク用酸化膜59及びゲート酸化膜32を縮小したマスク用酸化膜59n及びゲート酸化膜32nを得る。

【 0 1 5 5 】

10

20

30

40

50

そして、図 25 に示すように、ゲート電極 33n の側面にサイドウォール 36 を形成する。

【0156】

次に、図 26 に示すように、ゲート電極 33n 及びサイドウォール 36 をマスクとして N 型不純物イオン 75 を注入して拡散することにより、N⁺取り出し電極領域 34d を得る。N⁺取り出し電極領域 34d は P⁻拡散領域 39 の全てを含む領域に形成され、N 型の不純物濃度が P⁻拡散領域 39 の P 型の不純物濃度よりも高いため、P⁻拡散領域 39 の影響を完全に打ち消すことができる。すなわち、完成後の可変容量にはポケット領域は存在しなくなる。

【0157】

このように、実施の形態 10 ではゲート電極のゲート長を短くした後にサイドウォールを形成して取り出し電極領域を形成することにより、完成した装置上においてポケット領域が存在しない構造にすることができるため、ポケット領域形成工程が含まれていても Q 値の優れた N 型可変容量を得ることができる。

【0158】

なお、実施の形態 10 では N 型可変容量の製造方法を示したが同様に P 型可変容量についても製造することができることは勿論である。

【0159】

<実施の形態 11>

図 27 はこの発明の実施の形態 11 である、MOS トランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。同図において、NMOS 形成領域 A1 に形成される NMOS トランジスタ Q1 は、図 1 で示した実施の形態 1 の NMOS トランジスタ Q1 と同様である。

【0160】

一方、N 型可変容量形成領域 A3 に形成される N 型可変容量 C1w は、ゲート酸化膜 32w の膜厚をゲート酸化膜 12 の膜厚より厚くした点が異なっている。なお、他の構成は、図 1 で示した実施の形態 1 の N 型可変容量 C1 と同様である。

【0161】

LC 型の VCO の発振周波数 f は以下の(2)式で決定するため、高い周波数で発振する発振器を作るには可変容量の容量成分を小さくする方が望ましい。

【0162】

【数 2】

$$f = \frac{1}{2\pi\sqrt{LC}} \dots (2)$$

【0163】

しかしながら、小さなパターンで可変容量を製造すると、直列の寄生抵抗が大きくなるという問題がある。

【0164】

そこで、図 27 に示すように、ゲート酸化膜 32w の膜厚を、ゲート酸化膜 12 の膜厚より厚く形成することにより、パターンサイズを変えずに、すなわち、寄生抵抗成分を大きくことなく、可変容量の容量成分を小さくすることができる。さらに、前述した(1)式より、容量成分を小さくすることにより Q 値の向上も図ることができる。

【0165】

また、実施の形態 7 の半導体装置のように、高性能トランジスタに加え高電圧用トランジスタを有する場合、ゲート酸化膜の膜厚が高性能トランジスタより厚い高電圧用トランジスタのゲート酸化膜形成時にゲート酸化膜 32w を形成することにより、製造工程数を増やすことなく、膜厚が高性能トランジスタより薄いゲート酸化膜 32w を得ることができ

10

20

30

40

50

る。

【0166】

なお、図27ではNMOSトランジスタ及びN型可変容量のみを示したが、PMOSトランジスタとP型可変容量との間にも同様な構造で形成することは勿論、可能である。

【0167】

<実施の形態12>

(第1の態様)

図28はこの発明の実施の形態12である、MOSトランジスタ及び可変容量を有する半導体装置の第1の態様の構造を示す断面図である。同図において、NMOS形成領域A1に形成されるNMOSトランジスタQ1は、図1で示した実施の形態1のNMOSトランジスタQ1と同様である。

10

【0168】

一方、N型可変容量形成領域A3に形成されるN型可変容量C1Lは、ゲート酸化膜32Lの材質をゲート酸化膜12の材質より誘電率より低くものを用いて形成した点が異なっている。なお、他の構成は、図1で示した実施の形態1のN型可変容量C1と同様である。

【0169】

なお、ゲート酸化膜32Lを得るには、例えば、N型可変容量C1Lのゲート酸化膜32に対してのみF(フッ素)を注入する等の方法が考えられる。

【0170】

このように、実施の形態12の第1の態様では、寄生抵抗成分を大きくことなく、可変容量の容量成分を小さくすることができるため、実施の形態11と同様の効果を奏する。

20

【0171】

なお、図28ではNMOSトランジスタ及びN型可変容量のみを示したが、PMOSトランジスタとP型可変容量との間にも同様な構造で形成することは勿論、可能である。

【0172】

(第2の態様)

図29はこの発明の実施の形態12である、MOSトランジスタ及び可変容量を有する半導体装置の第2の態様の構造を示す断面図である。同図において、N型可変容量形成領域A3に形成されるN型可変容量C1wは、ゲート酸化膜32wの膜厚をゲート酸化膜12の膜厚より厚くした点が異なっている。なお、他の構成は図1で示した実施の形態1のN型可変容量C1と同様である。

30

【0173】

NMOS形成領域A1に形成されるNMOSトランジスタQ1は、シリコン酸化膜よりも高い誘電率を有するHigh-k材料を用いてゲート絶縁膜12Hを形成した点、ゲート絶縁膜12Hをゲート酸化膜32wと同程度の膜厚で形成した点が異なっている。なお、他の構成は、図1で示した実施の形態1のNMOSトランジスタQ1と同様である。

【0174】

なお、High-k材料としては、 Si_3N_4 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 、 ZrO_2 等が考えられる。

40

【0175】

このように、実施の形態12の第1の態様では、寄生抵抗成分を大きくことなく、可変容量の容量成分を小さくすることができるため、実施の形態11と同様の効果を奏する。

【0176】

ゲート絶縁膜12Hの膜厚をゲート酸化膜32wと同程度であるため、ゲート絶縁膜12H及びゲート酸化膜32wを同一工程で製造することにより、製造工程数を増やすことなく、膜厚が高性能トランジスタより薄いゲート酸化膜32wを得ることができる。この際、ゲート絶縁膜12HをHigh-k材料で形成することにより、NMOSトランジスタQ1Hの電気的特性に悪影響は生じない。

【0177】

50

なお、図29ではNMOSトランジスタ及びN型可変容量のみを示したが、PMOSトランジスタとP型可変容量との間にも同様な構造で形成することは勿論、可能である。

【0178】

<実施の形態13>

図30はこの発明の実施の形態13である、MOSトランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。同図において、N型可変容量形成領域A3に形成されるN型可変容量C1pは、Nウェル領域31の上層部にポーラスシリコン層8が形成された点が異なっている。なお、他の構成は、図1で示した実施の形態1のN型可変容量C1と同様である。

【0179】

ポーラスシリコン層8を設けることにより、シリコンの実効的な誘電率が下がるため、N型可変容量C1pの容量成分を小さくすることができる。ただし、空孔が連続的に形成され、Nウェル領域31の上層部における空孔の占める割合(空孔率)が高くなりすぎるとNウェル領域31の抵抗が上昇してしまうため、空孔率は50%以下に抑える方が望ましい。

【0180】

このように、実施の形態13は、寄生抵抗成分をさほど大きくことなく、可変容量の容量成分を小さくすることができるため、実施の形態11と同様の効果を奏する。

【0181】

なお、図30ではN型可変容量のみを示したが、P型可変容量も同様な構造で形成することは勿論、可能である。

【0182】

(ポーラスシリコン層の形成)

図31~図35は、例えば、特開2000-307112公報に開示された、ポーラスシリコン層の形成方法を示す断面図である。以下、これらの図を参照して、ポーラスシリコン層の形成処理手順を説明する。

【0183】

まず、図31に示すように、陽極化成により、N型のシリコン基板6の上面内にポーラスシリコン層7を形成する。具体的には、シリコン基板6を化成層151内でHF溶液152中に浸し、上部の白金電極153を陰極、下部の白金電極154を陽極として、シリコン基板6に電流を流す。条件は、化成時間30秒、化成電流密度10mA/cm²とする。これにより、図32に示すように、シリコン基板6の上面が多孔質化され、シリコン基板6の上面内に、0.2μm程度の膜厚を有するポーラスシリコン層7が形成される。

【0184】

図33は、ポーラスシリコン層7の形状を具体的に示す断面図である。ポーラスシリコン層7は図33のようには入り組んだ形状となるが(より具体的には、実際には後述する文献2のpp470、Fig.4、あるいは文献3のpp379、Fig.2を参照されたい)、本明細書においては、図32に示したようにポーラスシリコン層7の形状を簡略化して記載する。なお、ポーラスシリコン層7の膜厚は化成時間及び化成電流密度によって制御することができ、また、ポーラスシリコン層7の空孔率(シリコン部7aと空孔部7bとの比に相当する密度)はHF溶液152の濃度によって制御することができる(SOI構造形成技術、pp181-185、古川静二郎著、1987年、産業図書:(文献1)参照)。

【0185】

次に、熱処理に対するポーラスシリコン層7の多孔質構造の安定性を確保するために、温度400程度の低温で予備酸化を行う。次に、後の工程で形成されるエピタキシャル層9の結晶欠陥量を削減するために、水素雰囲気中で数秒間、温度1000以上の熱処理を行う。すると、ポーラスシリコン層7の表面エネルギーの極小化によって表面原子の移動度が劇的に高められ、表面の自然酸化に起因してポーラスシリコン層7の上面内に生じていた表面孔(図示しない)が還元除去される。その結果、図34に示すように、ポーラスシリコン層7の上面が十分に平滑化されたポーラスシリコン層8が形成される。

10

20

30

40

50

【0186】

ここで、ポーラスシリコン層8の上面は、シリコン基板6の単結晶構造を維持しており、シリコン基板6と同様の結晶方位を有している。そこで、図35に示すように、エピタキシャル成長法によって、ポーラスシリコン層8の上面上に、100nm程度の膜厚を有するエピタキシャル層9を形成する。なお、ポーラスシリコン層上へのシリコンのエピタキシャル成長については、「シリコンの科学、pp467-475、大見忠弘他監修、REALIZE INC.」（文献2）、「IEICE TRANS. ELECTRON., VOL.E80-C, NO.3, MARCH 1997, K.SAKAGUCHI et al, pp378-387」（文献3）、「Extended Abstracts of the 1998 International Conference on Solid State Devices and Materials, Hiroshima, 1998, pp302-303」（文献4）を参照されたい。

10

【0187】

なお、実施の形態13ではN型可変容量形成領域A3及びP型可変容量形成領域A4に対して選択的にポーラスシリコン層8を形成している。このように、部分的にポーラスシリコン化する場合は、図31で示す陽極化成時にNMOS形成領域A1及びPMOS形成領域A2の表面をレジストマスクで覆い、ポーラスシリコン層7が形成されないようにすることにより実現する。

【0188】

【発明の効果】

以上説明したように、この発明における請求項1、請求項3及び請求項5記載の半導体装置の絶縁ゲート型トランジスタは第1の不純物領域を有することにより、ショートチャネル効果を抑制することができる。

20

【0189】

一方、絶縁ゲート型容量は、容量用ボディー領域側における取り出し電極領域の近傍領域において、取り出し電極と容量用ボディー領域は同一導電型で容量用ゲート電極の下で接するため、電気的特性の劣化が生じることはない。

【0190】

その結果、絶縁ゲート型トランジスタ及び絶縁ゲート型容量のそれぞれ電気的特性を共に劣化させない構造の半導体装置を得ることができる。

【0191】

請求項2、請求項4及び請求項6記載の半導体装置は、容量用ボディー領域と前記取り出し電極領域とはその間に他の不純物領域を介さず、直接接し、前記容量用ゲート電極と前記容量用ボディー領域とは同一導電型であるため、直列抵抗成分が劣化しない構造の絶縁ゲート型容量を得ることができる。

30

【0195】

さらに、請求項1及び請求項2記載の半導体装置において、容量用エクステンション部はトランジスタ用エクステンション部より不純物濃度が高濃度に設定されるため、絶縁ゲート型容量の直列抵抗成分の低減化を図ることができる。

【0197】

さらに、請求項3及び請求項4記載の半導体装置において、容量用エクステンション部は第1のトランジスタ用エクステンション部より不純物濃度が高濃度に設定されるため、絶縁ゲート型容量の直列抵抗成分の低減化を図ることができる。

40

【0198】

加えて、容量用エクステンション部は第2のトランジスタ用エクステンション部と不純物濃度が同程度に設定されるため、容量用エクステンション部及び第2のトランジスタ用エクステンション部を同時に形成できる分、製造工程数の低減化を図ることができる。

【0202】

さらに、請求項5及び請求項6記載の半導体装置の容量用ボディー領域は空孔部を有するため、その分、小さい容量値を得ることができる。

請求項7記載の半導体装置は、取り出し電極領域と逆の導電型の領域を有していないため、容量値の見積もり精度が劣化しない構造の絶縁ゲート型容量を得ることができる。

50

【 0 2 0 3 】

この発明における請求項 8 記載の半導体装置において、容量用ボディー領域の表面における不純物濃度とトランジスタ用ボディー領域の表面における不純物濃度とは異なる濃度に設定されるため、装置の設計自由度の向上を図ることができる。

【 0 2 0 4 】

請求項 9 記載の半導体装置において、容量用ボディー領域の表面における不純物濃度は、トランジスタ用ボディー領域の表面における不純物濃度より高濃度に設定されるため、第 2 の不純物領域による抵抗成分の劣化を補うことができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である、MOS トランジスタ及び可変容量を有する半導体装置の構造を示す断面図である。 10

【図 2】 実施の形態 1 の半導体装置の製造方法を示す断面図である。

【図 3】 実施の形態 1 の半導体装置の製造方法を示す断面図である。

【図 4】 実施の形態 1 の半導体装置の製造方法を示す断面図である。

【図 5】 実施の形態 1 の半導体装置の製造方法を示す断面図である。

【図 6】 実施の形態 1 の半導体装置の製造方法を示す断面図である。

【図 7】 実施の形態 1 の半導体装置の製造方法を示す断面図である。

【図 8】 この発明の実施の形態 2 である半導体装置の構造を示す断面図である。

【図 9】 実施の形態 2 の N 型可変容量の高周波電流による影響を示す説明図である。

【図 10】 SOI 基板に作り込まれたポケット領域を有する N 型可変容量の高周波電流による影響を示す説明図である。 20

【図 11】 この発明の実施の形態 3 である半導体装置の構造を示す断面図である。

【図 12】 実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 13】 実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 14】 実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 15】 実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 16】 この発明の実施の形態 5 である半導体装置の構造を示す断面図である。

【図 17】 この発明の実施の形態 6 である半導体装置の構造を示す断面図である。

【図 18】 この発明の実施の形態 7 である半導体装置のレイアウト構成を示す説明図である。 30

【図 19】 実施の形態 7 の半導体装置における高電圧トランジスタ形成領域及び可変容量形成領域の構造を示す断面図である。

【図 20】 この発明の実施の形態 8 である半導体装置の構造を示す断面図である。

【図 21】 この発明の実施の形態 9 である、MOS トランジスタ及び可変容量を有する半導体装置の製造方法の一部を示す断面図である。

【図 22】 実施の形態 10 の半導体装置における N 型可変容量の製造方法を示す断面図である。

【図 23】 実施の形態 10 の半導体装置における N 型可変容量の製造方法を示す断面図である。

【図 24】 実施の形態 10 の半導体装置における N 型可変容量の製造方法を示す断面図である。 40

【図 25】 実施の形態 10 の半導体装置における N 型可変容量の製造方法を示す断面図である。

【図 26】 実施の形態 10 の半導体装置における N 型可変容量の製造方法を示す断面図である。

【図 27】 この発明の実施の形態 11 である半導体装置の構造を示す断面図である。

【図 28】 この発明の実施の形態 12 である半導体装置の第 1 の態様の構造を示す断面図である。

【図 29】 この発明の実施の形態 12 である半導体装置の第 2 の態様の構造を示す断面図である。 50

【図30】 この発明の実施の形態13である半導体装置の第1の態様の構造を示す断面図である。

【図31】 ポーラスシリコン層の形成方法を示す断面図である。

【図32】 ポーラスシリコン層の形成方法を示す断面図である。

【図33】 ポーラスシリコン層の形成方法を示す断面図である。

【図34】 ポーラスシリコン層の形成方法を示す断面図である。

【図35】 ポーラスシリコン層の形成方法を示す断面図である。

【図36】 従来のポケット領域付きMOSトランジスタの製造方法を示す断面図である。

【図37】 従来のポケット領域付きMOSトランジスタの製造方法を示す断面図である

10

【図38】 可変容量の構造を示す断面図である。

【図39】 可変容量の容量値設定動作を示す説明図である。

【図40】 可変容量の容量値設定動作を示す説明図である。

【図41】 図38で示した可変容量の等価回路を示す回路図である。

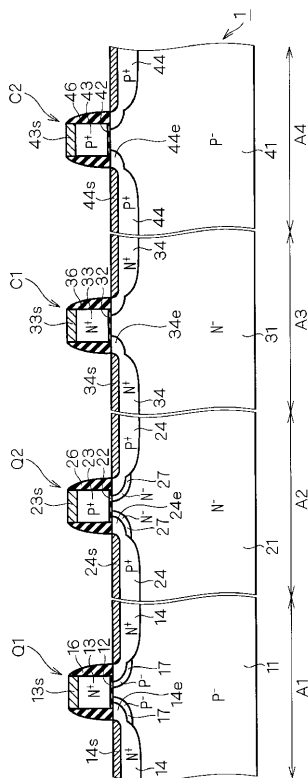
【符号の説明】

1 半導体基板、3 支持基板、4 埋め込み酸化膜、5 SOI層、8 ポーラスシリコン層、11, 30, 41 Pウェル領域、21, 31, 40 Nウェル領域、14 N⁺ソース・ドレイン領域、17 P⁻ポケット領域、24 P⁺ソース・ドレイン領域、27 N⁻ポケット領域、31c 高濃度チャンネル領域31c、12H, 32w, 32L, ゲート酸化膜、34, 35 N⁺取り出し電極領域、44, 45 P⁺取り出し電極領域、C1, C3, C5, C7, C9 N型可変容量、C2, C4, C6, C8 P型可変容量、Q1 NMOSトランジスタ、Q2 PMOSトランジスタ、Q3 高電圧用NMOSトランジスタ、Q4 高電圧用PMOSトランジスタ。

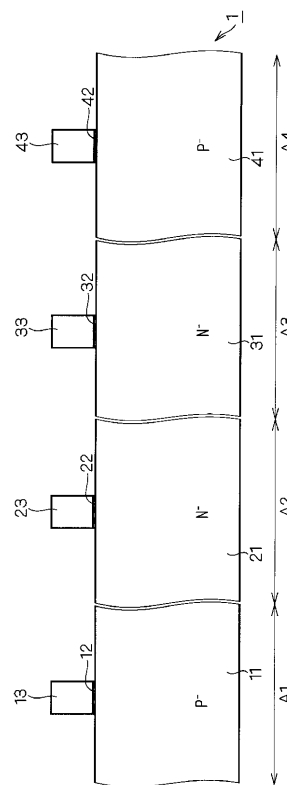
20

【図1】

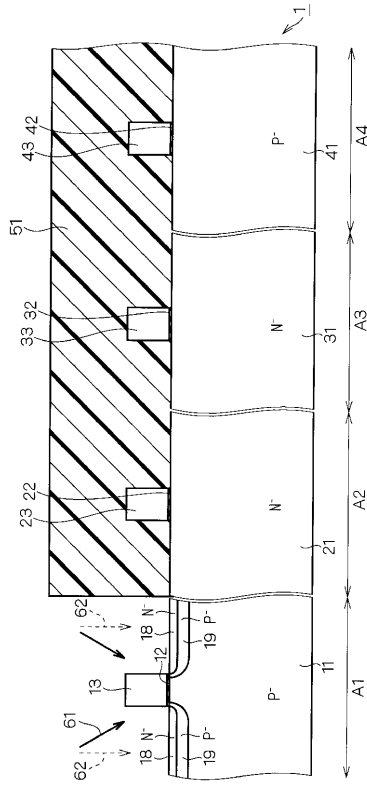
【図2】



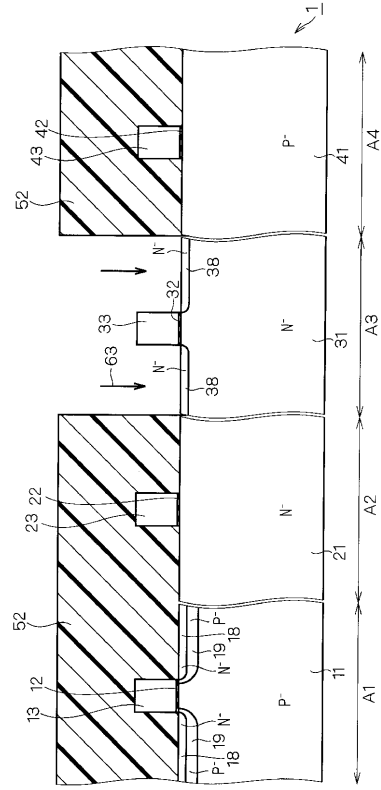
14: N⁺ソース・ドレイン領域
 17: P⁻ポケット領域
 24: P⁺ソース・ドレイン領域
 27: N⁻ポケット領域
 34: N⁺電極取り出し領域
 44: P⁺電極取り出し領域
 Q1: NMOSトランジスタ
 Q2: PMOSトランジスタ
 C1: N型可変容量
 C2: P型可変容量
 1: 半導体基板
 11, 41: Pウェル領域
 21, 31: Nウェル領域



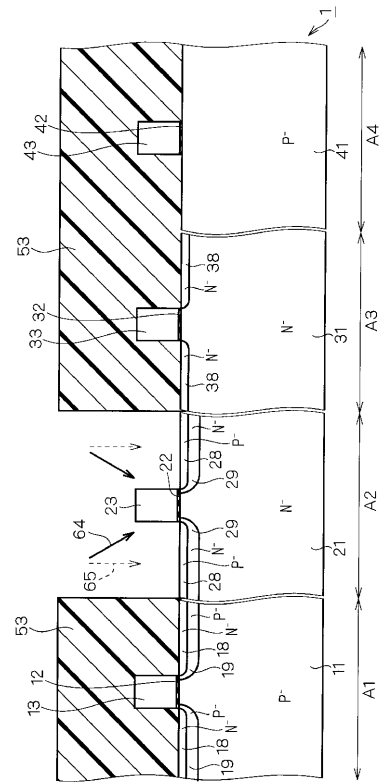
【図3】



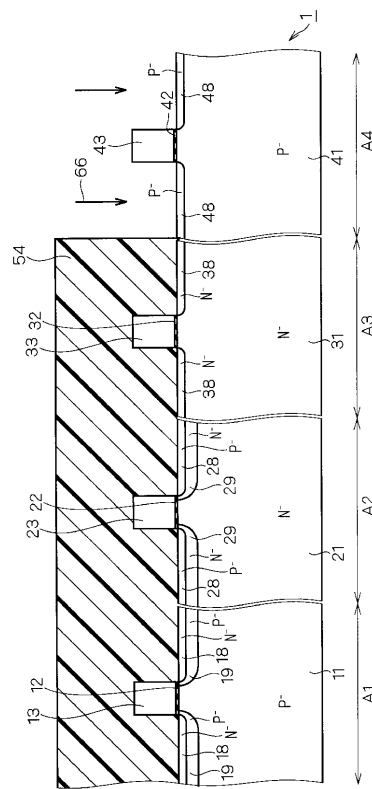
【図4】



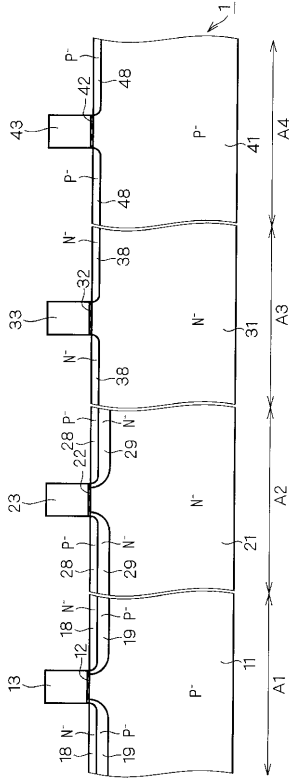
【図5】



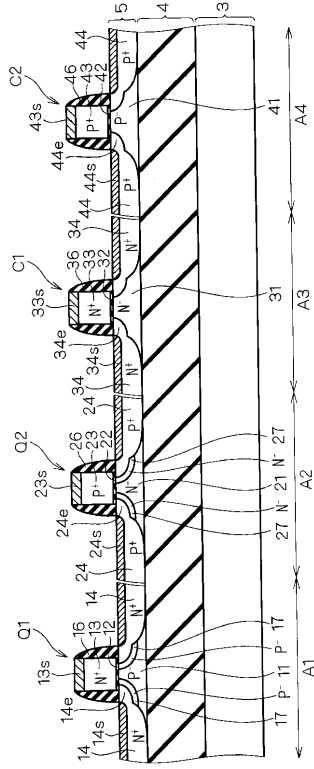
【図6】



【図7】

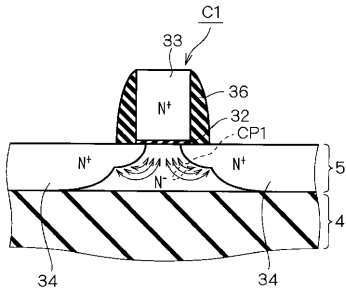


【図8】

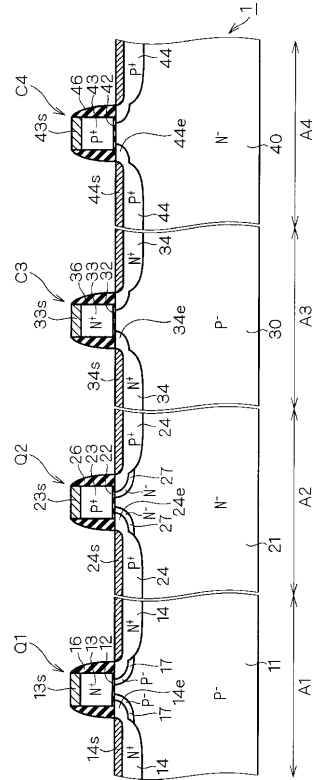


3 : 支持基板
 4 : 埋込型の酸化膜
 5 : SOI層

【図9】

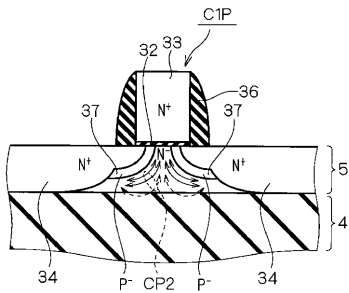


【図11】

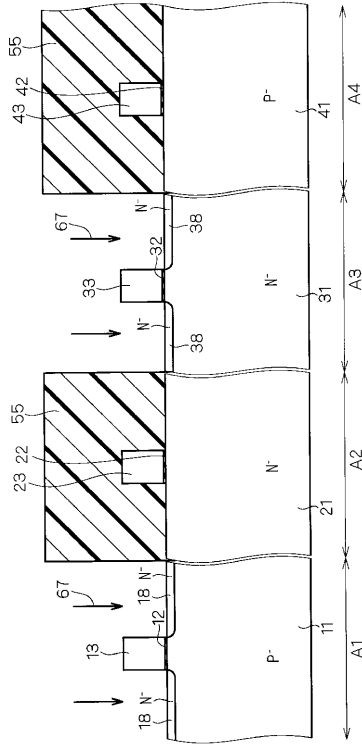


C3 : N型可変容量層
 C4 : P型可変容量層
 30 : P型ウェル領域
 40 : N型ウェル領域

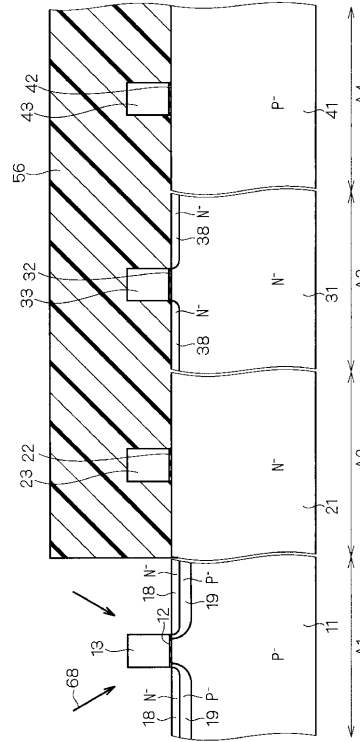
【図10】



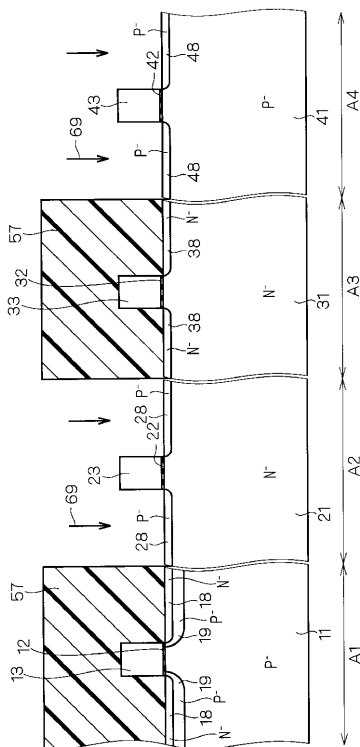
【 図 1 2 】



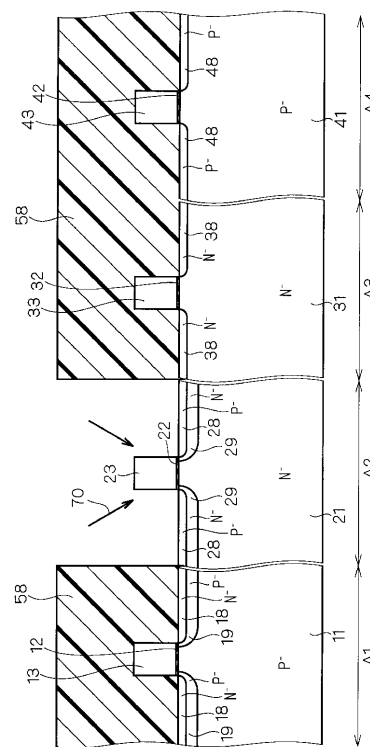
【 図 1 3 】



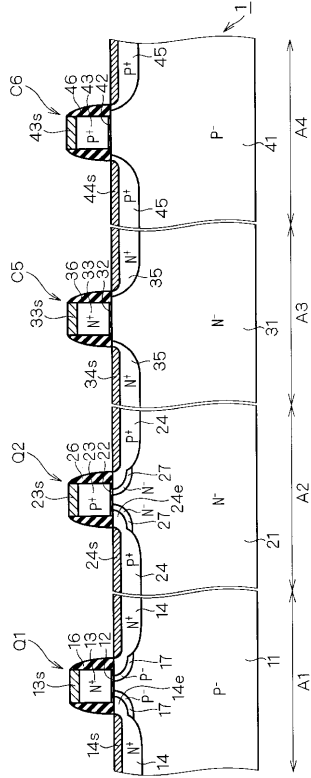
【 図 1 4 】



【 図 1 5 】

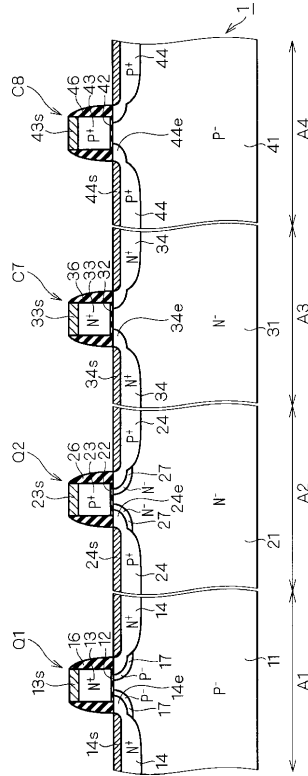


【図16】



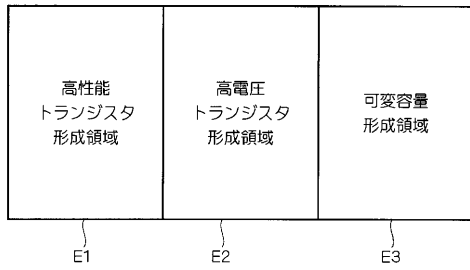
C5 : N型可変容量
 C6 : P型可変容量
 35 : N⁺電極取の出し領域
 45 : P⁺電極取の出し領域

【図17】

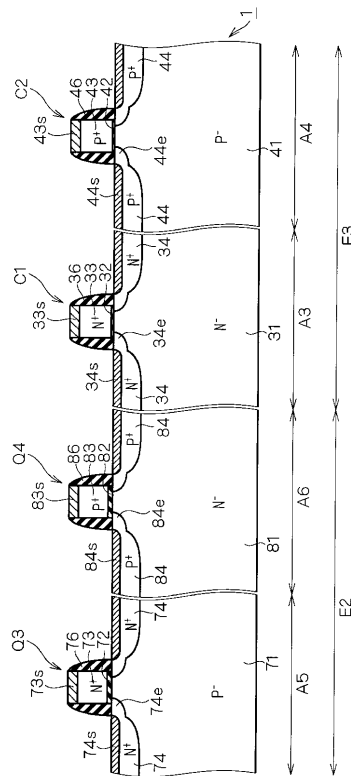


C7 : N型可変容量
 C8 : P型可変容量

【図18】

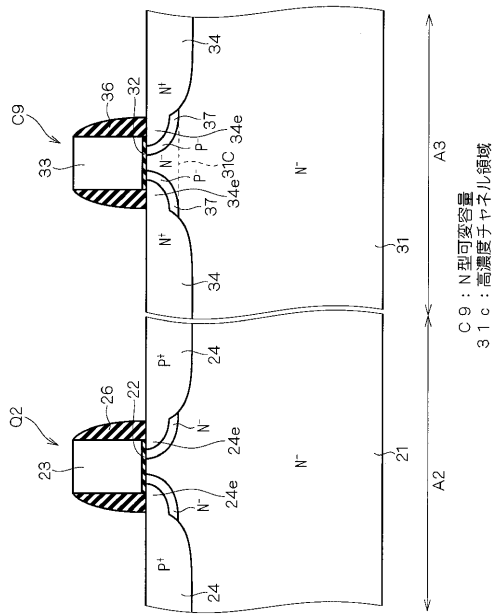


【図19】

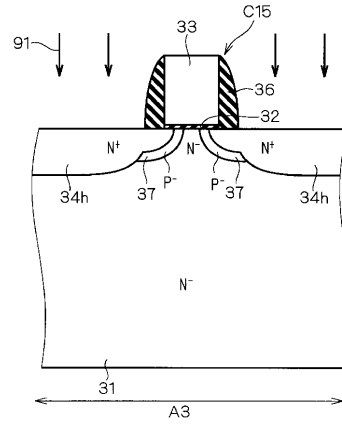


Q3 : 高電圧用NMOSトランジスタ
 Q4 : 高電圧用PMOSトランジスタ
 74 : N⁺ソース・ドレイン領域
 84 : P⁺ソース・ドレイン領域

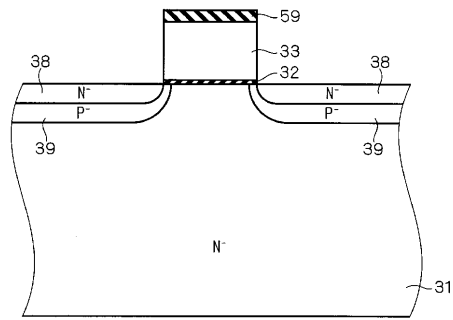
【図20】



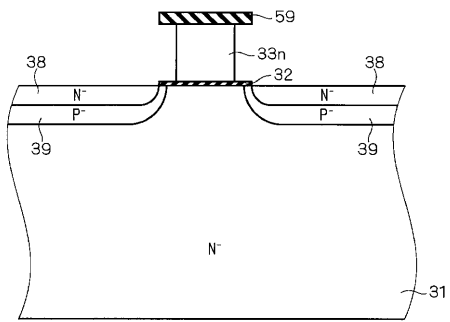
【図21】



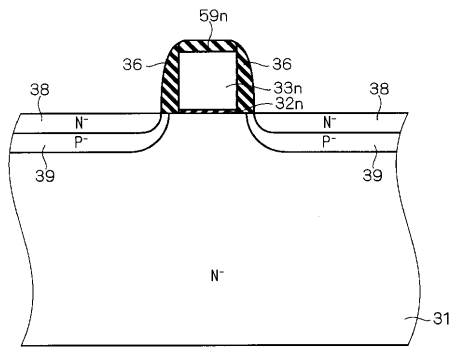
【図22】



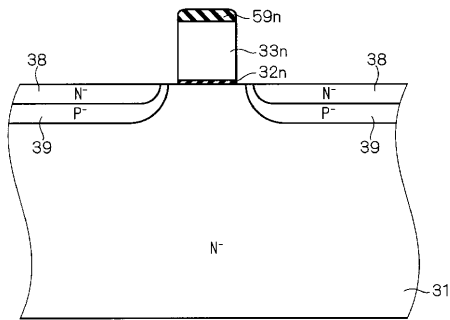
【図23】



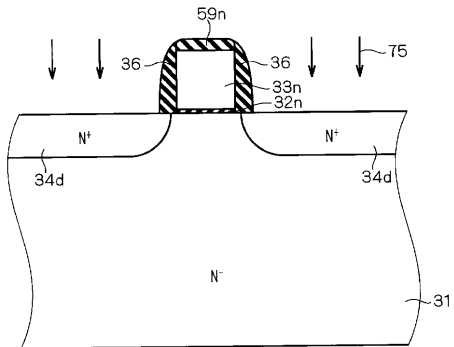
【図25】



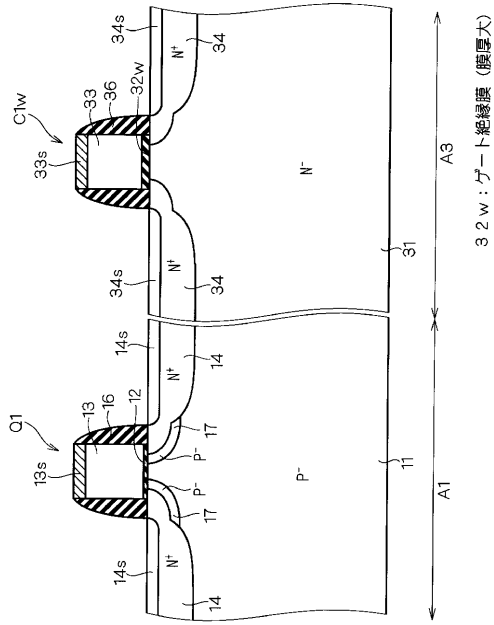
【図24】



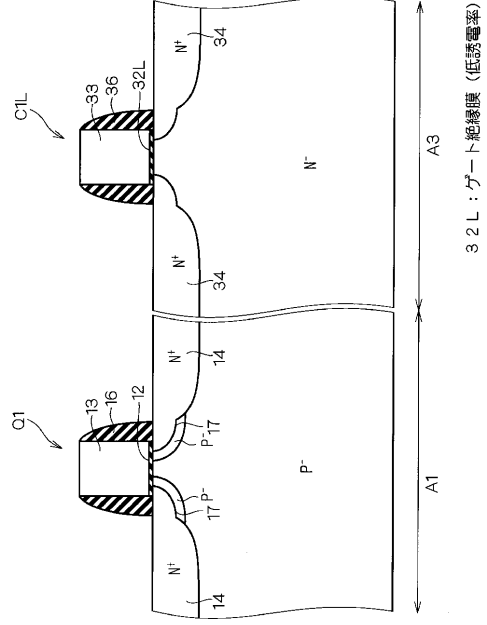
【図26】



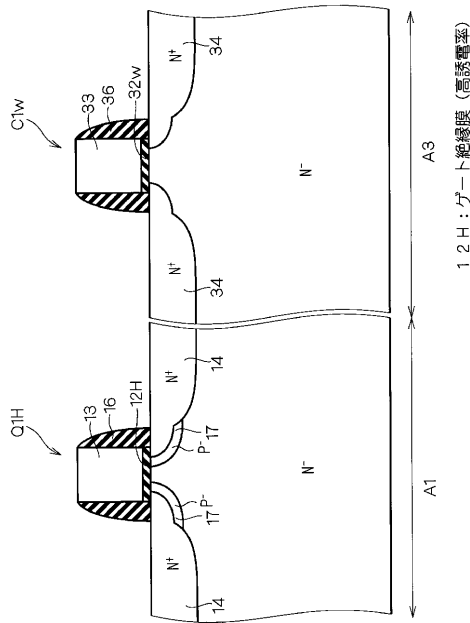
【図27】



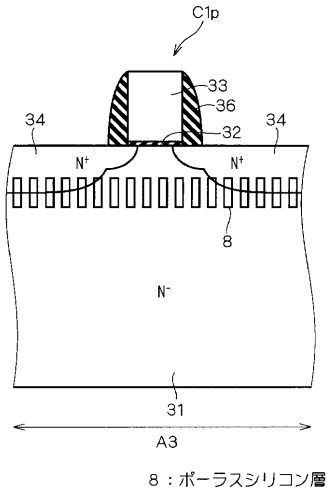
【図28】



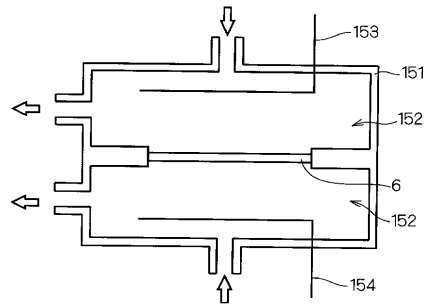
【図29】



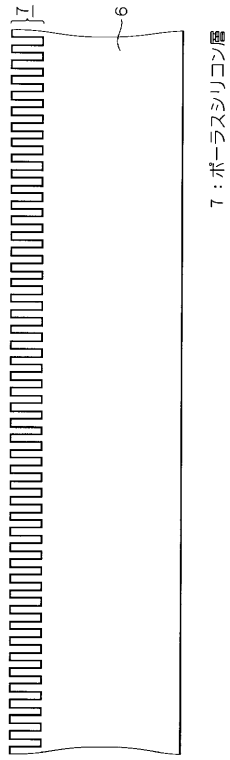
【図30】



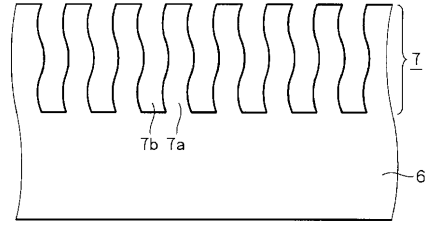
【図31】



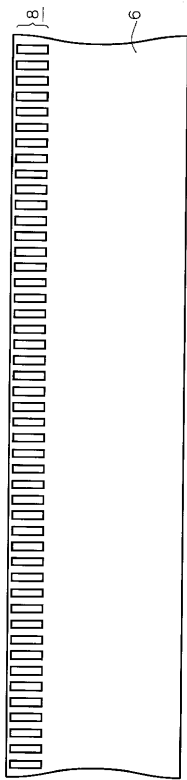
【図 3 2】



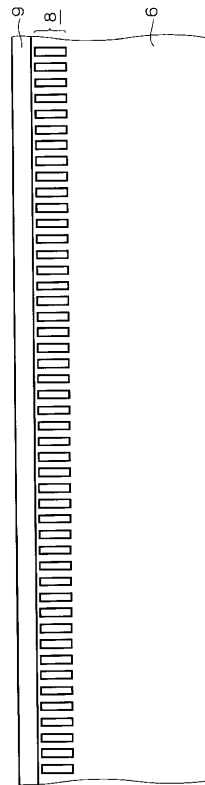
【図 3 3】



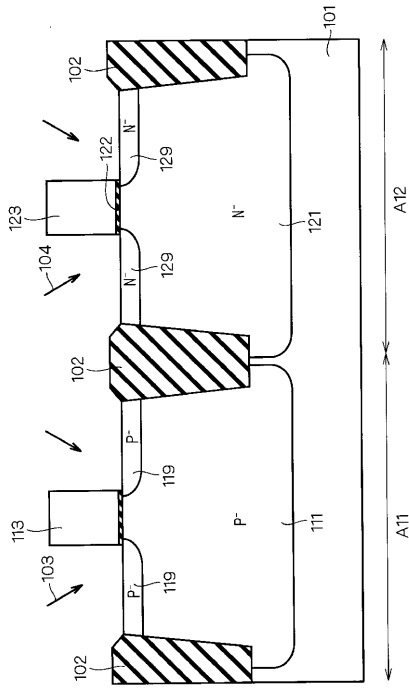
【図 3 4】



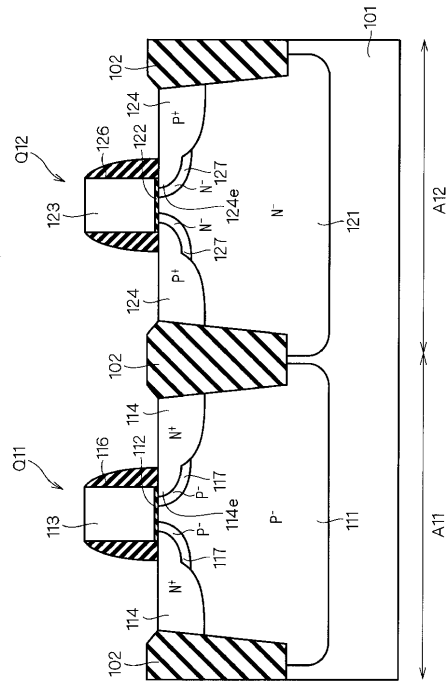
【図 3 5】



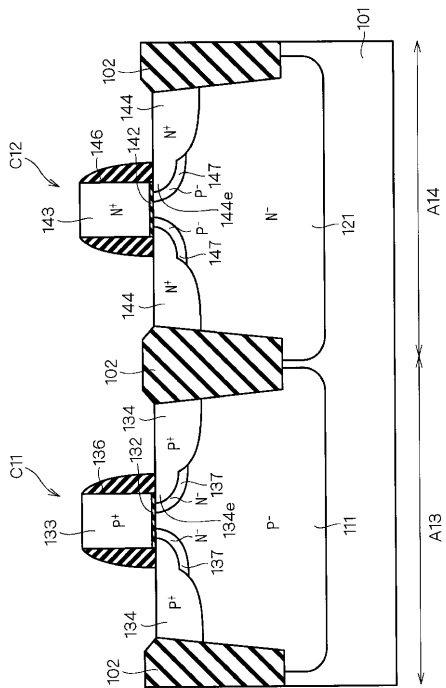
【 36 】



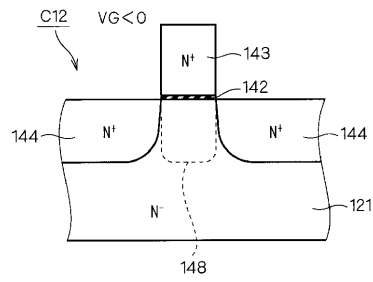
【 37 】



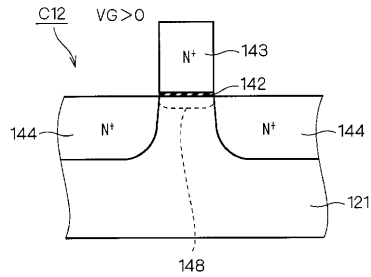
【 38 】



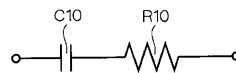
【 39 】



【 40 】



【 41 】



フロントページの続き

(72)発明者 岡 俊英

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 増山 慎也

(56)参考文献 米国特許第06228696(US, B1)

特開2000-068388(JP, A)

特開昭64-061070(JP, A)

特開2000-269522(JP, A)

特開2001-093984(JP, A)

特開平09-219527(JP, A)

特開平10-163337(JP, A)

特開昭51-114883(JP, A)

特開2000-307112(JP, A)

特開2001-077336(JP, A)

特開2001-267497(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234

H01L 21/8238

H01L 27/06

H01L 27/08

H01L 27/092