



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0119710
(43) 공개일자 2024년08월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09G 3/3266 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2023-0012057
(22) 출원일자 2023년01월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이민경
경기도 파주시 월롱면 엘지로 245
전창훈
경기도 파주시 월롱면 엘지로 245
김리진
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

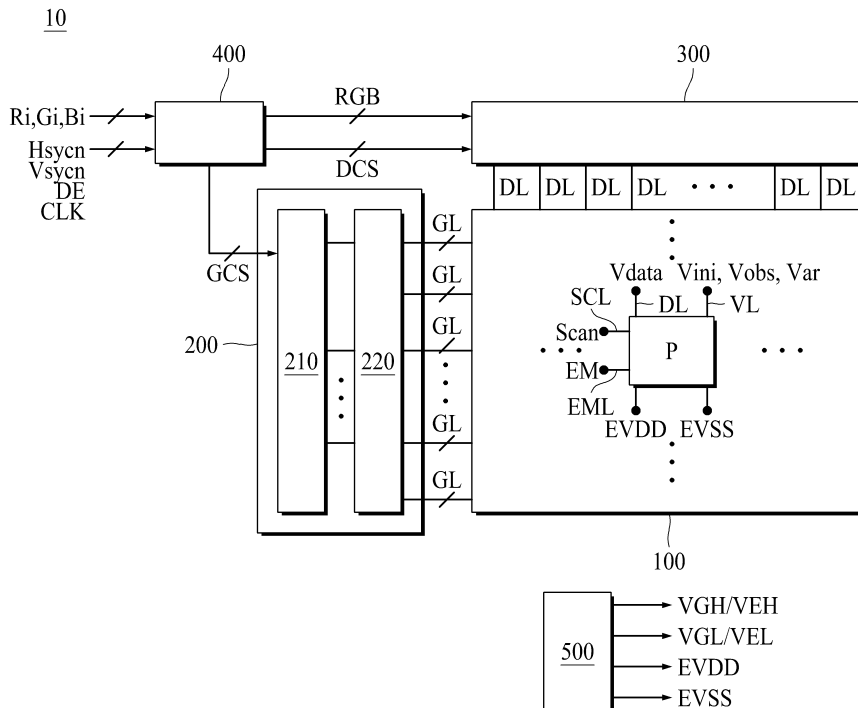
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 발광표시장치

(57) 요약

본 명세서의 일실시예가 해결하고자 하는 과제는, 데이터 라인 및 발광소자의 애노드에 연결된 스위칭 트랜지스터를 애노드 리셋 기간에 1회 이상 턴온시킬 수 있는, 발광표시장치를 제공하는 것이며, 이를 위해, 본 명세서의 일실시예에 따른 발광표시장치는, 픽셀구동회로 및 발광소자를 포함하는 픽셀이 구비된 발광표시패널 및 상기 픽

(뒷면에 계속)
대표도 - 도1



셀구동회로로 게이트 신호들을 공급하는 게이트 드라이버를 포함하고, 상기 픽셀구동회로는 스위칭 트랜지스터 및 제1 발광 트랜지스터를 포함하고, 상기 제1 발광 트랜지스터는 상기 발광소자의 애노드와 제1 노드 사이에 연결되고, 상기 스위칭 트랜지스터는 상기 발광표시패널에 구비된 데이터 라인과 상기 제1 노드 사이에 연결되고, 상기 게이트 드라이버는 상기 제1 발광 트랜지스터를 1초에 M(M은 3이상의 자연수)회 턴온시키고, 상기 스위칭 트랜지스터를 1초에 상기 M회보다는 작고 1회 보다는 많은 S(S는 2이상의 자연수)회 턴온시키며, 1초는 리프레쉬 기간 및 애노드 리셋 기간으로 구분될 수 있다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/061 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

픽셀구동회로 및 발광소자를 포함하는 픽셀이 구비된 발광표시패널; 및
 상기 픽셀구동회로로 게이트 신호들을 공급하는 게이트 드라이버를 포함하고,
 상기 픽셀구동회로는 스위칭 트랜지스터 및 제1 발광 트랜지스터를 포함하고,
 상기 제1 발광 트랜지스터는 상기 발광소자의 애노드와 제1 노드 사이에 연결되고,
 상기 스위칭 트랜지스터는 상기 발광표시패널에 구비된 데이터 라인과 상기 제1 노드 사이에 연결되고,
 상기 게이트 드라이버는 상기 제1 발광 트랜지스터를 1초에 M (M 은 3이상의 자연수)회 턴온시키고, 상기 스위칭 트랜지스터를 1초에 상기 M 회보다는 작고 1회 보다는 많은 S (S 는 2이상의 자연수)회 턴온시키며,
 1초는 리프레쉬 기간 및 애노드 리셋 기간으로 구분되는 발광표시장치.

청구항 2

제 1 항에 있어서,
 상기 리프레쉬 기간에는 상기 데이터 라인 및 상기 스위칭 트랜지스터를 통해 상기 제1 노드로 데이터 전압이 공급되고, 상기 데이터 전압의 크기에 따라 상기 발광소자에서 광이 출력되며,
 상기 애노드 리셋 기간에는 상기 제1 발광 트랜지스터가 턴온 및 턴오프를 반복하여, 상기 발광소자에서 광이 출력되는 발광표시장치.

청구항 3

제 1 항에 있어서,
 상기 스위칭 트랜지스터는 상기 리프레쉬 기간에 1회 턴온되며, 상기 애노드 리셋 기간에 $S-1$ 회 턴온되는 발광표시장치.

청구항 4

제 1 항에 있어서,
 상기 제1 발광 트랜지스터는 상기 리프레쉬 기간에 1회 턴온되며, 상기 애노드 리셋 기간에 $M-1$ 회 턴온되는 발광표시장치.

청구항 5

제 1 항에 있어서,
 상기 리프레쉬 기간보다 상기 애노드 리셋 기간이 긴 발광표시장치.

청구항 6

제 1 항에 있어서,
 상기 애노드 리셋 기간에 상기 데이터 라인으로는 상기 데이터 전압과 다른 보상전압이 공급되는 발광표시장치.

청구항 7

제 1 항에 있어서,
 상기 애노드 리셋 기간 중 상기 제1 발광 트랜지스터가 턴오프되어 있을 때, 상기 스위칭 트랜지스터가 턴온되

는 발광표시장치.

청구항 8

제 1 항에 있어서,

상기 픽셀구동회로는 제1 전극으로는 제1 전압이 공급되고, 제2 전극이 상기 제1 노드에 연결되며, 상기 발광소자로 공급되는 전류의 크기를 제어하는 구동 트랜지스터를 더 포함하는 발광표시장치.

청구항 9

제 1 항에 있어서,

상기 스위칭 트랜지스터는 N타입 트랜지스터이며, 상기 제1 발광 트랜지스터는 P타입 트랜지스터인 발광표시장치.

청구항 10

제 1 항에 있어서,

상기 픽셀구동회로는,

상기 스위칭 트랜지스터;

상기 제1 발광 트랜지스터;

제1 전극으로는 제1 전압이 공급되고, 제2 전극이 상기 제1 노드에 연결되며, 상기 발광소자로 공급되는 전류의 크기를 제어하는 구동 트랜지스터;

제1 전극은 상기 제1 전압이 공급되는 제1 전압라인과 연결되고, 제2 전극은 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 발광 트랜지스터;

제1 전극은 상기 구동 트랜지스터의 게이트에 연결되고, 제2 전극은 상기 구동 트랜지스터의 제1 전극에 연결되며, 제1 스캔신호에 의해 구동되는 스캔 트랜지스터;

제1 전극은 상기 애노드에 연결되고, 제2 전극은 초기화 전압이 공급되는 초기화 라인에 연결되며, 게이트는 상기 제1 발광 트랜지스터의 게이트에 연결되는 초기화 트랜지스터; 및

상기 구동 트랜지스터의 게이트와 상기 애노드 사이에 연결되는 스토리지 캐패시터를 포함하는 발광표시장치.

청구항 11

제 10 항에 있어서,

상기 애노드 리셋 기간 중 상기 제1 발광 트랜지스터가 턴온되어 있고, 상기 제2 발광 트랜지스터가 턴오프되어 있을 때, 상기 스위칭 트랜지스터가 턴온되는 발광표시장치.

청구항 12

제 10 항에 있어서,

상기 초기화 트랜지스터는 N타입 트랜지스터이며, 상기 제1 발광 트랜지스터는 P타입 트랜지스터인 발광표시장치.

청구항 13

제 10 항에 있어서,

상기 제1 발광 트랜지스터의 게이트로 입력되는 제1 발광제어신호와 상기 제2 발광 트랜지스터의 게이트로 입력되는 제2 발광제어신호는 서로 다른 신호들인 발광표시장치.

청구항 14

제 10 항에 있어서,

상기 애노드 리셋 기간에서, 상기 제1 발광 트랜지스터가 턴온된 후, 상기 제2 발광 트랜지스터가 턴온되는 발광표시장치.

청구항 15

제 1 항에 있어서,

상기 애노드 리셋 기간에 상기 스위칭 트랜지스터가 턴온되는 회수는 상기 애노드 리셋 기간에 상기 제1 발광 트랜지스터가 턴온되는 회수보다 작은 발광표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 발광표시장치에 관한 것이다.

배경 기술

[0002] 발광표시장치는 자체적으로 광을 출력하여 이미지를 표시할 수 있다.

[0003] 발광표시장치는 텔레비전, 모니터, 노트북 컴퓨터, 스마트 폰, 태블릿 컴퓨터, 전자 패드, 웨어러블 기기, 시계(watch), 휴대용 정보 기기, 네비게이션, 또는 차량 제어 표시 기기 등의 전자제품에 탑재되어, 영상을 표시하는 기능을 수행한다.

발명의 내용

해결하려는 과제

[0004] 예를 들어, 전자 시계와 같이 이미지의 변화가 크지 않은 전자장치에 적용되는 발광표시장치에서는, 소비전력 개선을 위해 1초의 기간 중 리프레쉬 기간에만 데이터 전압들이 데이터 라인들로 공급되며, 1초의 기간 중 리프레쉬 기간을 제외한 애노드 리셋 기간에는 발광제어신호를 이용하여 발광소자들의 발광이 제어된다.

[0005] 그러나, 상기한 바와 같은 방식에 의해 구동되는 발광표시장치에서는, 리프레쉬 기간에만 턴온된 후 애노드 리셋 기간에는 턴오프되어야 하는 트랜지스터가, 애노드 리셋 기간에 비정상적으로 턴온되는 불량이 발생할 수 있다.

[0006] 특히, 상기한 바와 같은 불량이 발생하는 트랜지스터가 발광소자의 구동에 영향을 주면, 발광표시패널에서 가로 줄이 보여지는 불량이 발생할 수 있다.

[0007] 따라서, 본 명세서의 일실시예가 해결하고자 하는 과제는, 데이터 라인 및 발광소자의 애노드에 연결된 스위칭 트랜지스터를 애노드 리셋 기간에 1회 이상 턴온시킬 수 있는, 발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 본 명세서의 일실시예에 따른 발광표시장치는, 픽셀구동회로 및 발광소자를 포함하는 픽셀이 구비된 발광표시패널 및 상기 픽셀구동회로로 게이트 신호들을 공급하는 게이트 드라이버를 포함하고, 상기 픽셀구동회로는 스위칭 트랜지스터 및 제1 발광 트랜지스터를 포함하고, 상기 제1 발광 트랜지스터는 상기 발광소자의 애노드와 제1 노드 사이에 연결되고, 상기 스위칭 트랜지스터는 상기 발광표시패널에 구비된 데이터 라인과 상기 제1 노드 사이에 연결되고, 상기 게이트 드라이버는 상기 제1 발광 트랜지스터를 1초에 M(M은 3이상의 자연수)회 턴온시키고, 상기 스위칭 트랜지스터를 1초에 상기 M회보다는 작고 1회 보다는 많은 S(S는 2이상의 자연수)회 턴온시키며, 1초는 리프레쉬 기간 및 애노드 리셋 기간으로 구분될 수 있다.

[0009] 위에서 언급된 과제의 해결 수단 이외의 본 명세서의 다양한 예들에 따른 구체적인 사항들은 아래의 기재 내용 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 명세서에 의하면, 스위칭 트랜지스터가 애노드 리셋 기간에 1회 이상 턴온되기 때문에, 스위칭 트랜지스터의 게이트가 비정상적으로 턴온되는 불량이 방지될 수 있으며, 이에 따라, 발광표시장치의 품질이 향상될 수 있다.

- [0011] 본 명세서에 의하면, 애노드 리셋 기간에 스위칭 트랜지스터가 턴온될 때 데이터 라인을 통해 공급된 보상전압이, 애노드와 연결된 제1 발광 트랜지스터의 제1 전극에 인가되기 때문에, 제1 발광 트랜지스터가 정상적으로 구동될 수 있으며, 이에 따라, 애노드 리셋 기간에도 발광소자가 정상적으로 광을 출력할 수 있다.
- [0012] 본 명세서에 의하면, 스위칭 트랜지스터가 애노드 리셋 기간에 턴온되는 회수는, 애노드 리셋 기간에 발광소자가 발광하는 회수보다 작기 때문에, 발광표시장치의 소비전력이 감소될 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 명세서에 따른 발광표시장치를 개략적으로 나타내는 블록도.
- 도 2는 본 명세서에 따른 발광표시장치에 적용되는 픽셀구동회로 및 발광소자를 나타낸 예시도.
- 도 3은 본 명세서에 따른 발광표시장치에 적용되는 제어 드라이버의 구조를 나타낸 예시도.
- 도 4 본 명세서에 따른 발광표시장치에 적용되는 게이트 드라이버의 구조를 나타낸 예시도.
- 도 5는 본 명세서에 따른 발광표시장치의 구동 방법을 설명하기 위한 예시도.
- 도 6은 본 명세서에 따른 발광표시장치의 리프레쉬 기간의 구동 방법을 설명하기 위한 타이밍도.
- 도 7a 내지 도 7d는 본 명세서에 따른 발광표시장치의 리프레쉬 기간의 구동 방법을 설명하기 위한 예시도들.
- 도 8은 본 명세서에 따른 발광표시장치의 애노드 리셋 기간의 구동 방법을 설명하기 위한 타이밍도.
- 도 9는 본 명세서에 따른 발광표시장치에 적용되는 발광표시패널의 적층 형태를 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 것이며, 단지 본 명세서의 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0015] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 "포함한다," "갖는다," "이루어진다" 등이 사용되는 경우 "만"이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0016] 구성 요소를 해석함에 있어서, 오차 범위에 대한 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0017] 위치 관계에 대한 설명일 경우, 예를 들어, "상에," "상부에," "하부에," "옆에" 등으로 두 부분의 위치 관계가 설명되는 경우, 예를 들어, "바로" 또는 "직접"이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0018] 시간 관계에 대한 설명일 경우, "후에," "에 이어서," "다음에," "전에" 등으로 시간적 선후 관계가 설명되는 경우, "바로" 또는 "직접"이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0019] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0020] 본 명세서의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결" "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 특별히 명시적인 기재 사항이 없는 간접적으로 연결되거나 또는 접속될 수 있는 각 구성 요소 사이에 다른 구성 요소가

"개재"될 수도 있다고 이해되어야 할 것이다.

- [0021] "적어도 하나"는 연관된 구성요소의 하나 이상의 모든 조합을 포함하는 것으로 이해되어야 할 것이다. 예를 들어, "제1, 제2, 및 제3 구성요소의 적어도 하나"의 의미는 제1, 제2, 또는 제3 구성요소뿐만 아니라, 제1, 제2, 및 제3 구성요소의 두 개 이상의 모든 구성요소의 조합을 포함한다고 할 수 있다.
- [0022] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 명세서의 실시 예가 상세히 설명된다. 도면에 도시된 구성요소들의 스케일은 설명의 편의를 위해 실제와 다른 스케일을 가지므로, 도면에 도시된 스케일에 한정되지 않는다.
- [0024] 도 1은 본 명세서에 따른 발광표시장치를 개략적으로 나타내는 블록도이다.
- [0025] 도 1을 참조하면, 발광표시장치(10)는 복수의 픽셀(P)들을 포함하는 발광표시패널(100), 제어 드라이버(400), 복수의 픽셀(P)들 각각에 게이트 신호를 공급하는 게이트 드라이버(200), 복수의 픽셀(P)들 각각에 데이터 전압을 공급하는 데이터 드라이버(300) 및 복수의 픽셀(P)들 각각에 구동에 필요한 전원을 공급하는 전원 공급부(500)를 포함한다.
- [0026] 발광표시패널(100)은 픽셀(P)이 위치한 표시영역 및 표시영역을 둘러싸도록 배치되고 게이트 드라이버(200) 및 데이터 드라이버(300)가 배치되는 비표시영역을 포함한다.
- [0027] 발광표시패널(100)에서 복수의 게이트 라인(GL)들과 복수의 데이터 라인(DL)들이 서로 교차되며, 복수의 픽셀(P)들 각각은 게이트 라인(GL) 및 데이터 라인(DL)에 연결된다. 구체적으로, 하나의 픽셀(P)은 게이트 라인(GL)을 통해 게이트 드라이버(200)로부터 게이트 신호를 공급받고, 데이터 라인(DL)을 통해 데이터 드라이버(300)로부터 데이터 전압을 공급받으며, 전원 공급부(500)로부터 고전위 구동 전압(제1 전압)(EVDD)과 저전위 구동 전압(제2 전압)(EVSS)을 공급받는다.
- [0028] 여기서, 게이트 라인(GL)들은 스캔신호(Scan)와 발광제어신호(EM)를 공급하고, 데이터 라인(DL)들은 데이터 전압(Vdata)들을 공급한다. 또한, 다양한 실시예에 따라 게이트 라인(GL)들 각각은 스캔신호(Scan)를 공급하는 적어도 하나의 스캔신호 라인(SCL)과 발광제어신호(EM)를 공급하는 적어도 하나의 발광제어신호 라인(EML)을 포함할 수 있다. 또한, 복수의 픽셀(P)들은 전원 라인(VL)을 통해 바이어스 전압(Vobs) 및 초기화 전압(Var, Vini) 등을 공급받을 수 있다.
- [0029] 또한, 픽셀(P)들 각각은, 발광소자(ED) 및 발광소자(ED)의 구동을 제어하는 픽셀구동회로를 포함한다. 여기서, 발광소자(ED)는 애노드, 캐소드, 및 애노드와 캐소드 사이에 구비되는 발광층을 포함한다.
- [0030] 픽셀구동회로는 스위칭 소자, 구동 소자 및 커패시터를 포함한다. 여기서, 스위칭 소자 및 구동 소자는 박막 트랜지스터로 구성될 수 있다. 픽셀구동회로에서 구동 소자는 데이터 전압에 따라 발광소자(ED)에 공급되는 전류량을 제어하여 발광소자(ED)의 발광량을 조절한다. 또한, 스위칭 소자는 스캔신호 라인(SCL)을 통해 공급되는 스캔신호(Scan) 및 발광 제어 라인(EML)을 통해 공급되는 발광제어신호(EM)를 수신하여 픽셀구동회로를 동작한다.
- [0031] 발광표시패널(100)은 비투과형 표시패널 또는 투과형 표시패널로 구현될 수 있다. 투과형 표시패널은 화면 상에 영상이 표시되고 배경의 실물이 보이는 투명 표시장치에 적용될 수 있다. 발광표시패널(100)은 플렉서블 표시 패널로 제작될 수 있다. 플렉서블 표시 패널은 플라스틱 기판을 이용하는 OLED 패널로 구현될 수 있다.
- [0032] 픽셀(P)들은 컬러 구현을 위하여 적색 픽셀, 녹색 픽셀, 청색 픽셀을 포함할 수 있다. 픽셀(P)들은 백색 픽셀을 더 포함할 수 있다. 픽셀(P)들 각각은 픽셀구동회로를 포함한다.
- [0033] 발광표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀(P)들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 발광표시패널의 화면 상에 배치되거나, 발광표시패널(100)에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0034] 제어 드라이버(400)는 외부로부터 입력되는 입력 이미지 데이터들(Ri, Gi, Bi)을 발광표시패널(100)의 크기 및 해상도에 적합하게 처리하여 데이터 드라이버(300)에 공급한다. 제어 드라이버(400)는 외부로부터 입력되는 동기 신호들, 예를 들어, 도트 클럭신호(CLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호

(Vsync)를 이용해 게이트 제어 신호(GCS)와 데이터 제어 신호(DCS)를 생성한다. 제어 드라이버(400)는 생성된 게이트 제어 신호(GCS)와 데이터 제어 신호(DCS)를 게이트 드라이버(200)와 데이터 드라이버(300)에 각각 공급함으로써, 게이트 드라이버(200)와 데이터 드라이버(300)를 제어한다.

- [0035] 제어 드라이버(400)는 실장되는 디바이스에 따라 다양한 프로세서, 예를 들어, 마이크로 프로세서, 모바일 프로세서, 어플리케이션 프로세서 등과 결합되어 구성될 수도 있다.
- [0036] 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기, 차량 시스템 중 어느 하나일 수 있다.
- [0037] 제어 드라이버(400)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수 X_i (i 는 0 보다 큰 양의 정수)Hz의 프레임 주파수로 발광표시패널 구동부(게이트 드라이버 및 데이터 드라이버)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0038] 제어 드라이버(400)는 픽셀(P)이 다양한 리프레쉬 레이트로 구동될 수 있도록 신호를 생성한다. 즉, 제어 드라이버(400)는 가변 리프레쉬 레이트(VRR: Variable Refresh Rate) 모드로 또는 제1 리프레쉬 레이트와 제2 리프레쉬 레이트 사이에서 전환 가능하게 픽셀(P)이 구동되도록 구동과 연관된 신호들을 생성한다. 예를 들어, 제어 드라이버(400)는 단순히 클럭 신호의 속도를 변경하거나, 수평 블랭크(Horizontal Blank) 또는 수직 블랭크(Vertical Blank)가 생기도록 동기신호를 생성하거나, 또는 게이트 드라이버(200)를 마스크 방식으로 구동시킴으로써 다양한 리프레쉬 레이트로 픽셀(P)을 구동시킬 수 있다.
- [0039] 제어 드라이버(400)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로, 게이트 드라이버(200)의 동작 타이밍을 제어하기 위한 게이트 제어 신호(GCS), 데이터 드라이버(300)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(DSC)를 발생한다. 제어 드라이버(400)는 발광표시패널 구동부의 동작 타이밍을 제어하여 게이트 드라이버(200) 및 데이터 드라이버(300)를 동기시킨다.
- [0040] 제어 드라이버(400)로부터 출력된 게이트 제어 신호(GCS)의 전압 레벨은 도시하지 않은 레벨 시프터(Level shifter)를 통해 게이트 온 전압(VGL, VEL)과 게이트 오프 전압(VGH, VEH)으로 변환되어 게이트 드라이버(200)에 공급될 수 있다. 레벨 시프터는 게이트 제어 신호(GCS)의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 제어 신호(GCS)의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다. 게이트 제어 신호(GCS)는 스타트 펄스와 시프트 클럭을 포함한다. 이하의 설명에서, VGH, VEH, VGL, VEL 등은 다양한 용어로 설명될 수 있다. 예를 들어, VGH는 게이트 온 전압으로 설명될 수도 있고, 게이트 오프 전압으로 설명될 수도 있으며, 게이트 제1 전압으로 설명될 수도 있다. 또한, 이하의 설명에서, 구성들 각각은 필요에 따라 서로 다른 용어로 설명될 수도 있다.
- [0041] 게이트 드라이버(200)는 제어 드라이버(400)로부터 공급된 게이트 제어 신호(GCS)에 따라 게이트 라인(GL)에 스캔신호(Scan)를 공급한다. 게이트 드라이버(200)는 GIP(Gate In Panel) 방식으로 발광표시패널(100)의 일측 또는 양측에 배치될 수도 있다.
- [0042] 게이트 드라이버(200)는 제어 드라이버(400)의 제어 하에 게이트 신호를 복수의 게이트 라인(GL)으로 순차적으로 출력한다. 게이트 드라이버(200)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트 시킴으로써 그 신호들을 게이트 라인들(GL)에 순차적으로 공급할 수 있다.
- [0043] 게이트 신호는 스캔신호(Scan)일 수도 있으며, 발광제어신호(EM)일 수도 있다.
- [0044] 스캔신호(Scan)는 게이트 온 전압(VGL 또는 VGH)과 게이트 오프 전압(VGH 또는 VGL) 사이에서 스윙하는 게이트 펄스를 포함할 수 있다.
- [0045] 발광제어신호(EM)는 게이트 온 전압(VEL 또는 VEH)과 게이트 오프 전압(VEH 또는 VEL) 사이에서 스윙하는 발광 제어신호 펄스를 포함할 수 있다.
- [0046] 게이트 펄스는 데이터 전압(Vdata)에 동기되어 데이터가 기입될 라인의 픽셀(P)들을 선택한다. 발광제어신호(EM)는 픽셀(P)들의 발광 시간을 정의한다.
- [0047] 게이트 드라이버(200)는 발광제어신호 구동부와 스캔 구동부를 포함할 수 있다. 발광제어신호 구동부는 적어도 하나의 발광제어신호 생성부를 포함할 수 있으며, 스캔 구동부는 적어도 하나의 스캔신호 생성부를 포함할 수 있다.

- [0048] 발광제어신호 구동부는 제어 드라이버(400)로부터 전송된 스타트 펄스와 시프트 클럭에 응답하여 발광제어신호 펄스를 출력하고, 시프트 클럭에 따라 발광제어신호 펄스를 순차적으로 시프트한다.
- [0049] 스캔 구동부는 제어 드라이버(400)로부터 전송된 스타트 펄스(start pulse)와 시프트 클럭(Shift clock)에 응답하여 게이트 펄스를 출력하고, 시프트 클럭 타이밍에 맞추어 게이트 펄스를 시프트한다.
- [0050] 데이터 드라이버(300)는 제어 드라이버(400)로부터 공급된 데이터 제어 신호(DCS)에 따라 영상 데이터(RGB)를 데이터 전압(Vdata)으로 변환하고, 변환된 데이터 전압(Vdata)을 데이터 라인(DL)을 통해 픽셀(P)에 공급한다.
- [0051] 도 1에서 데이터 드라이버(300)가 발광표시패널(100)의 일 측에 하나의 형태로 배치된 것으로 도시되었으나, 데이터 드라이버(300)의 수와 배치 위치는 이에 제한되지 않는다.
- [0052] 즉, 데이터 드라이버(300)는 복수의 집적회로(IC: Integrated Circuit)들로 구성되어 발광표시패널(100)의 일측에서 복수로 구분되어 배치될 수도 있다.
- [0053] 전원 공급부(500)는 직류-직류 변환기(DC-DC Converter)를 이용하여 발광표시패널(100)의 픽셀 어레이와 발광표시패널 구동부의 구동에 필요한 직류(DC) 전원을 발생한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터(Regulator), 벡 변환기(Buck Converter), 부스트 변환기(Boost Converter) 등을 포함할 수 있다. 전원 공급부(500)는 도시하지 않은 호스트 시스템으로부터 인가되는 직류 입력 전압을 입력 받아 게이트 온 전압(VGL, VEL), 게이트 오프 전압(VGH, VEH), 고전위 구동 전압(EVDD), 저전위 구동 전압(EVSS) 등의 직류 전압을 발생할 수 있다. 게이트 온 전압(VGL, VEL)과 게이트 오프 전압(VGH, VEH)은 도시하지 않은 레벨 시프터(Level shifter)와 게이트 드라이버(200)에 공급된다. 고전위 구동 전압(EVDD), 저전위 구동 전압(EVSS)은 픽셀(P)들에 공통으로 공급된다. 게이트 온 전압과 게이트 오프 전압의 크기는, 트랜지스터의 타입에 따라 다양하게 변경될 수 있다. 예를 들어, N타입 트랜지스터에서의 게이트 온 전압은 하이레벨을 가질 수 있으며, P타입 트랜지스터에서의 게이트 온 전압은 로우레벨을 가질 수 있다.
- [0054] 도 2는 본 명세서에 따른 발광표시장치에 적용되는 픽셀구동회로 및 발광소자를 나타낸 예시도이다.
- [0055] 발광표시패널(100)에는 게이트 라인(GL)들, 데이터 라인(DL) 및 픽셀(P)들이 구비된다. 따라서, 표시영역에서는 이미지가 출력된다. 데이터 라인(DL)으로는 데이터 전압(Vdata) 또는 보상전압(Vpark)이 공급될 수 있다. 예를 들어, 이하에서 설명될 리프레쉬 기간에는 데이터 라인(DL)으로 데이터 전압(Vdata)이 공급되며, 애노드 리셋 기간에는 데이터 라인(DL)으로 보상전압(Vpark)이 공급될 수 있다.
- [0056] 픽셀(P)은, 픽셀구동회로 및 발광소자(ED)를 포함한다. 도 2에는 데이터 라인(DL)을 따라 n번째 구비된 픽셀(P)이 도시되어 있다. 즉, 도 2에는 n번째 게이트 라인(GL)에 연결된 픽셀(P)이 도시되어 있다. 게이트 라인(GL)은 상기에서 설명된 바와 같이, 스캔신호(Scan)를 공급하는 스캔신호 라인(SCL)과 발광제어신호(EM)를 공급하는 발광제어신호 라인(EML)을 포함할 수 있다. 도 2에는 두 개의 스캔신호들(Scan1(n), Scan2(n))이 공급되는 두 개의 스캔신호 라인들(SCL1, SCL2) 및 두 개의 발광제어신호들(EM(n-2), EM(n))이 공급되는 두 개의 발광제어신호 라인들(EML1, EML2)이 구비된 픽셀(P)이 도시되어 있다.
- [0057] 픽셀구동회로는 도 2에 도시된 바와 같이, 스위칭 트랜지스터(T1), 제1 발광 트랜지스터(T5), 구동 트랜지스터(T2), 제2 발광 트랜지스터(T4), 스캔 트랜지스터(T3), 초기화 트랜지스터(T6) 및 스토리지 캐패시터(Cst)를 포함할 수 있다.
- [0058] 스위칭 트랜지스터(T1)는 발광표시패널(100)에 구비된 데이터 라인(DL)과 제1 노드 사이(N1)에 연결되며, 제2 스캔신호 라인(SCL2)를 통해 공급되는 제2 스캔신호(Scan2(n))에 의해 구동된다. 즉, 스위칭 트랜지스터(T1)의 게이트는 제2 스캔신호 라인(SCL2)에 연결되고, 스위칭 트랜지스터(T1)의 제1 전극은 데이터 라인(DL)에 연결되며, 스위칭 트랜지스터(T1)의 제2 전극은 제1 노드(N1)에 연결된다.
- [0059] 제1 발광 트랜지스터(T5)는 발광소자(ED)의 애노드와 제1 노드(N1) 사이에 연결되며, 제1 발광제어신호 라인(EML1)을 통해 공급되는 제1 발광제어신호(EM(n-2))에 의해 구동된다. 즉, 제1 발광 트랜지스터(T5)의 제1 전극은 제1 노드(N1)에 연결되고, 제1 발광 트랜지스터(T5)의 제2 전극은 발광소자(ED)의 애노드에 연결되며, 제1 발광 트랜지스터(T5)의 게이트는 제1 발광제어신호 라인(EML1)에 연결된다.
- [0060] 여기서, 제1 발광제어신호 라인(EML1)으로 공급되는 제1 발광제어신호(EM(n-2))는 제n-2 번째 게이트 라인에 연결된 픽셀(P)의 제2 발광 트랜지스터(T4)로 공급되는 제2 발광제어신호와 동일한 신호가 될 수 있다. 즉, 제n 번째 게이트 라인(GL)에 연결된 도 2에 도시된 픽셀(P)의 제2 발광 트랜지스터(T4)로는 제2 발광제어신호(EM(n))가 공급되며, 도 2에 도시된 픽셀(P)의 제1 발광 트랜지스터(T5)로는 제1 발광제어신호(EM(n-2))가 공급

될 수 있다.

- [0061] 구동 트랜지스터(T2)는 발광소자(ED)로 공급되는 전류의 크기를 제어하는 기능을 수행한다. 이를 위해, 구동 트랜지스터(T2)의 제1 전극으로는 제1 전압(EVDD)이 공급되고, 구동 트랜지스터(T2)의 제2 전극은 제1 노드에 연결되며, 구동 트랜지스터(T2)의 게이트는 스캔 트랜지스터(T3)의 제1 전극 및 스토리지 캐패시터(Cst)의 제1 전극에 연결된다.
- [0062] 제2 발광 트랜지스터(T4)의 제1 전극은 제1 전압(EVDD)이 공급되는 제1 전압라인(11)과 연결되고, 제2 발광 트랜지스터(T4)의 제2 전극은 구동 트랜지스터(T2)의 제1 전극에 연결되며, 제2 발광 트랜지스터(T4)의 게이트는 제2 발광제어신호(EM(n))가 공급되는 제2 발광제어신호 라인(EML2)에 연결된다.
- [0063] 스캔 트랜지스터(T3)의 제1 전극은 구동 트랜지스터(T2)의 게이트에 연결되고, 스캔 트랜지스터(T3)의 제2 전극은 구동 트랜지스터(T2)의 제1 전극에 연결되며, 스캔 트랜지스터(T3)의 게이트는 제1 스캔신호(Scan1(n))가 공급되는 제1 스캔신호 라인(SCL1)에 연결된다. 즉, 스캔 트랜지스터(T3)는 제1 스캔신호(Scan1(n))에 의해 구동된다.
- [0064] 초기화 트랜지스터(T6)의 제1 전극은 애노드에 연결되고, 초기화 트랜지스터(T6)의 제2 전극은 초기화 전압(Vini)이 공급되는 초기화 라인(IL)에 연결되며, 게이트는 제1 발광 트랜지스터(T5)의 게이트에 연결된다. 초기화 라인(IL)은 전원 라인(VL)들 중 하나가 될 수 있다. 초기화 트랜지스터(T6)의 게이트로는 제1 발광제어신호(EM(n-2))가 공급된다.
- [0065] 스토리지 캐패시터(Cst)는 구동 트랜지스터(T2)의 게이트와 애노드 사이에 연결된다. 즉, 스토리지 캐패시터(Cst)의 제1 전극은 구동 트랜지스터(T2)의 게이트 및 스캔 트랜지스터(T3)의 제1 전극에 연결되며, 스토리지 캐패시터(Cst)의 제2 전극은 초기화 트랜지스터(T6)의 제1 전극, 제1 발광 트랜지스터(T5)의 제2 전극 및 애노드에 연결된다. 스토리지 캐패시터(Cst)는 데이터 전압(Vdata) 및 구동 트랜지스터(T2)의 문턱전압을 저장할 수 있다.
- [0066] 픽셀구동회로를 구성하는 트랜지스터들 각각은 P타입 박막 트랜지스터 또는 N타입 박막 트랜지스터일 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 제1 발광 트랜지스터(T5) 및 제2 발광 트랜지스터(T4)는 P타입 박막 트랜지스터일 수 있으며, 나머지 트랜지스터들(T1 내지 T3, T6)은 N타입 박막 트랜지스터일 수 있다.
- [0067] 또한, 픽셀구동회로를 구성하는 트랜지스터들 각각은 산화물 박막 트랜지스터 또는 저온 폴리 실리콘(LTPS: Low Temperature Poly-Silicon)을 이용한 박막 트랜지스터(이하, 간단히 저온 폴리 실리콘 박막 트랜지스터 또는 다결정 박막 트랜지스터라 함)일 수 있다.
- [0068] 산화물 박막 트랜지스터는 산화물 반도체를 이용한 트랜지스터를 의미하며, 다결정 박막 트랜지스터는 다결정 반도체를 이용한 트랜지스터를 의미한다.
- [0069] 특히, 본 명세서에 따른 발광표시장치에서, 구동 트랜지스터(T2) 및 스캔 트랜지스터(T3)는 산화물 반도체를 이용한 산화물 박막 트랜지스터이고, 나머지 트랜지스터들(T1, T4 내지 T6)은 다결정 반도체를 이용한 저온 폴리 실리콘 박막 트랜지스터일 수 있다. 예를 들어, 산화물 박막 트랜지스터는 저온 폴리 실리콘 박막 트랜지스터보다 속도는 느리지만, 산화물 박막 트랜지스터의 누설전류는 저온 폴리 실리콘 박막 트랜지스터의 누설전류보다 작다. 즉, 산화물 박막 트랜지스터의 턴온 및 턴오프 속도는, 저온 폴리 실리콘 박막 트랜지스터의 턴온 및 턴오프 속도보다는 작지만, 산화물 박막 트랜지스터의 누설전류는 작다. 따라서, 산화물 박막 트랜지스터의 스위칭 특성이 저온 폴리 실리콘 박막 트랜지스터의 스위칭 특성보다 우수할 수 있다.
- [0070] 그러나, 트랜지스터들의 타입 및 종류는 상기에서 설명된 예 이외에도, 다양하게 변경될 수 있다.
- [0071] 발광소자(ED)는 애노드 및 캐소드를 포함할 수 있다. 발광소자(ED)의 애노드는 제1 발광 트랜지스터(T5)의 제2 전극에 연결되며, 캐소드는 제2 전압(EVSS)이 공급되는 제2 전압라인(12)에 연결될 수 있다.
- [0072] 본 명세서에 적용되는 픽셀(P)의 구조는 도 2에 도시된 구조에 한정되는 것은 아니다. 따라서, 픽셀(P)의 구조는 다양한 형태로 변경될 수 있다. 그러나, 이하에서는 설명의 편의를 위해, 도 2에 도시된 픽셀(P)을 포함하는 발광표시장치가, 본 명세서에 따른 발광표시장치의 예로서 설명된다.
- [0073] 도 3은 본 명세서에 따른 발광표시장치에 적용되는 제어 드라이버의 구조를 나타낸 예시도이며, 도 4 본 명세서에 따른 발광표시장치에 적용되는 게이트 드라이버의 구조를 나타낸 예시도이다.
- [0074] 본 명세서에 따른 발광표시장치는 각종 전자장치로 이용될 수 있다. 전자장치는, 예를 들어, 텔레비전 및 모니터

터 등이 될 수 있다.

- [0075] 본 명세서에 따른 발광표시장치는, 영상이 출력되는 표시영역(DA)과 표시영역(DA) 외곽에 구비된 비표시영역(NDA)을 포함하는 발광표시패널(100), 발광표시패널의 표시영역(DA)에 구비된 게이트 라인(GL)들로 게이트 신호들을 공급하는 게이트 드라이버(200), 발광표시패널에 구비된 데이터 라인(DL)들로 데이터 전압(Vdata)들을 공급하는 데이터 드라이버(300), 게이트 드라이버(200)와 데이터 드라이버(300)의 구동을 제어하는 제어 드라이버(400), 및 제어 드라이버(400)와 게이트 드라이버(200)와 데이터 드라이버(300)와 발광표시패널(100)에 전원을 공급하는 전원 공급부(500)를 포함한다.
- [0076] 제어 드라이버(400)는 외부 시스템으로부터 전송되어온 타이밍 동기신호(TSS)를 이용하여, 외부 시스템으로부터 전송되어온 입력 이미지 데이터들(Ri, Gi, Bi)을 재정렬할 수 있으며, 데이터 드라이버(300) 및 게이트 드라이버(200)로 공급될 드라이버 제어신호들(GCS, DCS)을 생성할 수 있다.
- [0077] 이를 위해, 제어 드라이버(400)는, 도 3에 도시된 바와 같이, 입력 이미지 데이터들(Ri, Gi, Bi)을 재정렬하여 이미지 데이터(Data)들을 생성하며 이미지 데이터(Data)들을 데이터 드라이버(300)로 공급하기 위한 데이터 정렬부(430), 타이밍 동기신호(TSS)를 이용하여 게이트 제어신호(GCS)와 데이터 제어신호(DCS)를 생성하기 위한 제어신호 생성부(420), 외부 시스템으로부터 타이밍 동기신호(TSS)와 입력 이미지 데이터들(Ri, Gi, Bi)을 수신하여 제어신호 생성부(420)와 데이터 정렬부(430)로 전송하기 위한 제어부(410), 및 데이터 정렬부(430)에서 생성된 이미지 데이터(Data)들과 제어신호 생성부(420)에서 생성된 데이터 제어신호들(DCS)을 데이터 드라이버(300)로 공급하며 제어신호 생성부(420)에서 생성된 게이트 제어신호(GCS)들을 게이트 드라이버(200)로 공급하기 위한 출력부(440)를 포함할 수 있다.
- [0078] 제어신호 생성부(420)는 전원 공급부(500)로 공급되는 전원 제어신호를 생성할 수도 있다.
- [0079] 제어 드라이버(400)는 다양한 정보들을 저장하는 저장부(450)를 더 포함할 수 있다. 저장부(450)는 제어 드라이버(400)에 포함될 수 있으나, 제어 드라이버(400)로부터 분리되어 독립적으로 구비될 수도 있다.
- [0080] 외부 시스템은 제어 드라이버(400) 및 전자장치를 구동하는 기능을 수행한다.
- [0081] 예를 들어, 전자장치가 텔레비전(TV)인 경우, 외부 시스템은 통신망을 통해 각종 음성정보, 영상정보 및 문자정보 등을 수신할 수 있으며, 수신된 영상정보들을 제어 드라이버(400)로 전송할 수 있다.
- [0082] 또한, 전자장치가 모니터인 경우, 외부 시스템은 컴퓨터와 연결된 통신망을 통해 영상정보들을 수신할 수 있으며, 수신된 영상정보들을 입력 이미지 데이터들(Ri, Gi, Bi)로 변환하여 제어 드라이버(400)로 전송할 수 있다.
- [0083] 즉, 외부 시스템은 통신망을 통해 수신된 영상정보들을 제어 드라이버(400)가 인식할 수 있는 신호로 변화시킬 수 있다. 이 경우, 제어 드라이버(400)가 인식할 수 있는 신호는 입력 이미지 데이터들(Ri, Gi, Bi)이 될 수 있다. 즉, 외부 시스템은 영상정보들을 입력 이미지 데이터들(Ri, Gi, Bi)로 변환시킬 수 있으며, 입력 이미지 데이터들(Ri, Gi, Bi)은 제어 드라이버(400)로 전송될 수 있다.
- [0084] 전원 공급부(500)는 다양한 전원들을 생성하며, 생성된 전원들을 제어 드라이버(400), 게이트 드라이버(200), 데이터 드라이버(300) 및 발광표시패널(100)로 공급한다.
- [0085] 전원 공급부(500)는 데이터 라인(DL)들을 통해 픽셀(P)들로 보상전압(Vpark)들을 공급할 수 있다. 보상전압(Vpark)들은 전원 공급부(500)로부터 픽셀(P)들로 직접 공급될 수도 있으나, 전원 공급부(500)로부터 데이터 드라이버(300)를 통해 픽셀(P)들로 공급될 수도 있다.
- [0086] 데이터 드라이버(300)는 데이터 라인(DL)들로 데이터 전압(Vdata)들을 공급한다.
- [0087] 이를 위해, 데이터 드라이버(300)는, 샘플링 신호를 출력하는 쉬프트 레지스터부, 제어 드라이버(400)로부터 수신된 이미지 데이터(Data)를 래치하는 래치부, 래치부로부터 전송된 이미지 데이터(Data)를 데이터 전압(Vdata)으로 변환하여 출력하는 아날로그 디지털 변환부 및 디지털 아날로그 변환부로부터 전송되어온 데이터 전압(Vdata)들을 소스 출력 인에이블 신호에 따라, 데이터 라인(DL)들로 출력하는 출력버퍼를 포함할 수 있다.
- [0088] 게이트 드라이버(200)는 비표시영역(NDA)에 게이트 인 패널(GIP: Gate In Panel) 방식을 이용하여 직접 내장될 수 있고, 또는, 발광소자(ED)들이 구비되는 표시영역(DA)에 구비될 수도 있으며, 또는, 비표시영역(NDA)에 장착된 칩온필름에 구비될 수도 있다.
- [0089] 게이트 드라이버(200)는 게이트 라인(GL)들 각각으로 게이트 신호를 공급한다. 상기에서 설명된 바와 같이, 게

이트 신호는 스캔신호(Scan) 및 발광제어신호(EM)를 포함할 수 있다. 스캔신호(Scan)는 데이터 전압(Vdata)를 픽셀(P)로 공급하는 기능을 수행하며, 발광제어신호(EM)는 발광소자(ED)가 발광하는 타이밍을 제어할 수 있다. 도 2에 도시된 픽셀(P)에는 두 개의 스캔신호들(Scan1(n), Scan2(n)) 및 두 개의 발광제어신호들(EM(n-2), EM(n))이 공급되는 픽셀이 도시되어 있다. 이를 위해, 도 2에 도시된 픽셀에는 두 개의 스캔신호 라인들(SCL1, SCL2) 및 두 개의 발광제어신호 라인들(EML1, EML2)이 연결된다.

- [0090] 두 개의 스캔신호들(Scan1(n), Scan2(n)) 및 두 개의 발광제어신호들(EM(n-2), EM(n))을 생성하기 위한 게이트 드라이버(200)의 예가 도 4에 도시되어 있다.
- [0091] 특히, 도 4에 도시된 게이트 드라이버(200)는 표시영역(DA)의 양측의 비표시영역(NDA)에 구비된, 제1 스캔신호 생성부(210), 제2 스캔신호 생성부(220), 홀수 발광제어신호 생성부(230) 및 짝수 발광제어신호 생성부(240)를 포함한다.
- [0092] 제1 스캔신호 생성부(210)는 제1 스캔신호(Scan1)들을 생성하여, 표시영역(DA)에 구비된 수평라인(HL)들로 순차적으로 제1 스캔신호(Scan1)들을 공급한다. 이를 위해, 제1 스캔신호 생성부(210)는 제1 스캔신호 스테이지(Scan1_Stage)들을 포함한다.
- [0093] 제1 스캔신호 스테이지(Scan1_Stage)들 각각은 제1 스캔신호(Scan1)를 생성하여, 제1 스캔신호 라인(SCL1)으로 공급한다.
- [0094] 즉, 제1 스캔신호 스테이지(Scan1_Stage)들 각각은 하나의 수평라인(HL)에 연결된 제1 스캔신호 라인(SCL1)을 통해, 하나의 수평라인(HL)으로 제1 스캔신호(Scan1)를 공급한다.
- [0095] 여기서, 수평라인(HL)은 제1 스캔신호(Scan1)가 공급되는 제1 스캔신호 라인(SCL1)에 연결된 픽셀들이 구비된 가상의 라인을 의미한다. 예를 들어, 제1 수평라인(HL(1st))에는 제1 스캔신호 라인(SCL1), 제2 스캔신호 라인(SCL2), 제1 발광제어신호 라인(EML1), 제2 발광제어신호 라인(EML2) 및 픽셀(P)들이 구비된다. 제1 수평라인(HL(1st))에 구비되는 픽셀(P)들은 제1 스캔신호 라인(SCL1), 제2 스캔신호 라인(SCL2), 제1 발광제어신호 라인(EML1) 및 제2 발광제어신호 라인(EML2)에 연결된다.
- [0096] 제1 스캔신호 생성부(210)로는 제1 스캔신호 생성부 스타트 신호(G1VST), 게이트 제1 전압(VGH), 게이트 제2 저전압(VGL) 및 제1 게이트 클럭들(G1CLK1, G1CLK2) 등이 공급될 수 있다. 이러한 신호들은 제어 드라이버(400) 또는 전원 공급부(500)로부터 공급될 수 있다.
- [0097] 예를 들어, 제1 스캔신호 생성부(210)에 구비된 제1 스캔신호 스테이지(Scan1_Stage)들 중 제1 스테이지(Scan1_Stage1)는 제어 드라이버(400)로부터 전송된 제1 스캔신호 생성부 스타트 신호(G1VST)에 의해 구동될 수 있다. 나머지 스테이지들(Scan1_Stage2, Scan1_Stage3, 썬)은 전단 스테이지에서 공급된 신호를 스타트 신호로 이용하여 구동될 수 있다. 여기서 전단 스테이지는 서로 인접되어 있는 스테이지일 수 있으나, 적어도 하나의 또 다른 스테이지를 사이에 두고 이격되어 있는 스테이지일 수도 있다.
- [0098] 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 전원 공급부(500)로부터 공급될 수 있다.
- [0099] 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 제1 스캔신호 스테이지(Scan1_Stage)에 구비된 풀업 트랜지스터 또는 풀다운 트랜지스터를 턴온시키거나 턴오프시킬 수 있다. 여기서, 풀업 트랜지스터는, 예를 들어, 스위칭 트랜지스터(T1)를 턴온시킬 수 있는 신호를 공급하는 트랜지스터를 의미하며, 풀다운 트랜지스터는 스위칭 트랜지스터(T1)를 턴오프시킬 수 있는 신호를 공급하는 트랜지스터를 의미한다. 즉, 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)에 의해 풀업 트랜지스터 또는 풀다운 트랜지스터가 턴온되거나 턴오프될 수 있으며, 이에 따라, 스위칭 트랜지스터(T1)가 턴온되거나 턴오프될 수 있다.
- [0100] 제2 스캔신호 생성부(220)는 제2 스캔신호(Scan2)들을 생성하여, 표시영역(DA)에 구비된 수평라인(HL)들로 순차적으로 제2 스캔신호(Scan2)들을 공급한다. 이를 위해, 제2 스캔신호 생성부(220)는 제2 스캔신호 스테이지(Scan2_Stage)들을 포함한다.
- [0101] 제2 스캔신호 스테이지(Scan2_Stage)들 각각은 제2 스캔신호(Scan2)를 생성하여, 제2 스캔신호 라인(SCL2)으로 공급한다.
- [0102] 즉, 제2 스캔신호 스테이지(Scan2_Stage)들 각각은 하나의 수평라인(HL)에 연결된 제2 스캔신호 라인(SCL2)을 통해, 하나의 수평라인(HL)으로 제2 스캔신호(Scan2)를 공급한다.
- [0103] 제2 스캔신호 생성부(220)로는 제2 스캔신호 생성부 스타트 신호(G2VST), 게이트 제1 전압(VGH), 게이트 제2 전

압(VGL), 게이트 제3 전압(VSL) 및 제2 게이트 클럭들(G2CLK1, G2CLK2) 등이 공급될 수 있다. 이러한 신호들은 제어 드라이버(400) 또는 전원 공급부(500)로부터 공급될 수 있다.

- [0104] 예를 들어, 제2 스캔신호 생성부(220)에 구비된 제2 스캔신호 스테이지(Scan2_Stage)들 중 제1 스테이지(Scan2_Stage1)는 제어 드라이버(400)로부터 전송된 제2 스캔신호 생성부 스타트 신호(G2VST)에 의해 구동될 수 있다. 나머지 스테이지들(Scan2_Stage2, Scan2_Stage3, 썸)은 전단 스테이지에서 공급된 신호를 스타트 신호로 이용하여 구동될 수 있다. 여기서 전단 스테이지는 서로 인접되어 있는 스테이지일 수 있으나, 적어도 하나의 또 다른 스테이지를 사이에 두고 이격되어 있는 스테이지일 수도 있다.
- [0105] 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 전원 공급부(500)로부터 공급될 수 있다. 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 제2 스캔신호 스테이지(Scan2_Stage)에 구비된 풀업 트랜지스터 또는 풀다운 트랜지스터를 턴온시키거나 턴오프시킬 수 있다. 여기서, 풀업 트랜지스터는, 예를 들어, 스위칭 트랜지스터(T1)를 턴온시킬 수 있는 신호를 공급하는 트랜지스터를 의미하며, 풀다운 트랜지스터는 스위칭 트랜지스터(T1)를 턴오프시킬 수 있는 신호를 공급하는 트랜지스터를 의미한다. 즉, 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)에 의해 풀업 트랜지스터 또는 풀다운 트랜지스터가 턴온되거나 턴오프될 수 있으며, 이에 따라, 스위칭 트랜지스터(T1)가 턴온되거나 턴오프될 수 있다. 게이트 제3 전압(VSL) 역시, 제2 스캔신호 스테이지(Scan2_Stage)에 구비된 트랜지스터들 중 적어도 어느 하나의 턴온 및 턴오프를 제어할 수 있다.
- [0106] 홀수 발광제어신호 생성부(230) 및 짝수 발광제어신호 생성부(240)는 발광제어신호들을 공급한다. 홀수 발광제어신호 생성부(230) 및 짝수 발광제어신호 생성부(240)에서 공급되는 발광제어신호들은 도 2를 참조하여 설명된 제1 발광제어신호(EM(n-2)) 및 제2 발광제어신호(EM(n))이 될 수 있다.
- [0107] 발광제어신호들을 생성하기 위해, 홀수 발광제어신호 생성부(230)는 홀수 더미 스테이지(Dummy odd) 및 홀수 발광제어신호 스테이지들(EM_Stage1, EM_Stage3, 썸)을 포함하며, 짝수 발광제어신호 생성부(240)는 짝수 더미 스테이지(Dummy even) 및 짝수 발광제어신호 스테이지들(EM_Stage2, EM_Stage4, 썸)을 포함한다.
- [0108] 홀수 발광제어신호 생성부(230)로는 홀수 발광제어신호 생성부 스타트 신호(EVST1), 게이트 제1 전압(VGH), 게이트 제2 전압(VGL) 및 홀수 발광 클럭들(ECLK1, ECLK3) 등이 공급되며, 짝수 발광제어신호 생성부(240)로는 짝수 발광제어신호 생성부 스타트 신호(EVST2), 게이트 제1 전압(VGH), 게이트 제2 전압(VGL) 및 짝수 발광 클럭들(ECLK2, ECLK3) 등이 공급될 수 있다. 이러한 신호들은 제어 드라이버(400) 또는 전원 공급부(500)로부터 공급될 수 있다.
- [0109] 예를 들어, 홀수 발광제어신호 생성부(230)에 구비된 홀수 더미 스테이지(Dummy odd)는 제어 드라이버(400)로부터 전송된 홀수 발광제어신호 생성부 스타트 신호(EVST1)에 의해 구동될 수 있다. 이 경우, 홀수 발광제어신호 생성부(230)에 구비된 홀수 발광제어신호 스테이지들(EM_Stage1, EM_Stage3, 썸)은 전단 스테이지에서 공급된 신호를 스타트 신호로 이용하여 구동될 수 있다. 여기서 전단 스테이지는 서로 인접되어 있는 스테이지일 수 있으나, 적어도 하나의 또 다른 스테이지를 사이에 두고 이격되어 있는 스테이지일 수도 있다.
- [0110] 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 전원 공급부(500)로부터 공급될 수 있다. 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 홀수 더미 스테이지(Dummy odd) 및 홀수 발광제어신호 스테이지들(EM_Stage1, EM_Stage3, 썸)에 구비된 트랜지스터들의 턴온 및 턴오프를 제어할 수 있다.
- [0111] 홀수 발광 클럭들(ECLK1, ECLK3)은 홀수 발광제어신호 스테이지들(EM_Stage1, EM_Stage3, 썸)로 공급되며, 발광제어신호(EM)의 생성에 이용될 수 있다.
- [0112] 하나의 홀수 발광제어신호 스테이지들(EM_Stage1, EM_Stage3, 썸) 각각은 네 개의 제2 스캔신호 스테이지(Scan2_Stage)들에 대응될 수 있다. 또한, 하나의 홀수 발광제어신호 스테이지들(EM_Stage1, EM_Stage3, 썸) 각각은 네 개의 수평라인(HL)들로 발광제어신호(EM)를 공급할 수 있다.
- [0113] 예를 들어, 짝수 발광제어신호 생성부(240)에 구비된 짝수 더미 스테이지(Dummy even)는 제어 드라이버(400)로부터 전송된 짝수 발광제어신호 생성부 스타트 신호(EVST2)에 의해 구동될 수 있다. 이 경우, 짝수 발광제어신호 생성부(240)에 구비된 짝수 발광제어신호 스테이지들(EM_Stage2, EM_Stage4, 썸)은 전단 스테이지에서 공급된 신호를 스타트 신호로 이용하여 구동될 수 있다. 여기서 전단 스테이지는 서로 인접되어 있는 스테이지일 수 있으나, 적어도 하나의 또 다른 스테이지를 사이에 두고 이격되어 있는 스테이지일 수도 있다.
- [0114] 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 전원 공급부(500)로부터 공급될 수 있다. 게이트 제1 전압(VGH) 및 게이트 제2 전압(VGL)은 짝수 더미 스테이지(Dummy even) 및 짝수 발광제어신호 스테이지들

(EM_Stage2, EM_Stage4, 썸)에 구비된 트랜지스터들의 턴온 및 턴오프를 제어할 수 있다.

- [0115] 짝수 발광 클럭들(ECLK2, ECLK4)은 짝수 발광제어신호 스테이지들(EM_Stage2, EM_Stage4, 썸)로 공급되며, 발광제어신호(EM)의 생성에 이용될 수 있다.
- [0116] 하나의 짝수 발광제어신호 스테이지들(EM_Stage2, EM_Stage4, 썸) 각각은 네 개의 제1 스캔신호 스테이지(Scan1_Stage)들에 대응될 수 있다. 또한, 하나의 짝수 발광제어신호 스테이지들(EM_Stage2, EM_Stage4, 썸) 각각은 네 개의 수평라인(HL)들로 발광제어신호(EM)를 공급할 수 있다.
- [0117] 제1 스캔신호 생성부(210) 및 제2 스캔신호 생성부(220)는, 도 4에 도시된 바와 같이, 발광표시패널의 비표시영역(NDA)들 중, 표시영역(DA)을 사이에 두고 서로 마주보고 있는 두 개의 비표시영역(NDA)들에 구비되어, 표시영역(DA)을 사이에 두고 서로 마주보도록 구비될 수 있다.
- [0118] 이 경우, 홀수 발광제어신호 생성부(230)와 표시영역(DA) 사이에는 제2 스캔신호 생성부(220)가 구비될 수 있으며, 짝수 발광제어신호 생성부(240)와 표시영역(DA) 사이에는 제1 스캔신호 생성부(210)가 구비될 수 있다.
- [0119] 즉, 제1 스캔신호 생성부(210)는, 도 9를 참조하여 설명될 비표시영역(NDA)에서, 짝수 발광제어신호 생성부(240)보다 댐(DAM)에 더 가깝게 배치될 수 있으며, 제2 스캔신호 생성부(220)는, 도 9를 참조하여 설명될 비표시영역(NDA)에서, 홀수 발광제어신호 생성부(230)보다 댐(DAM)에 더 가깝게 배치될 수 있다.
- [0120] 그러나, 홀수 발광제어신호 생성부(230) 및 짝수 발광제어신호 생성부(240)는, 발광표시패널의 비표시영역(NDA)들 중, 표시영역(DA)을 사이에 두고 서로 마주보고 있는 두 개의 비표시영역(NDA)들에 구비되어, 표시영역(DA)을 사이에 두고 서로 마주보도록 구비될 수 있다.
- [0121] 이 경우, 제2 스캔신호 생성부(220)와 표시영역(DA) 사이에는 홀수 발광제어신호 생성부(230)가 구비될 수 있으며, 제1 스캔신호 생성부(210)와 표시영역(DA) 사이에는 짝수 발광제어신호 생성부(240)가 구비될 수 있다.
- [0122] 즉, 짝수 발광제어신호 생성부(240)는, 도 9를 참조하여 설명될 비표시영역(NDA)에서, 제1 스캔신호 생성부(210)보다 댐(DAM)에 더 가깝게 배치될 수 있으며, 홀수 발광제어신호 생성부(230)는, 도 9를 참조하여 설명될 비표시영역(NDA)에서, 제2 스캔신호 생성부(220)보다 댐(DAM)에 더 가깝게 배치될 수 있다.
- [0123] 그러나, 제1 스캔신호 생성부(210), 제2 스캔신호 생성부(220), 홀수 발광제어신호 생성부(230) 및 짝수 발광제어신호 생성부(240)는 상기에서 설명된 배치구조 이외에도, 다양한 배치구조로 비표시영역(NDA)에 구비될 수 있다.
- [0124] 또한, 본 명세서에 적용되는 게이트 드라이버(200)의 구조는 도 4에 도시된 구조에 한정되는 것은 아니다. 따라서, 게이트 드라이버(200)의 구조는 다양한 형태로 변경될 수 있다.
- [0125] 도 5는 본 명세서에 따른 발광표시장치의 구동 방법을 설명하기 위한 예시도이다. 이하의 설명 중 도 1 내지 도 4를 참조하여 설명된 내용과 동일하거나 유사한 내용은 생략되거나 간단히 설명된다.
- [0126] 본 명세서에 따른 발광표시장치는 상기에서 설명된 바와 같이, 픽셀(P)이 구비된 발광표시패널(100), 픽셀구동회로로 게이트 신호들을 공급하는 게이트 드라이버(200), 데이터 드라이버(300), 제어 드라이버(400) 및 전원공급부(500)를 포함한다.
- [0127] 픽셀구동회로는 스위칭 트랜지스터(T1) 및 제1 발광 트랜지스터(T5)를 포함하고, 제1 발광 트랜지스터(T5)는 발광소자(ED)의 애노드와 제1 노드(N1) 사이에 연결된다. 스위칭 트랜지스터(T1)는 발광표시패널(100)에 구비된 데이터 라인(DL)과 제1 노드(N1) 사이에 연결된다. 게이트 드라이버(200)는 제1 발광 트랜지스터(T5)를 1초에 M(M은 3이상의 자연수)회 턴온시키며, 게이트 드라이버(200)는 스위칭 트랜지스터(T1)를 1초에 상기 M회보다는 작고 1회 보다는 많은 S(S는 2이상의 자연수)회 턴온시킬 수 있다.
- [0128] 이 경우, 1초는 리프레쉬 기간(RF) 및 애노드 리셋 기간(AR)으로 구분될 수 있다. 애노드 리셋 기간(AR)은 리프레쉬 기간(RF) 보다 길게 설정될 수 있다.
- [0129] 예를 들어, 1초가 도 5에 도시된 바와 같이, 60개의 프레임 기간들로 구분될 때, 제1 프레임 기간에서는, 제2 스캔신호(Scan2(n))들이 제2 스캔신호 라인(SCL2)들로 순차적으로 공급되어, 발광표시패널(100)에서 하나의 이미지가 표시될 수 있다. 즉, 제1 프레임 기간에서는, 데이터 라인(DL)들로 데이터 전압(Vdata)들이 공급되어, 하나의 이미지가 표시될 수 있다. 제1 프레임 기간은 리프레쉬 기간(RF)이 될 수 있다.
- [0130] 나머지 59개의 프레임 기간들(2nd frame period to 60th frame period)에서는, 제1 발광 트랜지스터(T5)가 턴

온 및 턴오프를 반복한다. 특히, 나머지 59개의 프레임 기간들 각각에서 제1 발광 트랜지스터(T5)가 1회 턴온되며, 이에 따라, 발광소자(100)들에서 광이 출력될 수 있다. 나머지 59개의 프레임 기간들은 애노드 리셋 기간(AR)이라 한다. 즉, 1초의 기간 중 리프레쉬 기간(RF)을 제외한 나머지 기간들은 애노드 리셋 기간(AR)이라 한다.

- [0131] 발광소자들은 리프레쉬 기간에 구동 트랜지스터(T2)에 충전된 데이터 전압을 이용하여, 광을 출력할 수 있으며, 애노드 리셋 기간에도 구동 트랜지스터(T2)에 충전된 데이터 전압을 이용하여, 광을 출력할 수 있다. 따라서, 제2 프레임 기간 내지 제60 프레임 기간에서도, 리프레쉬 기간(RF)에 출력된 이미지와 동일한 이미지들이 표시될 수 있다.
- [0132] 리프레쉬 기간(RF)에는 데이터 라인(DL), 스위칭 트랜지스터(T1) 및 제1 노드(N1)를 통해 구동 트랜지스터의 게이트로 데이터 전압(Vdata)이 공급되고, 데이터 전압(Vdata)의 크기에 따라 발광소자(ED)에서 광이 출력된다. 애노드 리셋 기간(AR)에는, 리프레쉬 기간(RF)에 공급된 데이터 전압(Vdata)이 이용되며, 제1 발광 트랜지스터(T5)가 턴온 및 턴오프를 반복하여, 발광소자(ED)에서 광이 출력될 수 있다.
- [0133] 이 경우, 스위칭 트랜지스터(T1)는 리프레쉬 기간(RF)에 1회 턴온되며, 애노드 리셋 기간에 S-1회 턴온될 수 있다.
- [0134] 즉, 제1 발광 트랜지스터(T5)가 1초에 M(M은 3이상의 자연수)회 턴온되고, 스위칭 트랜지스터(T1)가 1초에 M회 보다는 작고 1회 보다는 많은 S(S는 2이상의 자연수)회 턴온될 때, 스위칭 트랜지스터(T1)는 리프레쉬 기간(RF)에 1회 턴온되며, 애노드 리셋 기간에는 S-1회 턴온될 수 있다.
- [0135] 예를 들어, S가 2일 때, 도 5에 도시된 바와 같이, 스위칭 트랜지스터(T1)는 리프레쉬 기간(RF)에 1회 턴온되며, 애노드 리셋 기간(AR) 중 제n 프레임 기간(nth frame period)에 1회(=2-1) 턴온될 수 있다.
- [0136] 이 경우, 제n 프레임 기간에서, 스위칭 트랜지스터(T1)들은 제2 스캔신호 라인(SCL2)들로 공급되는 제2 스캔신호(Scan2(n))들에 의해 1회씩만 턴온된다.
- [0137] 이 경우, S의 크기는 발광표시장치의 특성 및 소비전력 등을 고려하여 다양하게 설정될 수 있다. 특히, 본 명세서에 따른 발광표시장치에서는 소비전력을 감소시키기 위해, S는 M보다 작게 설정된다.
- [0138] 특히, 스위칭 트랜지스터(T1)가 턴온되는 회수는, 스위칭 트랜지스터(T1)의 게이트에 인가되는 전압의 특성을 고려하여 설정될 수 있다.
- [0139] 예를 들어, 전자 시계와 같이 이미지의 변화가 크지 않은 전자장치에 적용되는 발광표시장치에서는, 소비전력 개선을 위해 1초의 기간 중 리프레쉬 기간(RF)에만 데이터 전압들이 데이터 라인들로 공급되고, 1초의 기간 중 리프레쉬 기간(RF)을 제외한 애노드 리셋 기간(AR)에는 발광제어신호를 이용하여 발광소자들의 발광이 제어될 수 있다. 그러나, 상기한 바와 같은 방식에 의해 구동되는 발광표시장치에서는, 리프레쉬 기간(RF)에만 턴온된 후 애노드 리셋 기간(AR)에는 턴오프되어야 하는 스위칭 트랜지스터(T1)가, 애노드 리셋 기간에 비정상적으로 턴온되는 불량이 발생될 수 있다.
- [0140] 그러나, 도 5에 도시된 바와 같이, 애노드 리셋 기간(AR)에 적어도 한 번 스위칭 트랜지스터(T1)가 턴온되면, 스위칭 트랜지스터(T1)가 비정상적으로 턴온되는 불량이 방지될 수 있다. 이 경우, 스위칭 트랜지스터(T1)가 턴온되는 회수는 상기에서 설명된 바와 같이, 스위칭 트랜지스터(T1)의 특성 등을 고려하여 다양하게 설정될 수 있다. 특히, 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T2)가 턴온되는 회수는 소비전력을 고려하여 다양하게 설정될 수 있다.
- [0141] 이 경우, 애노드 리셋 기간(AR)에 데이터 라인(DL)으로는 데이터 전압과 다른 보상전압(Vpark)이 공급된다.
- [0142] 따라서, 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T1)가 턴온될 때, 데이터 라인(DL) 및 스위칭 트랜지스터(T1)를 통해 제1 노드(N1)로 보상전압(Vpark)이 공급된다.
- [0143] 보상전압(Vpark)은 발광소자(ED)에서 발생하는 광의 휘도에 영향을 미치지 않도록 하는 전압으로 설정될 수 있다.
- [0144] 예를 들어, 애노드 리셋 기간(AR)에서, 스위칭 트랜지스터(T1)가 턴온될 때, 제1 발광 트랜지스터(T5)가 턴온되어, 제1 노드(N1)로 보상전압(Vpark)이 공급될 수 있으며, 이에 따라, 보상전압(Vpark)이 발광소자(ED)의 애노드로 인가될 수 있다. 그러나, 이 경우, 제2 발광 트랜지스터(T4)가 턴오프되기 때문에 발광소자(ED)로는 전류가 공급되지 않는다. 따라서, 제1 노드(N1)로 보상전압(Vpark)이 공급되더라도, 발광소자(ED)에서는 광이 출력

되지 않는다.

- [0145] 그러나, 제2 발광트랜지스터(T4)가 턴온되는 경우, 제1 노드(N1)를 통해 발광소자(ED)로 전류가 공급되기 때문에, 발광소자(ED)가 광을 출력하기 직전에 제1 노드(N1)에 인가된 보상전압(Vpark)에 의해, 발광소자(ED)에서 출력되는 광의 휘도가 영향을 받을 수 있다.
- [0146] 이를 방지하기 위해, 보상전압(Vpark)은, 발광표시장치의 제조 과정에서, 각종 테스트 및 시뮬레이션 등을 통해 산출될 수 있으며, 특히, 발광소자(ED)에서 출력되는 광의 휘도에 영향을 미치지 않도록 하는 값 또는, 최소한의 영향을 미치는 값으로 설정될 수 있다.
- [0147] 예를 들어, 테스트 또는 시뮬레이션을 통해, 픽셀(P)에 대응되는 모든 계조에 대응되는 데이터 전압(Vdata)들 각각이 인가된 후, 다양한 크기의 보상전압(Vpark)이 인가될 수 있다. 이러한 테스트 또는 시뮬레이션에 의해, 모든 계조들 각각에 대응되는 휘도와 동일 또는 유사한 휘도를 발생시키는 보상전압(Vpark)이 설정될 수 있다.
- [0148] 즉, 보상전압(Vpark)은 각종 테스트 및 시뮬레이션을 통해 설정될 수 있으며, 애노드 리셋 기간(AR)에는 보상전압(Vpark)들이 데이터 라인(DL)들을 통해 공급될 수 있다.
- [0149] 제1 발광 트랜지스터(T5)는 리프레쉬 기간(RF)에 1회 턴온되며, 애노드 리셋 기간(AR)에 M-1회 턴온된다.
- [0150] 즉, 리프레쉬 기간(RF)에 제1 발광 트랜지스터(T5)가 턴온되면, 구동 트랜지스터(T2)를 통해 발광소자(ED)로 전류가 공급될 수 있으며, 이에 따라, 발광소자에서는 광이 출력될 수 있다.
- [0151] 이 경우, 구동 트랜지스터(T2)의 게이트에 연결된 스토리지 캐패시터(Cst)에는 리프레쉬 기간(RF)에 데이터 라인(DL)을 통해 공급된 데이터 전압(Vdata)이 저장되어 있으며, 따라서, 애노드 리셋 기간(AR)에도 구동 트랜지스터(T2)는 스토리지 캐패시터(Cst)에 저장된 데이터 전압(Vdata)에 대응되는 전류를 발광소자(ED)로 전달할 수 있다. 따라서, 애노드 리셋 기간(AR)에 발광소자(ED)로부터 출력되는 광의 휘도는 리프레쉬 기간(RF)에 발광소자(ED)로부터 출력되는 광의 휘도와 동일할 수 있다. 이에 따라, 발광표시패널(100)에서는, 리프레쉬 기간(RF) 및 애노드 리셋 기간(AR)에 하나의 이미지가 지속적으로 표시될 수 있다. 또한, 구동 트랜지스터(T2)에 저장된 데이터 전압(Vdata)이 누설되는 것을 방지하기 위해, 스캔 트랜지스터(T3) 및 구동 트랜지스터(T2)는 오프 누설 전류가 작은 산화물 박막 트랜지스터로 형성될 수 있다.
- [0152] 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T2)가 턴온되는 회수는 애노드 리셋 기간(AR)에 제1 발광 트랜지스터(T5)가 턴온되는 회수보다 작다. 즉, 상기에서 설명된 예에서, 제1 발광 트랜지스터(T5)가 1초에 M(M은 3이상의 자연수)회 턴온되고, 스위칭 트랜지스터(T1)가 1초에 M회보다는 작고 1회 보다는 많은 S(S는 2이상의 자연수)회 턴온될 때, 스위칭 트랜지스터(T1)는 애노드 리셋 기간에는 S-1회 턴온될 수 있으며, 제1 발광 트랜지스터(T5)는 M-1회 턴온될 수 있다.
- [0153] S가 M보다 작기 때문에, 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T2)가 턴온되는 회수는 애노드 리셋 기간(AR)에 제1 발광 트랜지스터(T5)가 턴온되는 회수보다 작다.
- [0154] 도 6은 본 명세서에 따른 발광표시장치의 리프레쉬 기간의 구동 방법을 설명하기 위한 타이밍도이며, 도 7a 내지 도 7d는 본 명세서에 따른 발광표시장치의 리프레쉬 기간의 구동 방법을 설명하기 위한 예시도들이다. 이하의 설명 중 도 1 내지 도 5를 참조하여 설명된 내용과 동일하거나 유사한 내용은 생략되거나 간단히 설명된다.
- [0155] 우선, 리프레쉬 기간(RF) 중 초기화 기간(A)에는 도 6에 도시된 바와 같이, 하이레벨의 제1 발광제어신호(EM(n-2)), 로우레벨의 제2 발광제어신호(EM(n)), 하이레벨의 제1 스캔신호(Scan1(n)) 및 로우레벨의 제2 스캔신호(Scan2(n))가 픽셀(P)로 공급된다.
- [0156] 이에 따라, 도 7a에 도시된 바와 같이, 초기화 전압(Vini)이 발광소자(ED)의 애노드로 공급되어, 발광소자(ED)의 애노드가 초기화 전압(Vini)으로 초기화된다.
- [0157] 다음, 샘플링 기간(B)에는 도 6에 도시된 바와 같이, 하이레벨의 제1 발광제어신호(EM(n-2)), 하이레벨의 제2 발광제어신호(EM(n)), 하이레벨의 제1 스캔신호(Scan1(n)) 및 하이레벨의 제2 스캔신호(Scan2(n))가 픽셀(P)로 공급된다.
- [0158] 이에 따라, 도 7b에 도시된 바와 같이, 데이터 전압(Vdata)이 스위칭 트랜지스터(T1), 구동 트랜지스터(T2) 및 스캔 트랜지스터(T3)를 통해 스토리지 캐패시터(Cst)에 저장된다. 이 경우, 구동 트랜지스터(T2)의 게이트의 전압은 데이터 전압(Vdata) 및 구동 트랜지스터(T2)의 문턱전압의 합이다.

- [0159] 다음, 프로그램 기간(C)에는 도 6에 도시된 바와 같이, 로우레벨의 제1 발광제어신호(EM(n-2)), 하이레벨의 제2 발광제어신호(EM(n)), 로우레벨의 제1 스캔신호(Scan1(n)) 및 로우레벨의 제2 스캔신호(Scan2(n))가 픽셀(P)로 공급된다.
- [0160] 이에 따라, 도 7c에 도시된 바와 같이, 스위칭 트랜지스터(T1), 스캔 트랜지스터(T3), 제2 발광 트랜지스터(T4) 및 초기화 트랜지스터(T6)가 턴오프된다. 이 경우, 구동 트랜지스터(T2)의 게이트의 전압은 샘플링 기간(B)에 서와 마찬가지로, 데이터 전압(Vdata) 및 구동 트랜지스터(T2)의 문턱전압의 합으로 유지된다.
- [0161] 마지막으로, 발광기간(D)에는 도 6에 도시된 바와 같이, 로우레벨의 제1 발광제어신호(EM(n-2)), 로우레벨의 제2 발광제어신호(EM(n)), 로우레벨의 제1 스캔신호(Scan1(n)) 및 로우레벨의 제2 스캔신호(Scan2(n))가 픽셀(P)로 공급된다.
- [0162] 이에 따라, 도 7d에 도시된 바와 같이, 제1 발광트랜지스터(T5) 및 제2 발광 트랜지스터(T4)가 턴온되며, 구동 트랜지스터(T2) 역시, 데이터 전압(Vdata)에 대응되는 크기로 턴온되어, 데이터 전압(Vdata)에 대응되는 전류가 발광소자(ED)로 공급된다. 이에 따라, 발광소자(ED)에서는 데이터 전압(Vdata)에 대응되는 휘도를 갖는 광이 출력된다.
- [0163] 이 경우, 구동 트랜지스터(T2)의 게이트-소스 전압(Vgs)은 데이터 전압(Vdata) 및 초기화 전압(Vini)에 의해 결정될 수 있으며, 구동 트랜지스터(T2)의 문턱전압의 영향을 받지 않는다.
- [0164] 즉, 발광기간(D)에 발광소자(ED)에서 출력되는 광의 휘도는 발광소자(ED)로 공급되는 전류(Ids)의 크기에 의해 결정될 수 있으며, 발광소자(ED)로 공급되는 전류(Ids)의 크기는 아래의 [수학식 1]에 기재된 바와 같이, 데이터 전압(Vdata) 및 초기화 전압(Vini)에 의해 결정되며, 구동 트랜지스터(T2)의 문턱전압에 의해서는 영향을 받지 않는다. 즉, 발광소자(ED)로 공급되는 전류(Ids)는 데이터 전압(Vdata)과 초기화 전압(Vini)의 차전압의 제곱에 비례할 수 있다.

수학식 1

[0165]
$$Ids \propto (Vdata - Vini)^2$$

- [0166] 따라서, 발광표시장치가 지속적으로 사용되어 구동 트랜지스터(T2)의 문턱전압이 변하더라도, 발광소자(ED)는 데이터 전압(Vdata)에 대응되는 휘도를 갖는 광을 정상적으로 출력할 수 있다.
- [0167] 도 8은 본 명세서에 따른 발광표시장치의 애노드 리셋 기간의 구동 방법을 설명하기 위한 타이밍도이다. 특히, 도 8은 애노드 리셋 기간(AR) 중 스위칭 트랜지스터(T1)가 턴온되는 프레임 기간에서의 타이밍도이며, 예를 들어, 도 5에 도시된 제n 프레임 기간(nth frame period)에서의 타이밍도일 수 있다. 이하의 설명 중, 도 1 내지 도 7d를 참조하여 설명된 내용과 동일 또는 유사한 내용은 생략되거나 간단히 설명된다.
- [0168] 상기에서 도 1 내지 도 7d를 참조하여 설명된 바와 같이, 제1 발광 트랜지스터(T2)가 1초에 M(M은 3이상의 자연수)회 턴온되고, 스위칭 트랜지스터(T1)가 1초에 M회보다는 작고 1회 보다는 많은 S(S는 2이상의 자연수)회 턴 온될 때, 애노드 리셋 기간(AR)에서 제1 발광 트랜지스터(T2)는 M-1회 턴온되며, 스위칭 트랜지스터(T1)는 S-1회 턴온된다.
- [0169] 즉, 상기에서 설명된 바와 같이, 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T1)가 지속적으로 턴오프되어 있으면, 스위칭 트랜지스터(T1)의 게이트의 전압이 비정상적으로 상승되어, 비정상적으로 스위칭 트랜지스터(T1)가 턴온되는 경우가 발생할 수 있으며, 이에 따라, 다양한 형태의 노이즈가 발생할 수 있다.
- [0170] 그러나, 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T1)가 적어도 1회 턴온되면, 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T1)가 비정상적으로 턴온되는 불량이 방지될 수 있다. 따라서, 본 명세서에 따른 발광표시장치에서는 애노드 리셋 기간(AR)에 스위칭 트랜지스터(T1)가 적어도 1회 턴온된다.
- [0171] 또한, 애노드 리셋 기간(AR) 중 스위칭 트랜지스터(T1)가 턴온될 때, 데이터 라인(DL)으로는 보상전압(Vpark)이 공급되며, 보상전압(Vpark)은 제1 노드(N1)로 공급된다. 보상전압(Vpark)은 상기에서 설명된 바와 같이, 발광 소자(ED)에서 출력되는 광의 휘도에 최소한의 영향을 미치는 전압으로 설정될 수 있으며, 다양한 테스트들 및 시뮬레이션 등을 통해 설정될 수 있다.

- [0172] 또한, 발광소자(ED)의 특성 변화를 최소화하기 위해, 발광소자(ED)에서 광이 출력되기 직전에 제1 노드(N1)로 보상전압(Vpark)이 공급된다. 이를 위해, 도 8에 도시된 바와 같이, 제2 스캔신호(Scan2(n))는 제1 발광제어신호(EM(n-2))가 로우레벨로 유지되고, 제2 발광제어신호(EM(n))가 하이레벨로 유지된 상태에서, 하이레벨을 갖는다.
- [0173] 즉, 제1 발광제어신호(EM(n-2))가 로우레벨을 갖더라도, 제2 발광제어신호(EM(n))가 하이레벨을 가지면, 제2 발광 트랜지스터(T4)가 턴오프되기 때문에 발광소자(ED)로 전류(Ids)가 흐르지 못하며, 이에 따라, 발광소자(ED)에서는 광이 출력되지 않는다. 이 경우, 제2 스캔신호(Scan2(n))가 하이레벨을 가지면, 스위칭 트랜지스터(T1)가 턴온되어, 제1 노드(N1)로 보상전압(Vpark)이 인가된다. 보상전압(Vpark)은 로우레벨을 갖는 제1 발광제어신호(EM(n-2))에 의해 턴온된 제1 발광 트랜지스터(T5)를 통해 발광소자(ED)의 애노드로 인가된다.
- [0174] 따라서, 발광소자(ED)가 광을 출력하기 직전에, 발광소자(ED)의 애노드는 보상전압(Vpark)에 의해 초기화될 수 있다.
- [0175] 발광소자(ED)의 애노드가 보상전압(Vpark)에 의해 초기화된 후, 제2 발광제어신호(EM(n))가 로우레벨을 가지면, 제1 발광 트랜지스터(T5) 및 제2 발광 트랜지스터(T4)가 모두 턴온되기 때문에, 스토리지 캐패시터(Cst)에 저장된 데이터 전압(Vdata)에 대응되는 전류가, 제2 발광 트랜지스터(T4), 구동 트랜지스터(T2) 및 제1 발광 트랜지스터(T5)를 통해 발광소자(ED)로 흐를 수 있다. 이에 따라, 애노드 리셋 기간(AR)에서도, 리프레쉬 기간(RF)에 출력되는 휘도에 대응되는 휘도를 갖는 광이 출력될 수 있다.
- [0176] 부연하여 설명하면, 본 명세서에 따른 발광표시장치에서는, 발광소자에서 광이 출력되기 직전, 즉, 제1 발광 트랜지스터(T5)가 턴온되어 있고, 제2 발광 트랜지스터(T4)가 턴오프되어 있어서 발광소자에서 광이 출력되지 않는 기간에, 스위칭 트랜지스터(T1)가 턴온될 수 있다. 이에 따라, 발광소자(ED)의 애노드가 보상전압(Vpark)에 의해 초기화될 수 있다. 발광소자(ED)의 애노드가 보상전압(Vpark)에 의해 초기화된 직후, 제1 발광 트랜지스터(T5) 및 제2 발광 트랜지스터(T4)가 턴온되어, 발광소자(ED)에서 광이 출력될 수 있다. 이에 따라, 발광소자(ED)는 리프레쉬 기간(RF)에서와 마찬가지로, 애노드 리셋 기간(AR)에서도 데이터 전압(Vdata)에 대응되는 휘도를 갖는 광을 출력할 수 있다.
- [0177] 따라서, 본 명세서에 따른 발광표시장치에 의하면, 리프레쉬 기간(RF) 및 애노드 리셋 기간(AR)에서 동일 또는 유사한 휘도를 갖는 광이 출력될 수 있으며, 이에 따라, 리프레쉬 기간(RF)에 발광표시패널(100)에서 출력되는 이미지가, 애노드 리셋 기간(AR)에도 지속적으로 출력될 수 있다.
- [0178] 도 9는 본 명세서에 따른 발광표시장치에 적용되는 발광표시패널의 적층 형태를 나타내는 단면도이다. 도 9는 본 명세서에 적용되는 발광표시패널의 적층 구조를 설명하기 위한 예시도이다. 따라서, 도 9에서 설명된 용어들과 도 1 내지 도 8을 참조하여 설명된 용어들이 다를 수 있다. 즉, 도 9는 도 1 내지 도 8과는 독립적으로, 본 명세서에 적용되는 발광표시패널의 적층 구조를 설명하기 위한 예로서 이용된다.
- [0179] 특히, 도 9에는, 두 개의 박막 트랜지스터들(TFT1, TFT2) 및 하나의 커패시터(CST)가 구비되어 있는 발광표시패널의 단면이 도시되어 있다. 두 개의 박막 트랜지스터들(TFT1, TFT2)은 다결정 반도체 물질을 포함하는 박막 트랜지스터 및 산화물 반도체 물질을 포함하는 산화물 박막 트랜지스터(TFT2)를 포함할 수 있다. 이 경우, 다결정 반도체 물질을 포함하는 박막 트랜지스터는 다결정 박막 트랜지스터(TFT1)로 지칭되고, 산화물 반도체 물질을 포함하는 박막 트랜지스터는 산화물 박막 트랜지스터(TFT2)로 지칭된다.
- [0180] 도 9에 도시된 다결정 박막 트랜지스터(TFT1)는 발광소자(ED)와 연결된 박막 트랜지스터일 수 있으며, 산화물 박막 트랜지스터(TFT2)는 커패시터(CST)와 연결된 어느 하나의 박막 트랜지스터일 수 있다.
- [0181] 하나의 픽셀(P)은 발광소자(ED) 및 발광소자(ED)에 구동 전류를 인가하는 픽셀구동회로를 포함한다. 픽셀구동회로는 기판(111) 상에 배치되고, 발광소자(ED)는 픽셀구동회로 상에 배치된다. 그리고, 발광소자(ED) 상에는 봉지층(120)이 배치된다. 봉지층(120)은 발광소자(ED)를 보호한다.
- [0182] 픽셀구동회로는 구동 박막 트랜지스터, 스위칭 박막 트랜지스터, 및 커패시터를 포함한 하나의 픽셀(P) 어레이부를 지칭할 수 있다.
- [0183] 그리고, 발광소자(ED)는 애노드 전극과 캐소드 전극 및 그 사이에 배치되는 발광층을 포함한 발광을 위한 어레이부를 지칭할 수 있다.
- [0184] 일 실시예에서 구동 박막 트랜지스터와 적어도 하나의 스위칭 박막 트랜지스터는 산화물 반도체를 액티브층으로 사용할 수 있다. 산화물 반도체 물질을 액티브층으로 사용하는 박막 트랜지스터는 누설 전류 차단 효과가 우수

하고, 다결정 반도체 물질을 액티브층으로 사용하는 박막 트랜지스터에 비해 상대적으로 제조 비용이 저렴하다. 따라서, 소비전력을 감소시키고 제조 비용을 낮추기 위해 일 실시예에 따른 픽셀구동회로는 산화물 반도체 물질을 사용한 구동 박막 트랜지스터 및 적어도 하나의 스위칭 박막 트랜지스터를 포함할 수 있다. 예를 들어, 도 2에 도시된 픽셀구동회로에서 구동 트랜지스터(T2) 및 스캔 트랜지스터(T3)는 산화물 박막 트랜지스터일 수 있다.

- [0185] 픽셀구동회로를 구성하는 박막 트랜지스터들 모두는 산화물 반도체 물질을 이용하여 구현할 수도 있고, 일부의 스위칭 박막 트랜지스터만 산화물 반도체 물질을 이용하여 구현할 수도 있다.
- [0186] 다만, 산화물 반도체 물질을 이용한 박막 트랜지스터는 신뢰성을 확보하기가 어렵고, 다결정 반도체 물질을 이용한 박막 트랜지스터는 동작 속도가 빠르고 신뢰성이 우수하므로, 일 실시예는 산화물 반도체 물질을 이용한 스위칭 박막 트랜지스터 및 다결정 반도체 물질을 이용한 스위칭 박막 트랜지스터를 모두 포함할 수 있다.
- [0187] 기관(111)은 유기막과 무기막이 교대로 적층된 멀티 레이어(Multi-layer)로 구현될 수 있다. 예를 들어, 기관(111)은 폴리이미드(polyimide)와 같은 유기막과 산화 실리콘(SiO₂)과 같은 무기막이 서로 교번하면서 적층될 수 있다.
- [0188] 기관(111) 상에는 하부 버퍼층(112a)이 형성된다. 하부 버퍼층(112a)은 외부로부터 침투될 수 있는 수분 등을 차단하기 위한 것으로 산화 실리콘(SiO₂)막 등을 다층으로 적층하여 사용할 수 있다. 하부 버퍼층(112a) 상에는 투습으로부터 소자를 보호하기 위해 보조 버퍼층(112b)을 더 배치할 수도 있다.
- [0189] 기관(111) 상에는 다결정 박막 트랜지스터(TFT)가 형성된다. 다결정 박막 트랜지스터(TFT1)는 다결정 반도체를 액티브층으로 사용할 수 있다. 다결정 박막 트랜지스터(TFT1)는 전자 또는 정공이 이동하는 채널을 포함하는 제1 액티브층(ACT1), 제1 게이트 전극(GE1), 제1 소스 전극(SD1), 및 제1 드레인 전극(SD2)을 포함한다.
- [0190] 제1 액티브층(ACT1)은 제1 채널 영역, 제1 채널 영역을 사이에 두고 일 측에 배치된 제1 소스 영역, 및 타 측에 배치된 제1 드레인 영역을 포함한다.
- [0191] 제1 소스 영역 및 제1 드레인 영역은 진성의 다결정 반도체 물질에 5족 또는 3족의 불순물 이온, 예를 들어 인(P)이나 붕소(B)를 소정의 농도로 도핑하여 도체화시킨 영역이다. 제1 채널 영역은 다결정 반도체 물질이 진성의 상태를 유지하는 것으로 전자나 정공이 이동하는 경로를 제공한다.
- [0192] 한편, 다결정 박막 트랜지스터(TFT1)는 제1 액티브층(ACT1) 중 제1 채널 영역과 중첩하는 제1 게이트 전극(GE1)을 포함한다. 제1 게이트 전극(GE1)과 제1 액티브층(ACT1) 사이에는 제1 게이트 절연층(113)이 배치된다. 제1 게이트 절연층(113)은 산화 실리콘(SiO₂)막, 질화 실리콘(SiN_x) 등의 무기층을 단일 또는 다층으로 적층하여 사용할 수 있다.
- [0193] 일 실시예에서 다결정 박막 트랜지스터(TFT1)는 제1 게이트 전극(GE1)이 제1 액티브층(ACT1)의 상부에 위치하는 탑 게이트 구조이다. 이에 따라, 커패시터(CST)에 포함되는 제1 전극(CST1)과 산화물 박막 트랜지스터(TFT2)에 포함되는 차광층(LS)을 제1 게이트 전극(GE1)과 동일한 물질로 형성할 수 있다. 제1 게이트 전극(GE1), 제1 전극(CST1), 및 차광층(LS)을 하나의 마스크 공정을 통해 형성함으로써 마스크 공정을 줄일 수 있다.
- [0194] 제1 게이트 전극(GE1)은 금속 물질로 구성된다. 예를 들어 제1 게이트 전극(GE1)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0195] 제1 게이트 전극(GE1) 상에는 제1 층간 절연층(114)이 배치된다. 제1 층간 절연층(114)은 산화 실리콘(SiO₂), 질화 실리콘(SiN_x) 등으로 구현될 수 있다.
- [0196] 발광표시패널(100)은 제1 층간 절연층(114) 위에 차례로 배치된 상부 버퍼층(115), 제2 게이트 절연층(116) 및 제2 층간 절연층(117)을 더 포함할 수 있고, 다결정 박막 트랜지스터(TFT1)는 제2 층간 절연층(117) 상에 형성되며 제1 소스 영역 및 제1 드레인 영역과 각각 연결되는 제1 소스 전극(SD1) 및 제1 드레인 전극(SD2)을 포함한다.
- [0197] 제1 소스 전극(SD1) 및 제1 드레인 전극(SD2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0198] 상부 버퍼층(115)은 다결정 반도체 물질로 구현된 제1 액티브층(ACT1)으로부터 산화물 반도체 물질로 구현된 산

화물 박막 트랜지스터(TFT2)의 제2 액티브층(ACT2)을 이격시키고, 제2 액티브층(ACT2)을 형성할 수 있는 기반을 제공한다.

- [0199] 제2 게이트 절연층(116)은 산화물 박막 트랜지스터(TFT2)의 제2 액티브층(ACT2)을 덮는다. 제2 게이트 절연층(116)은 산화물 반도체 물질로 구현된 제2 액티브층(ACT2) 위에 형성되기 때문에 무기막으로 구현된다. 예를 들어, 제2 게이트 절연층(116)은 산화 실리콘(SiO₂), 질화 실리콘(SiNx) 등일 수 있다.
- [0200] 제2 게이트 전극(GE2)은 금속 물질로 구성된다. 예를 들어, 제2 게이트 전극(GE2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0201] 한편, 산화물 박막 트랜지스터(TFT2)는 상부 버퍼층(115) 상에 형성되며 산화물 반도체 물질로 구현된 제2 액티브층(ACT2), 제2 게이트 절연층(116) 상에 배치된 제2 게이트 전극(GE2), 제2 층간 절연층(117) 상에 배치된 제2 소스 전극(SD3) 및 제2 드레인 전극(SD4)을 포함한다.
- [0202] 제2 액티브층(ACT2)은 산화물 반도체 물질로 구현되며 불순물이 도핑되지 않은 진성의 제2 채널 영역과 불순물이 도핑되어 도체화된 제2 소스 영역 및 제2 드레인 영역을 포함한다.
- [0203] 산화물 박막 트랜지스터(TFT2)는 상부 버퍼층(115)의 하부에 위치하며 제2 액티브층(ACT2)과 중첩하는 차광층(LS)을 더 포함한다. 차광층(LS)은 액티브층(401)으로 입사되는 광을 차단하여 산화물 박막 트랜지스터(TFT2)의 신뢰성을 확보할 수 있다. 차광층(LS)은 제1 게이트 전극(GE1)과 동일한 물질로 형성되며 제1 게이트 절연층(113)의 상부 표면에 형성될 수 있다. 차광층(LS)은 제2 게이트 전극(GE2)과 전기적으로 연결되어 듀얼 게이트를 구성할 수도 있다.
- [0204] 제2 소스 전극(SD3) 및 제2 드레인 전극(SD4)은 제1 소스 전극(SD1), 및 제1 드레인 전극(SD2)과 함께 제2 층간 절연층(117) 상에서 동일한 물질로 동시에 형성함으로써 마스크 공정 수를 줄일 수 있다.
- [0205] 한편, 제1 층간 절연층(114) 상에 제2 전극(CST2)을 제1 전극(CST1)과 중첩하도록 배치하여 커패시터(CST)를 구현할 수 있다. 제2 전극(CST2)은, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다.
- [0206] 커패시터(CST)는 데이터 라인(DL)을 통해 인가되는 데이터 전압을 일정기간 저장하였다가 발광소자(ED)에 제공한다. 커패시터(CST)는 서로 대응하는 두 개의 전극과 그 사이에 배치되는 유전체를 포함한다. 제1 전극(CST1)과 제2 전극(CST2) 사이에는 제1 층간 절연층(114)이 위치한다.
- [0207] 커패시터(CST) 중 제1 전극(CST1) 또는 제2 전극(CST2)은 산화물 박막 트랜지스터(TFT2) 제2 소스 전극(SD3) 또는 제2 드레인 전극(SD4)과 전기적으로 연결될 수 있다. 하지만, 이에 한정되지 않고 픽셀구동회로에 따라 커패시터(CST)의 연결 관계는 바뀔 수 있다.
- [0208] 한편, 픽셀구동회로 위에는 픽셀구동회로의 상단을 평탄화하기 위해 제1 평탄화층(118) 및 제2 평탄화층(119)이 차례로 배치된다. 제1 평탄화층(118) 및 제2 평탄화층(119)은 폴리이미드나 아크릴 수지와 같은 유기막일 수 있다.
- [0209] 그리고, 제2 평탄화층(119) 위에는 발광소자(ED)가 형성된다.
- [0210] 발광소자(ED)는 애노드 전극(ANO), 캐소드 전극(CAT), 및 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에 배치된 발광층(EL)을 포함한다. 캐소드 전극(CAT)과 연결된 저전위 전압을 공통으로 사용하는 픽셀구동회로로 구현하는 경우 애노드 전극(ANO)은 각 서브 화소 마다 별도의 전극으로 배치된다. 만약, 고전위 전압을 공통으로 사용하는 픽셀구동회로로 구현하는 경우에는 캐소드 전극(CAT)이 각 서브 화소 마다 별도의 전극으로 배치될 수도 있다.
- [0211] 발광소자(ED)는 제1 평탄화층(118) 상에 배치된 중간 전극(CNE)을 통해 구동 소자와 전기적으로 연결된다. 구체적으로, 발광소자(ED)의 애노드 전극(ANO)과 픽셀구동회로를 구성하는 다결정 박막 트랜지스터(TFT1)의 제1 소스 전극(SD1)은 중간 전극(CNE)에 의해 서로 연결된다.
- [0212] 애노드 전극(ANO)은 제2 평탄화층(119)을 관통하는 컨택홀을 통해 노출된 중간 전극(CNE)과 연결된다. 또한, 중간 전극(CNE)은 제1 평탄화층(118)을 관통하는 컨택홀을 통해 노출된 제1 소스 전극(SD1)과 연결된다.

- [0213] 중간 전극(CNE)은 제1 소스 전극(SD1)과 애노드 전극(ANO)을 연결하는 매개물의 역할을 한다. 중간 전극(CNE)은 구리(Cu), 은(Ag), 몰리브덴(Mo), 타이타늄(Ti)과 같은 도전 물질로 형성할 수 있다.
- [0214] 애노드 전극(ANO)은 투명 도전막 및 반사 효율이 높은 불투명 도전막을 포함하는 다층 구조로 형성될 수 있다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수 값이 비교적 큰 물질로 이루어지고, 불투명 도전막으로는 알루미늄(Al), 은(Ag), 구리(Cu), 납(Pb), 몰리브덴(Mo), 타이타늄(Ti) 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어질 수 있다. 예를 들어, 애노드 전극(ANO)은 투명 도전막, 불투명 도전막 및 투명 도전막이 순차적으로 적층된 구조로 형성되거나, 투명 도전막 및 불투명 도전막이 순차적으로 적층된 구조로 형성될 수 있다.
- [0215] 발광층(EL)은 애노드 전극(ANO) 상에 정공 관련층, 유기 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다.
- [0216] बैं크층(BNK)은 각 픽셀(P)의 애노드 전극(ANO)을 노출시키는 화소 정의막일 수 있다. बैं크층(BNK)은 인접한 픽셀(P) 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, बैं크층(BNK)은 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광 물질을 포함한다. बैं크층(BNK) 상에는 스페이서(700)가 더 배치될 수 있다.
- [0217] 캐소드 전극(CAT)은 발광층(EL)을 사이에 두고 애노드 전극(ANO)과 대향하며 발광층(EL)의 상부면 및 측면 상에 형성된다. 캐소드 전극(CAT)은 표시 영역(DA) 전체에 일체로 형성될 수 있다. 캐소드 전극(CAT)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어질 수 있다.
- [0218] 캐소드 전극(CAT) 상에는 수분 침투를 억제하는 봉지층(120)이 더 배치될 수 있다.
- [0219] 봉지층(120)은 외부의 수분이나 산소에 취약한 발광소자(ED)로 외부의 수분이나 산소가 침투되는 것을 차단할 수 있다. 이를 위해, 봉지층(120)은 적어도 1층의 무기 봉지층과, 적어도 1층의 유기 봉지층을 구비할 수 있으며, 이에 한정되는 것은 아니다. 본 명세서에서는 제1 봉지층(121), 제2 봉지층(122) 및 제3 봉지층(123)이 순차적으로 적층된 봉지층(120)의 구조를 예로 들어 설명하기로 한다.
- [0220] 제1 봉지층(121)은 캐소드 전극(CAT)이 형성된 기판(111) 상에 형성된다. 제3 봉지층(123)은 제2 봉지층(122)이 형성된 기판(111) 상에 형성되며, 제1 봉지층(121)과 함께 제2 봉지층(122)의 상부면, 하부면 및 측면을 둘러싸도록 형성될 수 있다. 이러한 제1 봉지층(121) 및 제3 봉지층(123)은 외부의 수분이나 산소가 발광 소자(EL)로 침투하는 것을 최소화하거나 방지할 수 있다. 제1 봉지층(121) 및 제3 봉지층(123)은 질화실리콘(SiNx), 산화실리콘(SiOx), 산화질화실리콘(SiON) 또는 산화 알루미늄(Al2O3)과 같은 저온 증착이 가능한 무기 절연 재질로 형성될 수 있다. 제1 봉지층(121) 및 제3 봉지층(123)은 저온 분위기에서 증착되므로, 제1 봉지층(121) 및 제3 봉지층(123)의 증착 공정 시 고온 분위기에 취약한 발광소자(ED)가 손상되는 것을 방지할 수 있다.
- [0221] 제2 봉지층(122)은 표시 장치(10)의 휘어짐에 따른 각 층들 간의 응력을 완화시키는 완충역할을 하며, 각 층들 간의 단차를 평탄화 할 수 있다. 제2 봉지층(122)은 제1 봉지층(121)이 형성된 기판(111) 상에 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 및 폴리에틸렌 또는 실리콘옥시카본(SiOC)과 같은 비감광성 유기 절연 재질 또는 포토아크릴과 같은 감광성 유기 절연 재질로 형성될 수 있으며, 이에 한정되는 것은 아니다. 제2 봉지층(122)이 잉크젯 방식을 통해 형성되는 경우, 액상 형태의 제2 봉지층(122)이 기판(111)의 가장자리로 확산되는 것을 방지하도록 댐(DAM)이 배치될 수 있다. 댐(DAM)은 제2 봉지층(122)보다 기판(111)의 가장자리에 더 가깝게 배치될 수 있다. 이러한 댐(DAM)에 의해, 기판(111)의 최외곽에 배치되는 도전 패드가 배치되는 패드 영역으로 제2 봉지층(122)이 확산되는 것을 방지할 수 있다.
- [0222] 댐(DAM)은 제2 봉지층(122)의 확산이 방지되도록 설계되나, 공정 중에 댐(DAM)의 높이를 넘도록 제2 봉지층(122)이 형성되는 경우, 유기층인 제2 봉지층(122)이 외부로 노출될 수 있으므로, 수분 등이 발광소자 내부로 침투가 용이하게 될 수 있다. 따라서, 이를 방지하도록 댐(DAM)은 적어도 10개 이상으로 중복하여 형성될 수 있다.
- [0223] 댐(DAM)은 비표시 영역(NDA)의 제2 층간 절연층(117) 상에 배치될 수 있다.
- [0224] 또한, 댐(DAM)은 제1 평탄화층(118) 및 제2 평탄화층(119)과 동시에 형성될 수 있다. 제1 평탄화층(118)이 형성 시 댐(DAM)의 하부층이 함께 형성되고, 제2 평탄화층(119)이 형성 시에 댐(DAM)의 상부층이 함께 형성되어,

이중 구조로 적층되어 형성될 수 있다.

- [0225] 따라서, 댐(DAM)은 제1 평탄화층(118) 및 제2 평탄화층(119)과 동일한 물질로 구성될 수 있으나, 이에 한정되는 것은 아니다.
- [0226] 댐(DAM)은 저전위 구동 전원 라인(VSS)과 중첩하여 형성될 수 있다. 예를 들면, 비표시 영역(NDA)에서 댐(DAM)이 위치한 영역의 하부 층에는 저전위 구동 전원 라인(VSS)이 형성될 수 있다.
- [0227] 저전위 구동 전원 라인(VSS) 및 GIP(Gate In Panel) 형태로 구성된 게이트 드라이버(200)는 표시 패널의 외곽을 둘러싸는 형태로 형성되며, 저전위 구동 전원 라인(VSS)은 게이트 드라이버(200)보다 외곽에 위치할 수 있다. 또한, 저전위 구동 전원 라인(VSS)은 캐소드 전극(CAT)과 연결되어 공통전압을 인가할 수 있다. 게이트 드라이버(200)는 평면 및 단면의 도면에서 단순하게 표현되어 있으나, 표시영역(DA)의 박막 트랜지스터와 동일한 구조의 박막 트랜지스터를 이용하여 구성될 수 있다.
- [0228] 저전위 구동 전원 라인(VSS)은 게이트 드라이버(200)보다 외측에 배치된다. 저전위 구동 전원 라인(VSS)은 게이트 드라이버(200)보다 외측에 배치되고, 표시 영역(DA)을 둘러싼다. 예를 들면, 저전위 구동 전원 라인(VSS)은 제1 게이트 전극(GE1)과 동일한 물질로 이루어질 수도 있지만, 이에 제한되지 않고, 제2 전극(CST2) 또는 제1 소스 및 드레인 전극(SD1, SD2)과 동일한 물질로 이루어질 수 있으나, 이에 제한되지 않는다.
- [0229] 또한, 저전위 구동 전원 라인(VSS)은 캐소드 전극(CAT)과 전기적으로 연결될 수 있다. 저전위 구동 전원 라인(VSS)은 표시 영역(DA)의 복수의 픽셀(P)에 저전위 구동 전압(EVSS)을 공급할 수 있다.
- [0230] 봉지층(120) 상에는 터치층이 배치될 수 있다. 터치층에서 터치 버퍼막(151)은 터치 전극 연결 라인(152, 154)과 터치 전극(155, 156)을 포함하는 터치 센서 메탈과, 발광 소자(EL)의 캐소드 전극(CAT) 사이에 위치할 수 있다.
- [0231] 터치 버퍼막(151)은 터치 버퍼막(151) 상에 배치되는 터치 센서 메탈의 제조 공정 시 이용되는 약액(현상액 또는 식각액 등등) 또는 외부로부터의 수분 등이 유기물을 포함하는 발광층(EL)으로 침투되는 것을 차단할 수 있다. 이에 따라, 터치 버퍼막(151)은 약액 또는 수분에 취약한 발광층(EL)의 손상을 방지할 수 있다.
- [0232] 터치 버퍼막(151)은 고온에 취약한 유기물을 포함하는 발광층(EL)의 손상을 방지하기 위해 일정 온도(예: 100도 C 이하)의 저온에서 형성 가능하고 1~3의 자유전율을 가지는 유기 절연 재질로 형성된다. 예를 들어, 터치 버퍼막(151)은 아크릴 계열, 에폭시 계열 또는 실록산(Siloxan) 계열의 재질로 형성될 수 있다. 유기 절연 재질로 평탄화 성능을 가지는 터치 버퍼막(151)은 유기 발광 디스플레이 장치의 휘어짐에 따른 봉지층(120)의 손상 및 터치 버퍼막(151) 상에 형성되는 터치 센서 메탈의 깨짐 현상을 방지할 수 있다.
- [0233] 뮤추얼-캐패시턴스 기반의 터치 센서 구조에 따르면, 터치 버퍼막(151) 상에 터치 전극(155, 156)이 배치되며, 터치 전극(155, 156)은 서로 교차되게 배치될 수 있다.
- [0234] 터치 전극 연결 라인(152, 154)은 터치 전극(155, 156) 사이를 전기적으로 연결할 수 있다. 터치 전극 연결 라인(152, 154)과 터치 전극(155, 156)은 터치 절연막(153)을 사이에 두고 서로 다른 층에 위치할 수 있다.
- [0235] 터치 전극 연결 라인(152, 154)은 뱅크층(165)과 중첩되도록 배치되어, 개구율이 저하되는 것을 방지할 수 있다.
- [0236] 한편, 터치 전극(155, 156)은 터치 전극 연결 라인(152)의 일부가 봉지층(120)의 상부 및 측면과 댐(DAM)의 상부 및 측면을 지나서 터치 패드(PAD)를 통해 터치 구동 회로와 전기적으로 연결될 수 있다.
- [0237] 터치 전극 연결 라인(152)의 일부는, 터치 구동 회로로부터 터치 구동 신호를 공급받아 터치 전극(155, 156)에 전달할 수 있고, 터치 전극(155, 156)에서의 터치 센싱 신호를 터치 구동 회로로 전달해줄 수도 있다.
- [0238] 터치 전극(155, 156) 상에 터치 보호막(157)이 배치될 수 있다. 도면에서 터치 보호막(157)은 터치 전극(155, 156) 상에만 배치된 것으로 도시되었으나, 이에 한정되지 않고, 터치 보호막(157)이 댐(DAM)의 전 또는 후까지 확장되어 터치 전극 연결 라인(152) 상에도 배치될 수 있다.
- [0239] 그리고, 봉지층(120) 상에 컬러 필터가 더 배치될 수 있으며, 컬러 필터는 터치층 상에 위치할 수도 있고, 봉지층(120)과 터치층 사이에 위치할 수도 있다.
- [0240] 상기에서 설명된 본 명세서에 따른 발광표시장치는 다음과 같은 특징들을 갖는다.

- [0241] 즉, 본 명세서에 따른 발광표시장치는, 픽셀구동회로 및 발광소자를 포함하는 픽셀이 구비된 발광표시패널 및 상기 픽셀구동회로로 게이트 신호들을 공급하는 게이트 드라이버를 포함하고, 상기 픽셀구동회로는 스위칭 트랜지스터 및 제1 발광 트랜지스터를 포함하고, 상기 제1 발광 트랜지스터는 상기 애노드와 제1 노드 사이에 연결되고, 상기 스위칭 트랜지스터는 상기 발광표시패널에 구비된 데이터 라인과 상기 제1 노드 사이에 연결되고, 상기 게이트 드라이버는 상기 제1 발광 트랜지스터를 1초에 M (M 은 3이상의 자연수)회 턴온시키고, 상기 스위칭 트랜지스터를 1초에 상기 M 회보다는 작고 1회 보다는 많은 S (S 는 2이상의 자연수)회 턴온시키며, 1초는 리프레쉬 기간 및 애노드 리셋 기간으로 구분될 수 있다.
- [0242] 상기 리프레쉬 기간에는 상기 데이터 라인 및 상기 스위칭 트랜지스터를 통해 상기 제1 노드로 데이터 전압이 공급되고, 상기 데이터 전압의 크기에 따라 상기 발광소자에서 광이 출력되며, 상기 애노드 리셋 기간에는 상기 제1 발광 트랜지스터가 턴온 및 턴오프를 반복하여, 상기 발광소자에서 광이 출력될 수 있다.
- [0243] 상기 스위칭 트랜지스터는 상기 리프레쉬 기간에 1회 턴온되며, 상기 애노드 리셋 기간에 $S-1$ 회 턴온될 수 있다.
- [0244] 상기 제1 발광 트랜지스터는 상기 리프레쉬 기간에 1회 턴온되며, 상기 애노드 리셋 기간에 $M-1$ 회 턴온될 수 있다.
- [0245] 상기 리프레쉬 기간보다 상기 애노드 리셋 기간이 길 수 있다.
- [0246] 상기 애노드 리셋 기간에 상기 데이터 라인으로는 상기 데이터 전압과 다른 보상전압(V_{park})이 공급될 수 있다.
- [0247] 상기 애노드 리셋 기간 중 상기 제1 발광 트랜지스터가 턴오프되어 있을 때, 상기 스위칭 트랜지스터가 턴온될 수 있다.
- [0248] 상기 픽셀구동회로는 제1 전극으로는 제1 전압이 공급되고, 제2 전극이 상기 제1 노드에 연결되며, 상기 발광소자로 공급되는 전류의 크기를 제어하는 구동 트랜지스터를 더 포함할 수 있다.
- [0249] 상기 스위칭 트랜지스터는 N타입 트랜지스터이며, 상기 제1 발광 트랜지스터는 P타입 트랜지스터일 수 있다.
- [0250] 상기 픽셀구동회로는, 상기 스위칭 트랜지스터, 상기 제1 발광 트랜지스터, 제1 전극으로는 제1 전압이 공급되고, 제2 전극이 상기 제1 노드에 연결되며, 상기 발광소자로 공급되는 전류의 크기를 제어하는 구동 트랜지스터, 제1 전극은 상기 제1 전압이 공급되는 제1 전압라인과 연결되고, 제2 전극은 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 발광 트랜지스터, 제1 전극은 상기 구동 트랜지스터의 게이트에 연결되고, 제2 전극은 상기 구동 트랜지스터의 제1 전극에 연결되며, 제1 스캔신호에 의해 구동되는 스캔 트랜지스터, 제1 전극은 상기 애노드에 연결되고, 제2 전극은 초기화 전압이 공급되는 초기화 라인에 연결되며, 게이트는 상기 제1 발광 트랜지스터의 게이트에 연결되는 초기화 트랜지스터 및 상기 구동 트랜지스터의 게이트와 상기 애노드 사이에 연결되는 스토리지 캐패시터를 포함할 수 있다.
- [0251] 상기 애노드 리셋 기간 중 상기 제1 발광 트랜지스터가 턴온되어 있고, 상기 제2 발광 트랜지스터가 턴오프되어 있을 때, 상기 스위칭 트랜지스터가 턴온될 수 있다.
- [0252] 상기 초기화 트랜지스터는 N타입 트랜지스터이며, 상기 제1 발광 트랜지스터는 P타입 트랜지스터일 수 있다.
- [0253] 상기 제1 발광 트랜지스터의 게이트로 입력되는 제1 발광제어신호와 상기 제2 발광 트랜지스터의 게이트로 입력되는 제2 발광제어신호는 서로 다른 신호들일 수 있다.
- [0254] 상기 애노드 리셋 기간에서, 상기 제1 발광 트랜지스터가 턴온된 후, 상기 제2 발광 트랜지스터가 턴온될 수 있다.
- [0255] 상기 애노드 리셋 기간에 상기 스위칭 트랜지스터가 턴온되는 회수는 상기 애노드 리셋 기간에 상기 제1 발광 트랜지스터가 턴온되는 회수보다 작을 수 있다.
- [0256] 본 명세서가 속하는 기술분야의 당업자는 본 명세서가 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

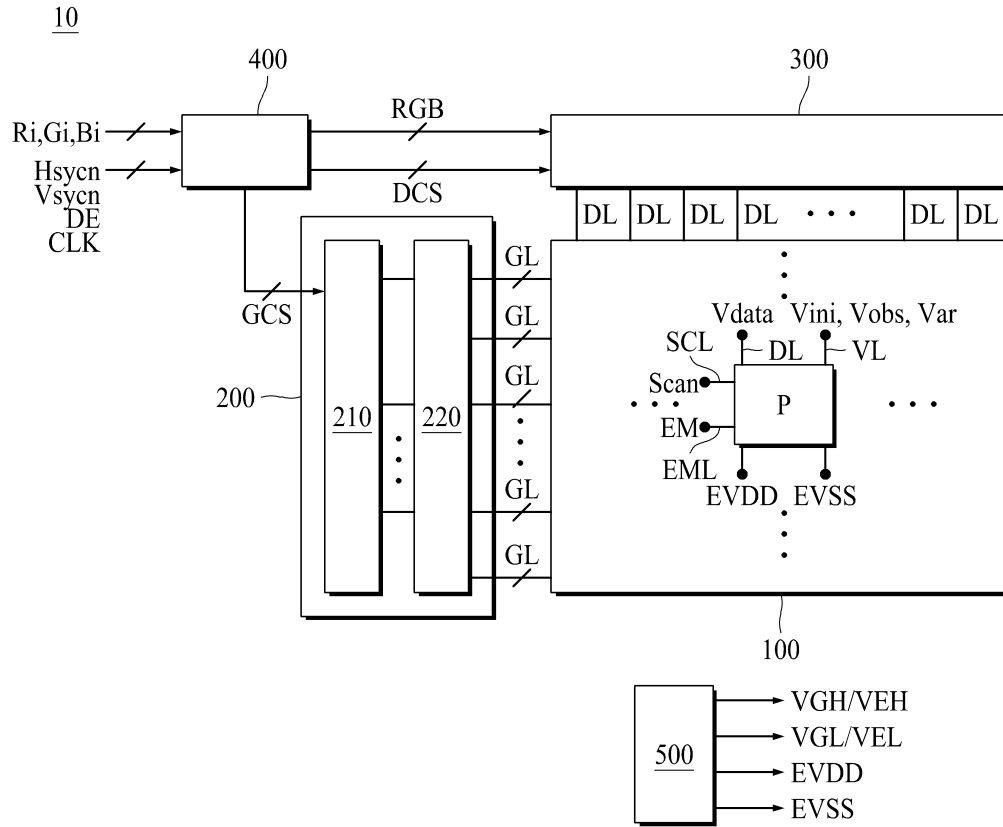
부호의 설명

- [0257] 100: 발광표시패널 200: 게이트 드라이버

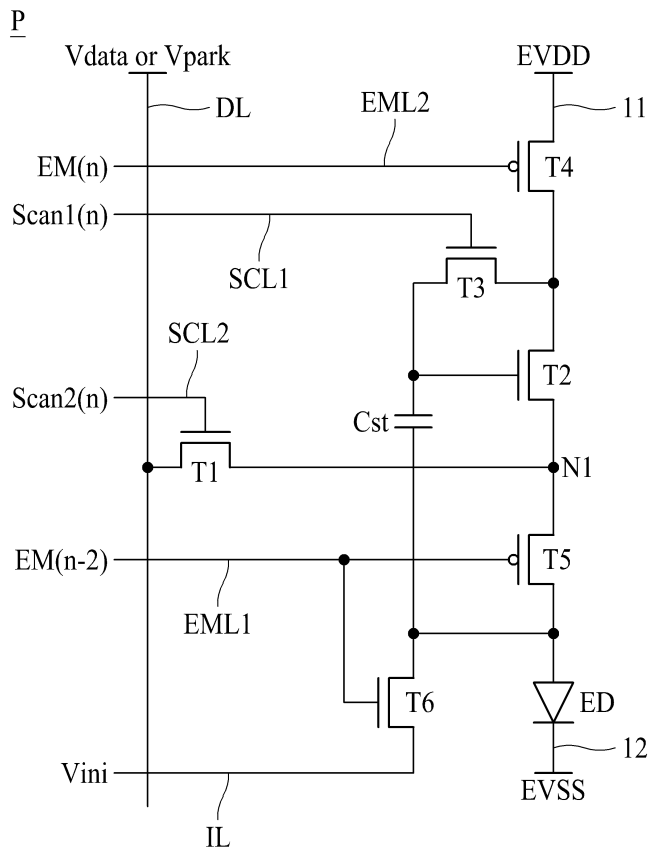
300: 데이터 드라이버 400: 제어 드라이버

도면

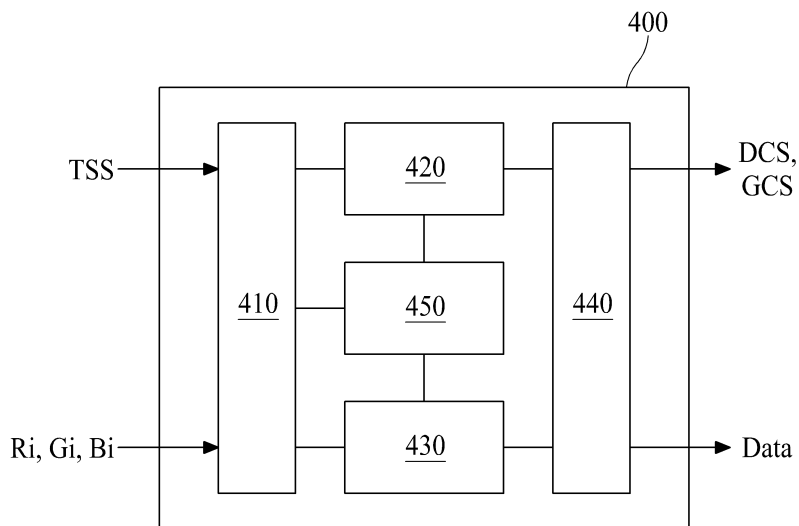
도면1



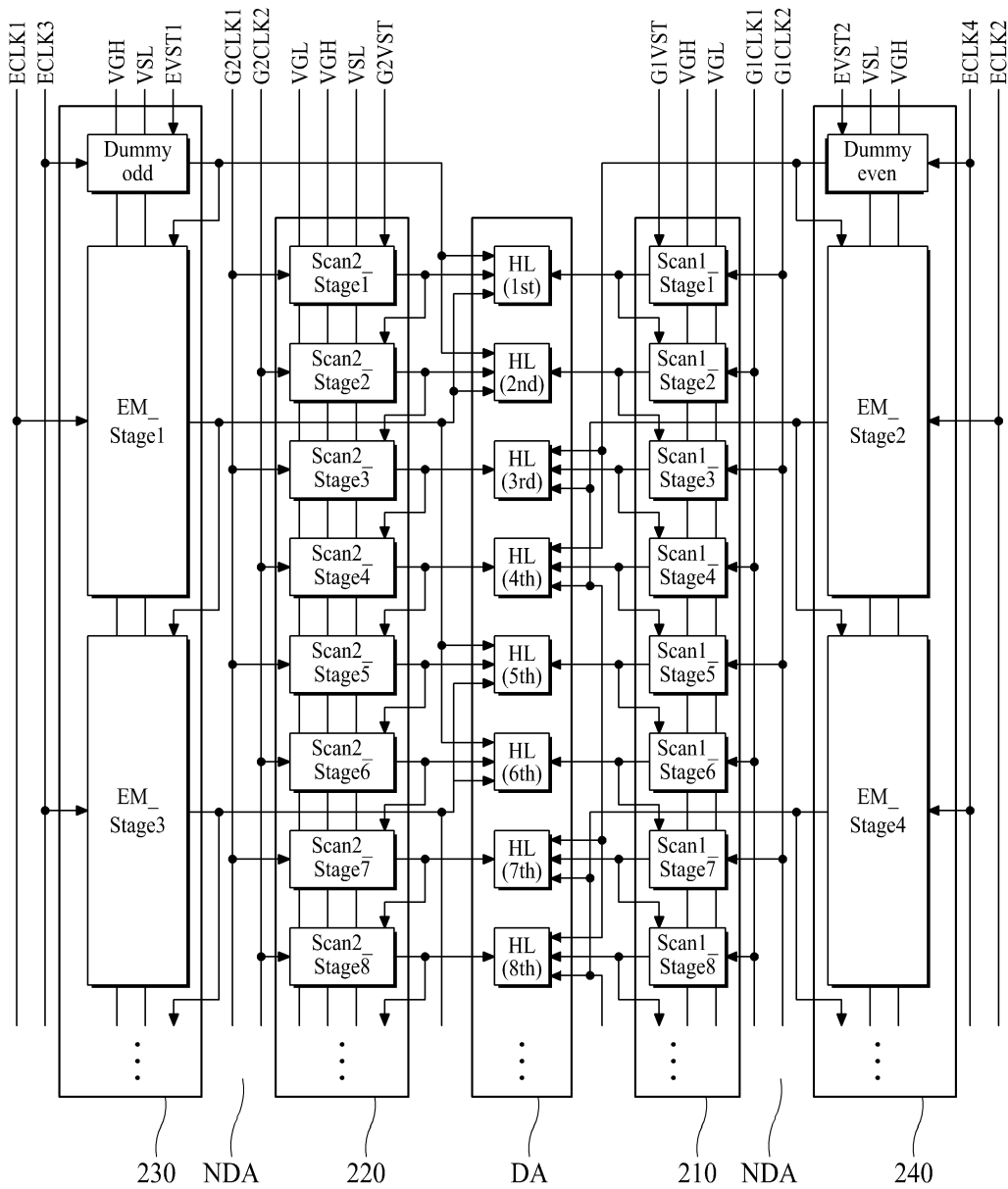
도면2



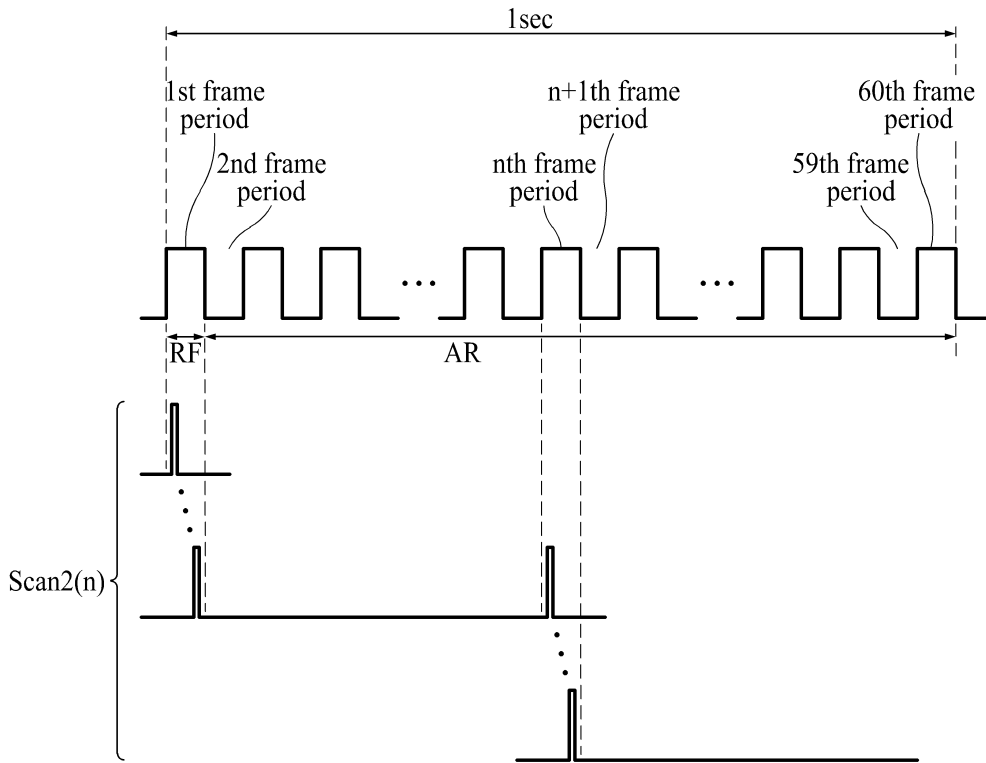
도면3



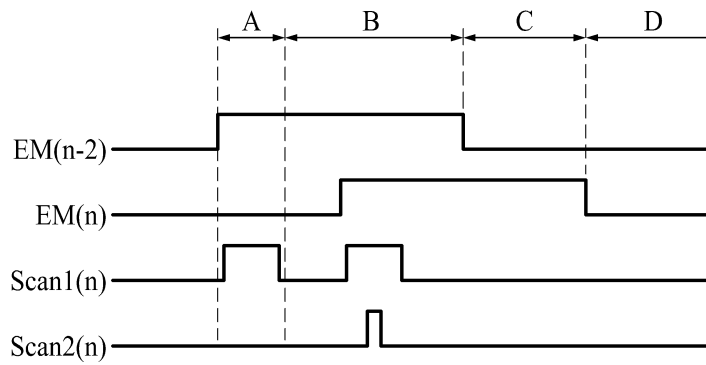
도면4



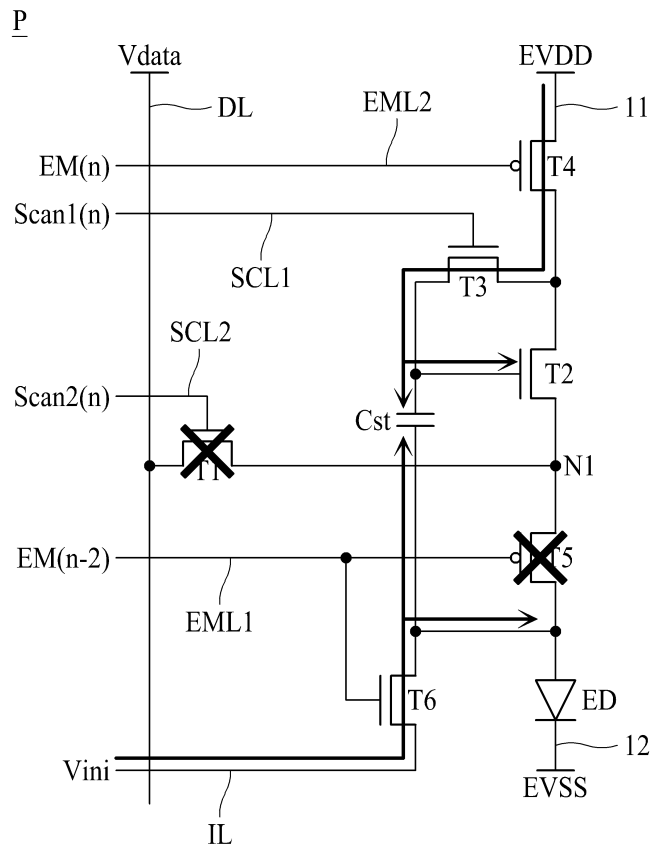
도면5



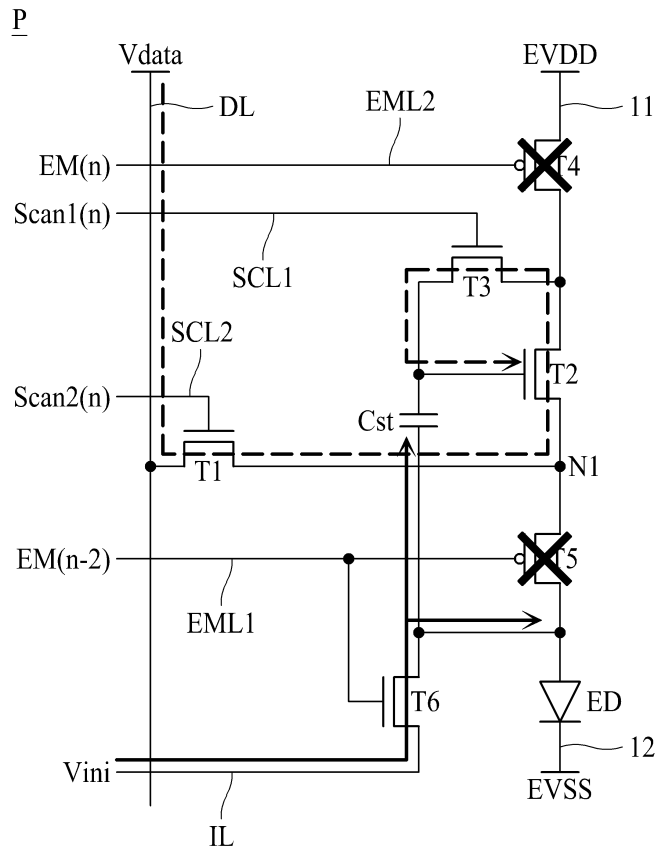
도면6



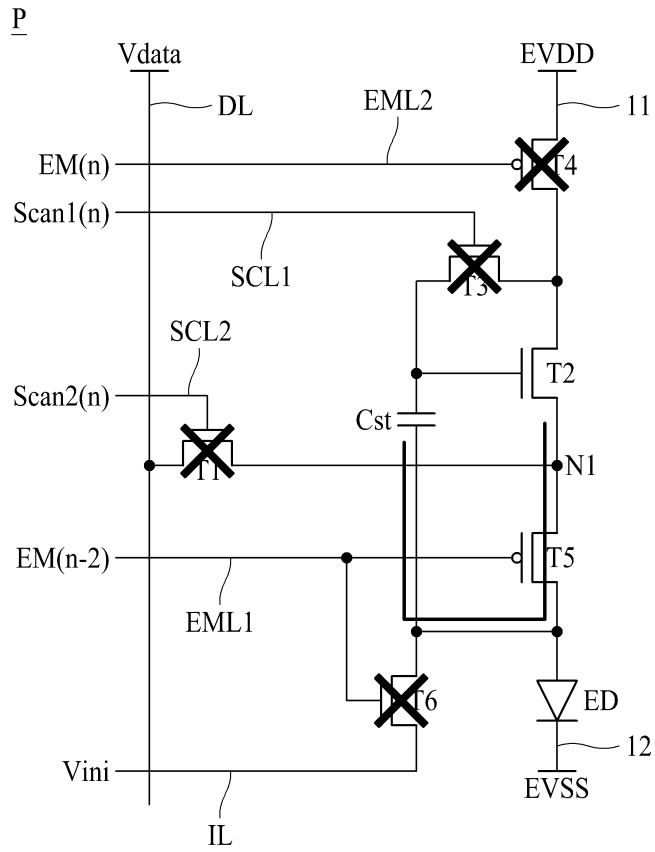
도면7a



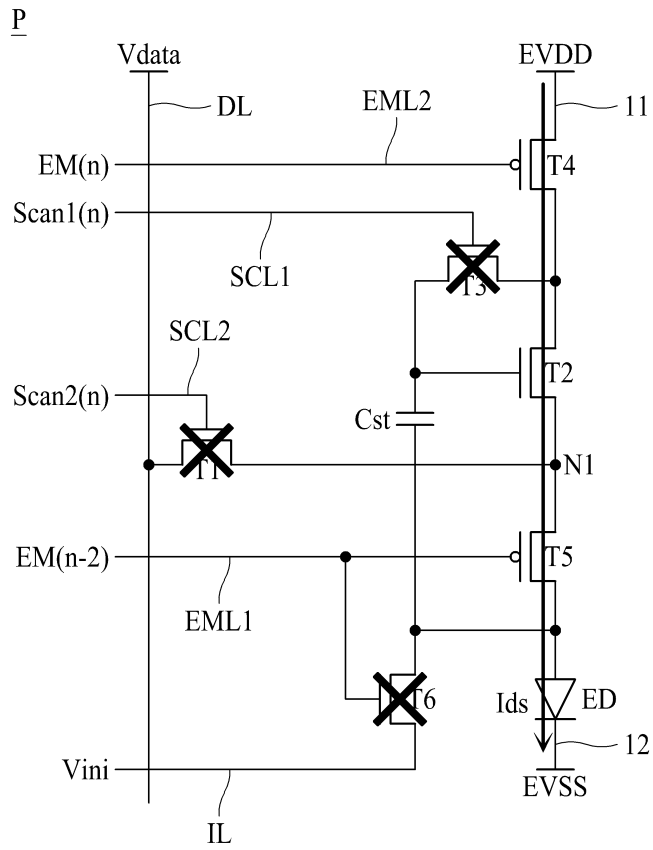
도면7b



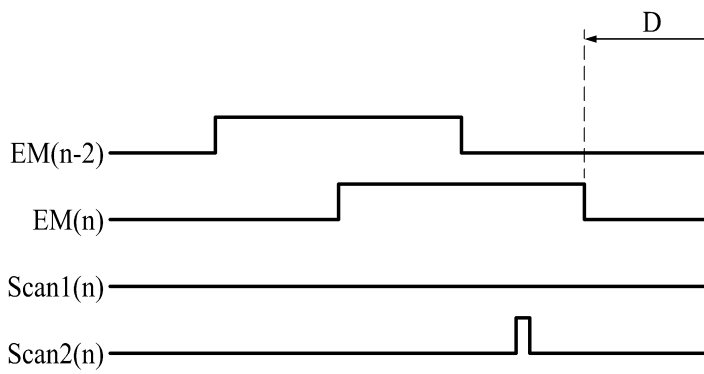
도면7c



도면7d



도면8



도면9

