

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4979159号  
(P4979159)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl.		F I			
HO 4 N	5/374	(2011.01)	HO 4 N	5/335	7 4 0
HO 1 L	27/14	(2006.01)	HO 1 L	27/14	Z
HO 1 L	31/10	(2006.01)	HO 1 L	31/10	G
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A

請求項の数 16 外国語出願 (全 12 頁)

(21) 出願番号	特願2001-97888 (P2001-97888)	(73) 特許権者	507422264
(22) 出願日	平成13年3月30日 (2001.3.30)		ハルサキ・テクノロジーズ, リミテッド・
(65) 公開番号	特開2002-9269 (P2002-9269A)		ライアビリティ・カンパニー
(43) 公開日	平成14年1月11日 (2002.1.11)		アメリカ合衆国デラウェア州19808、
審査請求日	平成20年3月24日 (2008.3.24)		ウィリントン、センターヴィル・ロード
(31) 優先権主張番号	538905		2711、スウィート 400
(32) 優先日	平成12年3月30日 (2000.3.30)	(74) 代理人	100099623
(33) 優先権主張国	米国 (US)		弁理士 奥山 尚一
		(74) 代理人	100096769
			弁理士 有原 幸一
		(74) 代理人	100107319
			弁理士 松島 鉄男
		(74) 代理人	100114591
			弁理士 河村 英文

最終頁に続く

(54) 【発明の名称】 画像検出回路アレイをテストするための方法及び装置

(57) 【特許請求の範囲】

【請求項1】

(a) 隣接した回路が異なる電圧レベルにリセットされるようにセンサ回路のそれぞれの感光デバイスの電圧をリセットするステップと、

(b) 感光デバイス上のそれぞれの電圧を検出するステップと、

を含み、前記ステップ(a)が、

(i) 隣接する列が異なるリセット電圧振幅を受信するものとなるように、列内のセンサ回路に共通リセット電圧を印加し、

(ii) 隣接する行が異なるリセットイネーブル信号振幅を受信するものとなるように、行内のセンサ回路に共通リセットイネーブル信号を印加することを含む、行及び列をなして配列されたセンサ回路を有する画像センサアレイをテストする方法。

10

【請求項2】

前記ステップ(b)は、(i)センサ回路の列を並行して、センサ回路の行を順次に検出することを含む、請求項1に記載の方法。

【請求項3】

(a) 感光デバイスからの検出電圧を期待値と比較して故障センサ回路を決定するステップ、をさらに有する、請求項1に記載の方法。

【請求項4】

(a) 感光デバイスからの検出電圧を期待値と比較してセンサアレイ内の故障部品を決定するステップ、をさらに有する、請求項1に記載の方法。

20

## 【請求項 5】

行及び列をなして配列されるセンサ回路を有する画像センサアレイをテストする方法であって、各センサ回路は感光デバイスと、リセット信号の制御のもとで電圧リセットラインから感光デバイスにリセット電圧を印加するための第1のスイッチと、イネーブル信号の制御のもとで感光デバイス上の電圧を検出してそれをデータラインに印加するための第2のスイッチと、を含むとともに、

(a) 隣接した回路の感光デバイスが異なる電圧レベルにリセットされるようにセンサ回路のそれぞれにおける感光デバイス上の電圧をリセットするステップと、

(b) それぞれの感光デバイス上の電圧を検出するステップと、

を有し、前記ステップ(a)が、

(i) 隣接する列が異なるリセット電圧振幅を受信するものとなるように、列内のセンサ回路に共通リセット電圧を印加し、

(ii) 隣接する行が異なるリセットイネーブル信号振幅を受信するものとなるように、行内のセンサ回路に共通リセットイネーブル信号を印加することを含む、 画像センサアレイのテスト方法。

10

## 【請求項 6】

前記ステップ(b)は、(i)センサ回路の列を並行してセンサ回路の行を順次に検出することを含む、請求項5に記載の方法。

## 【請求項 7】

(a) 感光デバイスからの検出電圧を期待値と比較して故障センサ回路を決定するステップ、をさらに有する、請求項5に記載の方法。

20

## 【請求項 8】

(b) 感光デバイスからの検出電圧を期待値と比較してセンサアレイ内の故障部品を決定するステップ、をさらに有する、請求項5に記載の方法。

## 【請求項 9】

(a) 少なくとも隣接する回路が異なる電圧レベルにリセットされるようにセンサ回路のそれぞれの感光デバイスの電圧をリセットするための手段と、

(b) それぞれの感光デバイス上の電圧を検出するための手段と、

を有しており、前記感光デバイスの電圧をリセットするための手段が、

隣接する列が異なるリセット電圧振幅を受信するものとなるように、列内のセンサ回路に共通リセット電圧を印加する手段と、

30

隣接する行が異なるリセットイネーブル信号振幅を受信するものとなるように、行内のセンサ回路に共通リセットイネーブル信号を印加する手段と

を有する、行及び列をなして配列されるとともに感光デバイスをそれぞれ有するセンサ回路を有する画像センサアレイをテストするための装置。

## 【請求項 10】

(a) 感光デバイスからの検出電圧を期待値と比較してセンサアレイ内の故障部品を識別するための手段、をさらに有する、請求項9に記載の画像センサアレイテスト装置。

## 【請求項 11】

(b) 感光デバイスからの検出電圧を期待値と比較して故障センサ回路を決定するための手段、をさらに有する、請求項9に記載の画像センサアレイテスト装置。

40

## 【請求項 12】

(a) 異なるリセット電圧を隣接列のセンサ回路に付与するための第1のセットの導電ラインと、

(b) 異なるリセットイネーブル信号を隣接行のセンサ回路に付与するための第2のセットの導電ラインと、

(c) センサ回路上のリセット電圧を検出するためのセンサ回路の行にアクセス信号を付与するための第3のセットの導電ラインと、

(d) 検出されたりリセット電圧を受信するためにセンサ回路の列に接続される第4のセットの導電ラインと、

50

を有する、行及び列をなして配列されたセンサ回路を有する画像センサアレイをテストするための装置。

【請求項 1 3】

( a ) 検出されたりセット電圧を期待電圧レベルと比較してセンサアレイ内の故障部品を識別するためのコンパレータ手段、をさらに有する、請求項 1 2 に記載の画像センサアレイテスト装置。

【請求項 1 4】

( a ) 電圧リセットイネーブル信号を生成するための、第 2 のセットの導電ラインのそれぞれに結合された手段と、

( b ) 異なる電圧を隣接する生成手段に供給するための、電圧リセットイネーブル信号生成手段のそれぞれに結合された第 1 の電圧供給手段と、

をさらに有する、請求項 1 2 に記載の画像センサアレイテスト装置。

【請求項 1 5】

( a ) 第 1 の電圧レベル  $V_1$  を第 1 のセットの導電ラインの交流ラインに供給し、第 2 の電圧レベル  $V_2$  を第 1 のセットの導電ラインの残りのラインに供給するための第 2 の電圧供給手段、をさらに有するとともに、

( b ) 前記第 1 の電圧供給手段は、第 3 の電圧レベル  $V_3$  を交流電圧リセット信号生成手段に供給し、第 4 の電圧レベル  $V_4$  を残りの電圧リセット信号生成手段に供給するように構成される、請求項 1 4 に記載の画像センサアレイテスト装置。

【請求項 1 6】

前記第 1 の電圧供給手段は、第 1 の電圧レベル  $V_1$  を第 1 のセットの導電ラインの交流ライン及び交流電圧リセット信号生成手段に供給するとともに、第 2 の電圧供給手段は、第 2 の電圧レベル  $V_2$  を第 1 のセットの導電ラインの残りのライン及び残りの電圧リセット信号生成手段に供給するように構成される、請求項 1 4 に記載の画像センサアレイテスト装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は概して画像検出回路アレイに係り、詳細には、該アレイをテストするための方法及び装置に関する。

【0002】

【従来の技術ならびに発明が解決しようとする課題】

従来の検出アレイは、行（ロー）及び列（コラム）をなして編成されている画素と呼ばれる個々の感光回路から構成される。画素の行は、それぞれのアクセストランジスタの制御ゲートを接続する共通ラインを有する。データは画素からそのアクセストランジスタを通過してデータラインへと送られる。画素の各列は共通データラインに接続される。センサアレイの製造中に、ダスト又はその他粒子状物質の存在により隣接する行ライン又は隣接するデータライン間に開回路又は短絡回路が生じることもある。エッチングプロセスの不良制御により、行ライン又はデータラインの開回路化又は短絡回路化が起こることもある。

【0003】

CMOS 画像センサアレイでは種々の型の画素を利用することができる。受動画素センサ回路は単純フォトダイオード及びアクセストランジスタから構成される。能動画素センサ（APS）回路は、リセットランジスタ及びソースフォロワ増幅器を含む付加特徴を有する。個々のセンサ回路は、行ライン及びデータラインと同様の問題を被ることがあるのは、これら回路が短絡回路又は開回路の何れかになることによって、それらの適切な機能を発揮しないからである。これらの問題を改善するために、センサアレイにおける欠陥を検出して使用に受け入れ可能なアレイを選択しなければならない。

【0004】

統合化画像センサは慣習的に比較的高価なデバイスであり、その多くは電荷結合素子（CCD）として知られた技術を使用してきた。これらのデバイスの性質は拡張された総合テ

10

20

30

40

50

スト機能の使用を不能としていたため、テストすることは主として外部光源の使用に依存したものであった。この慣行的テスト方法は、A P S回路を用いたようなC M O S画像センサのテストに対して続けられてきた。このため、統合化イメージャ能動画素センサアレイのテストは、センサの光学的テストを実行するために高価な較正された光源の使用を要求していた。一般に、製造テスト中に画像センサは黒から白の範囲内で強度が変化する光に露出されることになる。アレイの応答を決定するための測定法が求められることがある。これらの光学的テストを実行するのに必要とされる時間の長さはデバイスのコストに大きく加算されて過度になる可能性がある。テスト時間とそのためのコストの軽減は、較正された光源におけるこれらテストの依存性を低減することによりその目的を果たすことができる。

10

**【 0 0 0 5 】**

較正された光源を使用した統合化イメージャアレイをテストするのに必要とされる時間に加えて、そのテストの正確さもまた重要である。2つの隣接する画素が製造プロセス中にも短絡されると、測定された出力は画素がともに短絡されなかった場合と同一になることがある。これは、双方の画素が同じ強度の光に露光されたことによって生じる。デバイスがシステムに設置されて「リアルワールド」条件のもとでテストされるまで欠陥は未検出であることもある。残念ながら、欠陥の検出は、表示装置（例えば、C R T（陰極線管）又は液晶表示パネル）上に表示されるような出力を人間が目視することに依存する。集積回路上の画素の数が拡張するにつれて、人間がこのような欠陥を検出することがますます困難になる。特別な訓練が人間である観察者に要求され、それでも人間による判定は許容製品の決定において重大な役割を果たす。しかしながら、人間にはそのものの性質及び一日の間における敏捷レベルの変動によって一貫した観察技能が欠落している。したがって、この種のテストは大量生産であるとともにコスト変動の激しい感度センサ製品に対して受け入れられない。

20

**【 0 0 0 6 】**

その他のテスト方法が提案されている。1994年1月4日発行のD e n y e r他によるアメリカ特許第5, 276, 400号には、光源によるアレイの照射を必要としないテスト装置が開示されている。テスト回路構成は、行アクセスライン及びデータライン上のデジタルテストパターンを駆動しようとするセンサアレイの周辺で集積される。結果としての信号パターンは期待値と比較されることができるので生産上の障害の存在を決定する。これは既述された方法よりも高速なテスト方法である。しかしながら、前記D e n y e r他によって提案された装置には2つの大きな欠点がある。これは受動画素アレイには適しているが、能動画素センサのアレイに対しては不適切である。能動画素アレイでは、行ライン及びデータライン保全性のテストを許容するだけで、個々の画素構造のテストを許容することはない。さらに、デジタルテストパターンが使用され、これらが必ずしも正確な結果を付与するものでないことは、実操作中にデータライン上で得られた電圧がセンサアレイの性質によってアナログ信号であるからである。

30

**【 0 0 0 7 】**

1995年9月19日発行のH o s i e r他によるアメリカ特許第5, 451, 768号には、別のテストシステムが開示されている。このシステムでは、特定の画素と転送回路配列をテストするためのセンサアレイと同一のダイ上に集積されたテスト回路構成を含んでいる。この配列では、一定量の電荷を転送回路に注入し、それより少量の電荷を注入してフォトダイオードをバイアスするための回路が必要とされる。これら2つの電荷量の差は画素の線形応答を示す。テスト回路は周知の量のバイアス電荷を画素に配置する。画素はテスト中は照射されないため、このバイアス電荷は転送回路を通過してシフトアウトされなければならない。これにより、正しいバイアス電荷の存在と正しいフォトダイオードの応答線形性に対するテストが可能になる。しかしながら、このシステムでは、隣接ライン間の短絡回路又は個別ラインにおける開回路等の行ライン又はデータラインによる問題の識別について明らかにされていない。

40

**【 0 0 0 8 】**

50

1997年8月5日発行のPraterによるアメリカ特許第5,654,537号においてもまた、行ならびに列をなして配列される画素センサ回路を備えた画像スキャナアレイをテストするためのシステムが提案されている。この装置は、接地電圧及び供給電圧の各レベル間の振幅が変化する選択可能な電圧を有するリセット電圧ソースを含む。画素センサ回路における感光デバイスは、画素センサ回路における感光デバイスをリセットするためにサイクルごとに異なる被選択電圧を用いて循環的にテストされる。各サイクルの間に画素センサ回路の出力を検出して適切に機能しているか否かを決定する。前記Praterによるアメリカ特許によって開示されたようにアースと電源との間のリセット電圧を変動させることにより、較正された光源を必要とすることなく異なる照明レベルを受けたかのように画素センサ回路がテストされる。しかしながら、このシステムは隣接する画素センサ回路の区別をしない。このアメリカ特許では、行ならびに列状態の画素センサ回路におけるリセットトランジスタのドレインに対する可変リセット電圧の供給を開示している。2つの隣接する画素がともに短絡された場合、測定される出力は、画素がともに同一電圧にリセットされたので故障がないかのような場合と同じになる。

10

**【0009】**

従って、アレイにおける供給及び制御ラインと同様に画像検出アレイの個々の放射線感応性回路をテストすることのできる方法ならびに装置が必要とされる。

**【0010】****【課題を解決するための手段】**

本発明は行ならびに列をなして配列されたセンサ回路を有する画像センサアレイをテストするための方法ならびに装置に指向される。この方法は、隣接する回路が異なる電圧レベルにリセットされるようにセンサ回路のそれぞれにおいて感光デバイスの電圧をリセットし、さらにリセットされた感光デバイスの各々の電圧を検出することを含む。

20

**【0011】**

本発明の1つの態様によると、電圧リセットステップは、隣接する列が異なるリセット電圧振幅を受信するように共通リセット電圧を列内のセンサ回路に印加し、隣接する行が異なるイネーブル信号振幅を受信するように共通のイネーブル電圧信号を行内のセンサ回路に印加することを含む。

**【0012】**

本発明の別の態様によると、電圧検出ステップは、並列状態のセンサ回路の列とセンサ回路の行を順次検出することを含む。

30

**【0013】**

本発明のさらに別の態様によると、感光デバイスからの検出電圧は期待値と比較されて、故障センサ回路又はセンサアレイ内の故障部品を決定する。

**【0014】**

更なる別の態様によると、本発明は特に、行及び列をなして配列されたセンサ回路を有する画像センサアレイに適用可能であり、各センサ回路は、感光デバイスと、リセット信号の制御のもとで電圧リセットラインから感光デバイスにリセット電圧を印加するための第1のスイッチと、イネーブル信号の制御のもとで感光デバイス上の電圧を検出し、それをデータラインに印加するための第2のスイッチと、を含む。

40

**【0015】**

行及び列をなして配列されるとともに感光デバイスをそれぞれ含むセンサ回路を有する画像センサアレイをテストするための装置は、少なくとも隣接する回路が異なる電圧レベルにリセットされるようにセンサ回路のそれぞれにおける感光デバイスの電圧をリセットするための供給回路と、感光デバイスのそれぞれにおける電圧を検出するための検出器と、を有する。この装置はさらに、感光デバイスからの検出電圧を期待電圧レベルと比較してセンサアレイ内の故障部品又は故障センサ回路を識別するための回路を含んでいてもよい。

**【0016】**

本発明の別の態様によると、上記装置は、異なるリセット電圧を隣接列のセンサ回路に付

50

与するための第1のセットの導電ラインと、異なる電圧リセットイネーブル信号を隣接行のセンサ回路に付与するための第2のセットの導電ラインと、センサ回路上のリセット電圧を検出するためのセンサ回路の行にアクセス信号を付与するための第3のセットの導電ラインと、検出されたりセット電圧を受信するためにセンサ回路の列に接続される第4のセットのラインと、を有する。さらに、コンパレータ回路は第4のセットのラインに接続されて、検出されたりセット電圧を期待電圧レベルと比較してセンサアレイ内の故障部品を識別する。さらに装置は、電圧リセットイネーブル信号を生成するための第2のセットの導電ラインのそれぞれに結合された回路を含み、第1の電圧供給回路は、異なる電圧を隣接するイネーブル信号生成回路に供給するための電圧リセットイネーブル信号生成回路のそれぞれに結合されている。

10

## 【0017】

本発明の特定の態様によると、第2の電圧供給回路は、第1の電圧レベル $V_1$ を第1のセットの導電ラインの交流ラインに付与するとともに、第2の電圧レベル $V_2$ を第1のセットの導電ラインの残りのラインに付与する。第1の電圧供給回路は、第3の電圧レベル $V_3$ を交流電圧リセット信号生成回路に付与するとともに、第4の電圧レベル $V_4$ を残りの電圧リセット信号生成回路に付与する。さらに、 $V_1$ は $V_3$ に等しく、 $V_2$ は $V_4$ に等しい。

## 【0018】

これら異なる電圧はアレイダイ上のボンドパッドを通して外部ソースからテスト装置に付与されていてもよい。あるいはまた、1つ又は複数の電圧は、画像センサアレイと同一のダイ上に集積された回路によって生成されることもある。

20

## 【0019】

本発明の更なる態様によると、比較回路はアレイチップ上に集積されて、センサ回路出力値をチップから送られることなく期待値と比較可能にする。これにより、画像形成ICをテストするために使用されるシステムに要求された複雑さを低減する利点を有する。

## 【0020】

本発明の種々の実施の形態の構造ならびに動作と同様に、本発明の他の態様及び利点は、添付の図面と関連して本発明の以下の説明を概観することにより当業者には明白になるだろう。

## 【0021】

## 【発明の実施の形態】

30

図1を参照すると、一般的な画像センサアレイ10のブロック図が示されている。センサアレイ10は、行1乃至 $n$ 及び列1乃至 $m$ に配列された能動画素センサ(APS)回路11から構成される。APS回路11の列1乃至 $m$ はライン $VR_1$ 乃至 $VR_m$ を通して電圧サプライ12から電圧 $V_{dd}$ が付与される。さらに、APS回路11の行1乃至 $n$ はそれぞれ、リセットイネーブル信号 $RRE_1$ 乃至 $RRE_n$ を受信し、これら信号は通常は等しい振幅のパルスであるが、ライン $14_1$ 乃至 $14_n$ 上の行リセット制御13から時間的に離間されてセンサ回路11をリセットする。APS回路11の水平行1乃至 $n$ のそれぞれへのアクセスは個々のアクセス信号 $RA_1$ 乃至 $RA_n$ を付与することによって提供され、これら信号は通常は等しい振幅のパルスであるが、行ライン $15_1$ 乃至 $15_n$ を介して行アドレスデコーダ16から時間的に離間されている。APS回路11の列1乃至 $m$ はデータライン $DL_1$ 乃至 $DL_m$ に接続され、これらデータラインは列検出増幅器17に結合されて画像信号を増幅する。このように、回路11の行1乃至 $n$ は信号 $RRE_1$ 乃至 $RRE_n$ によって順次リセットされて回路11への入射光を検出するのに対し、回路11の行1乃至 $n$ の入射光のレベルを順次検出することはアクセス信号 $RA_1$ 乃至 $RA_n$ によって初期化されてデータライン $DL_1$ 乃至 $DL_m$ 上で受信される。

40

## 【0022】

一般的な3-トランジスタAPS回路11は図2に示されている。回路11は、リセットトランジスタ22のソースと、ソースフォロワ増幅器として働くトランジスタ23のゲートとに結合されるフォトダイオード21から構成される。リセットトランジスタ22と増幅トランジスタ23のドレインは通常、リセット電圧ライン $VR_m$ を介して供給電圧 $V_{dd}$

50

dに接続されている。増幅トランジスタ23のソースはアクセストランジスタ24を介してデータラインDL<sub>m</sub>に結合されている。起動されると、リセットトランジスタ22は供給電圧V<sub>dd</sub>からフォトダイオード21の1つのノード25上に電荷を配置する。この電荷は、フォトダイオード21上の入射光の強度に比例する割合でフォトダイオード21を通過してドレインされる。この強度に比例する信号はアクセストランジスタ24をイネーブリングすることによりデータラインDL<sub>m</sub>上の回路11から読み取ることができる。回路11をリセットしさらに、回路11にアクセスするためのタイミングは、リセットトランジスタ22に付加される信号RRE<sub>n</sub>によって、さらにトランジスタ24に付加される信号RA<sub>n</sub>によって制御される。この2つの信号間の時間は画像センサアレイ10に対する特定のアプリケーションに対し要求されるタイプの読み取りによって決定されることになる。

10

## 【0023】

通常動作（即ち、画像収集）中は、リセットトランジスタ22のドレインに供給される電圧V<sub>dd</sub>はアレイ10におけるすべての回路11（即ち、画素）と共通である。回路の各行1乃至nは、行リセットライン14<sub>1</sub>乃至14<sub>n</sub>をそれぞれ介してリセットイネーブリング信号RRE<sub>1</sub>乃至RRE<sub>n</sub>を受信する。リセットイネーブリング信号RRE<sub>1</sub>乃至RRE<sub>n</sub>は、論理的に高い状態でそれらすべてがほぼ供給電圧V<sub>dd</sub>のレベルにある同一増幅を有する場合に活動状態にある。さらにまた、通常動作中は、この論理ハイに関連付けられる電圧レベルはアレイ全体を通じて共通である。これは、アレイ10の回路11におけるすべてのフォトダイオード21が同じレベルにリセットされること、即ち、同量のリセット電荷が回路11ごとのフォトダイオード21のノードに配置されることを意味する。

20

## 【0024】

共通リセット電圧V<sub>dd</sub>は、各回路11が同強度の光に照射される際と同様にして応答することを保証する。これは、画像収集動作に対しては理想的であるが、アレイが光学的よりも電氣的にテストされる場合に要求されるような隣接回路の隔離に役立つものではない。

## 【0025】

本発明に従って画像センサアレイ10をテストするために、異なるリセット電圧がアレイ10の少なくとも隣接するセンサ回路11のフォトダイオード21のノード25に印加される。リセット電圧が印加された所定期間後に、各ノード25における電圧を検出してそのレベルを決定する。個々の署名を備えた各センサ回路11ごとの検出レベルは、回路が故障しているか否かを判断するためにその回路についての予想信号レベルと比較されることもある。さらに、隣接するセンサ回路11の検出レベルが同一又は非常に類似している場合、それらはともに短絡されているという表示である。

30

## 【0026】

図1を参照して、本発明を実施する1つの方法は、ラインVR<sub>1</sub>乃至VR<sub>m</sub>を使用して隣接する列のセンサ回路11に異なるリセット電圧を付与することである。図2を参照すると、共通電圧V<sub>dd</sub>を有するよりも、隣接する列1乃至mにおけるトランジスタ22のドレインに対する電圧は異なっている。さらに、リセットイネーブリング信号RRE<sub>1</sub>乃至RRE<sub>n</sub>は、センサ回路11の隣接する行1乃至nに対する異なる能動電圧レベルにおいて生成されることになる。このように、図2を参照すると、隣接する行1乃至nにおけるトランジスタ22のゲート26に印加されるリセットイネーブリング信号RRE<sub>1</sub>乃至RRE<sub>n</sub>によって、異なる電圧が隣接する行1乃至nのセンサ回路のノード22に印加されることになる。これは、各センサ回路11がその隣接回路とは異なる電圧レベルにリセットされること、即ち、隣接する列ではラインVR<sub>1</sub>乃至VR<sub>m</sub>上のリセット電圧が異なることから相違することになり、隣接する行ではリセットライン14<sub>1</sub>乃至14<sub>n</sub>上のリセットイネーブリング信号RRE<sub>1</sub>乃至RRE<sub>n</sub>のために相違するであろうことを保証する。したがって、センサ回路11から受信された信号の値を期待レベルと比較することにより個々のセンサ回路11に故障があるか否かが判断されることもある。さらに、列ライン又は行ラインの何れか1つ以上が開回路化されると、センサ回路の群は動作不能のようになり、分析すると故障ラインと判断されることになる。一方、列ラインVR<sub>1</sub>乃至VR<sub>m</sub>又はデータラインDL<sub>1</sub>乃至

40

50

D L<sub>m</sub>が短絡されて接地されるか、あるいは相互に短絡されると、1つの行又は隣接行において一連のセンサ回路11から同様の読み取りが認められることになる。最後に、行ライン14<sub>1</sub>乃至14<sub>n</sub>又はライン15<sub>1</sub>乃至15<sub>n</sub>が短絡されて接地されるか、あるいは相互に短絡されると、隣接行における隣接センサ回路11から同様の読み取りが認められることになる。このようにしてセンサアレイ全体はアレイ10を通じていったんサイクリングすることにより故障に対するテストがなされることもある。

#### 【0027】

異なる電圧がリセット電圧ラインV R<sub>1</sub>乃至V R<sub>m</sub>、又は少なくとも隣接ラインに印加されると、隣接列1乃至mにおける回路11の同様なトランジスタ23もまた、トランジスタ23を異なるレベルで作動させるドレインに印加される異なる電圧を有するであろう。これは、図3に示されたタイプのセンサ回路11を配置させることにより回避することもできる。回路31はトランジスタ23のドレインがセンサアレイ10の回路31のすべてに共通の供給電圧V d dラインに接続されている以外は、図2に示された回路11と同様である。

10

#### 【0028】

図4に関して記載されるように、本発明を実施する多数の方法がある。図4は図1のアレイ10と同様なセンサアレイ40を示し、共通要素は共通参照番号によって識別される。センサ回路31は図3に示された型の回路として識別され、個々の供給電圧V d dは、明確にするために図4には図示されていないチップ上に集積されるライン32を介してトランジスタ23へ印加される。図4はさらに、リセットライン14<sub>1</sub>乃至14<sub>n</sub>にそれぞれリセットイネーブル信号R R E<sub>1</sub>乃至R R E<sub>n</sub>を生成するのに適したインバータ41<sub>1</sub>乃至41<sub>n</sub>を含む行リセット制御13を概略図示する。インバータ41<sub>1</sub>乃至41<sub>n</sub>は、出力信号R R E<sub>1</sub>乃至R R E<sub>n</sub>の振幅を決定する電圧供給ライン42<sub>1</sub>乃至42<sub>n</sub>に接続されている。通常、すべてのライン42<sub>1</sub>乃至42<sub>n</sub>及びV R<sub>1</sub>乃至V R<sub>m</sub>はダイ上に配列されて、単一のボンドパッドを介して共通サプライV d dと一緒に接続される。

20

#### 【0029】

しかしながら、本発明によるアレイ40では、ライン42<sub>1</sub>乃至42<sub>n</sub>及びV R<sub>1</sub>乃至V R<sub>m</sub>はそれぞれ、アレイのテストを実行するために異なる電圧サプライに接続されるように分離したものでよい。これは、電圧レベルごとの個別の電源ピン、又はセンサアレイ40チップ上に集積された多数の電圧生成器あるいはディバイダを必要とすることになる。このような実施は結果として重大なダイ領域ペナルティになる。

30

#### 【0030】

図4に示された好ましい実施の形態において、2つの電圧レベルV<sub>1</sub>及びV<sub>2</sub>はライン43と44を介して列リセット電圧ラインV R<sub>1</sub>乃至V R<sub>m</sub>に印加され、2つの電圧レベルV<sub>3</sub>と及びV<sub>4</sub>はライン45と46を介して行42<sub>1</sub>乃至42<sub>n</sub>に印加される。これらの電圧信号は図6に示される。この実施の形態は、ライン45と46を接続することによる行42<sub>1</sub>乃至42<sub>n</sub>と同様に、ライン43と44を接続することにより同じ2つの電圧レベルV<sub>1</sub>及びV<sub>2</sub>を列電圧リセットラインV R<sub>1</sub>乃至V R<sub>m</sub>にそれぞれ印加することによってさらに簡略化される。このように、1つのレベルV<sub>1</sub>は奇数行の42<sub>1</sub>、42<sub>3</sub>、・・・及び奇数列行V R<sub>1</sub>、V R<sub>3</sub>、・・・に付与される一方、第2のレベルV<sub>2</sub>は偶数行の42<sub>2</sub>、42<sub>4</sub>、・・・及び偶数列V R<sub>2</sub>、V R<sub>4</sub>、・・・に付与されることになる。本発明の範囲内で、他の電圧レベルの組み合わせもまた可能である。

40

#### 【0031】

好ましい実施の形態の2つの電圧レベルV<sub>1</sub>及びV<sub>2</sub>は、2つのボンドパッドを通して外部ソースによって付与することができ、1つのパッドは正規の供給電圧V d dに予め接続されている。いったんテストされて、ダイが欠陥品でないことが結論づけられると、パッドは通常動作に対してともに短絡される可能性がある。ダイがこのように構成される場合、アレイは単一の供給電圧V d dのみを受信することになる。

#### 【0032】

図5に概略図示されたような本発明の別の実施の形態では、電圧レベル生成器50は、外

50

部電源V<sub>dd</sub>の単一のボンドパッド51を含むダイ上に集積されることもある。電荷ポンプ等の電圧レベルを上げる（ブーストする）ための回路と、電圧レベルを下げる（ステップダウンする）ための回路は本技術分野では周知とされている。生成器は、センサアレイ40のテストに必要な任意の数の出力電圧を付与することもある。

#### 【0033】

上記したように、データラインD<sub>L1</sub>乃至D<sub>Lm</sub>上で受信された信号を期待値と比較することによって欠陥が識別される。この比較はオフチップ・テストシステムによって実施が可能である。しかしながら、比較回路47はチップ上に集積されて、データラインD<sub>L1</sub>乃至D<sub>Lm</sub>上で受信された信号が期待値と一致するか否かを判断するようにしてもよい。これにより、ダイをテストするために使用されるシステムに要求される複雑さの度合いを多  
10  
いに軽減することになる。チップ電圧生成器と組み合わされる場合、この回路構成は組み込み式自己検査（BIST）機能の一部として使用されることもある。

#### 【0034】

本発明の主な利点は、個々のAPS回路11、13がテストされる間にわたっての容易さである。本発明の更なる利点は、アレイ内の隣接する行及び列に対して異なる電圧を配分するのに必要な周辺回路構成の最小化である。しかしながら、本発明のさらに別の利点は個々の基準において行ライン及びデータラインのすべてをテストする能力であり、この結果、故障の判定をより高速に行なうことになり、課題を修正するのに必要な時間を軽減する。これらの利点は、較正された外部光源の費用を低減し、あるいは画像形成プロダクト  
20  
の一定のクラス又はグレードに対する要件を全体として削除するために、このような光源に対する製造テストの依存性を軽減するとともに達成される。

#### 【0035】

幾つかの設計上の変種は既述された構造により可能である。本発明を3トランジスタ（3T）構造と称するAPS回路11、31の1つの構造に関して述べてきたが、この基本的回路構造を変化させて本発明によるテストを実施することも可能である。その他可能なAPS回路は種々の変種を備えた4T及び5Tの各構造を含むものであるが、それらに限定  
30  
されない。

#### 【0036】

本発明による組み込み式自己試験（BIST）の実施の形態は、製造中のテスト以外のアプリケーションに対して使用する可能性へと導く。遠隔制御される、もしかすると人工衛星あるいはこのような制御を要求する他のどこかにおいて制御されるシステムで使用される画像センサに対して適用することもある。システムが誤動作すると、BIST機能によりオペレータによるセンサのテストを可能にして、故障が画像センサの部品又はシステム  
40  
における他の部品にあるか否かを判断することになる。

#### 【0037】

発明を現時点で最も現実的であるととともに好ましい実施の形態であるとして述べてきたが、発明が開示された実施の形態に限定されないことは理解すべきである。当業者は、種々の変形及び同等の構造ならびに機能が請求の範囲に定義されるような本発明の精神ならびに範囲から逸脱することなく実施されることを理解するであろう。従って、請求項に定義されたような発明には、かかる変形及び同等の構造と機能を含むように最も広範囲と  
40  
される可能な解釈を与えなければならない。

#### 【図面の簡単な説明】

【図1】一般的な画像センサアレイのブロック図である。

【図2】能動画素センサ（APS）回路の回路図である。

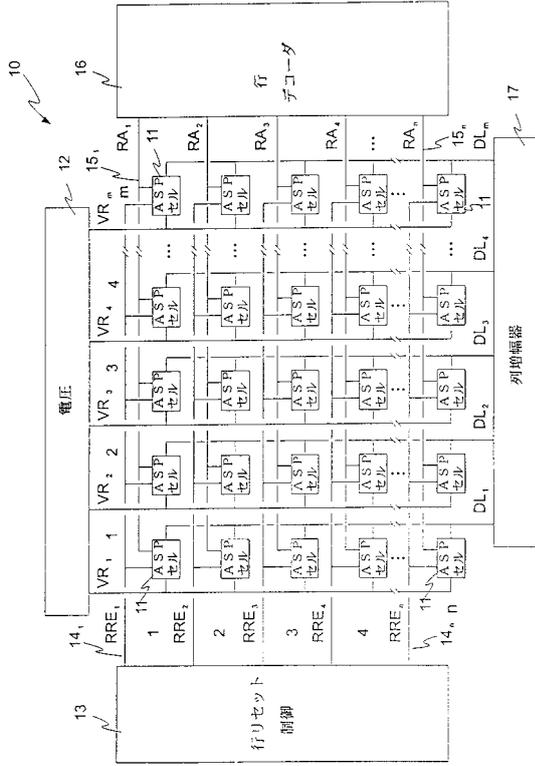
【図3】本発明の1つの実施の形態による能動画素センサ（APS）の回路図である。

【図4】本発明の1つの実施の形態による画像センサアレイのブロック図である。

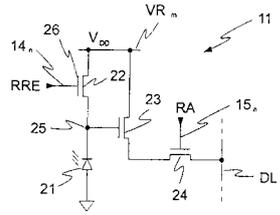
【図5】本発明で使用される多重レベル電圧ソースの概略図である。

【図6】本発明の好ましい実施の形態で使用されるリセット電圧及びリセット電圧イネーブル信号を示す図である。

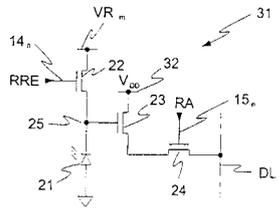
【図1】



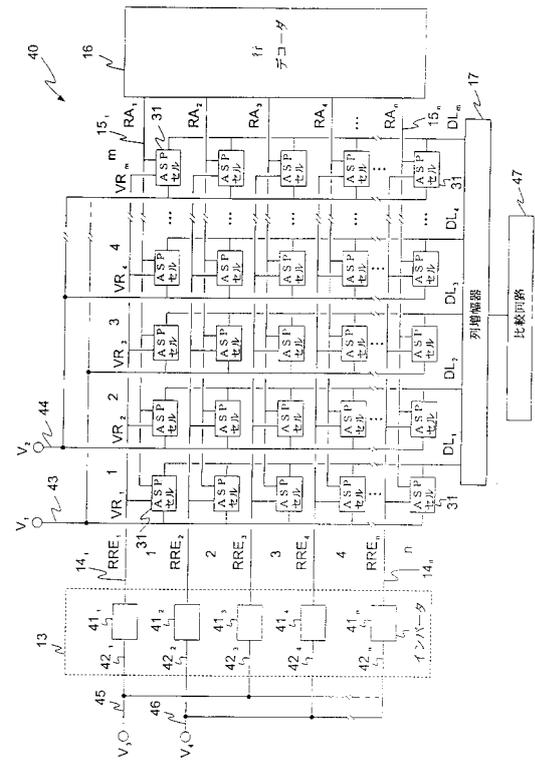
【図2】



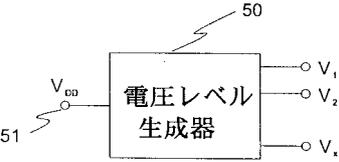
【図3】



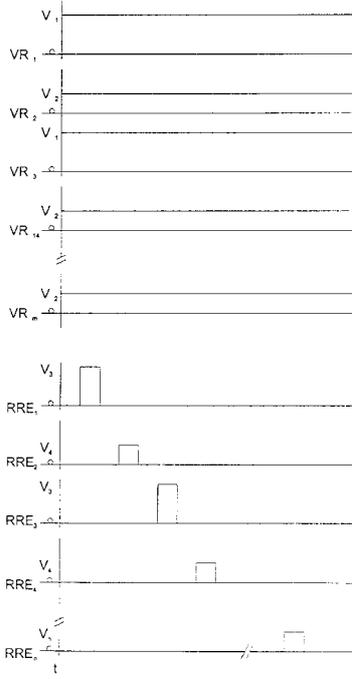
【図4】



【図5】



【 図 6 】



## フロントページの続き

- (74)代理人 100118407  
弁理士 吉田 尚美
- (74)代理人 100125380  
弁理士 中村 綾子
- (74)代理人 100130960  
弁理士 岡本 正之
- (74)代理人 100125036  
弁理士 深川 英里
- (74)代理人 100142996  
弁理士 森本 聡二
- (72)発明者 ジョン スコット・トーマス  
カナダ国 ケー1エス 2エイチ7 オンタリオ州 オタワ セカンド アベニュー 192 ア  
パートメント2
- (72)発明者 ロン マクドナルド  
カナダ国 ケー1エス 1エックス1 オンタリオ州オタワ プレトリア アベニュー 177  
アパートメント2
- (72)発明者 トム リトル  
カナダ国 ケー0エー 3エム0 オンタリオ州 ウッドローン ベイビュー ドライブ 111  
0 ルーラル ルート ナンバー1
- (72)発明者 ジョージ チェンバレン  
カナダ国 ケー2ケー 1ティー4 オンタリオ州 カナタ キングズフォード クレセント 2  
0

審査官 鈴木 肇

- (56)参考文献 特開平11-097658(JP,A)  
特開平06-164828(JP,A)  
特開平10-308902(JP,A)  
特開2000-244005(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H04N 5/30 - 5/378  
H01L 21/339  
H01L 27/14 -27/148  
H01L 29/762  
H01L 31/10