



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년01월20일  
 (11) 등록번호 10-1106970  
 (24) 등록일자 2012년01월11일

(51) Int. Cl.  
*H01L 21/66* (2006.01) *G01R 1/073* (2006.01)  
*G01R 3/00* (2006.01)  
 (21) 출원번호 10-2010-7001965  
 (22) 출원일자(국제출원일자) 2007년07월03일  
 심사청구일자 2010년01월28일  
 (85) 번역문제출일자 2010년01월28일  
 (65) 공개번호 10-2010-0024512  
 (43) 공개일자 2010년03월05일  
 (86) 국제출원번호 PCT/JP2007/063313  
 (87) 국제공개번호 WO 2009/004721  
 국제공개일자 2009년01월08일  
 (56) 선행기술조사문헌  
 JP2003509695 A  
 JP평성08262040 A  
 전체 청구항 수 : 총 10 항

(73) 특허권자  
**가부시키가이샤 아드반테스트**  
 일본 도쿄토 네리마꾸 아사히쵸 1-32-1  
 (72) 발명자  
**와다, 코이치**  
 일본 도쿄토 네리마꾸 아사히쵸 1-32-1 가부시키  
 가이샤 아드반테스트 내  
 (74) 대리인  
**박원용**

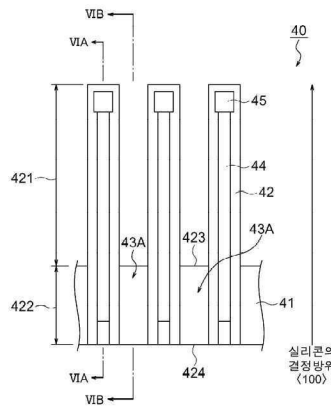
심사관 : 김준학

**(54) 프로브, 프로브 카드 및 프로브의 제조방법**

**(57) 요약**

프로브(40)는, 단결정 실리콘으로 구성되는 Si 층을 갖는 비임부(42)와, 비임부(42)의 길이 방향을 따라서 비임부(42)의 한쪽의 주면에 설치된 배선부(44)와, 배선부(44)의 선단 부분에 설치되어, IC디바이스의 입출력 단자에 전기적으로 접속되는 접점부(45)와, 복수의 비임부(42)를 모아서 한쪽만 고정하여 지지하고 있는 베이스부(41)를 구비하고 있고, 비임부(42)의 길이 방향이, Si 층을 구성하는 단결정 실리콘의 결정방위<100>에 실질적으로 일치되어 있다.

**대표도 - 도5**



**특허청구의 범위**

**청구항 1**

피시험 전자부품의 테스트를 실행할 때, 상기 피시험 전자부품과 시험장치의 사이의 전기적인 접속을 확립하기 위하여, 상기 피시험 전자부품의 입출력 단자에 접촉하는 프로브로서,

단결정 실리콘으로 구성되는 Si층을 갖는 비임부와,

상기 비임부의 길이 방향을 따라서 상기 비임부의 한쪽의 주면에 설치되어, 상기 피시험 전자부품의 입출력 단자에 전기적으로 접속되는 도전부를 적어도 구비하고 있고,

상기 비임부의 길이 방향이 상기 Si층을 구성하는 상기 단결정 실리콘의 결정방위<100>에 일치되어 있는 것을 특징으로 하는 프로브.

**청구항 2**

청구항 1에 있어서,

복수의 상기 비임부를 모아서 한쪽만 고정하여 지지하고 있는 베이스부를 더 구비하고 있는 것을 특징으로 하는 프로브.

**청구항 3**

청구항 1에 있어서,

상기 도전부는,

상기 비임부의 상기 한쪽의 주면에 길이방향을 따라서 설치된 배선부와,

상기 배선부의 선단에 설치되어 상기 피시험 전자부품의 상기 입출력 단자에 접촉하는 점접부를 갖고 있는 것을 특징으로 하는 프로브.

**청구항 4**

청구항 2에 기재된 프로브와,

상기 프로브가 갖는 상기 베이스부가 고정되는 기판을 구비한 것을 특징으로 하는 프로브 카드.

**청구항 5**

청구항 1 내지 3 중 어느 한 항에 기재된 프로브의 제조방법으로서,

실리콘 웨이퍼의 표면에 레지스트층을 형성한 후에, 상기 실리콘 웨이퍼에 대하여 에칭 처리를 실시함으로써, 상기 비임부를 형성하는 것을 특징으로 하는 프로브의 제조방법.

**청구항 6**

청구항 5에 있어서,

상기 실리콘 웨이퍼는, 면방위{100}의 주면을 갖는 동시에, 결정방위<100>를 나타내는 오리엔테이션 플랫 또는 노치가 부여되어 있는 것을 특징으로 하는 프로브의 제조방법.

**청구항 7**

청구항 5에 있어서,

상기 실리콘 웨이퍼는 면방위{100}의 주면을 갖는 동시에, 결정방위<110>를 나타내는 오리엔테이션 플랫 또는 노치가 부여되어 있고,

통상의 상태에서부터 상기 실리콘 웨이퍼를 45° 회전시킨 상태에서, 상기 실리콘 웨이퍼의 표면에 상기 레지스트층을 형성함으로써, 상기 비임부의 길이 방향을 상기 실리콘 웨이퍼의 결정방위<100>에 일치시키는 것을 특징으로 하는 프로브의 제조방법.

로 하는 프로브의 제조방법.

**청구항 8**

청구항 7에 있어서,

상기 실리콘 웨이퍼는 면방위{100}의 주면에 갖는 동시에, 결정방위<110>를 나타내는 오리엔테이션 플랫폼 또는 노치가 부여되어 있고,

상기 레지스트층을 형성하기 위한 패턴을 통상의 상태에서부터 45° 회전시킨 상태에서 마스크에 상기 패턴을 형성하고, 상기 마스크를 이용하여 상기 실리콘 웨이퍼의 표면에 상기 레지스트층을 형성함으로써, 상기 비임부의 길이 방향을 상기 실리콘 웨이퍼의 결정방위<100>에 일치시키는 것을 특징으로 하는 프로브의 제조방법.

**청구항 9**

청구항 7에 있어서,

상기 실리콘 웨이퍼는 면방위{100}의 주면을 갖는 동시에, 결정방위<110>를 나타내는 오리엔테이션 플랫폼 또는 노치가 부여되어 있고,

상기 레지스트층을 형성하기 위한 마스크를 통상의 상태에서부터 45° 회전시킨 상태에서, 상기 실리콘 웨이퍼의 표면에 상기 레지스트층을 형성함으로써, 상기 비임부의 길이 방향을 상기 실리콘 웨이퍼의 결정방위<100>에 일치시키는 것을 특징으로 하는 프로브의 제조방법.

**청구항 10**

청구항 5에 있어서,

상기 실리콘 웨이퍼에 대하여 에칭 처리를 실시할 때에, DRIE(Deep Reactive Ion Etching)법을 이용하는 것을 특징으로 하는 프로브의 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 웨이퍼, 반도체 칩, 반도체 부품 패키지 또는 프린트 기판 등에 형성된 집적회로 등의 전기회로(이하, 대표적으로 IC디바이스라 칭한다.)의 테스트에 즈음하여, IC디바이스에 설치된 패드나 전극 혹은 리드와 같은 입출력 단자와 접촉하여, IC디바이스와의 전기적인 접속을 확립하기 위한 프로브, 이를 구비한 프로브카드 및 프로브의 제조방법에 관한 것이다.

**배경기술**

[0002] 반도체 집적회로 소자는, 실리콘 웨이퍼 등에 다수 조립된 후, 다이싱, 본딩 및 패키징 등의 모든 공정을 거쳐 전자부품으로서 완성된다. 이러한 IC디바이스는 출하 전에 동작 테스트가 실시되지만, 상기 테스트는 웨이퍼 상태나 완성품의 상태에서 실시된다.

[0003] 웨이퍼 상태의 IC디바이스 테스트에 즈음하여, 피시험 IC디바이스와의 전기적인 접속을 확립하기 위한 프로브로서, 기판에 고정되는 베이스부와, 후단측이 베이스부에 설치되고, 선단측이 베이스부로부터 돌출되어 있는 빔(beam)부와, 빔부의 표면에 형성된 도전부를 갖는 것(이하, 간단히 「실리콘 핑거 콘택터」로 칭한다.)이 종래로부터 알려져 있다(예를 들어, 특허문헌 1 내지 3 참조).

[0004] 상기 실리콘 핑거 콘택터는, 포토리소그래피 등의 반도체 제조기술을 이용하여 실리콘 웨이퍼로 형성되어 있기 때문에, 피시험 IC디바이스의 소형화에 따른 입출력 단자의 사이즈 및 피치의 협소화에 비교적 대응하기 쉽게 되어 있다. 그렇지만, IC디바이스는 끊임없이 소형화되기 때문에, 실리콘 핑거 콘택터도 더욱 단축화가 요구되고 있다.

[0005] 이에 대하여 실리콘 핑거 콘택터를 단순히 짧게 하면, 빔부가 딱딱해져, IC디바이스의 입출력 단자와 접촉할 때에 휘어지지 않게 된다. 그러므로 실리콘 핑거 콘택터가 파손되기 쉬워져서 내피로 특성이 악화된다.

- [0006] 특허 문헌1: 특개 2000-249722호 공보
- [0007] 특허 문헌2: 특개 2001-159642호 공보
- [0008] 특허 문헌3: 국제공개 제03/071289호 팸플릿

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명이 해결하고자 하는 과제는, 내피로 특성이 뛰어난 프로브, 이를 구비한 프로브 카드 및 프로브 카드의 제조방법을 제공하는 것에 있다.

**과제의 해결 수단**

[0010] 상기 목적을 달성하기 위하여, 본 발명의 제1의 관점에 따르면, 피시험 전자부품의 테스트에 즈음하여 상기 피시험 전자부품과 시험장치의 사이의 전기적인 접속을 확립하기 위하여, 상기 피시험 전자부품의 입출력 단자에 접촉하는 프로브로서, 단결정 실리콘으로 구성된 Si층을 갖는 비입부와, 상기 비입부의 길이 방향을 따라서 상기 비입부의 한쪽의 주면에 설치되어, 상기 피시험 전자부품의 입출력 단자에 전기적으로 접속되는 도전부를 적어도 구비하고 있고, 상기 비입부의 길이 방향이, 상기 Si층을 구성하는 상기 단결정 실리콘의 결정방위<100>에 실질적으로 일치되어 있는 것을 특징으로 하는 프로브가 제공된다(청구항 1 참조).

[0011] 상기 발명에서는 특별히 한정되지 않지만, 복수의 상기 비입부를 모아서 한쪽만 고정하여 지지하고 있는 베이스부를 더 구비하고 있는 것이 바람직하다(청구항 2 참조).

[0012] 상기 발명에서는 특별히 한정되지 않지만, 상기 도전부는, 상기 비입부의 상기 한쪽의 주면에 길이 방향을 따라서 설치된 배선부와, 상기 배선부의 선단에 설치되어, 상기 피시험 전자부품의 상기 입출력 단자에 접촉하는 접점부를 갖고 있는 것이 바람직하다(청구항 3 참조).

[0013] 상기 목적을 달성하기 위하여, 본 발명의 제2의 관점에 따르면, 상기의 프로브와, 상기 프로브가 갖는 상기 베이스부가 고정되는 기판을 구비한 것을 특징으로 하는 프로브 카드가 제공된다(청구항 4 참조).

[0014] 상기 목적을 달성하기 위하여, 본 발명의 제3의 관점에 따르면, 상기의 프로브의 제조방법으로서, 실리콘 웨이퍼의 표면에 레지스트층을 형성한 후에, 상기 실리콘 웨이퍼에 대하여 에칭 처리를 실시함으로써, 상기 비입부를 형성하는 것을 특징으로 하는 프로브의 제조방법이 제공된다(청구항 5 참조).

[0015] 상기 발명에서는 특별히 한정되지 않지만, 상기 실리콘 웨이퍼는, 면방위{100}의 주면을 갖는 동시에, 결정방위<100>를 나타내는 오리엔테이션 플랫폼 또는 노치가 부여되어 있는 것이 바람직하다(청구항 6 참조).

[0016] 여기에서 면방위{100}란, (100)면 및 이에 등가인 모든 면을 포함하며, 구체적으로는 (100), (010), (001), (1<sup>\*</sup>00), (01<sup>\*</sup>0) 및 (001<sup>\*</sup>)면을 포함하고 있다. 또한, 결정방위<100>란, 결정방위[100] 및 이에 등가인 모든 방위를 포함하고, 구체적으로는 [100], [010], [001], [1<sup>\*</sup>00], [01<sup>\*</sup>0] 및 [001<sup>\*</sup>]을 포함하고 있다.

[0017] 또한, 본 명세서에 있어서, 예를 들어,

**수학식 1**

$$\overline{(h\ k\ l)}$$

[0018]

[0019] 를 표시할 경우에는, (hk<sup>\*</sup>l)로 약기한다. 마찬가지로, 본 명세서에 있어서, 예를 들어,

수학식 2

$$[hk\bar{1}]$$

[0020]

[0021]

[0022]

[0023]

[0024]

[0025]

[0026]

[0027]

[0028]

를 나타낼 경우에는,  $[hk\bar{1}]$ 로 약기한다.

상기 발명에서는 특별히 한정되지 않지만, 상기 실리콘 웨이퍼는, 면방위{100}의 주면을 갖는 동시에, 결정방위 <100>를 나타내는 오리엔테이션 플랫 또는 노치가 부여되어 있고, 통상의 상태에서부터 상기 실리콘 웨이퍼를 실질적으로 45° 회전시킨 상태에서, 상기 실리콘 웨이퍼의 표면에 상기 레지스트층을 형성함으로써, 상기 비임부의 길이 방향을 상기 실리콘 웨이퍼의 결정방위<110>에 실질적으로 일치시키는 것이 바람직하다(청구항 7 참조).

상기 발명에서는 특별히 한정되지 않지만, 상기 실리콘 웨이퍼는, 면방위{100}의 주면을 갖는 동시에, 결정방위 <110>를 나타내는 오리엔테이션 플랫 또는 노치가 부여되어 있고, 상기 레지스트층을 형성하기 위한 패턴을 통상의 상태에서부터 실질적으로 45° 회전시킨 상태에서 마스크에 상기 패턴을 형성하고, 상기 마스크를 이용하여 상기 실리콘 웨이퍼의 표면에 상기 레지스트층을 형성함으로써, 상기 비임부의 길이 방향을 상기 실리콘 웨이퍼의 결정방위<100>에 실질적으로 일치시키는 것이 바람직하다(청구항 8 참조).

상기 발명에서는 특별히 한정되지 않지만, 상기 실리콘 웨이퍼는, 면방위{100}의 주면을 갖는 동시에, 결정방위 <110>를 나타내는 오리엔테이션 플랫 또는 노치가 부여되어 있고, 상기 레지스트층을 형성하기 위한 마스크를 통상의 상태에서부터 실질적으로 45° 회전시킨 상태에서, 상기 실리콘 웨이퍼의 표면에 상기 레지스트층을 형성함으로써, 상기 비임부의 길이 방향을 상기 실리콘 웨이퍼의 결정방위<100>에 실질적으로 일치시키는 것이 바람직하다(청구항 9 참조).

또한, 본 발명에 있어서 통상의 상태란, 면방위{100}면의 주면을 갖는 동시에, 결정방위<110>를 나타내는 오리엔테이션 플랫 또는 노치가 부여된 실리콘 웨이퍼를 이용하여, 비임부의 길이 방향을 실리콘 웨이퍼의 결정방위 <110>에 실질적으로 일치시키는 상태를 가르킨다.

상기 발명에서는 특별히 한정되지 않지만, 상기 실리콘 웨이퍼에 대하여 에칭처리를 실시할 즈음에, DRIE(Deep Reactive Ion Etching)법을 이용하는 것이 바람직하다(청구항 10 참조).

**발명의 효과**

본 발명에서는, 프로브의 비임부의 길이 방향을, 영률(Young's modulus)이 매우 낮은 결정방위인 결정방위<100>에 실질적으로 일치시키기 때문에, 예를 들어 비임부의 길이 방향을 결정방위<100>에 일치시킨 경우와 비교해서 프로브를 짧게 하여도 딱딱해지지 않고, 피시험 전자부품의 입출력 단자와의 접촉시에 프로브가 적당히 휘어진다. 그러므로 프로브가 파손되지 않아서, 내피로 특성이 향상된다.

**도면의 간단한 설명**

도1은 본 발명의 제1실시형태에서의 전자부품 시험장치를 도시한 개략도.

도2는 본 발명의 제1실시형태에서의 테스트 헤드, 프로브 카드 및 프로버의 접속관계를 도시한 개념도.

도3은 본 발명의 제1실시형태에서의 프로브 카드의 개략 단면도.

도4는 본 발명의 제1실시형태에서의 프로브 카드를 하측에서 바라본 부분 평면도.

도5는 본 발명의 제1실시형태에서의 프로브의 부분 평면도.

도6a는 도5의 VIA-VIA선에 따른 단면도.

도6b는 도5의 VIB-VIB선에 따른 단면도.

도7a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제1공정에서 SOI 웨이퍼를 상측에서 바라본 평면도.

도7b는 도7a의 VIB-VIB선에 따른 단면도.

도8a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제2공정에서 SOI웨이퍼를 하측에서 바라본 부분 평면도.

도8b는 도8a의 VIII B-VIII B선에 따른 단면도.

도9는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제3공정에서의 SOI웨이퍼의 단면도.

도10은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제4공정에서의 SOI웨이퍼의 단면도.

도11a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제5공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도11b는 도11a의 XI B부의 확대도.

도11c는 도11b의 XI C-XI C선에 따른 단면도.

도12는 본 발명의 제2실시형태에 따른 프로브의 제조방법의 제5공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도13a는 본 발명의 제3실시형태에 따른 프로브의 제조방법의 제5공정에서 이용되는 포토 마스크의 평면도.

도13b는 본 발명의 제4실시형태에 따른 프로브의 제조방법의 제5공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도14는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제6공정에서의 SOI웨이퍼의 단면도.

도15a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제7공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도15b는 도15a의 XV B부의 확대도.

도15c는 도15b의 XV C-XV C선에 따른 단면도.

도16은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제8공정에서의 SOI웨이퍼의 단면도.

도17은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제9공정에서의 SOI웨이퍼의 단면도.

도18은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제10공정에서의 SOI웨이퍼의 단면도.

도19는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제11공정에서의 SOI웨이퍼의 단면도.

도20a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제12공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도20b는 도20a의 XX B-XX B선에 따른 단면도.

도21은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제13공정에서의 SOI웨이퍼의 단면도.

도22a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제14공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도22b는 도22a의 XX II B-XX II B선에 따른 단면도.

도23은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제15공정에서의 SOI웨이퍼의 단면도.

도24a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제16공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도24b는 도24a의 XX IV B-XX IV B선에 따른 단면도.

도25a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제17공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도25b는 도25a의 XX V B-XX V B선에 따른 단면도.

도26은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제18공정에서의 SOI웨이퍼의 단면도.

도27a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제19공정에서 SOI웨이퍼를 상측에서 바라본 평면도.

도27b는 도27a의 XX VII B-XX VII B선에 따른 단면도.

도28a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제20공정에서 SOI웨이퍼를 상측에서 바라본

평면도.

도28b는 도28a의 XXVIII-B-XXVIII-B선에 따른 단면도.

도29는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제21공정에서의 SOI 웨이퍼의 단면도.

도30은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제22공정에서의 SOI 웨이퍼의 단면도.

도31a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제23공정에서 SOI 웨이퍼를 상측에서 바라본 평면도.

도31b는 도31a의 XXXI-B-XXXI-B선에 따른 단면도.

도32는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제24공정에서의 SOI 웨이퍼의 단면도.

도33a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제25공정에서 SOI 웨이퍼를 상측에서 바라본 평면도.

도33b는 도33a의 XXXIII-B부의 확대도.

도33c는 도33b의 XXXIII-C-XXXIII-C선에 따른 단면도.

도34는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제26공정에서의 SOI 웨이퍼를 도시한 단면도.

도35a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제27공정에서 SOI 웨이퍼를 상측에서 바라본 평면도.

도35b는 도35a의 XXXV-B부의 확대도.

도35c는 도35b의 XXXV-C-XXXV-C선에 따른 단면도.

도36은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제28공정에서의 SOI 웨이퍼의 단면도.

도37은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제29공정에서의 SOI 웨이퍼의 단면도.

도38a는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제30공정에서 SOI 웨이퍼를 하측에서 바라본 평면도.

도38b는 도38a의 XXXVIII-B-XXXVIII-B선에 따른 단면도.

도39는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제31공정에서의 SOI 웨이퍼의 단면도.

도40은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제32공정에서의 SOI 웨이퍼의 단면도.

도41은 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제33공정에서의 프로브의 단면도.

도42는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 제34공정에서의 프로브의 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하, 본 발명의 실시형태를 도면에 기초하여 설명한다.
- [0030] 도1은 본 발명의 제1실시형태에서의 전자부품 시험장치를 나타낸 개략도, 도2는 본 발명의 제1실시형태에서의 테스트 헤드, 프로브 카드 및 프로버의 접속관계를 나타낸 개략도이다.
- [0031] 본 발명의 제1실시형태에서의 전자부품 시험장치(1)는, 도1에 나타낸 바와 같이, 테스트 헤드(10), 테스터(60) 및 프로버(70)로 구성되어 있다. 테스터(60)는, 케이블 다발(61)을 통하여 테스트 헤드(10)에 전기적으로 접속되어 있고, 피시험 실리콘 웨이퍼(100)에 조립된 IC디바이스에 대하여 시험 신호를 입출력할 수 있게 되어 있다. 테스트 헤드(10)는 매니플레이터(80) 및 구동 모터(81)에 의해 프로버(70) 위에 배치되도록 되어 있다.
- [0032] 도1 및 도2에 나타낸 바와 같이, 테스트 헤드(10) 내에는 다수의 핀 일렉트로닉스(11)가 설치되어 있고, 이러한 핀 일렉트로닉스(11)는 수백의 내부 케이블을 갖는 케이블 다발(61)을 통하여 테스터(60)에 접속되어 있다. 또한, 각 핀 일렉트로닉스(11)는 마더 보드(21)와 접속하기 위한 커넥터(12)에 각각 전기적으로 접속되어 있고, 인터페이스부(20)의 마더 보드(21) 상의 콘택트 단자(21a)와 전기적으로 접속할 수 있게 되어 있다.
- [0033] 테스트 헤드(10)와 프로버(70)는 인터페이스부(20)를 통하여 접속되어 있고, 상기 인터페이스부(20)는 마더 보

드(21), 웨이퍼 퍼포먼스 보드(22) 및 프로그 링(23)으로 구성되어 있다. 마더 보드(21)에는 테스트 헤드(10)측의 커넥터(12)와 전기적으로 접속하기 위한 콘택트 단자(21a)가 설치되어 있는 동시에, 상기 콘택트 단자(21a)와 웨이퍼 퍼포먼스 보드(22)를 전기적으로 접속하기 위하여 배선 패턴(21b)이 형성되어 있다. 웨이퍼 퍼포먼스 보드(22)는 포고핀 등을 통하여 마더 보드(21)에 전기적으로 접속되어 있고, 마더 보드(21) 상의 배선 패턴(21b)의 피치를 프로그 링(23)측의 피치로 변환하여, 해당 배선 패턴(21b)을 프로그 링(23) 내에 설치된 플렉시블 기관(23a)에 전기적으로 접속하도록, 배선 패턴(22a)이 형성되어 있다.

- [0034] 프로그 링(23)은 웨이퍼 퍼포먼스 보드(22) 상에 설치되어 있고, 테스트 헤드(10)와 프로버(70)의 약간의 위치 맞춤을 허용하기 위하여, 내부의 전송로가 플렉시블 기관(23a)으로 구성되어 있다. 프로그 링(23)의 하면에는, 상기 플렉시블 기관(23a)이 전기적으로 접속된 포고핀(23b)이 다수 실장되어 있다.
- [0035] 프로그 링(23)에는 하면에 다수의 프로브(40)가 실장된 프로브 카드(30)가, 포고핀(23b)을 통하여 전기적으로 접속되도록 되어 있다. 특별히 도시하지 않지만, 프로브 카드(30)는 홀더를 통하여 프로버(70)의 톱 플레이트에 고정되어 있고, 톱 플레이트의 개구를 통하여 프로브(40)가 프로버(70) 내를 향하도록 되어 있다.
- [0036] 프로버(70)는 척(71) 위에 피시엄 웨이퍼(100)를 흡착 등에 의해 홀드하고, 프로브 카드(30)에 대항하는 위치에 해당 웨이퍼(100)를 자동적으로 공급할 수 있게 되어 있다.
- [0037] 이상과 같은 구성의 전자부품 시험장치(1)에서는, 척(71) 위에 홀드되어 있는 피시엄 웨이퍼(100)를 프로버(70)에 의해 프로브 카드(30)에 밀착시켜, 피시엄 웨이퍼(100)에 조립된 IC디바이스의 입출력 단자(110)에 프로브(40)를 전기적으로 접촉시킨 상태에서, 테스터(60)로부터 IC디바이스로 DC 신호와 디지털 신호를 인가하는 동시에, IC디바이스로부터 출력 신호를 수신한다. IC디바이스로부터의 출력 신호(응답 신호)를 테스터(60)에서 기대치와 비교함으로써, IC디바이스의 전기적인 특성을 평가하도록 되어 있다.
- [0038] 도3은 본 발명의 제1실시형태에서의 프로브 카드의 개략 단면도, 도4는 본 발명의 제1실시형태에서의 프로브 카드를 하측에서 바라본 부분 평면도, 도5는 본 발명의 제1실시형태에서의 프로브의 부분 평면도, 도6a는 도5의 VIA-VIA선에 따른 단면도, 도6b는 도5의 VIB-VIB선에 따른 단면도이다.
- [0039] 본 실시형태에서의 프로브 카드(30)는, 도3 및 도4에 나타난 바와 같이, 예를 들어 다층 배선 기관 등으로 구성되는 프로브 기관(31)과, 기계적인 강도를 보강하기 위하여 프로브 기관(31)의 상면에 설치되어 있는 스티프너(32)와, 프로브 기관(31)의 하면에 다수 실장되어 있는 실리콘 핑거 콘택터(40)로 구성되어 있다.
- [0040] 프로브 기관(31)에는 하면으로부터 상면으로 관통되도록 스루홀(31a)이 형성되어 있는 동시에, 상기 스루홀(31a)에 접속된 접속 트레이스(31b)가 하면에 형성되어 있다.
- [0041] 본 실시형태에서의 실리콘 핑거 콘택터(프로브)(40)는, IC디바이스의 테스트에 즈음하여 IC디바이스와 테스트 헤드(10)의 사이의 전기적인 접속을 확립하기 위하여, IC디바이스의 입출력 단자(110)에 접촉하는 프로브이다.
- [0042] 상기 프로브(40)는 도5~도6b에 나타난 바와 같이, 프로브 기관(31)에 고정되는 베이스부(41)와, 후단측에서 베이스부(41)에 지지되고, 선단측이 베이스부(41)로부터 돌출되어 있는 기둥 형상의 비임부(42)와, 비임부(42)의 상면에 형성된 배선부(44)와, 배선부(44)의 선단에 형성되어 있는 접점부(45)로 구성되어 있다.
- [0043] 한편, 본 실시형태에서 프로브(40)에서의 「후단측」이란, 프로브 기관(31)에 고정되는 측(도6a에서 좌측)을 가리킨다. 이에 대하여, 프로브(40)에서의 「선단측」이란 피시엄 반도체 웨이퍼(100)의 입출력 단자(110)에 접촉하는 측(도6a에서 우측)을 가리킨다. 또한, 비임부(42)에서 베이스부(41)로부터 선단측을 향하여 돌출되어 있는 영역을 돌출 영역(421)이라 칭하고, 비임부(42)에서 베이스부(41)에 지지되어 있는 영역을 후단 영역(422)이라고 칭한다.
- [0044] 상기 프로브(40)의 베이스부(41) 및 비임부(42)는, 실리콘 웨이퍼(46)에 포토리소그래피 등의 반도체 제조기술을 실시함으로써 제조되어 있고, 도5~도6b에 나타난 바와 같이, 하나의 베이스부(41)에 복수의 비임부(42)가 후단 영역(422)에서 모아서 한쪽만 고정하여 지지되어 있고, 해당 복수의 비임부(42)는 베이스부(41)로부터 서로 실질적으로 평행한 방향을 따라서 핑거 형상(빗살 모양)으로 돌출되어 있다.
- [0045] 베이스부(41)는, 도6a에 나타난 바와 같이, 실리콘으로 구성되는 지지층(46d)과, 상기 지지층(46d)의 위에 형성되어, 산화 실리콘(SiO<sub>2</sub>)으로 구성되는 BOX층(46c)으로 구성되어 있다. 한편, 각 비임부(42)는 실리콘(Si)으로 구성되는 활성층(46b)과, 해당 활성층(46b)의 위에 형성되어, 절연층으로서 기능하는 제1의 SiO<sub>2</sub>층(46a)으로 구성되어 있다.



[0046] 또한, 본 실시형태에서는, 도5 및 도6a에 나타난 바와 같이, 각 비임부(42)의 길이 방향이, 활성층(46b)을 구성하는 단결정 실리콘의 결정방위<100>에 실질적으로 일치되어 있다.

[0047] 일반적으로, 단결정 실리콘의 영률(종탄성계수)에는 강한 이방성이 존재하고 있고, 구체적으로는 결정방위<100>의 영률이 약 130[GPa], 결정방위<110>의 영률이 약 170[GPa], 결정방위<111>의 영률이 약 190[GPa]으로 되어 있다. 본 실시형태에서는 프로브(30)의 길이 방향을, 가장 영률이 작은 결정방위<100>에 실질적으로 일치시키고 있다. 이에 따라 프로브(40)를 짧게 하여도 딱딱해지지 않고, 피시험 전자부품의 입출력 단자와의 접촉시에 프로브(40)가 적절히 휘어지기 때문에, 프로브(40)가 파손되지 않게 되어, 내피로 특성이 향상된다.

[0048] 한편, 종래는 일반적으로 유통되고 있는 실리콘 웨이퍼의 오리 플레 방위에 의존하여, 프로브의 길이 방향이 결정방위<110>에 일치되어 있다. 이에 대하여 본 실시형태와 같이 비임부(42)의 길이 방향을 결정방위<100>에 일치시킴으로써, 영률이 약 170[GPa]에서 약 130[GPa]으로 감소하기 때문에, 종래의 프로브와 비교하여 비임부(42)를 짧게 할 수 있다. 한편, IC디바이스의 입출력 단자와의 접촉의 안정성을 유지하기 위하여 프로브에 일정 이상의 하중을 걸 필요가 있는 동시에, 충분한 내피로 특성을 확보하기 위하여 비임부에 발생하는 인장 응력을 소정량 이하로 억제할 필요가 있다. 본 실시형태에서는, 예를 들어 종래의 프로브와 비교하여 비임부(42)를 16% 짧게 한 경우에, 이하의 2식의 관계로부터 비임부(42)의 두께를 8% 얇게 함으로써, 상기의 조건을 만족할 수 있다. 단, 하기의 2식에서 E는 영률, t는 두께, l는 길이이다.

수학식 3

$$\text{하중: } F \propto E \frac{t^3}{l^3}$$

[0049]

수학식 4

$$\text{응력: } \sigma \propto E \frac{t}{l^2}$$

[0050]

[0051] 도5~도6b에 나타난 바와 같이, 복수의 비임부(42)의 후단 영역(421)에서, 인접하는 비임부(42)끼리의 사이에 홈(43A)이 각각 설치되어 있다. 도6a 및 도6b를 비교하면 알 수 있듯이, 각 홈(43A)은, 제1의 SiO<sub>2</sub>층(46a) 및 활성층(46b)의 두께에 상당하는 깊이를 갖고 있는 동시에, 비임부(42)의 돌출 영역(421)끼리의 사이의 폭과 실질적으로 동일한 폭을 갖고 있다.

[0052] 도6a에 나타난 바와 같이, 절연층(제1의 SiO<sub>2</sub>층)(46a)의 위에 배선부(44)가 설치되어 있다. 배선부(44)는, 도6a에 나타난 바와 같이, 티탄 및 금으로 구성되는 시드층(급전층)(44a)과, 시드층(44a)의 위에 설치되어, 금으로 구성되는 제1의 배선층(44b)과, 제1의 배선층(44b)의 후단에 설치되어, 고순도의 금으로 구성되는 제2의 배선층(44c)으로 구성되어 있다. 한편, 제1의 배선층(44b)은 5~10 $\mu$ m의 두께를 갖고 있다. 제1의 배선층(44b)의 두께를 5 $\mu$ m미만으로 하면 발열하고, 10 $\mu$ m보다 크게 하면, 휨이 발생할 우려가 있다.

[0053] 제1의 배선층(44b)의 선단 부분에 접점부(45)가 설치되어 있기 때문에, 해당 제1의 배선층(44b)에는 비교적 높은 기계적 강도가 요구된다. 그러므로 제1의 배선층(44b)을 구성하는 재료로서, 99.9%이상의 순도의 금에 니켈이나 코발트 등의 이종 금속재료를 0.1%미만 첨가한 것이 사용되고 있고, 제1의 배선층(44b)의 비커스 경도가 Hv130~200까지 올라가 있다. 이에 대하여, 제2의 배선층(44c)은, 후공정에서 본딩이 가능하며, 또한 높은 도전성을 갖도록, 순도 99.999%이상의 금으로 구성되어 있다.

[0054] 배선부(44)의 선단에는 접점부(45)가 윗쪽을 향하여 돌출되도록 설치되어 있다. 상기 접점부(45)는 시드층(44a) 및 제1의 배선층(44a)으로 구성되는 단차의 위에 형성된 제1의 접점층(45a)과, 제1의 접점층(45a)을 덮도록 설

치되어, 금으로 구성되어 있는 제2의 접점층(45b)과, 제2의 접점층(45b)을 덮도록 설치된 제3의 접점층(45c)으로 구성되어 있다. 제1의 접점층(45a)을 구성하는 재료로서는, 니켈 또는 니켈 코발트 등의 니켈 합금을 들 수 있다. 또한, 제3의 접점층(45c)을 구성하는 재료로서는, 로듐, 백금, 루테튬, 파라듐, 이리듐 또는 이들의 합금 등의, 고경도인 것인 동시에 내식성이 뛰어난 도전성 재료를 들 수 있다. 이와 같은 접점부(45)를 배선부(44)의 선단에 설치함으로써, 비교적 부드러운 제1의 배선층(44b)이 IC디바이스의 입출력 단자(110)에 직접 접촉하는 것을 없앨 수 있다.

[0055] 이상과 같은 구성의 프로브(40)는, 도3에 나타난 바와 같이, 반도체 웨이퍼(100)에 조립된 피시엄 IC디바이스의 입출력 단자(110)에 대향하도록, 프로브 기관(31)에 설치되어 있다. 한편, 도2에는 두개의 프로브(30)밖에 도시하지 않았지만, 실제로는 수백~수천개의 프로브(40)가 프로브 기관(31) 상에 실장되어 있다.

[0056] 각 프로브(40)는, 도3에 도시한 바와 같이, 베이스부(41)의 각부를 프로브 기관(31)에 맞게 한 상태에서, 프로브 기관(31)에 접착제(31d)를 사용하여 고정되어 있다. 상기 접착제(31d)로서는, 예를 들어 자외선 경화형 접착제, 온도 경화형 접착제, 또는 열가소성 접착제 등을 들 수 있다.

[0057] 또한, 배선부(44)의 제2의 배선층(44c)에는, 접속 트레이스(31b)에 접속된 본딩 와이어(31c)가 접속되어 있고, 상기 본딩 와이어(31c)를 통하여 프로브(40)의 배선부(44)와, 프로브 기관(31)의 접속 트레이스(31b)가 전기적으로 접속되어 있다. 한편, 본딩 와이어(31c) 대신에, 솔더볼을 이용하여 배선부(44)와 접속 트레이스(31b)를 전기적으로 접속하여도 좋다.

[0058] 이상과 같은 구성의 프로브 카드(30)를 이용한 IC디바이스의 테스트는, 프로버(70)에 의해 피시엄 웨이퍼(100)가 프로브 카드(30)에 밀착되어, 프로브 기관(31) 상의 프로브(40)와, 피시엄 웨이퍼(100) 상의 입출력 단자(110)가 전기적으로 접촉된 상태에서, 테스트로부터 IC디바이스에 대하여 시험 신호를 입출력함으로써 실행된다.

[0059] 이하에, 본 발명의 실시형태에서의 프로브의 제조방법의 일례에 대하여, 도7a~도42를 참조하여 설명한다. 도7a~도42(단, 도12~도13b를 제외한다.)는 본 발명의 제1실시형태에 따른 프로브의 제조방법의 각 공정에서의 SOI 웨이퍼의 단면도 또는 평면도이다.

[0060] 먼저, 도7a 및 도7b에 나타난 제1공정에서 SOI 웨이퍼(Silicon On Insulator Wafer)(46)를 준비한다. 본 실시형태에서는 상기 SOI 웨이퍼(46)는, 도7a에 나타난 바와 같이, 면방위(100)의 주면(461)을 갖고 있는 동시에 결정 방위<100>를 나타내는 오리엔테이션 플랫(이하, 간단히 오리 플레라고도 칭한다.)(46b)이 형성되어 있다. 한편, 오리 플레(46b)의 대신에, 결정방위<100>를 나타내는 노치가 SOI 웨이퍼(46)에 붙어 있어도 좋다.

[0061] 상기 SOI 웨이퍼(46)는, 도7b에 나타난 바와 같이, 세개의 SiO<sub>2</sub>층(46a),(46c),(46e)의 사이에 두개의 Si층(46b),(46d)을 각각 끼워 구성되어 있다. 상기 SOI 웨이퍼(46)의 SiO<sub>2</sub>층(46a),(46c),(46e)은, 프로브(40)를 조립할 때에 에칭 스톱퍼로서 기능하거나, 절연층으로서 기능한다.

[0062] 여기에서, 프로브(40)의 고주파 특성을 양호한 것으로 하기 위하여, 제1의 SiO<sub>2</sub>층(46a)은 1 $\mu$ m 이상의 층 두께를 갖고 있고, 활성층(46b)은 1k $\Omega$ ·cm 이상의 체적 저항률을 갖고 있다. 또한, 비임부(42)가 안정된 탄력 특성을 지니도록, 활성층(46b)의 층 두께의 공차는  $\pm 3\mu$ m 이하, 지지층(46d)의 층 두께의 공차는  $\pm 1\mu$ m 이하로 되어 있다.

[0063] 다음으로, 도8a 및 도8b에 나타난 제2공정에서, SOI 웨이퍼(46)의 하면에 제1의 레지스트층(47a)을 형성한다. 상기 공정에서는, 특별히 도시하지 않지만, 먼저 제2의 SiO<sub>2</sub>(46e)에 포토 레지스트 막을 형성하고, 상기 포토 레지스트 막 위에 포토 마스크를 포갠 상태에서 자외선을 노광하여 큐어(응고)시킴으로써, 제2의 SiO<sub>2</sub>층(46e)의 일부에 제1의 레지스트층(47a)을 형성한다. 한편, 포토 레지스트 막에서 자외선이 노광되지 않았던 부분은 용해되어, 제2의 SiO<sub>2</sub>층(46e) 위로부터 씻겨 내려간다. 상기 제1의 레지스트층(47a)은, 다음의 제3공정에서 에칭 마스크 패턴으로서 기능한다.

[0064] 다음으로 도9에 나타난 제3공정에서, 예를 들어 RIE(Reactive Ion Etching) 등에 의해 SOI 웨이퍼(46)의 아래쪽에서 제2의 SiO<sub>2</sub>층(46e)에 대하여 에칭 처리를 실시한다. 상기 에칭 처리에 의해, 제2의 SiO<sub>2</sub>층(46e)에서 제1의 레지스트층(47a)에 의해 보호되지 않은 부분이 침식된다.

[0065] 상기 에칭 처리가 완료되면, 도10에 나타난 제4공정에서, 제2의 SiO<sub>2</sub>층(46c)의 위에 남아 있는 제1의 레지스트층(47a)을 제거(레지스트 박리)한다. 상기 레지스트 박리에서는, 산소 플라즈마에 의해 레지스트를 애싱(탄화)

한 후에, 예를 들어 황산 과수 등의 세정수에 의해 SOI웨이퍼(46)를 세정한다. SOI웨이퍼(46)의 하부에 남은 제2의 SiO<sub>2</sub>층(46e)은, 도37에서 설명하는 제29공정에서의 에칭 처리에서 마스크재로서 기능한다.

- [0066] 다음으로 도11a~도11c에 나타낸 제5공정에서, 제1의 SiO<sub>2</sub>층(46a)의 표면에 제2의 레지스트층(47b)을 형성한다. 상기 제2의 레지스트층(47b)은 제2공정에서 설명한 제1의 레지스트층(47a)과 마찬가지로, 도11a 및 도11b에 나타낸 바와 같이, SOI웨이퍼(46)의 상면에 복수의 띠 형상으로 형성된다. 한편, 본 실시형태에서는 도11a에 나타낸 바와 같이, 각 제2의 레지스트층(47b)의 길이 방향이 결정방위<100>에 실질적으로 일치되어 있다.
- [0067] 또한, 프로브(40)를 제작하는 실리콘 웨이퍼로서, 면방위(100)의 주면(463)을 갖는 동시에, 결정방위<110>를 나타내는 오리 플래(464)가 형성된 실리콘 웨이퍼(46')를 이용할 경우에는, 이하와 같은 요령으로 제1의 레지스트층(47a)을 형성하여도 좋다.
- [0068] 도12는 본 발명의 제2실시형태에 따른 프로브의 제조방법의 제5공정에서 SOI웨이퍼를 상측에서 바라본 평면도이다. 본 발명의 제2실시형태에서는, 도12에 나타낸 바와 같이, 통상의 웨이퍼 세트 위치로부터 실리콘 웨이퍼(46')를 실질적으로 45° 회전시킨 상태에서, 실리콘 웨이퍼(46')를 노광 장치에 세팅하여, 상기 상태에서 실리콘 웨이퍼(46') 상에 제2의 레지스트층(47b)을 형성한다. 이에 따라, 결정방위<110>를 나타내는 오리 플래(464)가 부여된 실리콘 웨이퍼(46')를 이용해도, 제2의 레지스트층(47b)의 길이 방향을 결정방위<100>에 용이하게 일치시킬 수 있다.
- [0069] 한편, 통상의 웨이퍼 세트 위치란, 비임부(42)의 길이 방향을 실리콘 웨이퍼(46')의 결정방위<110>에 실질적으로 일치시키는 경우에서의 노출 장치로의 실리콘 웨이퍼(46')의 세트 위치를 가르키고, 도12에 나타낸 예에서는, 통상의 웨이퍼 세트 위치는, 결정방위<110>를 나타내는 오리 플래(464)가 도면에서의 하측에 위치하고 있는 상태가 된다.
- [0070] 또한, 레지스트층을 형성하는 다른 공정(구체적으로는, 제2, 제8, 제12, 제14, 제17, 제20 및 제25공정)이어도 동일하게 45° 회전시킨 상태에서 실리콘 웨이퍼(46')를 노광 장치에 세팅할 필요가 있다.
- [0071] 도13a는 본 발명의 제3실시형태에 따른 프로브의 제조방법의 제5공정에서 이용되는 포토 마스크의 평면도이다. 본 발명의 제3실시형태에서는, 도13a에 나타낸 바와 같이, 제2의 레지스트층(47b)을 형성하기 위한 패턴(투광부)(121)을 통상의 패턴 위치로부터 실질적으로 45° 회전시킨 상태에서, 포토 마스크(120)에 해당 패턴(121)을 형성한다. 상기 포토 마스크(120)를 이용하여 실리콘 웨이퍼(46') 상에 제2의 레지스트층(47b)을 형성함으로써, 결정방위<110>를 나타내는 오리 플래(464)가 부여된 실리콘 웨이퍼(46')를 이용하여도, 제2의 레지스트층(47b)의 길이 방향을 결정방위<100>에 용이하게 일치시킬 수 있다.
- [0072] 한편, 통상의 패턴 위치란, 비임부(42)의 길이 방향을 실리콘 웨이퍼(46')의 결정방위<110>에 실질적으로 일치시키는 경우에서의 포토 마스크에 대한 패턴의 위치를 가르키며, 도13a에 나타낸 예에서는, 통상의 패턴 위치는, 포토 마스크(120)에 대하여, 패턴(121)의 길이 방향을 도면에서의 상하 방향에 맞추어 해당 패턴(121)을 형성하도록 하는 상태이다.
- [0073] 또한, 레지스트층을 형성하는 다른 공정(구체적으로는 제2, 제8, 제12, 제14, 제17, 제20 및 제25 공정)에서도, 동일하게 패턴을 45° 회전시켜서 형성된 포토 마스크를 이용할 필요가 있다.
- [0074] 도13b는 본 발명의 제4실시형태에 따른 프로브의 제조방법의 제5공정에서 SOI웨이퍼를 상측에서 바라본 평면도이다. 본 발명의 제4실시형태에서는, 통상의 패턴 위치에서 포토 마스크를 형성하고, 도13b에 나타낸 바와 같이, 포토 마스크 자체를 통상의 마스크 상태로부터 45° 회전시킨 상태에서, 실리콘 웨이퍼(46') 상에 제2의 레지스트층(47b)을 형성한다. 이에 따라, 결정방위<110>를 나타내는 오리 플래(464)가 부여된 실리콘 웨이퍼(46')를 이용하여도, 제2의 레지스트층(47b)의 길이 방향을 결정방위<100>에 용이하게 일치시킬 수 있다.
- [0075] 한편, 통상의 마스크 위치란, 비임부(42)의 길이 방향을 실리콘 웨이퍼(46')의 결정방위<110>에 실질적으로 일치시키는 경우에서의 실리콘 웨이퍼(46')에 대한 포토 마스크의 위치를 가르키며, 도13b에 나타낸 예에서는, 통상의 마스크 위치는, 제2의 레지스트층(47b)의 길이 방향을 도면에서의 상하 방향에 맞추어 해당 제2의 레지스트층(47b)을 형성하도록 한 상태이다.
- [0076] 한편, 레지스트층을 형성하는 다른 공정(구체적으로는, 제2, 제8, 제12, 제14, 제17, 제20 및 제25 공정)에서도, 동일하게 포토 마스크를 45° 회전시킬 필요가 있다.
- [0077] 본 발명의 제1실시형태의 제6공정에서, 도14에 나타낸 바와 같이, 예를 들어 RIE 등에 의해 SOI웨이퍼(46)의 윗

쪽으로부터 제1의 SiO<sub>2</sub>층(46a)에 대하여 에칭 처리를 실시한다. 상기 에칭 처리에 의해 제1의 SiO<sub>2</sub>층(46a)에서 제2의 레지스트층(47b)에 보호되어 있지 않은 부분이 침식되어, 제1의 SiO<sub>2</sub>층(46a)이 결정방위<100>에 따른 복수의 띠 형상으로 된다(도15a 참조).

- [0078] 다음으로 도15a~도15c에 나타난 제7공정에서, 전술한 제4공정과 마찬가지로 요령으로 제2의 레지스트층(47b)을 제거하고, 도16에 나타난 제8공정에서, 전술한 제2공정과 마찬가지로 요령으로 제2의 SiO<sub>2</sub>층(46e)의 위에 제3의 레지스트층(47c)을 형성한다.
- [0079] 다음으로 도17에 나타난 제9공정에서, SOI웨이퍼(46)의 아래쪽으로부터 지지층(46d)에 대하여, DRIE(Deep Reactive Ion Etching)법에 의해 에칭 처리를 실시한다. 상기 에칭 처리에 의해, 지지층(46d)에서 제3의 레지스트층(47c)에 보호되어 있지 않은 부분이, 해당 지지층(46d)의 절반 정도의 깊이까지 침식된다. 덧붙여서, 예를 들어 웨트 에칭(Wet Etching)법에서도 실리콘을 에칭할 수 있지만, 웨트 에칭법에서는 결정방위<100>에 따른 가공을 할 수 없기 때문에, 본 실시형태에는 적합하지 않다.
- [0080] 다음으로 도18에 나타난 제10공정에서, 전술한 제4공정과 마찬가지로 요령으로 제3의 레지스트층(47c)을 제거한다. 다음으로 도19에 나타난 제11공정에서, SOI웨이퍼(46)의 상면 전체에 티탄 및 금으로 구성되는 시드층(44a)을 성막한다. 상기 시드층(44a)을 성막하는 구체적인 방법으로서, 예를 들어 진공 증착, 스퍼터링, 기상 대포지션 등을 들 수 있다. 상기 시드층(44a)은 후술하는 제1의 배선층(44b)을 형성할 즈음의 급전층으로서 기능한다.
- [0081] 다음으로 도20a 및 도20b에 나타난 제12공정에서, 시드층(44a)의 표면에, 상술한 제2공정과 마찬가지로 요령으로 제4의 레지스트층(47d)을 형성한다. 상기 제4의 레지스트층(47d)은 도20a에 나타난 바와 같이, 최종적으로 배선부(44)가 형성되는 부분을 제외하고, 시드층(44a)의 전체에 형성되어 있다.
- [0082] 다음으로 도21에 나타난 제13공정에서, 시드층(44a) 상에서 제4의 레지스트층(47d)에 덮여있지 않은 부분에, 도금 처리에 의해 제1의 배선층(44b)을 형성한다.
- [0083] 다음으로 도22a 및 도22b에 나타난 제14공정에서, 시드층(44a)의 위에 제4의 레지스트층(47d)을 남긴 상태에서, 제5의 레지스트층(47e)을 형성한다. 상기 제5의 레지스트층(47e)은, 도22a에 나타난 바와 같이, 제1의 배선층(44b)의 후단층의 일부를 제외하고, 해당 제1의 배선층(44b)의 전체에 형성되어 있다.
- [0084] 다음으로 도23에 나타난 제15공정에서, 제1의 배선층(44b)의 표면에서 레지스트층(47d),(47e)에 덮여있지 않은 부분에, 도금 처리에 의해 제2의 배선층(44c)을 형성하고, 도24a 및 도24b에 나타난 제16공정에서, 레지스트층(47d),(47e)을 상술한 제4공정과 마찬가지로 요령으로 제거한다.
- [0085] 다음으로 도25a 및 도25b에 나타난 제17공정에서, 제1의 배선층(44b)의 선단부분으로부터 시드층(44a)의 표면에 이르는 영역을 제외하고, SOI웨이퍼(46)의 전체에 전술한 제4공정과 마찬가지로 요령으로, 제6의 레지스트층(47f)을 형성한다. 한편, 상기 제6의 레지스트층(47f)은, 다음의 제17공정에서 제1의 접점층(45a)을 형성하기 위한 것이지만, 제1의 접점층(45a)은 접점부(45)의 높이 방향의 대부분을 차지하기 때문에, 상기 제16공정에서는 제6의 레지스트층(47f)을 충분히 두껍게 형성한다.
- [0086] 다음으로 도26에 나타난 제18공정에서, 제6의 레지스트층(47f)에 덮여있지 않은 부분에 도금 처리에 의해 제1의 접점층(45a)을 형성한다. 상기 Ni 도금층(45a)은, 제1의 배선층(44b)과 시드층(44a)의 사이의 단차 부분에 형성되기 때문에, 도26에 나타난 바와 같이 곡면 형상으로 형성된다. 다음으로 도27a 및 도27b에 나타난 제19공정에서, 제6의 레지스트층(47f)을 상술한 제4공정과 마찬가지로 요령으로 제거한다.
- [0087] 다음으로 도28a 및 도28b에 나타난 제20공정에서, 제1의 접점층(45a)의 주변을 약간의 간격을 벌린 상태에서 SOI웨이퍼(46)의 전면에, 상술한 제2공정과 마찬가지로 요령으로 제7의 레지스트층(47g)을 형성한다.
- [0088] 다음으로 도29에 나타난 제21공정에서, SOI웨이퍼(46)의 상면에서 제7의 레지스트층(47g)에 덮여있지 않은 부분에 금 도금 처리를 실시하여, 제1의 접점부(45a)를 덮도록 제2의 접점층(45b)을 형성한다. 덧붙여서, 상기 제2의 접점층(45b)은 다음 공정에서 제3의 접점층(45c)을 로듐 도금 처리하기 위한 도금액으로부터 제1의 접점층(45a)을 보호하기 위하여 형성된다.
- [0089] 다음으로 도30에 나타난 제22공정에서, 제7의 레지스트층(47g)을 남긴 상태에서 SOI웨이퍼(46)의 상면에서 제7의 레지스트층(47g)에 덮여있지 않은 부분에 로듐 도금 처리를 실시하여, 제2의 접점층(45b)을 덮도록 제3의 접점층(45c)을 형성한다. 이어서 도31a 및 도31b에 나타난 제23공정에서, 제7의 레지스트층(47g)을, 상술한 제4공

정과 마찬가지로 요령으로 제거한다. 제3의 접점층(45c)은, 높은 경도(예를 들어 제3의 접점층(45c)이 로딩으로 구성되어 있는 경우에는 Hv800~1000)를 갖고 있는 동시에 내식성도 뛰어나기 때문에, 장기간 안정된 접촉 저항 및 내마모성이 요구되는 접점부(45)의 표면에 적합하다.

- [0090] 다음으로 도32에 나타난 제24공정에서, 제1의 배선층(44b)을 도금 처리로 형성할 때에 급전층으로서 가능한 시드층(44a) 중에 노출되어 있는 부분을 밀링 처리에 의해 제거한다. 상기 밀링 처리는, 진공 챔버 중에서 아르곤 이온을 SOI웨이퍼(46)의 상면을 향하여 충돌시킴으로써 실시된다. 이 때, 시드층(44a)은 다른 층과 비교해서 얇기 때문에, 상기 밀링 처리에 의해 제일 먼저 제거된다. 상기 밀링 처리에 의해, 시드층(44a) 중에서도 배선부(44) 및 접점부(45)의 아래쪽에 위치하고 있는 부분만이 남고, 그 외의 부분은 제거된다.
- [0091] 다음으로 도33a~도33c에 나타난 제25공정에서, 제1의 SiO<sub>2</sub>층(46a)의 위에 복수의 띠 형상의 제8의 레지스트층(47h)을, 상술한 제2공정과 마찬가지로 요령으로 형성한다. 또한, 본 실시형태에서는, 도31a에 나타난 바와 같이, 각 제8의 레지스트층(47h)의 길이 방향이 결정방위<100>에 실질적으로 일치되어 있다.
- [0092] 다음으로 도34에 나타난 제26공정에서, SOI웨이퍼(46)의 윗쪽으로부터 활성층(Si 층)(46b)에 대하여, DRIE법에 의해 에칭 처리를 실시한다. 상기 에칭 처리에 의해, 활성층(46b)이 복수의 띠 형상으로 침식되어, 활성층(46b)이 결정방위<100>에 따른 복수의 띠 형상으로 된다(도35a참조). 한편, 상기 DRIE 처리에 의해 SOI웨이퍼(46)의 침식은, BOX층(SiO<sub>2</sub>층)(46c)이 에칭 스톱퍼로서 기능하기 때문에, 지지층(Si 층)(46d)에는 다다르지 않는다.
- [0093] 또한, 상기 에칭 처리는, 비임부(42)의 스캐럽치(에칭에 의해 형성된 측벽면의 요철의 거칠기)가 100nm이하가 되도록 실시된다. 이에 따라, 비임부(42)가 탄성 변형할 즈음에, 측벽 표면의 거친 부분을 기점으로 하여 크랙이 발생하는 것을 방지할 수 있다.
- [0094] 다음으로 도35a~도35c에 나타난 제27공정에서, 전술한 제4공정과 마찬가지로 요령으로 제8의 레지스트층(47h)을 제거한다. 다음으로 도36에 나타난 제28공정에서, SOI웨이퍼(46)의 상면 전체에 폴리이미드막(48)을 형성한다. 상기 폴리이미드막(48)은, 폴리이미드 전구체를 스핀 코터나 스프레이 코터 등을 이용하여 SOI웨이퍼(46)의 상면 전체에 도포한 후, 20℃이상의 가열 또는 촉매에 의해 이미드화시킴으로써 형성된다. 상기 폴리이미드막(48)은, 다음 각각의 공정에서의 관통 에칭 처리할 즈음에, 에칭 장치의 스테이지가 관통공을 통하여 노출함으로써, 냉각액이 누설되거나, 에칭에 의해 스테이지 자체가 타격을 받는 것을 방지하기 위하여 형성된다.
- [0095] 다음으로 도37에 나타난 제29공정에서, SOI웨이퍼(46)의 아래쪽으로부터 지지층(Si 층)(46d)에 대하여, DRIE법에 의해 에칭 처리를 실시한다. 상기 에칭 처리에서는, 상술한 제3공정에서 남겨진 제2의 SiO<sub>2</sub>층(46e)이 마스크재로서 기능한다. 한편, 상기 DRIE 처리에 의한 아래쪽으로부터의 SOI웨이퍼(46)의 침식은, BOX층(SiO<sub>2</sub>층)(46c)이 에칭 스톱퍼로서 기능하기 때문에, 활성층(Si 층)(46b)에는 다다르지 않는다.
- [0096] 다음으로 도38a 및 도38b에 나타난 제30공정에서, SOI웨이퍼(46)의 아래쪽으로부터 두개의 SiO<sub>2</sub>층(46c), (46e)에 대하여 에칭 처리를 실시한다. 상기 에칭 처리의 구체적인 방법으로서 RIE법 등을 들 수 있다. 도38a에 나타난 바와 같이, 상기 에칭 처리에 의해 비임부(42)가 완전히 평거 형상(빗살 형상)으로 형성되지만, 본 실시형태에서는 각 비임부(42)의 길이 방향이 결정방위<100>에 실질적으로 일치되어 있다.
- [0097] 다음으로 도39에 나타난 제31공정에서, 불필요해진 폴리이미드막(48)을 강알카리성의 박리액에 의해 제거한다. 한편, 본 실시형태에서는, 웨이퍼(46)에 직접 도포한 폴리이미드 전구체를 이미드화함으로써 폴리이미드막(48)을 성막했지만, 본 발명에서는 특별히 이에 한정되지 않는다. 예를 들어 폴리이미드막(48)으로서, 알카리 가용성 점착제를 이용하여 폴리이미드 필름을 웨이퍼(46)에 첩부하여도 좋다.
- [0098] 다음으로 도40에 나타난 제32공정에서, SOI웨이퍼(46)의 상면에, 발포 박리 테이프(49)를 붙여, 소정 개수의 비임부(42)를 일단위로서, 비임부(42)의 길이 방향을 따라서 SOI웨이퍼(46)를 다이싱한다. 한편, 발포 박리 테이프(49)는 다이싱할 때에 비임부(42)를 수압으로부터 보호하기 위하여 붙이게 된다.
- [0099] 상기 발포 박리 테이프(49)는, PET를 포함하는 기재 테이프의 한쪽의 면에 UV발포성 점착제가 도포되어 구성되어 있다. 상기 발포 박리 테이프(49)는, 자외선 미조사의 상태에서 UV발포성 점착제에 의해 SOI웨이퍼(46)에 점착되지만, 자외선이 조사되면 UV발포성 점착제가 발포하여 점착력이 저하되어, SOI웨이퍼(46)로부터 용이하게 박리할 수 있게 된다.
- [0100] 다음으로 도41에 나타난 제33공정에서, 다이싱된 프로브(40)를 위쪽으로부터 픽업장치에 의해 핸들링 가능하게 하기 위하여, 베이스부(41)의 하면에 UV박리형 테이프(50)를 붙인다.

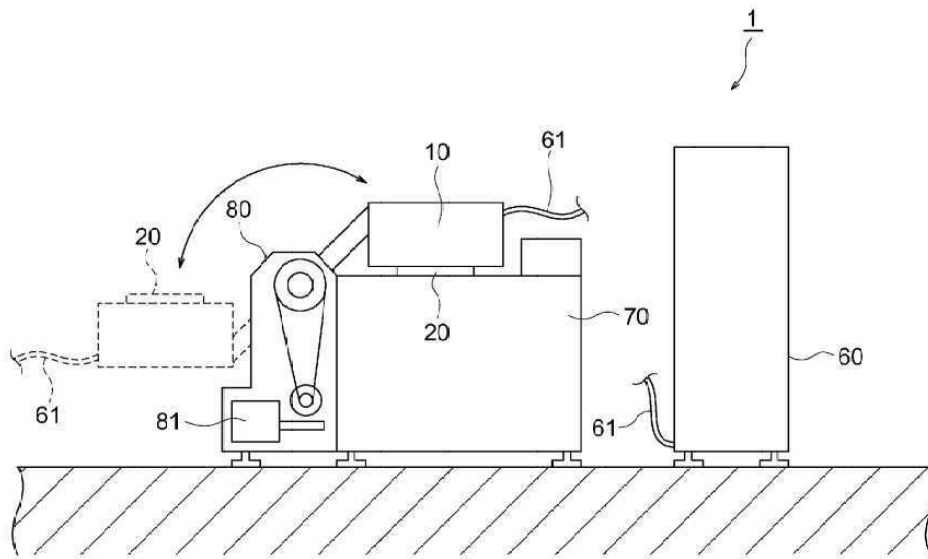
- [0101] 상기 UV박리형 테이프(50)는, 폴리올레핀을 포함하는 기재 테이프의 한쪽의 면에 UV경화형 점착제가 도포되어 구성되어 있다. 상기 UV박리형 테이프(50)는, 자외선 미조사의 상태에서는 UV경화형 점착제에 의해 베이스부(41)의 하면에 점착되지만, 자외선이 조사되면 UV경화형 점착제가 점착력을 잃어, 베이스부(41)로부터 용이하게 박리할 수 있게 되어 있다.
- [0102] 다음으로 도42에 나타난 제34공정에서, 발포 박리 테이프(49)를 향하여 자외선을 조사함으로써, 발포 박리 테이프(49)의 UV발포성 점착제를 발포시켜, 발포 박리 테이프(49)를 프로브(40)로부터 박리하여, 발포 박리 테이프(49)로부터 UV박리형 테이프(50)로 프로브(40)를 전사한다.
- [0103] 다음으로 특별히 도시하지 않지만, 픽업장치에 의해 프로브(40)를 홀드한 상태에서, UV경화형 박리 테이프(50)를 향해서 자외선을 조사함으로써, 해당 테이프(50)를 프로브(40)로부터 박리한다. 그리고 픽업장치가 프로브 기관(30)의 소정 위치에 프로브(40)를 배치하고, 점착제(31d)에 의해 고정함으로써, 프로브(40)가 프로브 기관(30)에 실장된다.
- [0104] 한편, 이상 설명한 실시형태는, 본 발명의 이해를 용이하게 하기 위하여 기재된 것으로서, 본 발명을 한정하기 위하여 기재된 것은 아니다. 따라서, 상기의 실시형태에 개시된 각 요소는, 본 발명의 기술적 범위에 속하는 모든 설계 변경이나 균등물을 포함하는 취지이다.

**부호의 설명**

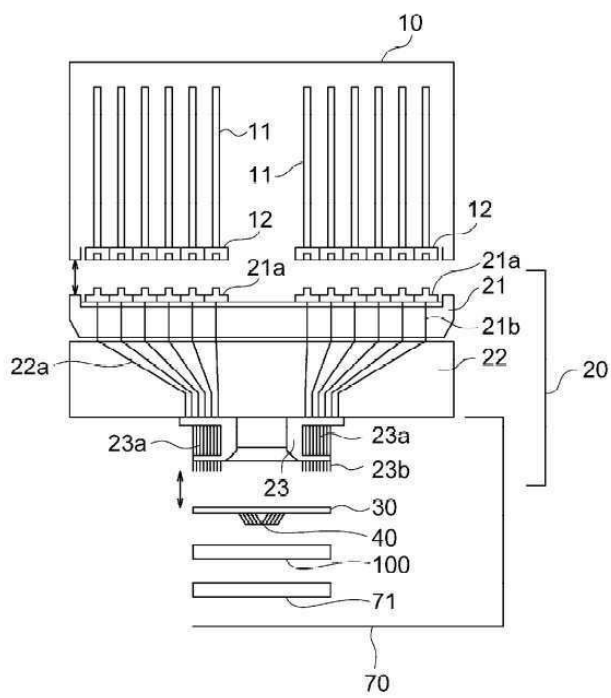
- [0105] 1...전자부품 시험장치
- 10...테스트 헤드
- 20...인터페이스부
- 30...프로브 카드
- 31...프로브 기관
- 40...프로브
- 41...베이스부
- 42...비임부
- 422...후단 영역
- 43A~43C...홈
- 44...배선부
- 45...접점부
- 46...SOI웨이퍼
- 46a...면방위(100)의 주면
- 46b...결정방위<100>를 나타낸 오리 플래
- 100...피시험 반도체 웨이퍼
- 110...입출력 단자

도면

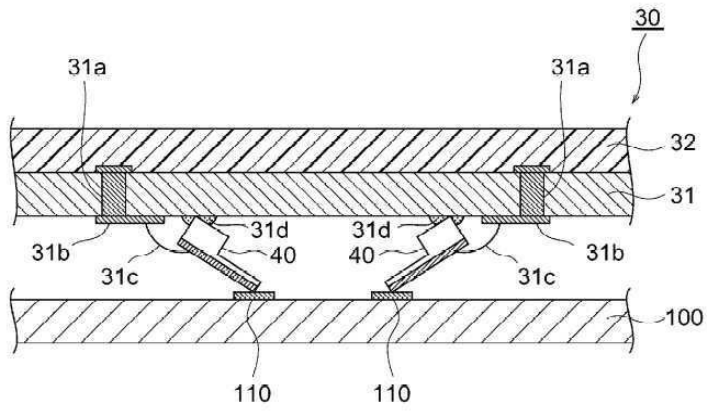
도면1



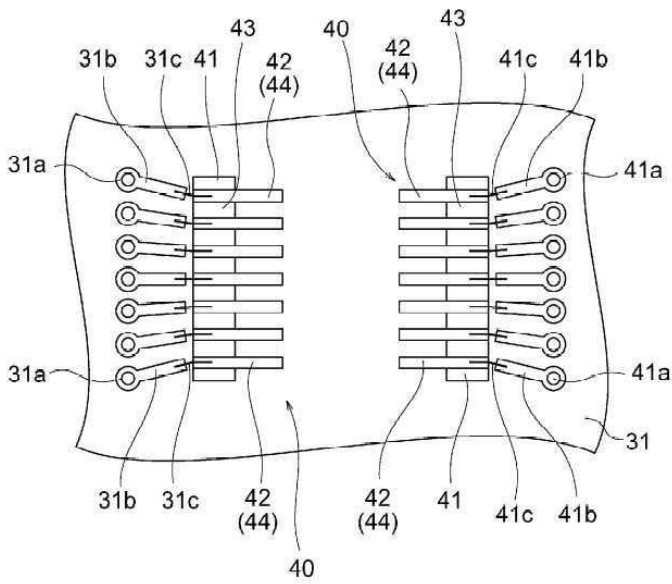
도면2



도면3



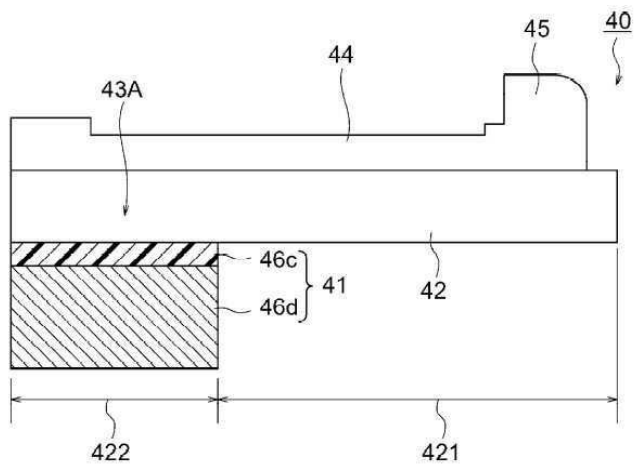
도면4



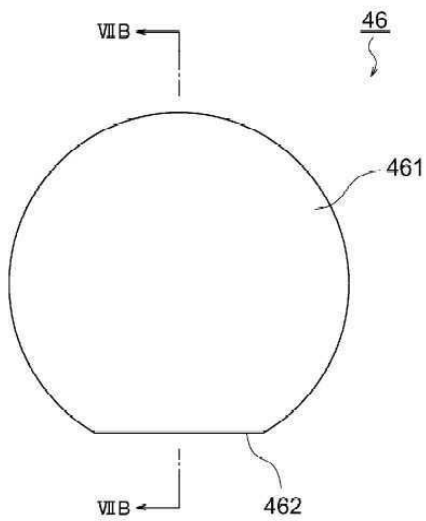




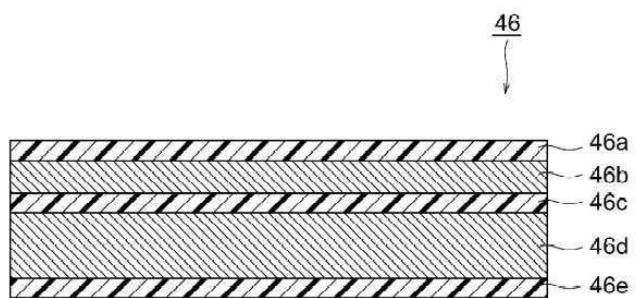
도면6b



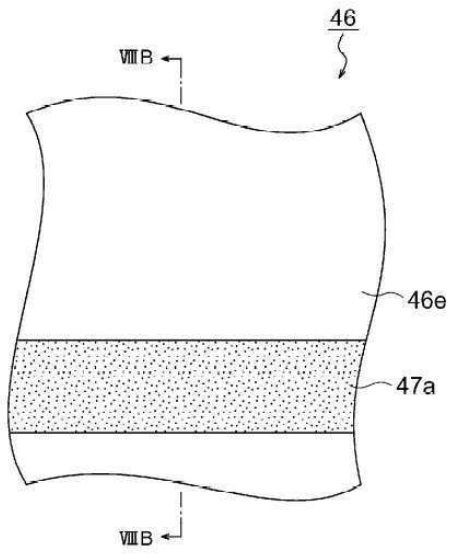
도면7a



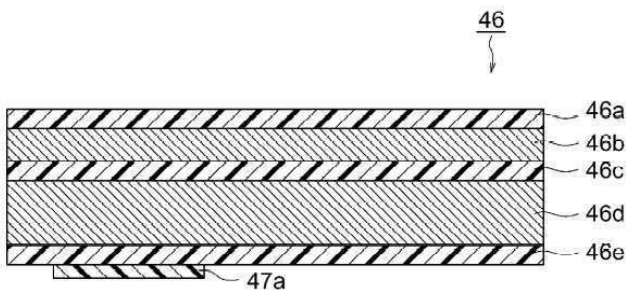
도면7b



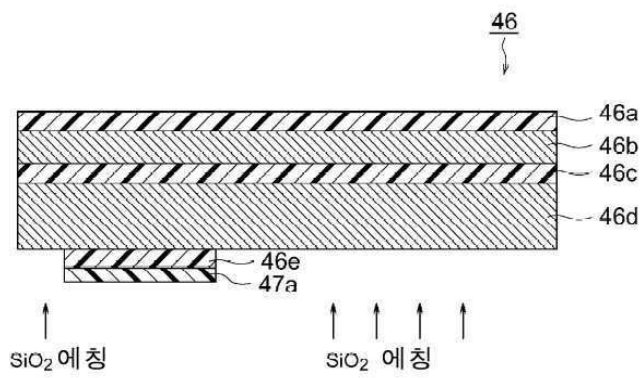
도면8a



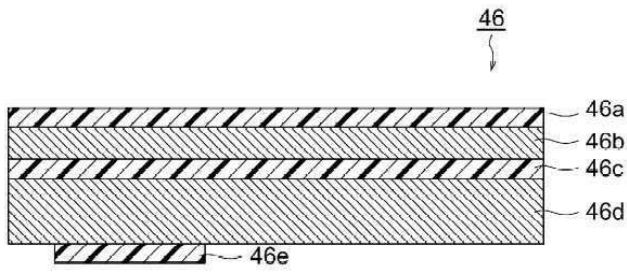
도면8b



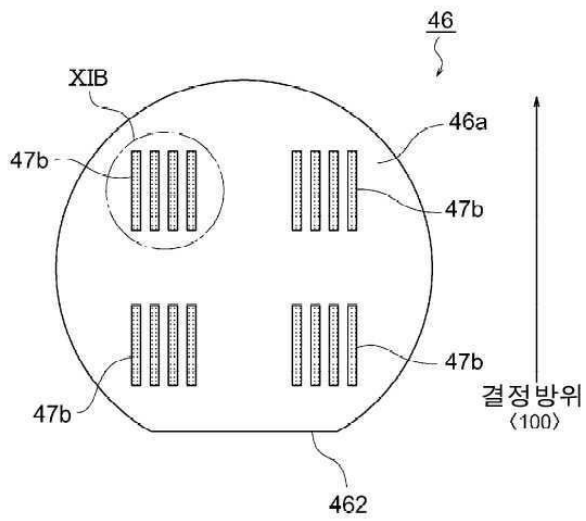
도면9



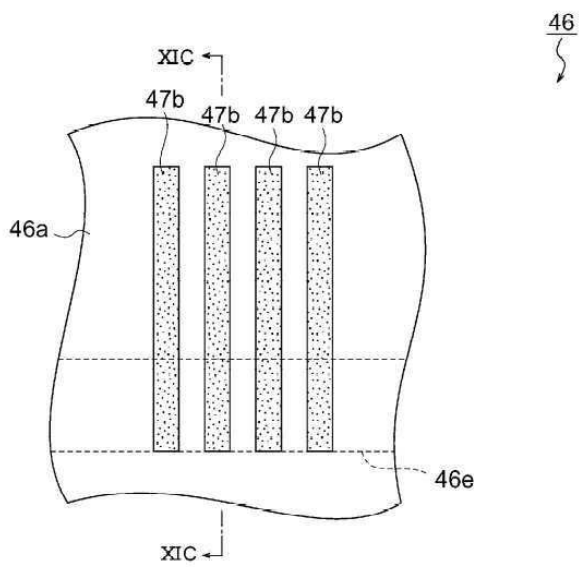
도면10



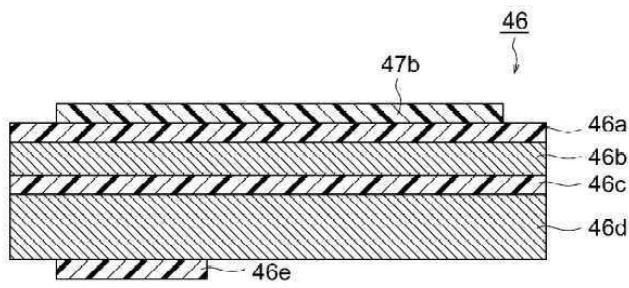
도면11a



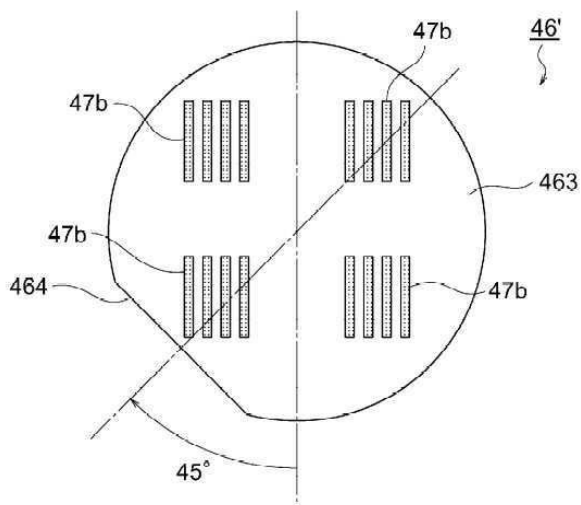
도면11b



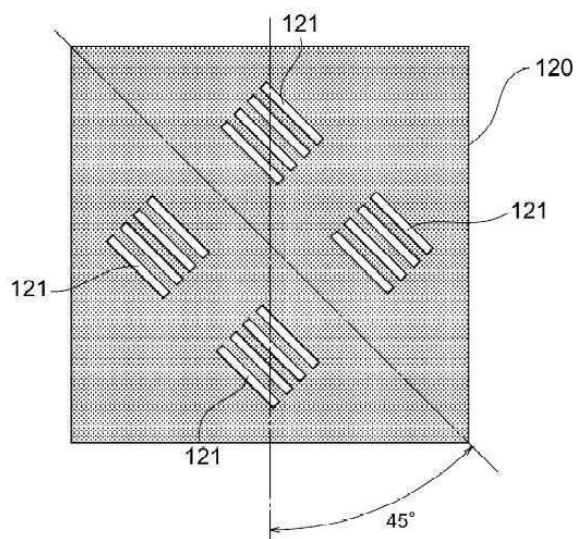
도면11c



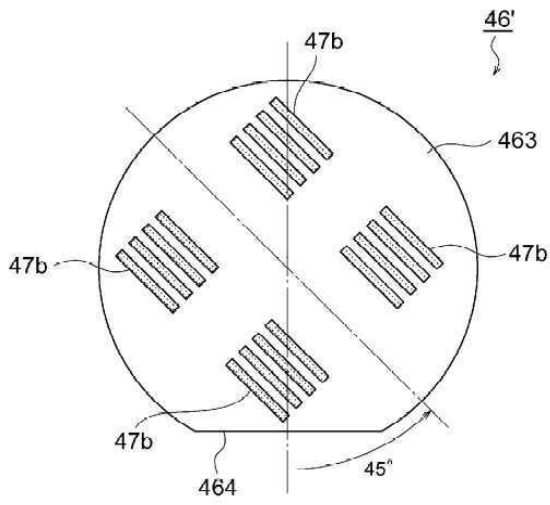
도면12



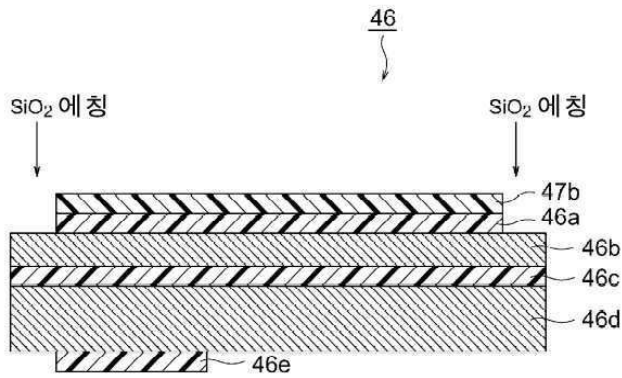
도면13a



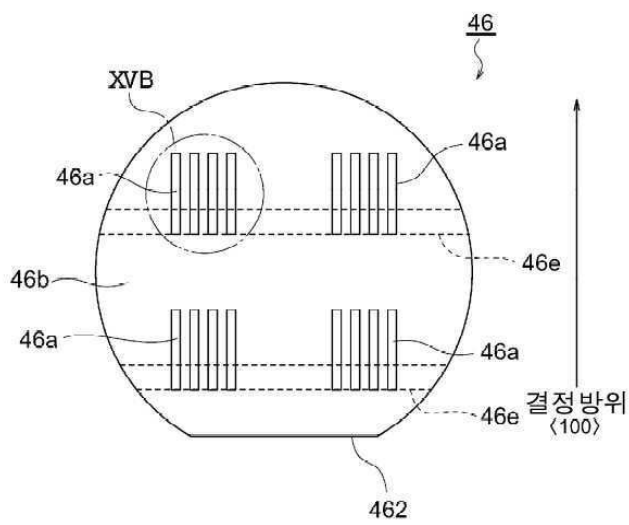
도면13b



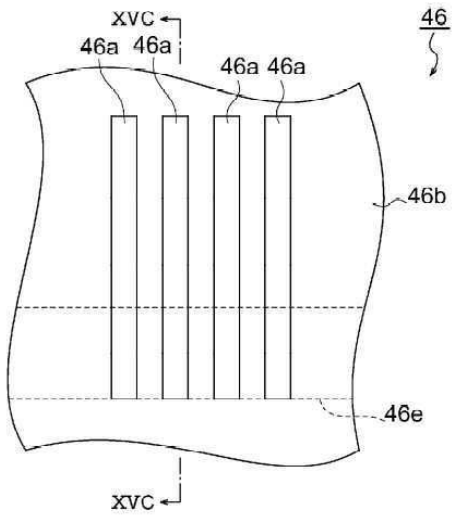
도면14



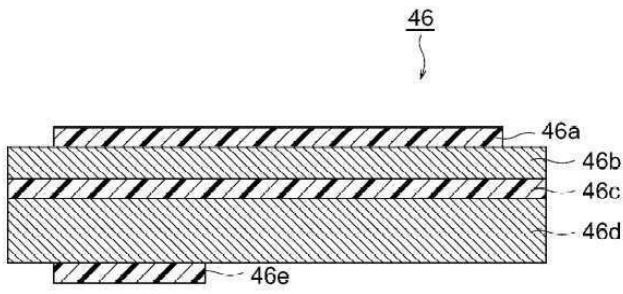
도면15a



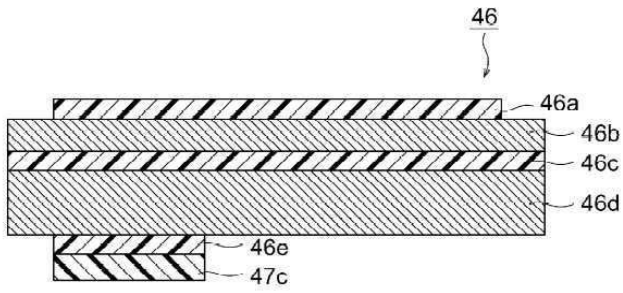
도면15b



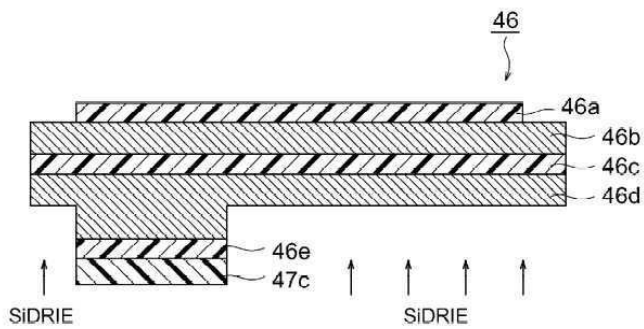
도면15c



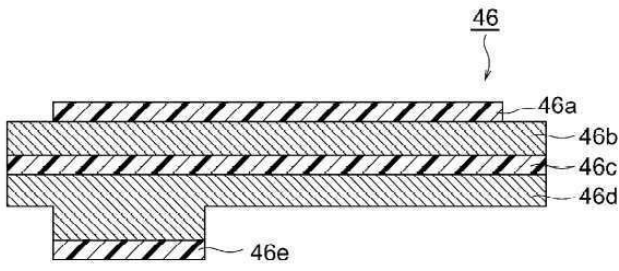
도면16



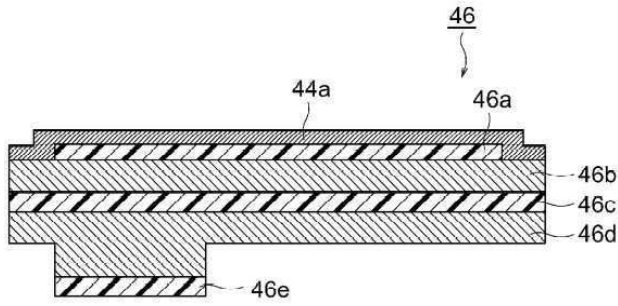
도면17



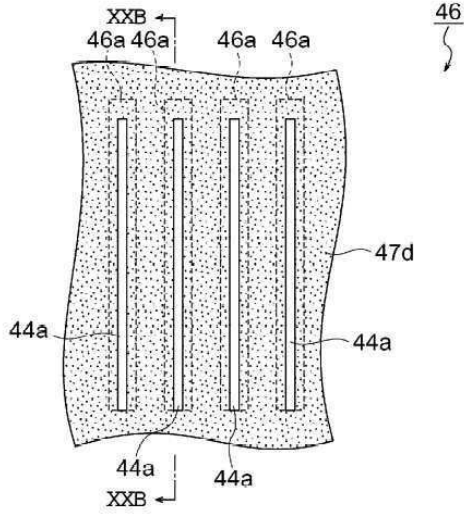
도면18



도면19

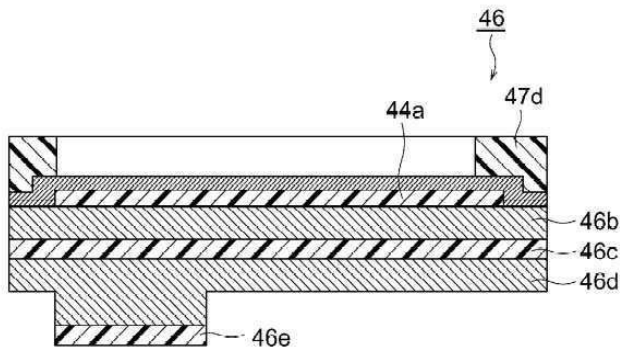


도면20a

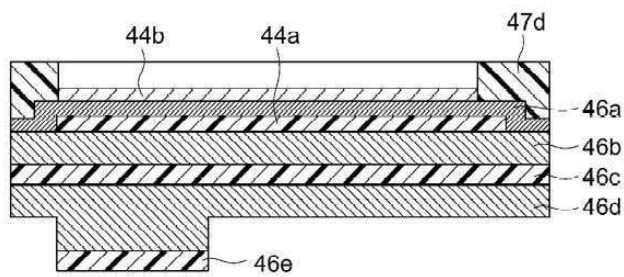




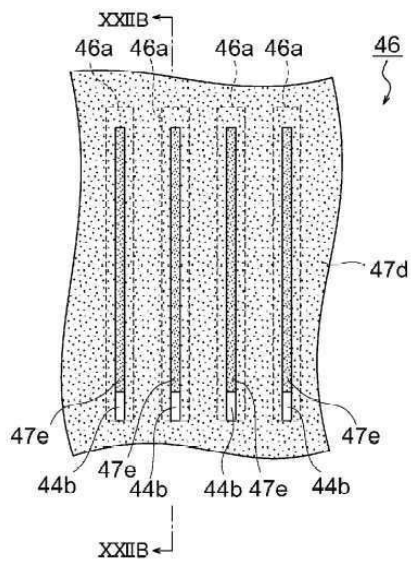
도면20b



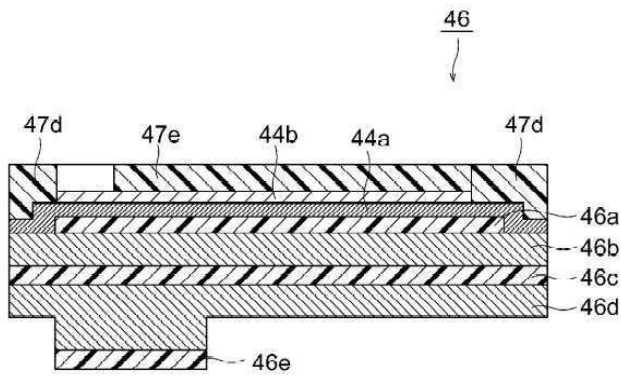
도면21



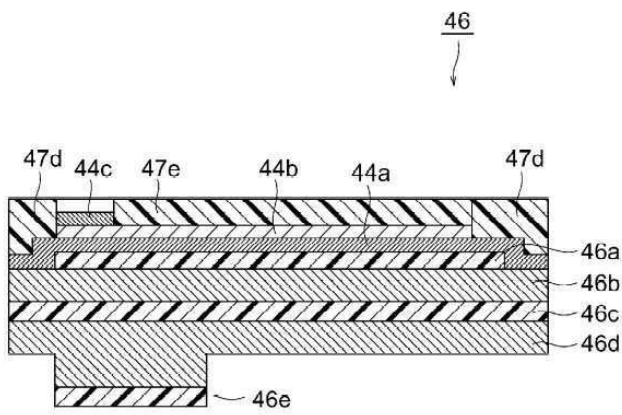
도면22a



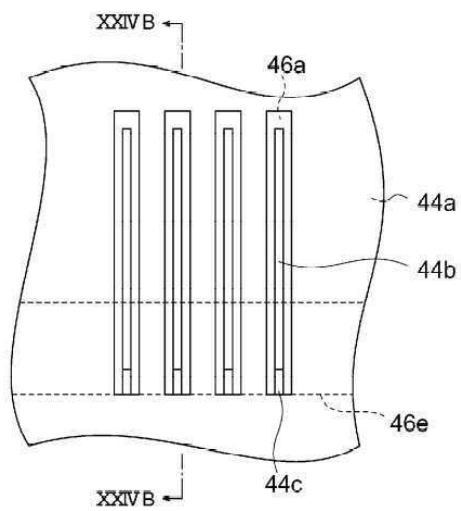
도면22b



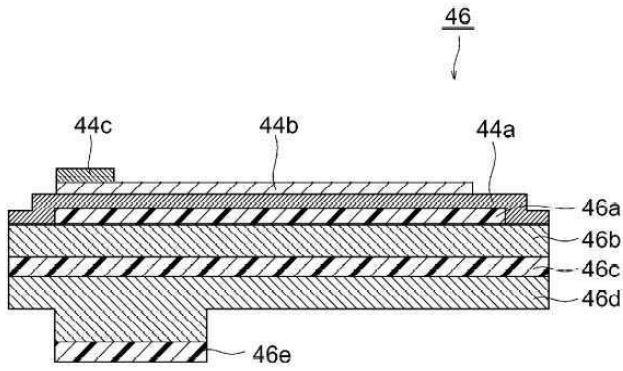
도면23



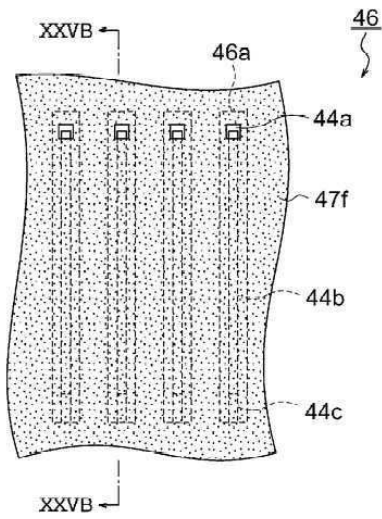
도면24a



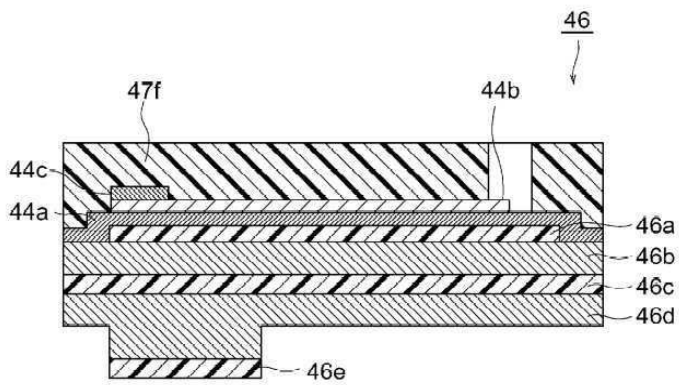
도면24b



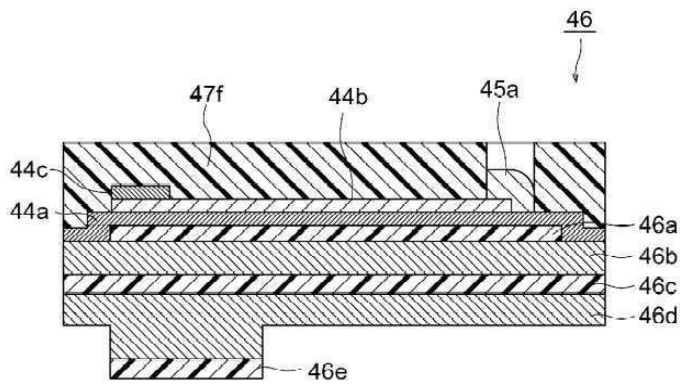
도면25a



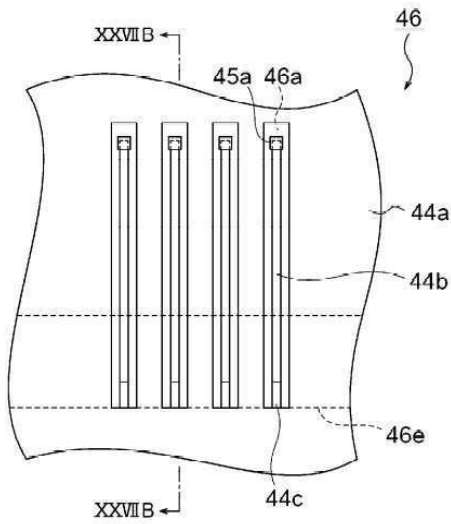
도면25b



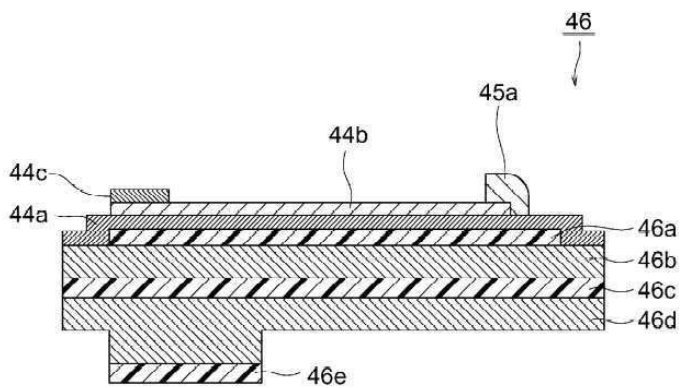
도면26



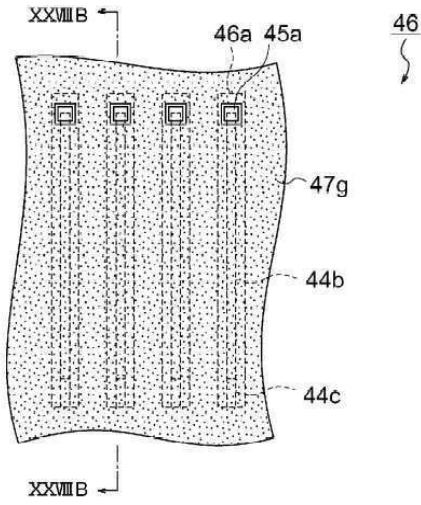
도면27a



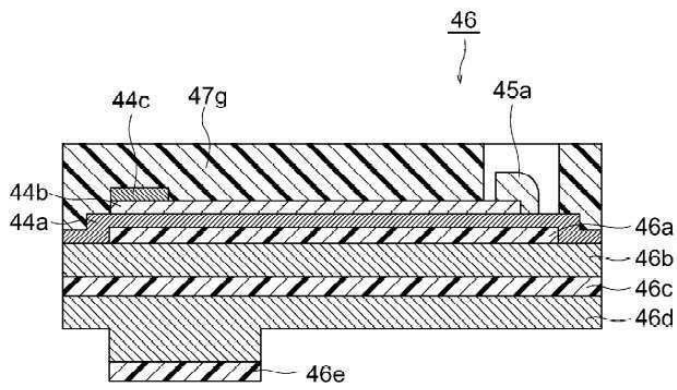
도면27b



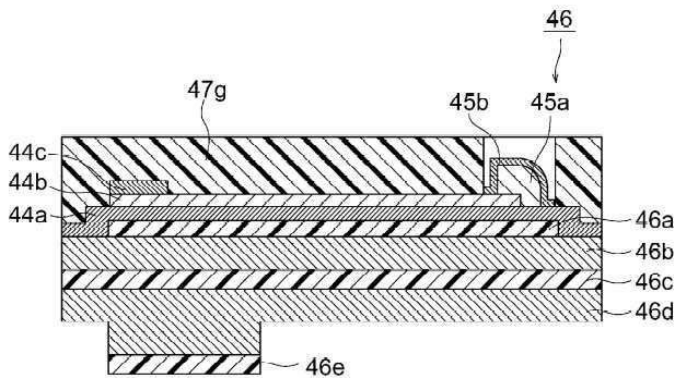
도면28a



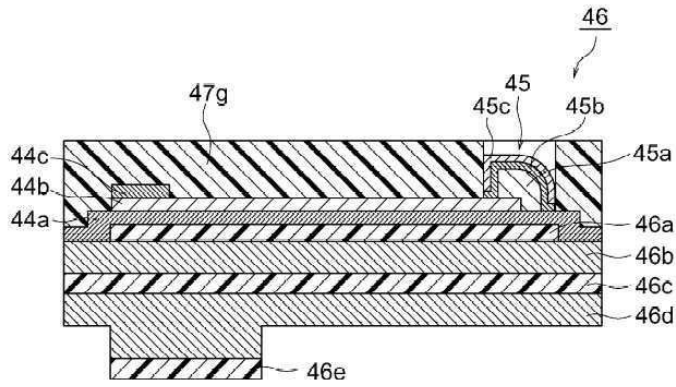
도면28b



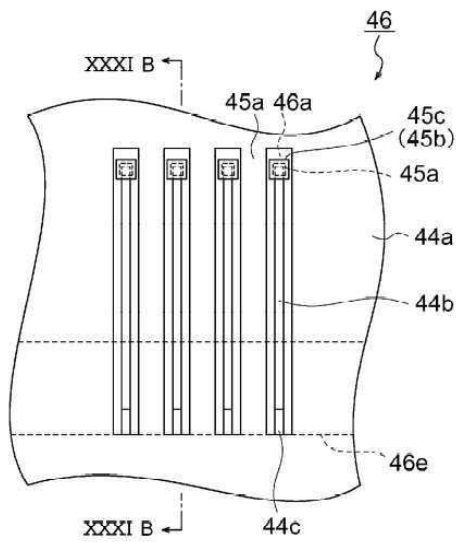
도면29



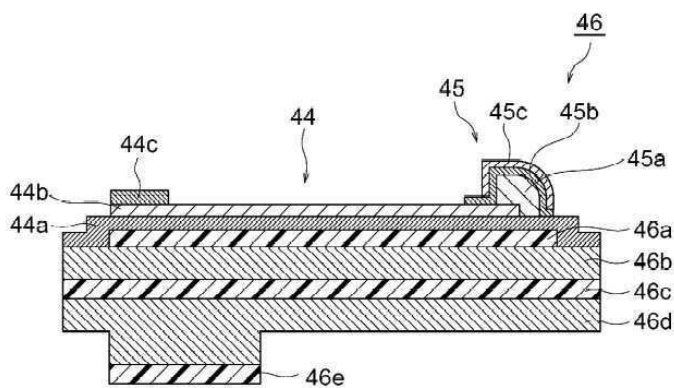
도면30



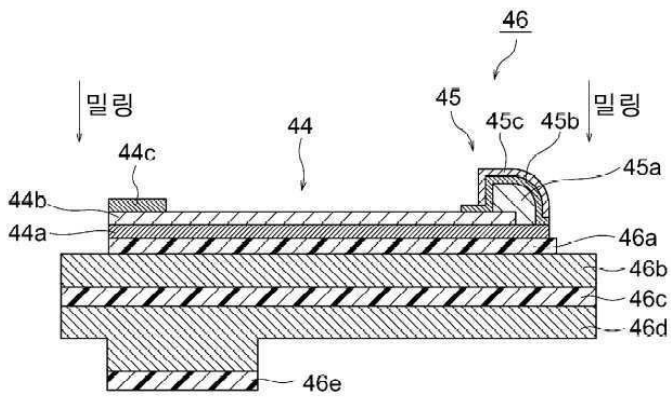
도면31a



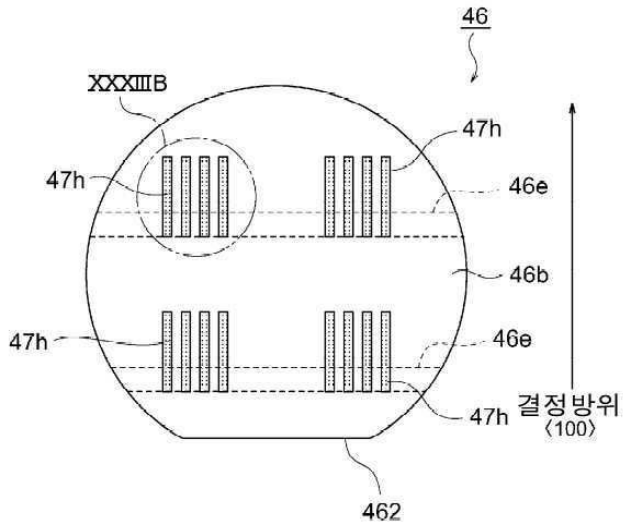
도면31b



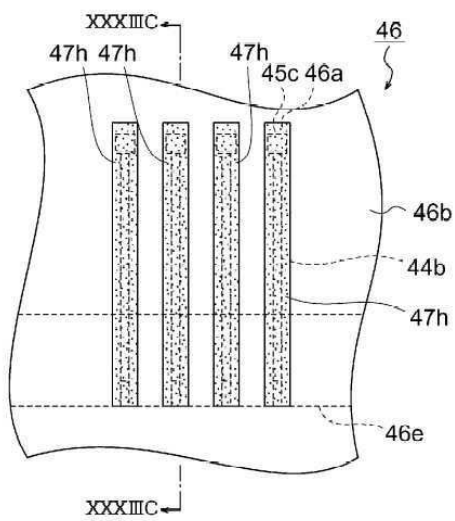
도면32



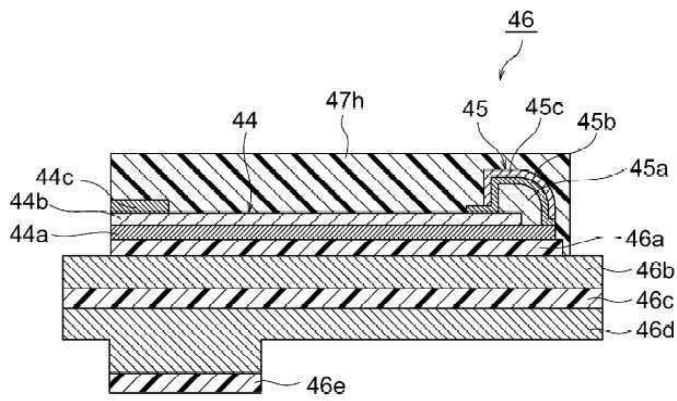
도면33a



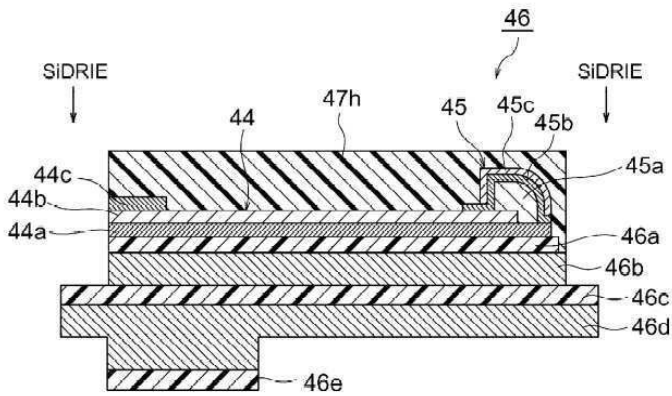
도면33b



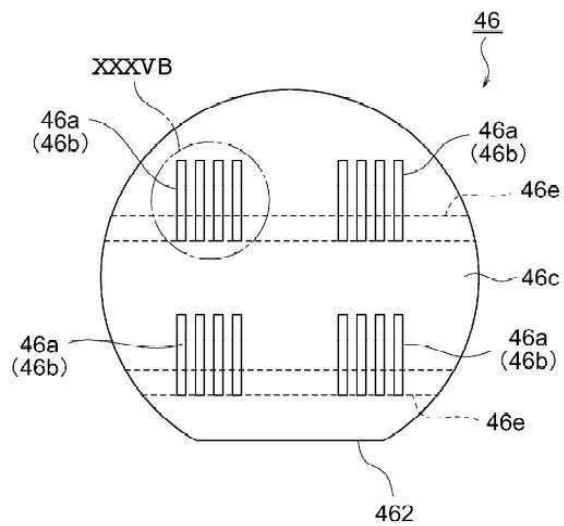
도면33c



도면34

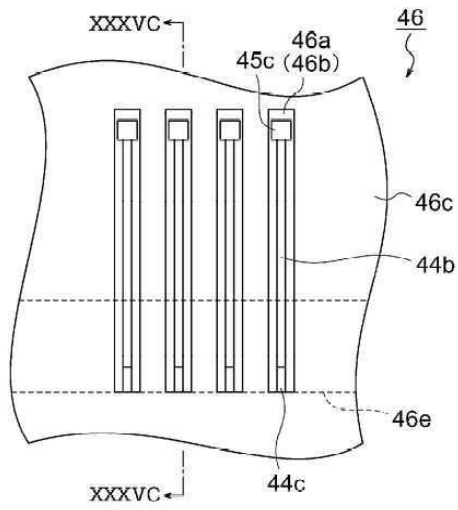


도면35a

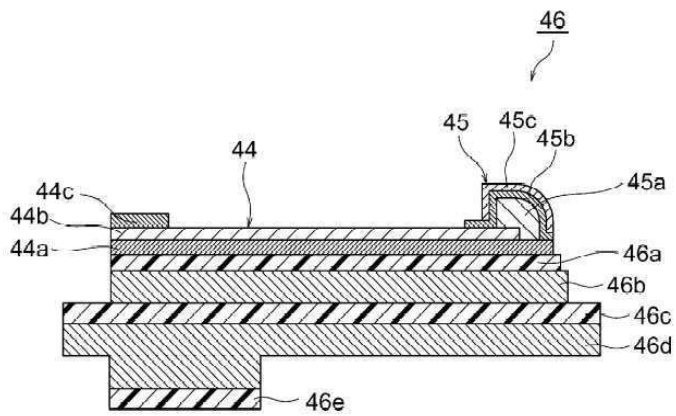




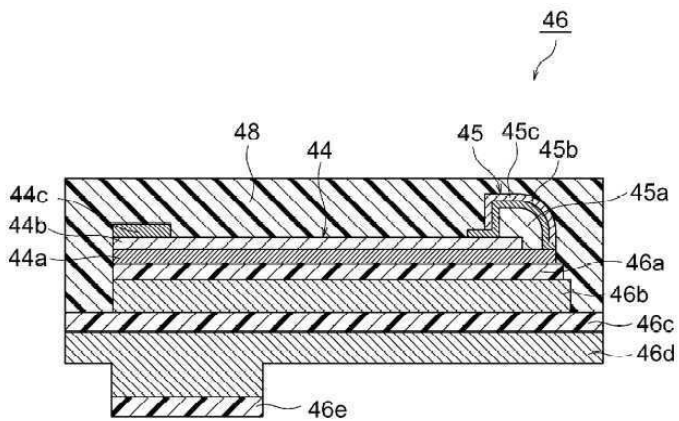
도면35b



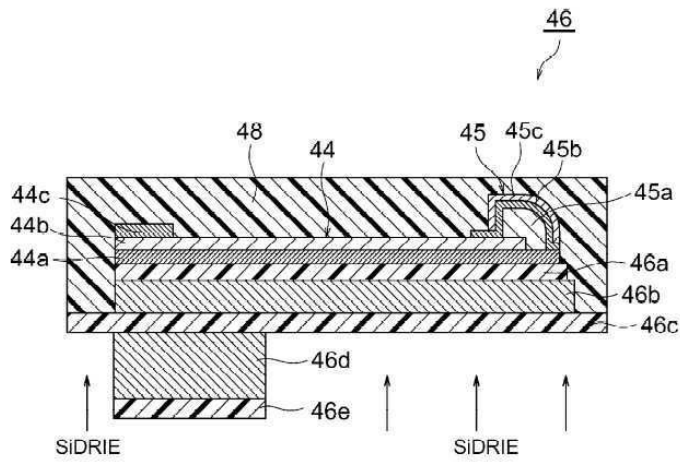
도면35c



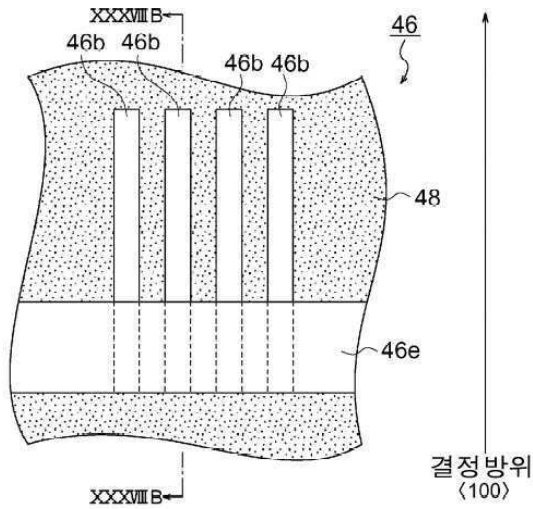
도면36



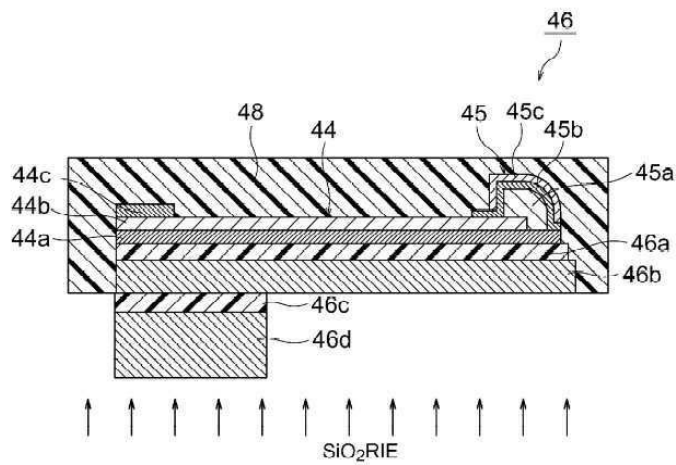
도면37



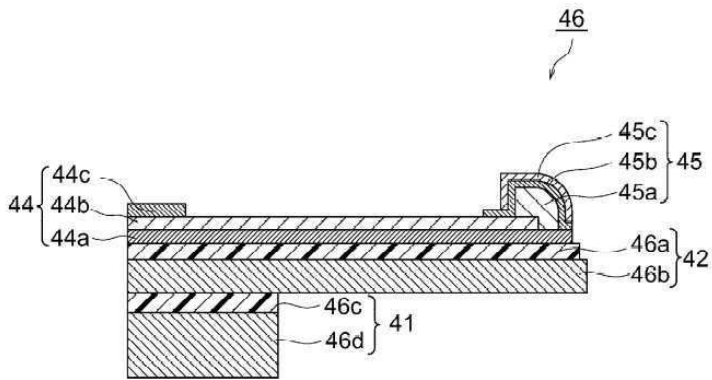
도면38a



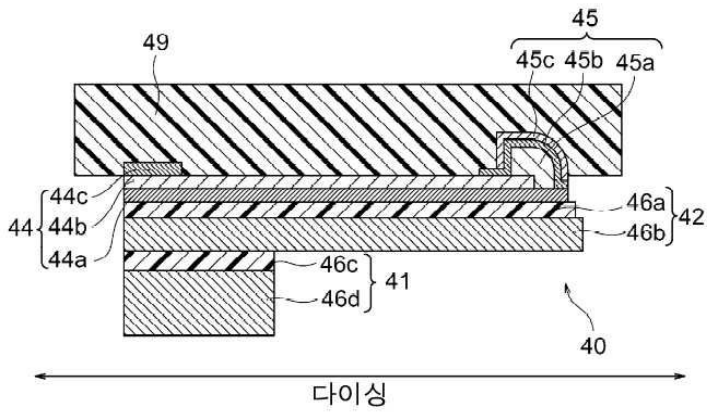
도면38b



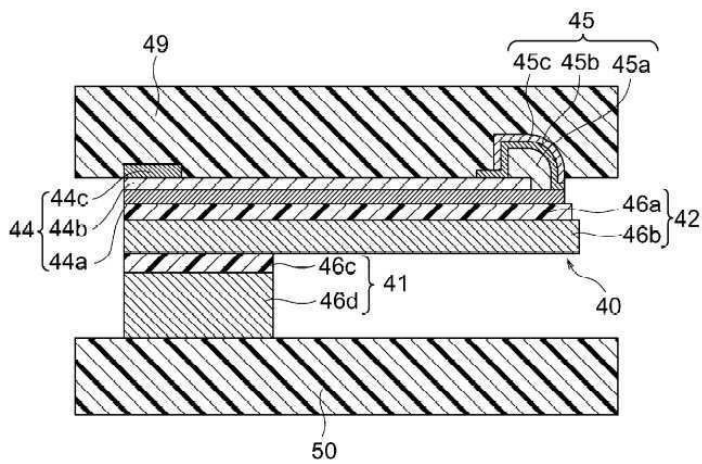
도면39



도면40



도면41



도면42

