



(12) 发明专利申请

(10) 申请公布号 CN 115987275 A

(43) 申请公布日 2023. 04. 18

(21) 申请号 202111199621.3

(22) 申请日 2021.10.14

(71) 申请人 澜起科技股份有限公司

地址 200233 上海市徐汇区宜山路900号1  
幢A6

(72) 发明人 韦康 张亮

(74) 专利代理机构 上海光华专利事务所(普通  
合伙) 31219

专利代理师 王国祥

(51) Int. Cl.

H03L 7/081 (2006.01)

H03L 7/197 (2006.01)

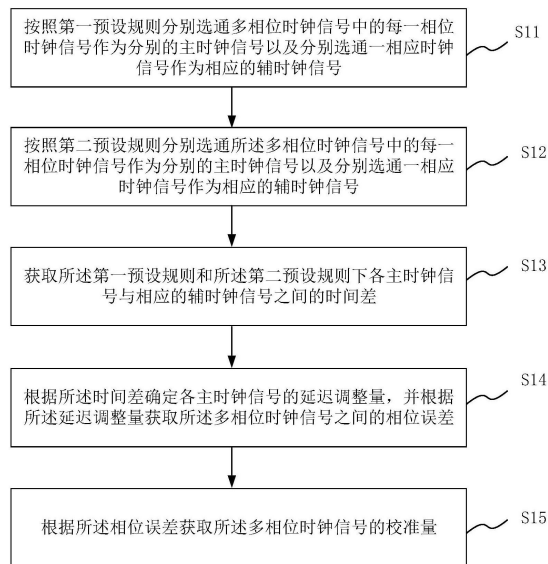
权利要求书3页 说明书9页 附图5页

(54) 发明名称

校准方法、校准装置及多相时钟电路

(57) 摘要

本申请提供一种校准方法、校准装置及多相时钟电路。所述方法包括：按照第一预设规则分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号；按照第二预设规则分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号；获取第一预设规则和第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差；根据所述时间差确定各主时钟信号的延迟调整量，并根据所述延迟调整量获取所述多相位时钟信号之间的相位误差；根据相位误差获取多相位时钟信号的校准量。基于所述校准方法得到的相位校准量可以对多相位时钟信号进行校准。



1. 一种校准方法,其特征在于,所述校准方法包括:

按照第一预设规则分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号,所述第一预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第一预设值;

按照第二预设规则分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号,所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第二预设值,其中所述第一预设值不等于所述第二预设值;

获取所述第一预设规则和所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差;

根据所述时间差确定各主时钟信号的延迟调整量,并根据所述延迟调整量获取所述多相位时钟信号之间的相位误差;

根据所述相位误差获取所述多相位时钟信号的校准量。

2. 根据权利要求1所述的校准方法,其特征在于,根据所述时间差确定各主时钟信号的延迟调整量,包括:

根据所述时间差获取所述时间差对应的频率信号;

根据所述频率信号获取各主时钟信号的延迟调整量。

3. 根据权利要求1所述的校准方法,其特征在于,根据所述延迟调整量获取所述多相位时钟信号之间的相位误差的方法为:

$$\Delta t(k+1, k) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n))\right) / (m+1) + c_A(k) - c_B(k), \text{ 其中, } \Delta t(k+1, k) \text{ 为第} k \text{ 相位时}$$

钟信号与第(k+1)相位时钟信号之间的相位误差,m+1为多相位时钟信号的相位数量, $c_A(n)$ 为第n相位时钟信号在所述第一预设规则下的延迟调整量, $c_B(n)$ 为第n相位时钟信号在所述第二预设规则下的延迟调整量。

4. 根据权利要求3所述的校准方法,其特征在于,根据所述相位误差获取所述多相位时钟信号的校准量的方法为:

$$c(k) = \begin{cases} 0, & k = 0 \\ \sum_{i=1}^k \Delta t(i, i-1), & 0 < k < m+1 \end{cases}, \text{ 其中, } c(k) \text{ 为第} k \text{ 相位时钟信号的校准量。}$$

5. 根据权利要求1所述的校准方法,其特征在于:所述第一预设值为 $2 \times \pi / (m+1)$ ,所述第二预设值为 $4 \times \pi / (m+1)$ ,其中,m+1为所述多相位时钟信号的相位数量。

6. 一种校准装置,其特征在于,包括:

主选择器,用于接收多相位时钟信号并在控制器的控制下从所述多相位时钟信号中选择一相位时钟信号输出作为主时钟信号;

辅选择器,用于接收所述多相位时钟信号并在所述控制器的控制下从所述多相位时钟信号中选择一相应相位时钟信号输出作为辅时钟信号,其中所述主时钟信号与所述辅时钟信号的参考相位差为预设值,且所述预设值为不等于0的值;

时间差获取模块,用于接收所述主时钟信号和所述辅时钟信号并获取所述主时钟信号

与所述辅时钟信号之间的时间差；

控制器，与所述主选择器、所述辅选择器和所述时间差获取模块相连，用于根据所述主时钟信号与所述辅时钟信号之间的时间差确定对所述主时钟信号的延迟调整量；

延迟调整模块，与所述主选择器和所述控制器相连，用于根据所述延迟调整量对所述主时钟信号的延迟进行调整，使得所述主时钟信号和所述辅时钟信号之间的相位差等于或接近于所述预设值。

7. 根据权利要求6所述的校准装置，其特征在于，

所述控制器进一步用于按照第一预设规则控制所述主选择器分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及控制所述辅选择器分别选通一相应时钟信号作为相应的辅时钟信号，并按照第二预设规则控制所述主选择器分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及控制所述辅选择器分别选通一相应时钟信号作为相应的辅时钟信号；其中，所述第一预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第一预设值，所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第二预设值，所述第一预设值与所述第二预设值不同；

所述时间差获取模块获取第一预设规则和第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差，所述控制器基于所述时间差确定各主时钟信号的延迟调整量，根据所述延迟调整量获得所述多相位时钟信号之间的相位误差，并根据所述相位误差获取所述多相位时钟信号的校准量。

8. 根据权利要求7所述的校准装置，其特征在于，所述校准装置还包括频率转化模块；

所述频率转化模块，连接在所述时间差获取模块和所述控制器之间，用于接收主时钟信号与相应的辅时钟信号之间的时间差，并根据所述时间差获取所述时间差对应的频率信号；

所述控制器根据所述频率信号获取各主时钟信号的延迟调整量。

9. 根据权利要求7所述的校准装置，其特征在于，所述控制器具体用于根据以下公式获得所述多相位时钟信号之间的相位误差：

$$\Delta t(k+1, k) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n))\right) / (m+1) + c_A(k) - c_B(k), \text{ 其中, } \Delta t(k+1, k) \text{ 为第} k \text{ 相位时}$$

钟信号与第(k+1)相位时钟信号之间的相位误差，m+1为所述多相位时钟信号的相位数量， $c_A(n)$ 为第n相位时钟信号在第一预设规则下的延迟调整量， $c_B(n)$ 为第n相位时钟信号在第二预设规则下的延迟调整量。

10. 根据权利要求9所述的校准装置，其特征在于，所述控制器具体用于根据以下公式获取所述多相位时钟信号的校准量：

$$c(k) = \begin{cases} 0, & k = 0 \\ \sum_{i=1}^k \Delta t(i, i-1), & 0 < k < m+1 \end{cases}, \text{ 其中, } c(k) \text{ 为第} k \text{ 相位时钟信号的校准量。}$$

11. 根据权利要求6所述的校准装置，其特征在于，所述延迟调整模块连接在所述主选择器的输出端与时间差获取模块的输入端之间。

12. 根据权利要求6所述的校准装置，其特征在于，所述多相位时钟信号中的每一相位

时钟信号与所述主选择器的相应的输入端之间各连接一个所述延迟调整模块。

13. 根据权利要求7所述的校准装置,其特征在于,所述第一预设值为 $2 \times \pi / (m+1)$ ,所述第二预设值为 $4 \times \pi / (m+1)$ ,其中, $m+1$ 为多相位时钟信号的相位数量。

14. 一种多相时钟电路,其特征在于,所述多相时钟电路包括:

时钟信号产生电路,用于产生多相位时钟信号;

主选择器,用于接收所述多相位时钟信号并在控制器的控制下从所述多相位时钟信号中选择一相位时钟信号输出作为主时钟信号;

辅选择器,用于接收所述多相位时钟信号并在所述控制器的控制下从所述多相位时钟信号中选择一相应相位时钟信号输出作为辅时钟信号,其中所述主时钟信号与所述辅时钟信号的参考相位差为预设值,且所述预设值为不等于0的值;

时间差获取模块,用于接收所述主时钟信号和所述辅时钟信号并获取所述主时钟信号与所述辅时钟信号之间的时间差;

控制器,与所述主选择器、所述辅选择器和所述时间差获取模块相连,用于根据所述主时钟信号与所述辅时钟信号之间的时间差确定对主时钟信号的延迟调整量;

延迟调整模块,与所述主选择器和所述控制器相连,用于根据所述延迟调整量对所述主时钟信号的延迟进行调整,使得所述主时钟信号和所述辅时钟信号之间的相位差等于或接近于所述预设值。

## 校准方法、校准装置及多相时钟电路

### 技术领域

[0001] 本申请属于电子电路领域,特别是涉及一种校准方法、校准装置及多相时钟电路。

### 背景技术

[0002] 在典型的多相时钟电路中,多相位时钟信号通常从PLL (Phase Locked Loop, 锁相环) 输出并经多路选择器后驱动后级电路,以满足后级电路的时钟需求。然而,发明人在实际应用中发现,由于时钟树和物理实现的差异,时钟最终输出的相位差与参考相位差之间存在误差。因此,如何对多相时钟电路进行相位差校准已成为相关领域技术人员亟需解决的技术问题之一。

### 发明内容

[0003] 鉴于以上所述现有技术的缺点,本申请的目的在于提供一种校准方法、校准装置及多相时钟电路,用于解决现有技术中存在的上述问题。

[0004] 为实现上述目的及其他相关目的,本申请的第一方面提供一种校准方法,所述校准方法包括:按照第一预设规则分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号,所述第一预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第一预设值;按照第二预设规则分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号,所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第二预设值,其中所述第一预设值不等于所述第二预设值;获取所述第一预设规则和所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差;根据所述时间差确定各主时钟信号的延迟调整量,并根据所述延迟调整量获取所述多相位时钟信号之间的相位误差;根据所述相位误差获取所述多相位时钟信号的校准量。

[0005] 于所述第一方面的一实施例中,根据所述时间差确定各主时钟信号的延迟调整量,包括:根据所述时间差获取所述时间差对应的频率信号;根据所述频率信号获取各主时钟信号的延迟调整量。

[0006] 于所述第一方面的一实施例中,根据所述延迟调整量获取所述多相位时钟信号之间的相位误差的方法为:  $\Delta t(k+1, k) = -(\sum_{n=0}^m (c_A(n) - c_B(n))) / (m+1) + c_A(k) - c_B(k)$ , 其中,  $\Delta t$

(k+1, k) 为第k相位时钟信号与第(k+1)相位时钟信号之间的相位误差, m+1 为多相位时钟信号的相位数量,  $c_A(n)$  为第n相位时钟信号在所述第一预设规则下的延迟调整量,  $c_B(n)$  为第n相位时钟信号在所述第二预设规则下的延迟调整量。

[0007] 于所述第一方面的一实施例中,根据所述相位误差获取所述多相位时钟信号的校

准量的方法为:  $c(k) = \begin{cases} 0, & k=0 \\ \sum_{i=1}^k \Delta t(i, i-1), & 0 < k < m+1 \end{cases}$ , 其中, c(k) 为第k相位时钟信号的校准量。

[0008] 于所述第一方面的一实施例中,所述第一预设值为 $2 \times \pi / (m+1)$ ,所述第二预设值为 $4 \times \pi / (m+1)$ ,其中, $m+1$ 为所述多相位时钟信号的相位数量。

[0009] 本申请的第二方面提供一种校准装置,包括:主选择器,用于接收多相位时钟信号并在控制器的控制下从所述多相位时钟信号中选择一相位时钟信号输出作为主时钟信号;辅选择器,用于接收所述多相位时钟信号并在所述控制器的控制下从所述多相位时钟信号中选择一相应相位时钟信号输出作为辅时钟信号,其中所述主时钟信号与所述辅时钟信号的参考相位差为预设值,且所述预设值为不等于0的值;时间差获取模块,用于接收所述主时钟信号和所述辅时钟信号并获取所述主时钟信号与所述辅时钟信号之间的时间差;控制器,与所述主选择器、所述辅选择器和所述时间差获取模块相连,用于根据所述主时钟信号与所述辅时钟信号之间的时间差确定对所述主时钟信号的延迟调整量;延迟调整模块,与所述主选择器和所述控制器相连,用于根据所述延迟调整量对所述主时钟信号的延迟进行调整,使得所述主时钟信号和所述辅时钟信号之间的相位差等于或接近于所述预设值。

[0010] 于所述第二方面的一实施例中,所述控制器进一步用于按照第一预设规则控制所述主选择器分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及控制所述辅选择器分别选通一相应时钟信号作为相应的辅时钟信号,并按照第二预设规则控制所述主选择器分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及控制所述辅选择器分别选通一相应时钟信号作为相应的辅时钟信号;其中,所述第一预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第一预设值,所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第二预设值,所述第一预设值与所述第二预设值不同;所述时间差获取模块获取第一预设规则和第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差,所述控制器基于所述时间差确定各主时钟信号的延迟调整量,根据所述延迟调整量获得所述多相位时钟信号之间的相位误差,并根据所述相位误差获取所述多相位时钟信号的校准量。

[0011] 于所述第二方面的一实施例中,所述校准装置还包括频率转化模块;所述频率转化模块,连接在所述时间差获取模块和所述控制器之间,用于接收主时钟信号与相应的辅时钟信号之间的时间差,并根据所述时间差获取所述时间差对应的频率信号;所述控制器根据所述频率信号获取各主时钟信号的延迟调整量。

[0012] 于所述第二方面的一实施例中,所述控制器具体用于根据以下公式获得所述多相

位时钟信号之间的相位误差:  $\Delta t(k+1, k) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n))\right) / (m+1) + c_A(k) - c_B(k)$ , 其

中,  $\Delta t(k+1, k)$  为第k相位时钟信号与第(k+1)相位时钟信号之间的相位误差, $m+1$ 为所述多相位时钟信号的相位数量, $c_A(n)$ 为第n相位时钟信号在第一预设规则下的延迟调整量, $c_B(n)$ 为第n相位时钟信号在第二预设规则下的延迟调整量。

[0013] 于所述第二方面的一实施例中,所述控制器具体用于根据以下公式获取所述多相

位时钟信号的校准量:  $c(k) = \begin{cases} 0, & k=0 \\ \sum_{i=1}^k \Delta t(i, i-1), & 0 < k < m+1 \end{cases}$ , 其中, $c(k)$ 为第k相位时钟信号的

校准量。

[0014] 于所述第二方面的一实施例中,所述延迟调整模块连接在所述主选择器的输出端

与时间差获取模块的输入端之间。

[0015] 于所述第二方面的一实施例中,所述多相位时钟信号中的每一相位时钟信号与所述主选择器的相应的输入端之间各连接一个所述延迟调整模块。

[0016] 于所述第二方面的一实施例中,所述第一预设值为 $2 \times \pi / (m+1)$ ,所述第二预设值为 $4 \times \pi / (m+1)$ ,其中, $m+1$ 为多相位时钟信号的相位数量。

[0017] 本申请的第三方面提供一种多相时钟电路,所述多相时钟电路包括:时钟信号产生电路,用于产生多相位时钟信号;主选择器,用于接收所述多相位时钟信号并在控制器的控制下从所述多相位时钟信号中选择一相位时钟信号输出作为主时钟信号;辅选择器,用于接收所述多相位时钟信号并在所述控制器的控制下从所述多相位时钟信号中选择一相应相位时钟信号输出作为辅时钟信号,其中所述主时钟信号与所述辅时钟信号的参考相位差为预设值,且所述预设值为不等于0的值;时间差获取模块,用于接收所述主时钟信号和所述辅时钟信号并获取所述主时钟信号与所述辅时钟信号之间的时间差;控制器,与所述主选择器、所述辅选择器和所述时间差获取模块相连,用于根据所述主时钟信号与所述辅时钟信号之间的时间差确定对主时钟信号的延迟调整量;延迟调整模块,与所述主选择器和所述控制器相连,用于根据所述延迟调整量对所述主时钟信号的延迟进行调整,使得所述主时钟信号和所述辅时钟信号之间的相位差等于或接近于所述预设值。

[0018] 如上所述,本申请一个或多个实施例中所述的校准方法具有以下有益效果:

[0019] 所述校准方法通过获取第一预设规则和第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差来确定各主时钟信号的延迟调整量,并基于该延迟调整量来获取多相位时钟信号之间的相位误差,进而根据该相位误差来获取多相位时钟信号的校准量,基于该校准量能够实现对多相位时钟信号的相位校准。

## 附图说明

[0020] 图1显示为本申请所述校准方法于一具体实施例中的流程图。

[0021] 图2显示为本申请所述校准装置于一具体实施例中涉及的结构图示例。

[0022] 图3A显示为本申请所述校准方法于一具体实施例中的关键步骤流程图。

[0023] 图3B显示为本申请所述校准装置于一具体实施例中涉及的结构图示例。

[0024] 图4显示为本申请所述校准装置于一具体实施例中涉及的结构图示例。

[0025] 元件标号说明

[0026] S11~S15 步骤

[0027] S31~S32 步骤

## 具体实施方式

[0028] 以下通过特定的具体实例说明本申请的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本申请的其他优点与功效。本申请还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本申请的精神下进行各种修饰或改变。需说明的是,在不冲突的情况下,以下实施例及实施例中的特征可以相互组合。

[0029] 需要说明的是,以下实施例中所提供的图示仅以示意方式说明本申请的基本构

想,图示中仅显示与本申请中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。此外,在本文中,诸如“第一”、“第二”等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。

[0030] 目前的多相时钟校准技术,多基于鉴频鉴相器和低频滤波器,结合数字控制,调节压控振荡器(VCO)控制电压或锁相环(PLL)多相输出延迟以达到校准目的。然而,调节VCO控制电压难以直接应用于多输出电路,调节PLL多相输出延迟存在硬件开销和功耗过大的问题。针对这些问题,本申请的一实施例中提供一种校准方法,请结合参考图1和2,所述校准方法包括:

[0031] S11,按照第一预设规则分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号,所述第一预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第一预设值。

[0032] 所述多相位时钟信号可以是 $clk\_p0$ 、 $clk\_p1$ 、 $\dots$ 、 $clk\_pm$ ,其中 $m$ 为大于1的整数。以四相位时钟信号(即, $m=3$ )为例,请参阅图2,四相时钟信号产生电路输出四相位时钟信号,分别为 $clk\_p0$ 、 $clk\_p1$ 、 $clk\_p2$ 和 $clk\_p3$ ,并且 $clk\_p0$ 、 $clk\_p1$ 、 $clk\_p2$ 和 $clk\_p3$ 中相邻两相位时钟信号之间的参考相位差均为 $\pi/2$ 。主选择器与辅选择器分别用于接收该四相位时钟信号并在控制器的控制下选通相应相位的时钟信号。在第一预设规则下,控制器通过控制主选择器,使主选择器分别选通该四相位时钟信号中的每一相位时钟信号作为主时钟信号通过主选择器输出,即,使 $clk\_p0$ 、 $clk\_p1$ 、 $clk\_p2$ 和 $clk\_p3$ 轮流作为主时钟信号通过主选择器输出;与此同时,控制器控制辅选择器,使辅选择器分别选通各相应时钟信号作为辅时钟信号通过辅选择器输出。每个主时钟信号与其相应的辅时钟信号之间的参考相位差为第一预设值。第一预设值可根据实际需求设置,例如,可以为 $2 \times \pi / (m+1)$ 。因此对位四相位时钟信号而言,第一预设值为 $\pi/2$ ,也就是说,当控制器控制主选择器选通 $clk\_p0$ 作为主时钟信号时,相应的,控制器会控制辅选择器选通与 $clk\_p0$ 之间的参考相位差为 $\pi/2$ 的时钟信号 $clk\_p1$ 作为为辅时钟信号,即 $clk\_p0$ 作为主时钟信号时,相应的辅时钟信号为 $clk\_p1$ ,同理, $clk\_p1$ 作为主时钟信号时,相应的辅时钟信号为 $clk\_p2$ ;  $clk\_p2$ 作为主时钟信号时,相应的辅时钟信号为 $clk\_p3$ ;  $clk\_p3$ 作为主时钟信号时,相应的辅时钟信号为 $clk\_p0$ 。

[0033] S12,按照第二预设规则分别选通所述多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及分别选通一相应时钟信号作为相应的辅时钟信号,所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的参考相位差为第二预设值。

[0034] 如图2所示,同样地,在第二预设规则下,控制器依然通过控制主选择器,使主选择器分别选通该四相位时钟信号中的每一相位时钟信号作为主时钟信号通过主选择器输出,即,使 $clk\_p0$ 、 $clk\_p1$ 、 $clk\_p2$ 和 $clk\_p3$ 轮流作为主时钟信号通过主选择器输出。与此同时,控制器控制辅选择器,使辅选择器分别选通各相应时钟信号作为辅时钟信号通过辅选择器输出。每个主时钟信号与其相应的辅时钟信号之间的参考相位差为第二预设值,第二预设值不等于第一预设值。第二预设值可根据实际需求设置,例如,可以为 $4 \times \pi / (m+1)$ ,对于四相位时钟信号而言,第二预设值为 $\pi$ 。也就是说,当控制器控制主选择器选通 $clk\_p0$ 作为主时钟信号时,相应的,控制器会控制辅选择器选通与 $clk\_p0$ 之间的参考相位差为 $\pi$ 的时钟信



号clk\_p2作为辅时钟信号,即clk\_p0作为主时钟信号时,相应的辅时钟信号为clk\_p2,同理,clk\_p1作为主时钟信号时,相应的辅时钟信号为clk\_p3;clk\_p2作为主时钟信号时,相应的辅时钟信号为clk\_p0;clk\_p3作为主时钟信号时,相应的辅时钟信号为clk\_p1。

[0035] S13,获取所述第一预设规则和所述第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差。

[0036] 如图2所示,时间差获取模块连接主选择器与辅选择器,用于接收主选择器输出的主时钟信号与辅选择器输出的辅时钟信号,并获取各主时钟信号与相应的辅时钟信号之间的时间差 $t(p_i, p_{j\_dmy})$ ,其中 $p_i$ 表示主时钟信号, $p_{j\_dmy}$ 表示辅时钟信号。

[0037] S14,根据所述时间差确定各主时钟信号的延迟调整量,并根据所述延迟调整量获取所述多相位时钟信号之间的相位误差。

[0038] 在一个实施例中,如图2所示,控制器可根据时间差获取模块输出的所述时间差,计算主时钟信号的延迟调整量。

[0039] 在另一个实施例中,如图3A所示,根据时间差确定各主时钟信号的延迟调整量的方法包括:

[0040] S31,根据所述时间差获取所述时间差对应的频率信号。

[0041] 可选地,如图3B所示,可在时间差获取模块与控制器之间连接频率转化模块(如电流控制振荡器ICO),由频率转化模块接收时间差获取模块输出的时间差,并将时间差转换为频率信号,并将转换后的频率信号发送给控制器。

[0042] S32,根据所述频率信号获取所述主时钟信号的延迟调整量。

[0043] 具体地,控制器可以根据频率转化模块发送的频率信号,获取各个主时钟信号的延迟调整量。

[0044] 如前所述,由于在第一预设规则及第二预设规则下,主控制器通过控制主选择器使多相位时钟信号中的每一相位时钟信号轮流作为主时钟信号,因此控制器可以获取每一相位时钟信号在第一预设规则下的延迟调整量,以及每一相位时钟信号在第二预设规则下的延迟调整量。

[0045] 在获取到主时钟信号的延迟调整量后,主控制器可控制延迟调整模块对主时钟信号的延迟进行调整,使主时钟信号与相应的辅时钟信号之间的相位差等于或接近于预设值。其中,相位差接近于预设值是指相位差与预设值之间的差值小于预设阈值,该预设阈值可以根据实际需求设置。在第一预设规则下,该预设值为第一预设值,在第二预设规则下,该预设值为第二预设值。

[0046] 在一个实施例中,主控制器根据所述延迟调整量获取多相位时钟信号之间的相位误差的方法为:

[0047]  $\Delta t(k+1, k) = -(\sum_{n=0}^m (c_A(n) - c_B(n))) / (m+1) + c_A(k) - c_B(k)$ , 其中,  $\Delta t(k+1, k)$  为第k

相位时钟信号与第k+1相位时钟信号的相位误差,m+1为多相位时钟信号的相位数量, $c_A(n)$ 为第n相位时钟信号在所述第一预设规则下的延迟调整量, $c_B(n)$ 为第n相位时钟信号在所述第二预设规则下的延迟调整量。

[0048] 上述相位误差的计算公式可通过以下方式得到:

[0049] 第一预设规则下,根据获取的主时钟信号的延迟调整量对主时钟信号的延迟进行

调整后,各主时钟信号与相应的辅时钟信号的相位差均等于或接近为第一预设值 $d_A$ ,由此可知, $t(p1,p2\_dmy) - c_A(0) = t(p2,p3\_dmy) - c_A(1) = \dots = t(pk,p0\_dmy) - c_A(m-1) = t(p0,p1\_dmy) - c_A(m) = d_A$ ,其中, $t(pi,pj\_dmy)$ 为第*i*相主时钟信号与相应的第*j*相辅时钟信号之间的时间差, $c_A(i)$ 为第*i*相主时钟信号对应的延迟调整量。

[0050] 第二预设规则下,根据获取的主时钟信号的延迟调整量对主时钟信号的延迟进行调整后,各主时钟信号与相应的辅时钟信号的相位差均等于或接近为第二预设值 $d_B$ ,故, $t(p0,p2\_dmy) - c_B(0) = t(p1,p3\_dmy) - c_B(1) = \dots = t(pk-1,p0\_dmy) - c_B(m-1) = t(pm,p1\_dmy) - c_B(m) = d_B$ ,其中 $c_B(i)$ 为第*i*相位时钟信号对应的延迟调整量。

[0051] 上述 $d_A$ 与 $d_B$ 的等式同时包含两路时钟路径(主时钟信号路径与辅时钟信号路径)引入的相位差,将两者相减,就可以把辅时钟信号路径引入的相位差抵消,由 $d_A - d_B$ 可以得到:

$$[0052] \quad t(p1,p0) = d_A - d_B + c_A(0) - c_B(0) \quad (1)$$

$$[0053] \quad t(p2,p1) = d_A - d_B + c_A(1) - c_B(1) \quad (2)$$

[0054] .....

$$[0055] \quad t(pm,pm-1) = d_A - d_B + c_A(m-1) - c_B(m-1) \quad (m)$$

$$[0056] \quad t(p0,pm) = d_A - d_B + c_A(m) - c_B(m) \quad (m+1),$$

[0057] 上述(1)、(2).....(m)、(m+1)相加等于 $-T$ ( $T$ 为周期),从而得出:

$$[0058] \quad \Delta d = d_A - d_B = -\left(\sum_{n=0}^m (c_A(n) - c_B(n)) + T\right) / (m+1);$$

[0059] 将 $\Delta d = d_A - d_B = -\left(\sum_{n=0}^m (c_A(n) - c_B(n)) + T\right) / (m+1)$ 代入上述(1)、(2).....(m-1)、(m)中,从而得到:

$$[0060] \quad t(pk+1,pk) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n)) + T\right) / (m+1) + c_A(k) - c_B(k),$$

[0061] 由此进一步可以得到, $\Delta t(k+1,k) = t(pk+1,pk) + T / (m+1) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n))\right) / (m+1) + c_A(k) - c_B(k)$ ,即:

$$[0062] \quad \Delta t(k+1,k) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n))\right) / (m+1) + c_A(k) - c_B(k)$$

[0063] S15,根据所述相位误差获取多相位时钟信号的校准量。

[0064] 在一个实施例中,获得相位误差后,根据所述多相位时钟信号的相位误差获取所述多相位时钟信号的校准量的方法可为:

$$[0065] \quad c(k) = \begin{cases} 0, & k = 0 \\ \sum_{i=1}^k \Delta t(i, i-1), & 0 < k < m+1 \end{cases}, \text{其中}, c(k) \text{为第} k \text{相位时钟信号的校准量。}$$

[0066] 优选地,若 $\min(c(0), c(1), \dots, c(m)) < 0$ ,则为所有的 $c(k)$ 施加一个 $-c_{\min}$ 的偏置,其中, $c_{\min}$ 为 $\min(c(0), c(1), \dots, c(m))$ 。

[0067] 根据以上描述可知,本实施例提供的所述校准方法基于误差抵消算法来获取所述多相位时钟信号的相位误差以及校准量,该过程仅需通过简单的代数运算即可得到校准

量,实现简单且有利于减少硬件开销以及功耗。

[0068] 在获取每一相位时钟信号的校准量之后,在多相位时钟信号产生电路输出多相位时钟信号时,主控制器可控制延迟调整模块,使其根据相应的校准量对每一相位时钟信号进行校准,并输出校准后的多相位时钟信号。

[0069] 于本申请的一实施例中,如图2或3B所示,延迟调整模块连接在所述主选择器的输出端与时间差获取模块的输入端之间。多相位时钟信号经主选择器选择后输出,每一时刻仅输出一个相位的时钟信号来驱动后级电路,该输出的一相位时钟信号经延迟调整模块校准后输出至相应的后级电路。

[0070] 于本申请的另一实施例中,如图4所示,所述多相位时钟信号中的每一相位时钟信号与所述主选择器的相应的输入端之间各连接一个所述延迟调整模块。每一时刻可以输出所有相位的时钟信号来驱动后级电路,每一相位时钟信号经对应的延迟调整模块校准后输出。实际应用中,也可以根据实际需求从中选取一相或多相位时钟信号使用。

[0071] 基于以上对所述校准方法的描述,本申请实施例还提供一种校准装置。请参阅图2、图3B及图4,于本申请的一实施例中,所述校准装置包括:

[0072] 主选择器,用于接收多相位时钟信号并在控制器的控制下从所述多相位时钟信号中选择一相位时钟信号输出作为主时钟信号。

[0073] 辅选择器,用于接收所述多相位时钟信号并在所述控制器的控制下从所述多相位时钟信号中选择一相应相位时钟信号输出作为辅时钟信号,其中所述主时钟信号与所述辅时钟信号的参考相位差为预设值,且所述预设值为不等于0的值。

[0074] 时间差获取模块,用于接收所述主时钟信号和所述辅时钟信号并获取所述主时钟信号与所述辅时钟信号之间的时间差。

[0075] 控制器,与所述主选择器、所述辅选择器和所述时间差获取模块相连,用于根据所述主时钟信号与所述辅时钟信号之间的时间差确定对所述主时钟信号的延迟调整量。

[0076] 延迟调整模块,与所述主选择器和所述控制器相连,用于根据所述延迟调整量对所述主时钟信号的延迟进行调整,使得所述主时钟信号和所述辅时钟信号之间的相位差等于或接近于所述预设值。

[0077] 在一个实施例中,所述控制器进一步用于按照第一预设规则控制所述主选择器分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号以及控制所述辅选择器分别选通一相应时钟信号作为相应的辅时钟信号,并按照第二预设规则控制所述主选择器分别选通多相位时钟信号中的每一相位时钟信号作为分别的主时钟信号,以及控制所述辅选择器分别选通一相应时钟信号作为相应的辅时钟信号;其中,第一预设规则下所述各主时钟信号与相应的辅时钟信号之间的参考相位差为第一预设值,第二预设规则下所述各主时钟信号与相应的辅时钟信号之间的参考相位差为第二预设值,所述第一预设值与所述第二预设值不同;所述时间差获取模块获取第一预设规则和第二预设规则下各主时钟信号与相应的辅时钟信号之间的时间差,所述控制器基于所述时间差确定各主时钟信号的延迟调整量,根据所述延迟调整量获得多相位时钟信号之间的相位误差,并根据所述相位误差获取多相位时钟信号的校准量。

[0078] 在一个实施例中,所述第一预设值为 $2 \times \pi / (m+1)$ ,所述第二预设值为 $4 \times \pi / (m+1)$ ,其中, $m+1$ 为多相位时钟信号的相位数量。

[0079] 在一个实施例中,如图3B、图4所示,所述校准装置还包括频率转化模块;所述频率转化模块连接在所述时间差获取模块和所述控制器之间,用于接收主时钟信号与相应的辅时钟信号之间的时间差,并根据所述时间差获取所述时间差对应的频率信号输出至所述控制器。所述控制器根据所述频率信号获取各主时钟信号的延迟调整量。

[0080] 在一个实施例中,所述控制器具体用于根据以下公式获得多相位时钟信号之间的相位误差:

$$[0081] \quad \Delta t(k+1, k) = -\left(\sum_{n=0}^m (c_A(n) - c_B(n))\right) / (m+1) + c_A(k) - c_B(k),$$

其中,  $\Delta t(k+1, k)$  为第k相位时钟信号与第(k+1)相位时钟信号之间的相位误差,  $m+1$  为多相位时钟信号的相位数量,  $c_A(n)$  为第n相位时钟信号在第一预设规则下的延迟调整量,  $c_B(n)$  为第n相位时钟信号在第二预设规则下的延迟调整量。

[0082] 在一个实施例中,所述控制器具体用于根据以下公式获取多相位时钟信号的校准量:

[0083] 在一个实施例中,所述控制器具体用于根据以下公式获取多相位时钟信号的校准量:

$$[0083] \quad c(k) = \begin{cases} 0, & k = 0 \\ \sum_{i=1}^k \Delta t(i, i-1), & 0 < k < m+1 \end{cases},$$

其中,  $c(k)$  为第k相位时钟信号的校准量。

[0084] 在一个实施例中,如图3B所示,所述延迟调整模块连接在所述主选择器的输出端与时间差获取模块的输入端之间。

[0085] 在另一个实施例中,如图4所示,所述多相位时钟信号中的每一相位时钟信号与所述主选择器的相应的输入端之间各连接一个所述延迟调整模块。

[0086] 本申请实施例还提供一种多相时钟电路。所述多相时钟电路包括时钟信号产生电路及上述实施例所述的校准装置,所述校准装置至少包括主选择器、辅选择器、时间差获取模块、控制器及延迟调整模块。

[0087] 具体而言,时钟信号产生电路用于产生多相位时钟信号。

[0088] 主选择器用于接收多相位时钟信号并在控制器的控制下从多相位时钟信号中选择一相位时钟信号输出作为主时钟信号。

[0089] 辅选择器用于接收所述多相位时钟信号并在控制器的控制下从多相位时钟信号中选择一相应相位时钟信号输出作为辅时钟信号,其中所述主时钟信号与所述辅时钟信号的参考相位差为预设值,且所述预设值为不等于0的值。

[0090] 时间差获取模块用于接收所述主时钟信号和所述辅时钟信号并获取主时钟信号与辅时钟信号之间的时间差。

[0091] 控制器与所述主选择器、所述辅选择器和所述时间差获取模块相连,用于根据主时钟信号与辅时钟信号之间的时间差确定对主时钟信号的延迟调整量。

[0092] 延迟调整模块与所述主选择器和所述控制器相连,用于根据所述延迟调整量对所述主时钟信号的延迟进行调整,使得所述主时钟信号和所述辅时钟信号之间的相位差等于或接近于所述预设值。

[0093] 此外,相关技术中也有基于鉴频鉴相器和低频滤波器并结合数字控制来调整VCO (Voltage Controlled Oscillator, 压控振荡器) 或PLL多相输出延迟来实现相位校准的目的。然而,调节VCO控制电压的方式难以直接应用于多输出电路,而调节PLL多相输出延迟的

方式则存在硬件开销和功耗过大的问题。不同于相关技术中所采用的方案,本申请一个或多个实施例中所述的校准方法及校准装置采用辅时钟信号作为参考进行校准,只需在多相时钟电路中增加一路选择器而无需额外的参考源。所述校准方法及校准装置通过细调多相时钟的时钟树延迟来达到校准目的,而非直接调整PLL的多相输出,此种方式硬件开销较小,符合低功耗设计的需求。并且,所述校准方法及校准装置在电路配置和算法流程上具有相当的灵活性。再者,本申请一个或多个实施例中所述的校准方法及校准装置可以通过延迟调整模块来调整主时钟信号的延迟,通过配置所述延迟调整模块的数量和位置,可以实现一相或多相位时钟信号的同时输出,既适用于单输出电路又适用于多输出电路。

[0094] 因此,本申请有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0095] 上述实施例仅例示性说明本申请的原理及其功效,而非用于限制本申请。任何熟悉此技术的人士皆可在不违背本申请的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本申请所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本申请的权利要求所涵盖。

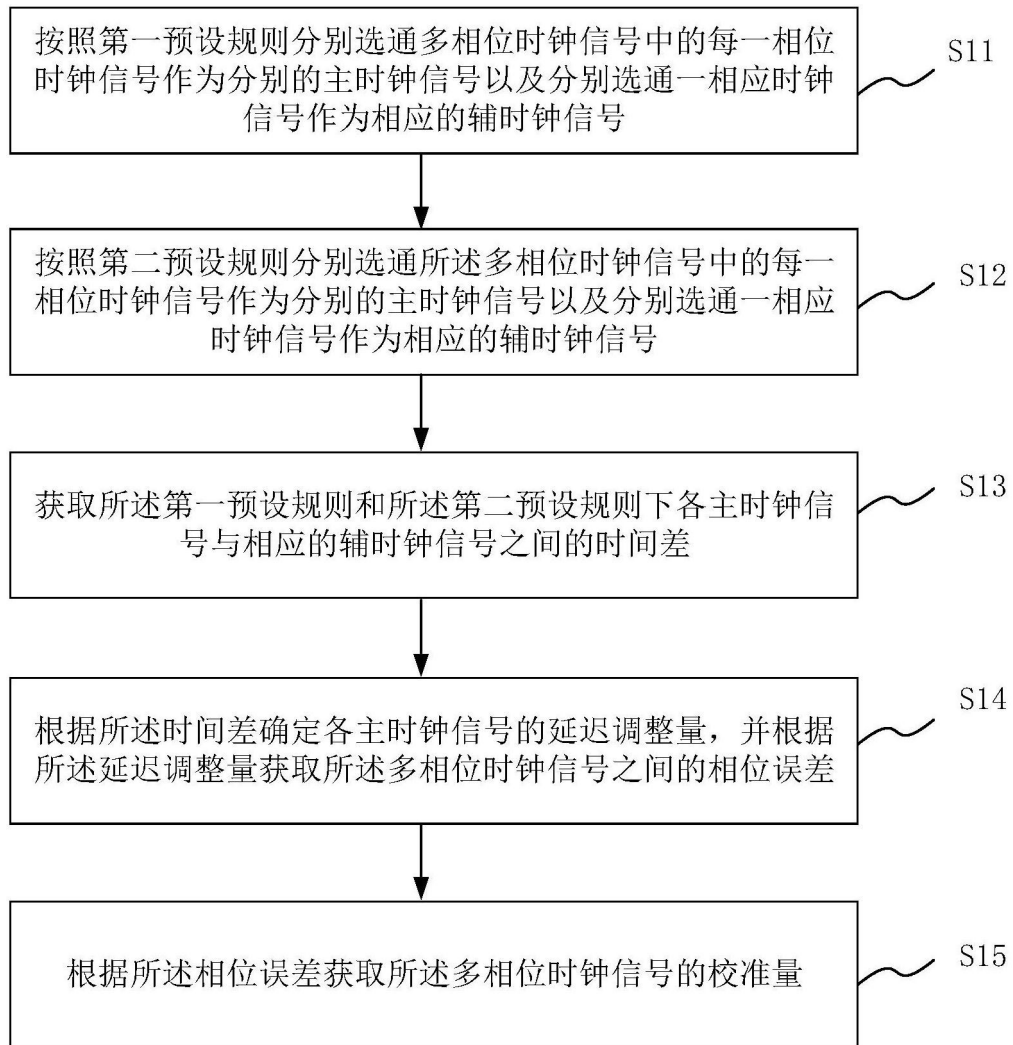


图1

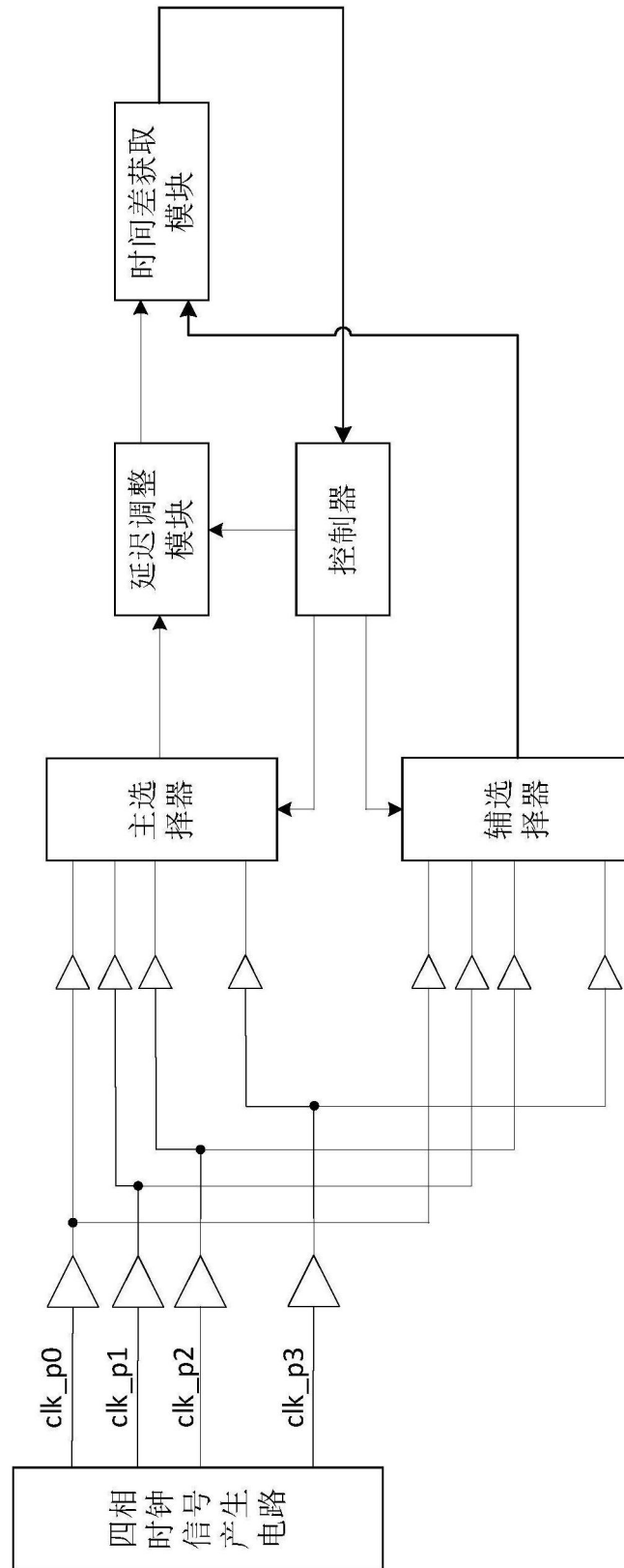


图2

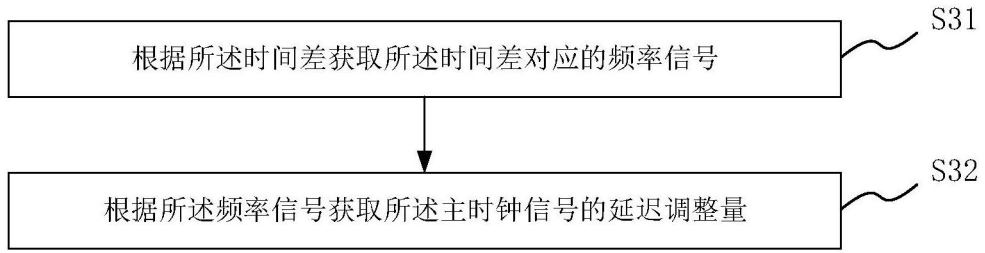


图3A



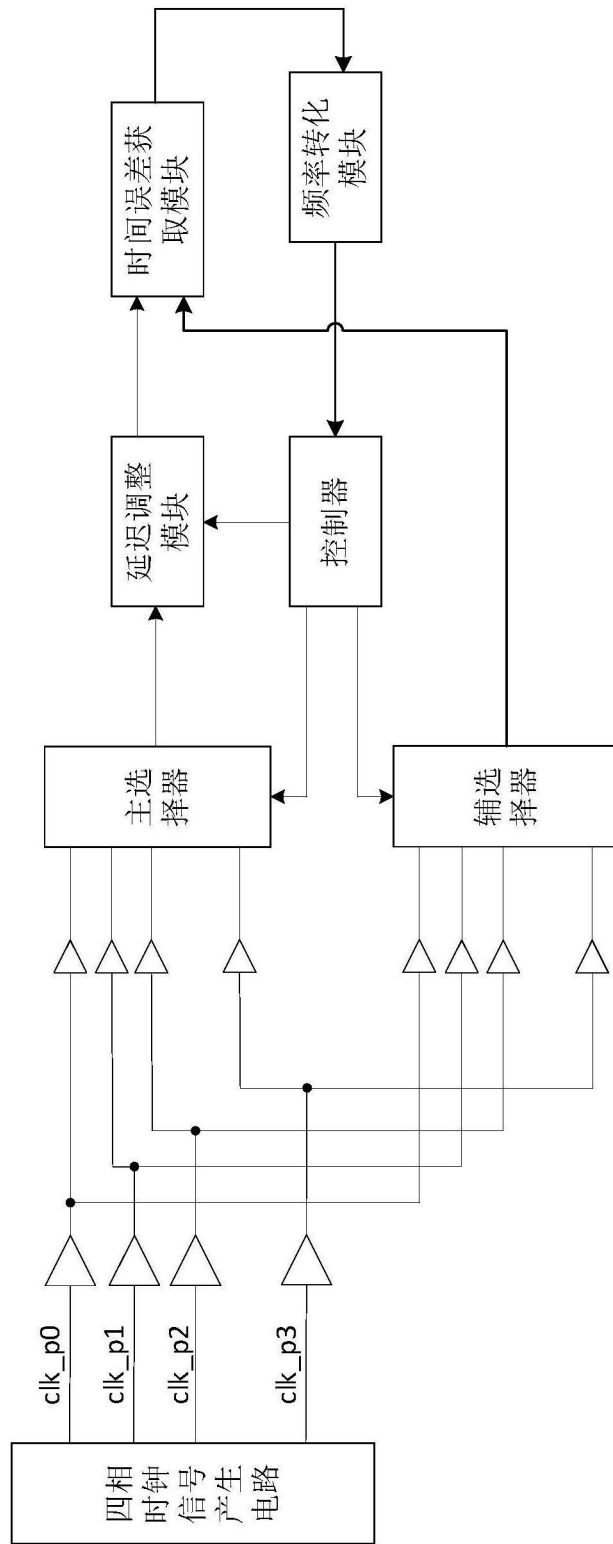


图3B

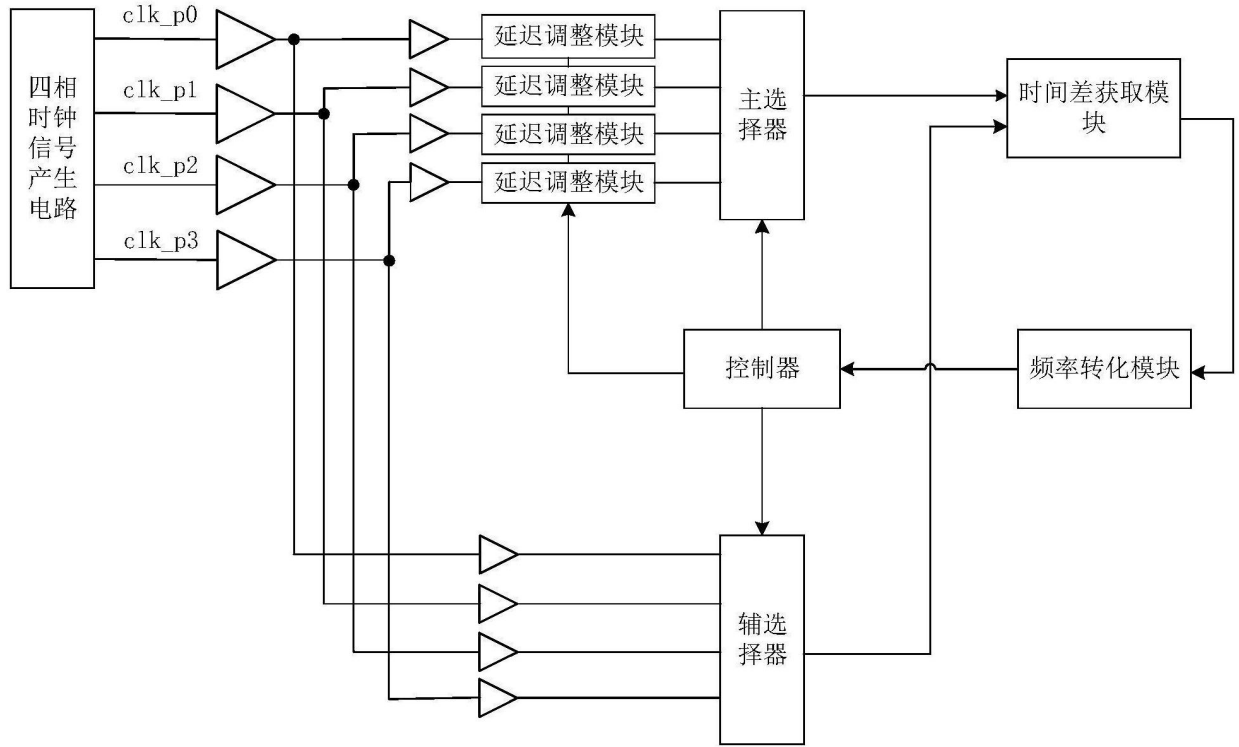


图4