

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4684743号  
(P4684743)

(45) 発行日 平成23年5月18日 (2011.5.18)

(24) 登録日 平成23年2月18日 (2011.2.18)

(51) Int. Cl. F I  
 H03M 1/10 (2006.01) H03M 1/10 A  
 H03M 1/36 (2006.01) H03M 1/36

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2005-155226 (P2005-155226)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成17年5月27日 (2005.5.27)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2006-333185 (P2006-333185A)	(72) 発明者	野口 栄実 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
(43) 公開日	平成18年12月7日 (2006.12.7)	審査官	柳下 勝幸
審査請求日	平成20年2月13日 (2008.2.13)		

最終頁に続く

(54) 【発明の名称】 A/D変換回路、A/D変換器およびサンプリングクロックのスキュー調整方法

(57) 【特許請求の範囲】

【請求項1】

入力信号を並列に比較する複数の比較器と、  
 前記複数の比較器に対して前記入力信号を分配する入力信号配線と、  
 前記複数の比較器に対して前記入力信号をサンプリングするサンプリングクロックを分配し、当該サンプリングクロックの分配タイミングが、前記入力信号配線による前記入力信号の遅延に応じて決定されるサンプリングクロック分配回路とを有し、  
 前記サンプリングクロック分配回路は、  
 第1の方向に従って第1のクロック信号を伝播させる第1のクロック配線と、  
 前記第1の方向とは反対の第2の方向に従って第2のクロック信号を伝播させる第2のクロック配線と、

10

前記第1のクロック配線によって伝播される第1のクロック信号および第2のクロック配線によって伝播される第2のクロック信号が入力され、前記サンプリングクロックの分配タイミングに応じて、前記第1のクロック信号と前記第2のクロック信号の時間差を所定比に分割するタイミングで前記サンプリングクロックを出力する位相補間回路とを有する並列形A/D変換回路。

【請求項2】

前記第2のクロック配線は、前記第1のクロック配線のクロック伝播経路端部で折り返して形成された配線であることを特徴とする請求項1に記載の並列形A/D変換回路。

【請求項3】

20

請求項 1、又は 2 に記載の A / D 変換回路の出力するデジタル信号を測定し、前記サンプリングクロックの分配タイミングを決定するモニタ回路をさらに有することを特徴とする A / D 変換器。

【請求項 4】

前記モニタ回路は、

予め定められたトレーニング信号を生成し、該トレーニング信号を前記 A / D 変換回路へと出力するトレーニング信号生成回路と、

前記 A / D 変換回路から、前記トレーニング信号をデジタル化したデジタル信号を受け取り、該デジタル信号を測定するデジタル信号測定回路と、

前記デジタル信号測定回路の測定結果に基づいて、前記サンプリングクロックの分配タイミングを決定するスキュー調整信号を生成するスキュー調整信号生成回路とを有することを特徴とする請求項 3 に記載の A / D 変換器。

10

【請求項 5】

前記モニタ回路は、

前記 A / D 変換回路の出力するデジタル信号に含まれるエラーを訂正するエラー訂正回路と、

前記エラー訂正回路によってエラーと判断された前記デジタル信号の比率を測定するエラー率測定回路と、

前記エラー率測定回路の測定結果に基づいて前記サンプリングクロックの分配タイミングを決定するスキュー調整信号を生成するスキュー調整信号生成回路とを有することを特徴とする請求項 3 に記載の A / D 変換器。

20

【請求項 6】

前記モニタ回路は、前記エラー率測定回路の測定するエラーの比率が最も低くなるように前記スキュー調整信号を生成することを特徴とする請求項 5 に記載の A / D 変換器。

【請求項 7】

請求項 4 に記載の A / D 変換器の前記並列型 A / D 変換回路のサンプリングクロックのスキューを調整するスキュー調整方法であって、

前記トレーニング信号生成回路が予め定められた前記トレーニング信号を生成し、

前記 A / D 変換回路により、前記トレーニング信号をデジタル化した前記デジタル出力信号を出力し、

30

前記デジタル信号測定回路が前記デジタル出力信号の所定のパラメータを測定し、

前記スキュー調整信号生成回路が前記所定のパラメータに基づいて前記サンプリングクロックの分配タイミングを決定するスキュー調整信号を生成し、

前記位相補間回路が、前記スキュー調整信号に基づいて、前記サンプリングクロックの出力タイミングを制御するサンプリングクロックのスキュー調整方法。

【請求項 8】

請求項 5 に記載の A / D 変換器の前記並列型 A / D 変換回路のサンプリングクロックのスキューを調整するスキュー調整方法であって、

前記 A / D 変換回路が、入力された信号をデジタル化したデジタル出力信号を出力し、

前記エラー訂正回路が前記デジタル出力信号に含まれるエラーを訂正し、

前記スキュー調整信号生成回路が、前記デジタル出力信号のうち、前記エラー訂正が行われた該デジタル出力信号の比率に基づいて前記スキュー調整信号を生成し、

40

前記位相補間回路が前記スキュー調整信号に基づいて、前記サンプリングクロックのスキューを調整するスキュー調整方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は A / D 変換回路、A / D 変換器に関わり、特に並列形の A / D 変換回路、A / D 変換器に関する。

【背景技術】

50

## 【 0 0 0 2 】

A / D変換回路としては逐次比較型、あるいは並列比較型の2種類のA / D変換回路が知られている。図9は、並列型A / D変換回路を概略的に示したブロック図である。図9に示すように、並列形A / D変換回路90は分圧抵抗列91、複数の比較器92およびエンコーダ95を有している。エンコーダ95の出力側はデジタル出力端子97に接続され、エンコーダ95の入力側には複数の比較器92が接続されている。各比較器92の一方の入力端はアナログ入力端子98に接続され、他方の入力端は各分割抵抗の一端に接続されている。全体としての分圧抵抗列91の一端は参照入力電圧VREFに接続され、他端は接地されている。

## 【 0 0 0 3 】

上記した並列型A / D変換回路90の動作について説明する。アナログ入力端子98からのアナログ入力電圧VINは各比較器に与えられている。各比較器はクロックCLKに同期して、アナログ入力電圧VINと参照入力電圧VREFから各分割抵抗で分圧されたそれぞれの参照電圧とを比較する。エンコーダ95は、比較器92からの出力に基づいて、アナログ入力電圧VINを2進数のNビットのデータ列DOUTに符号化する。

## 【 0 0 0 4 】

つまり、アナログ量VINのデジタル量DOUTへの変換は各比較器における電圧比較の動作と、エンコーダ95でのNビット列データDOUTへの符号化の動作で実現される。このような一般的なA / D変換回路90については非特許文献1に記載されている。

## 【 0 0 0 5 】

このような並列形のA / D変換回路90で、Nビットのデータ列DOUTを生成する場合、 $2^N$ 個の比較器が必要とされる。そのためビット数が増えると、その回路規模、面積が大きく増大する。A / D変換回路90の面積が増大すると、アナログ入力電圧VINの配線遅延によるスキュー、およびクロック信号CLKの配線遅延によるスキューが増大する。両者のスキューに差があると同時刻のアナログ信号をサンプリングすることが困難となり、精度が劣化してしまう。

## 【 0 0 0 6 】

図10は、このように両者のスキューに差が生じた場合のデータの誤差を説明するタイミングチャートである。図10(a)は、アナログ入力信号VINのスキューを示している。図10(b)は、クロック信号CLKのスキューを示している。図10(a)に、A1、A2・・・AM ( $M = 2^N$ )で示している波形は、それぞれ1段目の比較器からM段目の比較器までに入力されるアナログ入力信号VINを示している。図10(a)から分かるように信号配線の遅延に従ってM段目の比較器には1段目の比較器よりも位相が遅れたアナログ信号AMが入力される。図10(b)にC1～CM ( $M = 2^N$ )で示す波形は、1段目の比較器からM段目の比較器までに入力されるクロック信号を示している。図10(b)から分かるように、クロック配線の遅延からM段目の比較器に供給される比較を行うためのクロックは、1段目の比較器よりも位相が遅れている。図10に示すようにA / D変換回路90に用いられる比較器の数が増えると信号配線による遅延時間と、クロック配線による遅延時間の差が大きくなってしまふ。そのため、入力信号VINの位相とクロック信号CLKの位相がずれ、同時刻の入力信号をサンプリングできずに出してしまう場合が生じる(図10(a)参照)。この場合、生成されたデジタル信号DOUTの精度が劣化してしまう。

## 【 0 0 0 7 】

このようなスキューによる誤差を防ぐ方法として、レイアウト上で等長配線となるように対応することなども可能であるが、回路面積の増大に伴い配線長のレイアウトだけでは対応することが困難となっている。また、A / D変換回路90の前段にサンプル・ホールド回路などを設ける方法もある。しかしながら並列形のA / D変換回路90の特徴である高速動作に対応するサンプル・ホールド回路は精度が低くなってしまい、精度が高いサンプル・ホールド回路を用いようとする高速動作に追従できなくなってしまうというトレードオフがあり、上記のスキュー対策に有効なサンプル・ホールド回路を適用することは

10

20

30

40

50

困難となっていた。

【非特許文献1】1972 IEEE International Solid-State Circuits Conference, "DIGEST OF TECHNICAL PAPERS" pp146 - 148

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述のように、従来のA/D変換器、A/D変換回路では、アナログ入力信号のスキューとクロック信号のスキューのずれなどから高速かつ高精度でA/D変換を行うことは困難となっていた。

10

【課題を解決するための手段】

【0009】

本発明の1態様による並列形A/D変換回路は、入力信号を並列に比較する複数の比較器と、複数の比較器に対して入力信号を分配する入力信号配線と、複数の比較器に対して入力信号をサンプリングするサンプリングクロックを分配し、サンプリングクロックの分配タイミングが、入力信号配線による入力信号の遅延に応じて決定されるサンプリングクロック分配回路とを有する。

【0010】

また本発明の1態様によるサンプリングクロックのスキュー調整方法では、信号が入力され、サンプリングクロックに基づいて当該信号をサンプリングしてデジタルデータを出力する並列形A/D変換器の前記サンプリングクロックのスキュー調整方法であって、予め定められたトレーニング信号を生成し、A/D変換回路により、トレーニング信号をデジタル化したデジタル出力信号を出力し、デジタル出力信号の所定のパラメータを測定し、所定のパラメータに基づいて、前記サンプリングクロックの出力タイミングを制御することを特徴とする。

20

【0011】

また本発明の1態様によるサンプリングクロックのスキュー調整方法では、信号が入力され、サンプリングクロックに基づいて当該信号をサンプリングしてデジタルデータを出力する並列形A/D変換器のサンプリングクロックのスキュー調整方法であってA/D変換回路により、信号をデジタル化したデジタル出力信号を出力し、デジタル出力信号に含まれるエラーを訂正し、デジタル出力信号のうち、エラー訂正が行われた該デジタル出力信号の比率に基づいてサンプリングクロックのスキューを調整する。

30

【発明の効果】

【0012】

A/D変換回路の出力するデジタル出力信号に応じて、アナログ入力信号のスキューに対するクロック信号のスキューが最適となるように制御されるため、より高速で高精度なA/D変換回路を提供することが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して本発明の実施の形態について説明する。図1は本発明の実施の形態1のA/D変換器の構成を示すブロック図である。本実施の形態のA/D変換器1は、並列形のA/D変換回路10およびモニタ回路20を有している。A/D変換回路10は、アナログ入力電圧VINに対応して、Nビットのデータ列DOUTを出力するA/D変換回路10である。図1に示すように、この実施の形態のA/D変換回路10は、分圧抵抗列11、複数の比較器121~12M( $M=2^N$ )、複数の位相補間回路(フェーズインターポレータ)131~13M( $M=2^N$ )、クロック配線部14、エンコーダ15を有している。

40

【0014】

分圧抵抗列11は、一方が参照電圧VREFに接続され他方が接地電圧に接続されている。分圧抵抗列11の各抵抗の間のノードは、それぞれ比較器121~12Mの一方の入

50

力端子に接続されている。比較器 121 ~ 12M の他方の入力端子はアナログ入力配線 AL に接続され、このアナログ入力配線 AL はアナログ入力端子 16 に接続されている。アナログ入力端子 16 にはアナログ入力電圧 VIN が印加され、比較器 121 ~ 12M の他方の入力端子にはアナログ入力電圧 VIN がアナログ入力配線 AL を介して入力されている。比較器 121 ~ 12M は、それぞれ位相補間回路 131 ~ 13M から出力されるサンプリングクロック C1 ~ CM に同期してアナログ入力電圧 VIN と分圧抵抗列 11 によって分圧された参照電圧 VREF の比較を行い、その比較結果を出力する。

【0015】

位相補間回路 131 ~ 13M には、それぞれ第 1 のクロック信号 CA1 ~ CAM、第 2 のクロック信号 CB1 ~ CBM が入力されている。この位相補間回路 131 ~ 13M は、それぞれに入力される第 1、第 2 のクロック信号 CA、CB を補間するような位相のサンプリングクロック C を出力する回路である。この位相補間回路 131 ~ 13M の詳細については後述する。

10

【0016】

クロック配線部 14 は、クロック入力端子 18 から入力されたクロック信号に基づいて、クロックバッファ 141 ~ 144、クロック配線 CLA、CLB を介して位相補間回路 131 ~ 13M のそれぞれに第 1 のクロック CA1 ~ CAM、第 2 のクロック CB1 ~ CBM を供給する部分である。ここで、位相補間回路 131 ~ 13M に供給される第 1 のクロック CA1 ~ CAM は、第 1 の方向（図 1 の上方から下方に向かう方向）に沿って第 1 のクロック配線 CLA によって伝播される。位相補間回路 131 ~ 13M に供給される第 2 のクロック CB1 ~ CBM は、第 2 の方向（図 1 の下方から上方に向かう方向）に沿って第 2 のクロック配線 CLB によって伝播される。本実施の形態では、第 2 のクロック配線 CLB は第 1 のクロック配線 CLA を複数の比較器の端部（図 1 の下端）で折り返した配線である。本実施の形態ではこのクロック配線部 14 と位相補間回路 13 とでサンプリングクロック分配回路が構成されている。

20

【0017】

エンコーダ 15 は、比較器 121 ~ 12M の出力する比較結果からアナログ入力電圧 VIN に相当するデジタル信号を生成し、N ビットのデータ列 DOUT としてデータ列出力端子 17 から出力する。

【0018】

ここで上記した位相補間回路 131 ~ 13M の構成について説明する。図 2 は、個々の位相補間回路の構成を示す回路図である。図 2 に示すように各位相補間回路は第 1 のクロック信号 CA が入力される第 1 の差動入力対と第 2 のクロック信号 CB が入力される第 2 の差動入力対を有している。第 1 の差動入力対は電源電圧 VDD と第 1 の電流源 CS1 の間に接続されている。第 2 の差動入力対も電源電圧 VDD と第 2 の電流源 CS2 の間に接続されている。第 1 の差動入力対は第 1 のクロック信号 CA が入力される NMOS トランジスタ N1 と、第 1 のクロック信号を反転させた信号 /CA が入力される NMOS トランジスタ N2 とで構成されている。第 2 の差動入力対は、第 2 のクロック信号 CB が入力される NMOS トランジスタ N3 と、第 2 のクロック信号を反転させた信号 /CB が入力される NMOS トランジスタ N4 とで構成されている。NMOS トランジスタ N1、N3 は、ドレインが抵抗 R1 を介して電源電圧 VDD に接続されている。NMOS トランジスタ N2、N4 は、ドレインが抵抗 R2 を介して電源電圧 VDD に接続されている。NMOS トランジスタ N1、N2 のソースは、上述した第 1 の電流源 CS1 に接続され、NMOS トランジスタ N3、N4 のソースは第 2 の電流源 CS2 に接続されている。第 1、第 2 の電流源 CS1、CS2 は、後述するモニタ回路 20 から与えられる信号（スキュー調整信号）に基づいてその電流値が設定される可変電流源である。この位相補間回路の出力端子は抵抗 R1 と NMOS トランジスタ N1、N3 の間のノードおよび抵抗 R2 と NMOS トランジスタ N2、N4 の間のノードとなる。

30

40

【0019】

この位相補間回路の出力は、第 1 の電流源 CS1 と第 2 の電流源 CS2 の電流値を同じ

50

に設定した場合、第1のクロック信号CAと第2のクロック信号CBのちょうど中間となるようなクロック信号を出力する。この様子を模式的に図3に示す。このように、位相補間回路は第1のクロック信号CAと第2のクロック信号CBを補間するようなクロック信号Cを出力し、サンプリングクロックとするものである。図3には第1の電流源CS1と第2の電流源CS2の電流値を同じに設定した場合を示したが、実際にはモニタ回路20からの出力(スキュー調整信号)に基づいて第1の電流源CS1と第2の電流源CS2の電流値には差を持たせている。第1の電流源CS1と第2の電流源CS2の電流値の差に基づいて、位相補間回路の出力するクロックCのタイミングが変化する。第1の電流源CS1の電流値と第2の電流源CS2の電流値の比が $p : q$ であった場合、第1のクロック信号CAと第2のクロック信号CBとの時間差を例えば $q : p$ に区分する点でクロック信号が立ち上がる(図3参照)。

10

#### 【0020】

モニタ回路20は、後述するトレーニング動作などにより、A/D変換回路10の出力するNビットのデジタル信号DOU Tをモニタし、その結果に基づいて上記の位相補間回路の第1の電流源CS1と第2の電流源CS2の電流値を設定する信号(スキュー調整信号)を出力する回路である。モニタ回路20は、第1の電流源CS1の電流値と第2の電流源CS2の電流値の比 $p : q$ を決定し、全ての位相補間回路131~13Mに対して同一の比となるような信号を出力する。

#### 【0021】

以上のように構成されたA/D変換器1の動作の詳細について以下に説明する。アナログ入力端子から入力されたアナログ入力電圧VINは、アナログ入力配線ALを伝播して各比較器121~12Mへと入力される。この時、アナログ入力配線ALの配線抵抗値などにより、アナログ入力信号には遅延が生じている。アナログ入力信号にはスキューが生じているため、全ての比較器121~12Mに同時には入力電圧が与えられない。ここで、各比較器121~12Mに入力される信号をA1~AMとすると、入力信号A1~AMは、アナログ信号配線に基づいたある一定の遅延の度合い(スキュー)を持つ信号である。図10を用いても説明したが、より詳細には、仮にアナログ配線AL上で比較器一段につき $t_a$ の一定の遅延を生じて信号が伝播されるとすると、時刻T0でアナログ入力端子に印加された信号は、比較器12Mには時刻 $T_0 + 2^N t_a$ に入力されることになる。

20

30

#### 【0022】

ここで、従来のようにクロック配線を設けて例えば図1の上方から下方にのみサンプリングクロックを伝播した場合、サンプリングクロックにもクロック配線による遅延が生じるが、アナログ配線による遅延の度合い(スキュー)とクロック配線による遅延の度合い(スキュー)は異なってしまう。クロック配線によって生じる遅延が比較器一段につき $t_c$ であるとする、アナログ信号の入力と同時刻T0にクロック信号の入力端子に与えられたクロック信号は時刻 $T_0 + 2^N t_c$ に比較器12Mに入力される。つまり、 $t_a$ と $t_c$ の差に基づいて図1の下方に示される比較器ほどアナログ信号の遅延の度合いとクロック信号の遅延の度合い(スキュー)の差が大きくなってしまふ。

#### 【0023】

そこで本実施の形態では、第1のクロック配線CLAから供給される第1のクロック信号CA1~CAMと、第2のクロック配線CLBから供給される第2のクロック信号CB1~CBMおよび位相補間回路131~13Mを用いて、比較器121~12Mに供給するサンプリングクロックC1~CMに任意のスキューを生じさせている。言い換えれば、1段目の比較器に与えられるサンプリングクロックC1からM段目の比較器に与えられるサンプリングクロックCMまでのクロック信号の遅延の度合いを、アナログ配線ALによるアナログ信号の遅延の度合いにあわせている。

40

#### 【0024】

このサンプリングクロックC1~CMは、比較器121~12Mが入力電圧A1~AMと参照電圧を比較するタイミングを決定するクロックである。このサンプリングクロック

50

C 1 ~ C Mに入力信号 A 1 ~ A Mと同等のスキューを生じさせることで、本実施の形態では各比較器が比較するアナログ入力信号は同時刻の信号とすることが可能である。

【 0 0 2 5 】

図 4 は、各位相補間回路 1 3 1 ~ 1 3 Mに供給される第 1 のクロック信号 C A 1 ~ C A M、第 2 のクロック信号 C B 1 ~ C B Mと位相補間回路 1 3 1 ~ 1 3 Mの出力するサンプリングクロック C 1 ~ C Mを模式的に示した波形図である。以下、図 1、図 4 を用いて比較器に与えるサンプリングクロック C 1 ~ C Mに所望のスキューを生じさせる方法について説明する。

【 0 0 2 6 】

上述したように本実施の形態では第 1 のクロック配線 C L Aの図 1 の上方から下方に向かって第 1 のクロック C A が伝播される。第 2 のクロック配線 C L B は、第 1 のクロック配線 C L A を下端で折り返しているため、図 1 の下方から上方に向かって第 2 のクロック C B が伝播される。つまり、第 1 のクロック信号 C A は位相補間回路 1 3 1 に最も早く供給され(図 4、C A 1 参照)、その後クロック配線 C L A に基づく遅延を伴って順次位相補間回路 1 3 2、1 3 3 へと供給され、位相補間回路 1 3 M に最も遅く供給される(図 4 参照)。それに対し、第 2 のクロック信号 C B は、折り返し端部の位相補間回路 1 3 M に最も早く供給され、位相補間回路 1 3 1 に最も遅く供給される(図 4、C B M、C B 1 参照)。

【 0 0 2 7 】

本実施の形態では、この位相補間回路 1 3 1 ~ 1 3 Mの第 1 の電流源 C S 1 と第 2 の電流源 C S 2 に、一様に p : q の重み付けを行う信号が入力されている。したがって全ての位相補間回路は第 1 のクロック信号 C A が与えられたタイミングと第 2 のクロック信号 C B が与えられたタイミングの差に対して、例えばその時差を q : p に分割するタイミングでサンプリングクロック C 1 ~ C Mを出力する。

【 0 0 2 8 】

つまり、位相補間回路 1 3 1 ~ 1 3 Mの第 1、第 2 の電流源 C S 1、C S 2 に一様に重みの変化をもたせることで各位相補間回路 1 3 1 から 1 3 Mの出力するクロック C 1 ~ C Mの遅延の度合いを変化させた任意のスキューを生じさせることが可能となる。図 4 にこのようにサンプリングクロックにスキューを持たせた場合の様子を模式的に示す。

【 0 0 2 9 】

図 4 に示すように 1 段目の位相補間回路 1 3 1 では、最も早く供給される第 1 のクロック C A 1 と、最も遅く供給される第 2 のクロック C B 1 の時間差を q : p に区分する点でサンプリングクロック C 1 が出力されている。それに対して M 段目の位相補間回路 1 3 M では、最も遅く供給される第 1 のクロック C A M と最も早く供給される第 2 のクロック C B M の時間差を q : p に区分する点でサンプリングクロック C M が出力されている。

【 0 0 3 0 】

このように本実施の形態の A / D 変換回路によれば p : q の比を全ての位相補間回路 1 3 1 ~ 1 3 M に対して一様に設定することにより、この比に基づいた任意のスキューを有するサンプリングクロック C 1 ~ C M を生成することが可能である。位相補間回路の方式や回路構成などにより、上記のように電流源の流す電流値の比 p : q に対して必ずしも q : p に区分する点でクロックを出力するとは限らないが、本実施の形態のように第 1 のクロック信号と第 2 のクロック信号を全ての位相補間回路 ( 1 3 1 ~ 1 3 M ) に与え、全ての位相補間回路 ( 1 3 1 ~ 1 3 M ) に対して同一の設定を指示する信号 ( スキュー調整信号 ) を与えてやることにより、各比較器に供給されるサンプリングクロックの遅延度合い ( スキュー ) を変化させ、アナログ入力信号の遅延度合い ( スキュー ) により近づけることが可能となる。

【 0 0 3 1 】

つまり本実施の形態のように A / D 変換回路を構成することにより、仮にアナログ入力信号が図 1 の下端側から入力され、クロック信号が図 1 の上端側から入力されるような場合でも、位相補間回路に対して下端側の位相補間回路が出力するクロック信号 C M よりも

10

20

30

40

50

上端側の位相補間回路の出力するクロック信号C1が遅延するような設定とすることが可能である。このようにアナログ信号が比較器へ入力される際の遅延度合いに対してクロックの遅延度合いを任意にあわせることが可能となり、より高速で高精度な動作に合わせたA/D変換回路を提供すること可能となる。

#### 【0032】

ここで、アナログ入力信号のスキューに合わせて比較器121～12Mに供給するサンプリングクロックC1～CMのスキューを調整するためのモニタ回路20およびスキューを調整する動作に関して以下に説明する。

#### 【0033】

図5は、モニタ回路20を含んだA/D変換器1の構成図である。この例のモニタ回路20は、トレーニング信号発生回路21、THD(Total Harmonic Distortion)測定回路22、スキュー制御信号生成回路23を有している。図5に示すようにトレーニング信号発生回路21は、この実施の形態1のA/D変換回路10のアナログ信号入力端子に接続されている。また、A/D変換回路10のデジタル出力信号DOUTはモニタ回路20のTHD測定回路22に入力されている。なお、図5には、位相補間回路131～13Mがまとめて位相補間回路13として図示されている。

10

#### 【0034】

図5に示すモニタ回路20では、トレーニング信号発生回路21は所定の波形のトレーニング信号Stを生成する回路である。このトレーニング信号Stは、位相補間回路13の第1の電流源CS1と第2の電流源CS2の電流値の比を決定するために生成されるテスト用の信号である。したがって、トレーニング信号Stの波形、振幅などは予め定められたものとする。THD測定回路22は、A/D変換回路10により変換されたデジタル出力信号DOUTから、その信号の歪み率を測定する回路である。スキュー調整信号生成回路23は、位相補間回路131～13Mに対して第1の電流源CS1、第2の電流源CS2の電流値を設定する信号を出力する回路である。スキュー調整信号生成回路23は、例えばスキュー調整プロセス中は第1、第2の電流源の電流値の比を連続的に変化させる信号を生成するものとする。

20

#### 【0035】

図5のようなモニタ回路20を用いて、クロックC1～CMのスキューを調整する動作について以下に説明する。図5に示すようなモニタ回路20を用いて、クロックスキューを調整する場合、A/D変換器1は、スキュー調整プロセスを必要とする。このスキュー調整プロセスは、IC出荷前の選別テスト時、A/D変換器1の回路起動のたびに行うことなどが可能である。また予め定められた一定時間ごとに一時的にA/D変換動作を停止し、この調整プロセスを行うこととしても良い。

30

#### 【0036】

図5に示したモニタ回路20を有するA/D変換器1は、例えば、回路起動時にスキュー調整プロセスを実施する。モニタ回路20に、外部よりスキュー調整プロセスを開始する信号が入力されると、トレーニング信号発生回路21は、トレーニング信号Stを生成する。ここで、トレーニング信号発生回路21が生成する信号Stは、予めその波形が分かっていたらよく、特にその波形が特定されているものではない。以下の説明では、もっとも簡単に提供できる正弦波を例にして動作を説明する。

40

#### 【0037】

スキュー調整プロセスでは、トレーニング信号発生回路21が生成した正弦波がA/D変換回路に入力される。A/D変換回路10では、このトレーニング用の信号のA/D変換が行われる。このとき、位相補間回路の第1の電流源は使用せず第2の電流源のみ使用する状態などのデフォルトの所定値である。A/D変換回路10では、このトレーニング信号発生器の出力から信号をデジタル信号化し、デジタル出力信号DOUTとして出力する。THD測定回路22にはデジタル出力信号DOUTのデータが入力され、デジタル出力信号DOUTから生成される正弦波状の波形の歪み率を測定して記憶する。

#### 【0038】

50

その後、モニタ回路20は、位相補間回路13の第1の電流源と第2の電流源の電流値の比を変化させながら、上記の歪み率測定動作を繰り返し行う。この電流比の変化は例えば、第1の電流源の電流値を漸増させながら第2の電流源の電流値を漸減させることなどにより可能である。このように位相補間回路の電流比を変化させることでサンプリングクロックのスキューを変化させている。モニタ回路20は、デジタル信号DOUTから測定された歪み率に基づいて、電流比の最適値を決定する。以下に、この歪み測定により適切な電流比が決定できる点について説明する。

【0039】

図6は、電流比の変化に対して測定される歪み率の変動を示す図である。この実施の形態では、アナログ入力信号A1～AMのスキューとサンプリングクロックC1～CMのスキューのずれが大きくなると、デジタル信号に変換した際に、所定のトレーニング信号に対しての誤差が大きくなる。その結果、スキューのずれが大きくなるほど、A/D変換回路10から出力されたデジタル出力信号DOUTの歪みは大きくなる。(図6参照)

10

【0040】

そこで、この実施の形態では、位相補間回路の第1、第2の電流源の重み付けを変化させながら、デジタル出力信号DOUTの歪み率を記録していく。

【0041】

次に、デジタル出力信号DOUTの歪み率が最も小さくなる点を選んで、この点に相当する第1の電流源の電流値と第2の電流源の電流値の比を最適な電流比として判定する。

【0042】

20

このような歪み率測定が行われた場合、最も適した電流比が判定された時点で、モニタ回路20では、図示しないレジスタなどに、この設定を保持し、スキュー調整プロセスを終了する。図5に示したモニタ回路20は、以後の通常動作中(スキュー調整プロセス以外の動作中)、このレジスタに保持された電流比に基づいてスキュー調整信号を出力する。位相補間回路131～13Mは、スキュー調整信号に基づいて、第1の電流源の電流値と第2の電流源の電流値の比を $p:q$ にセットする。そのため、位相補間回路131～13Mから出力されるクロックC1～CMは、入力信号A1～AMのスキューに応じたサンプリングクロックとなり、全ての比較器121～12Mでほぼ同時刻のアナログ入力を比較して比較結果を出力することが可能となる。

【0043】

30

以上説明したように、本発明の実施の形態のA/D変換器1では、アナログ入力信号を比較する際のサンプリングクロックC1～CMのスキューが、モニタ回路20の出力するスキュー制御信号Sに基づいて最適値に調整される。したがって、クロックC1～CMのスキューを最適化し、より高速で高精度のA/D変換器1を提供することが可能となる。

【0044】

また、回路を起動するたびに、上述のスキュー調整プロセスを実行することなどで、環境変動などにも対応したスキュー調整が可能である。

【0045】

また、上記に説明した例では、THDからスキュー調整のための電流比を求める例を説明したが、デジタル出力信号DOUTの電力など期待値が求められるものであれば、他のパラメータを利用しても良く、THD測定回路22以外でも種々の変形例が可能である。つまり、THD測定回路はデジタル出力信号測定回路であればよく、出力波形の電力測定回路などでもよい。

40

【0046】

つまり、この実施の形態では、THDや電力のようなトレーニング信号から得ることができる期待値が、モニタ回路内のレジスタなどに予め保持されている。そして、スキュー調整プロセスでは、この期待値と、トレーニング信号をデジタル化して得られたデジタル出力信号DOUTの期待値に対応するパラメータが比較される。その結果、デジタル出力信号から得たパラメータが期待値に近づくようにスキューを制御してやることで、サンプリングクロックのスキューを最適化するものである。

50

## 【 0 0 4 7 】

なお、実施の形態 1 では、環境変動に対応するため A / D 変換器 1 内部にモニタ回路 2 0 を有する構成としている。環境変動による影響が少ないと考えられる場合であれば、プロセスばらつきなどに対応するために、I C 完成後のテスト時にテストなどによりトレーニングパターンを生成して上述のスキュー調整を実行することも可能である。つまり、テストによりトレーニングパターンの生成、T H D の測定を行い上述と同様のスキュー調整方法で電流比を決定し、テストが A / D 変換器内のレジスタなどに上記の電流比を書き込む構成とすることも可能である。

## 【 0 0 4 8 】

以下に、実施の形態 2 としてモニタ回路の他の例を用いた場合について説明する。現在、情報を伝送する通信系では、デジタルの信号を伝送する際に多値化などが行われる場合がある。多値化とは、例えば送信側で " L "、" H " に対応する値だけでなく、その間を複数 ( 4 値、1 6 値など ) に分割して、同時に多くの情報 ( デジタルデータ ) を含む信号を送信することである。そのような信号を受けた受信側では、受信した信号を A / D 変換し、元のデジタルデータを再生する必要がある。また、多値信号からデジタルデータを再生する場合に限らず、無線通信や高速通信では、受信機側で A / D 変換器を利用して受信した信号からデジタルデータを再生する利用法が多く用いられている。以下に説明するモニタ回路の例は、このように A / D 変換器を用いてデジタルデータを再生する場合に極めて有効な例である。

## 【 0 0 4 9 】

図 7 に、実施の形態 2 に関する A / D 変換器 2 の構成を示す。この実施の形態 2 では、モニタ回路 3 0 以外の構成については、実施の形態 1 と同一であるため説明を省略する。図 1 あるいは図 5 に示した A / D 変換器 1 と異なる点は、実施の形態 2 では再生したデジタルデータを後段の回路へ出力する A / D 変換器であるため、この A / D 変換器 2 の出力は、A / D 変換回路 1 0 の出力ではなく、A / D 変換回路 1 0 の出力したデジタル出力信号 D O U T がエラー訂正回路 3 1 へと出力され、エラー訂正回路 3 1 の出力が後段の回路へと出力される点である。エラー訂正回路 3 1 を介するため A / D 変換器 2 より後段の回路にはエラー訂正後のデジタルデータが出力される。

## 【 0 0 5 0 】

実施の形態 2 の A / D 変換器 2 では、モニタ回路 3 0 は、このエラー訂正回路 3 1 および B E R ( B i t E r r o r R a t e ) 測定回路 ( エラー率測定回路 ) 3 2、スキュー調整信号生成回路 3 3 から構成されている。

## 【 0 0 5 1 】

上述のように、受信したデジタルデータを再生するために A / D 変換器 2 を用いた場合、A / D 変換回路 1 0 の出力するデジタル出力信号 D O U T には送信側によって付加された様々な情報を含んでいる。この送信側で付加された情報の中には、パリティチェックや C R C ( C y c l i c R e d u n d a n c y c h e c k ) といったデジタル信号の正当性に関するデータや、F E C ( F o r w a r d E r r o r C o r r e c t i o n ) といった、再生されたデジタル信号に誤りがあった場合にそれを訂正するための情報も含まれている。

## 【 0 0 5 2 】

エラー訂正回路 3 1 では、こういった送信時に付加されている情報を利用して、A / D 変換回路 1 0 が再生したデジタル信号 D O U T の誤り訂正を行うものである。この実施の形態 2 では、エラー訂正回路 3 1 において、エラーと判断されるデータの比率を B E R 測定回路 3 2 により測定している。つまり、A / D 変換回路 1 0 のデジタル出力信号 D O U T のうち、エラー訂正回路 3 1 によってエラーと判断され、訂正された信号の比率を計測している。この B E R 測定回路 3 2 の測定結果に基づいて、スキュー調整信号生成回路 3 3 が、第 1 の電流源、第 2 の電流源の電流比を制御する信号を出力する。

## 【 0 0 5 3 】

図 7 は、クロックのスキューを変化させたときの、B E R の変化を示す図である。上述

10

20

30

40

50

したように、入力信号 A 1 ~ A M とクロック信号 C 1 ~ C M の位相ずれが大きくなると誤差が大きくなる。そのため、受信した信号を A / D 変換回路 1 0 で再生した場合でも、デジタル信号 D O U T の中に多くのエラーを含むようになり、B E R が大きくなる。

【 0 0 5 4 】

図 7 に示すモニタ回路 3 0 では、B E R 測定回路 3 2 により常に B E R が測定され、その測定結果がスキュー調整信号生成回路 3 3 へと出力されている。スキュー調整信号生成回路 3 3 ではこの B E R を減少させるように常にスキュー調整信号をコントロールしている。このように、A / D 変換器 2 を受信したデジタル信号を再生するために用いる場合、常に受信した信号に含まれる情報から B E R を測定することが可能である。したがって、B E R に基づいて、逐次スキュー調整信号を変化させることが可能である。例えば、B E R を予め定められた所定値を超えた場合に、B E R を低くするようにスキュー制御信号を出力することなどが可能となる。そのため、実施の形態 2 の A / D 変換器 2 では、B E R を利用することで、スキューを実際のデータ通信を行いながらリアルタイムで制御（バックグラウンド制御）するため、常に最適なサンプリングクロックのスキューを得ることが可能となる。

10

【 0 0 5 5 】

以上、詳細に説明したように本発明の実施の形態の A / D 変換器によれば、クロック信号 C 1 ~ C M のスキュー（遅延の度合い）を最適化し、より高速で高精度の A / D 変換器を提供することが可能である。また、A / D 変換器の動作説明で示されているようにサンプリングクロックのスキューを制御することにより、アナログ信号のスキューに合わせてサンプリングクロックのスキューの最適化が適切に行われる。また、実施の形態では、モニタ回路としてトレーニングパターンから T H D を測定する例、B E R を測定する例を示したが他の例で実施することも可能である。例えば A / D 変換回路 1 0 の出力するデジタル信号の信号、ノイズ、歪みから測定される S N D R ( S i g n a l N o i s e D i s t o r t i o n R a t i o ) を利用してスキューを調整する信号を生成するようにしても良い。S N D R を利用した場合は、デジタル出力信号 D O U T の周波数スペクトルから、信号成分、ノイズ成分、歪みに対応する成分などを抽出することによって、モニタ回路を構成することが可能である。

20

【 0 0 5 6 】

また、実施の形態では、スキュー調整動作を説明するために A / D 変換器内にモニタ回路 2 0 (あるいは 3 0) を有する構成と示してあるが、A / D 変換回路としては、実施の形態 1 に示す A / D 変換回路 1 0 のような構成を有していれば、設定に基づいたスキュー調整を行うことが可能となる。つまり、実施の形態 1 でも示したように、モニタ動作などは I C 出荷時などに前もって行われるものでもよく、モニタ動作のパラメータや制御方法はその目的に応じて変更可能である。本発明により、A / D 変換回路としてスキュー調整が可能な A / D 変換回路とすることが出来る。

30

【図面の簡単な説明】

【 0 0 5 7 】

【図 1】本発明の A / D 変換器の構成を示すブロック図である。

【図 2】本発明の実施の形態の位相補間回路を示す回路図である。

40

【図 3】位相補間回路の動作を示す図である。

【図 4】本発明の実施の形態のクロックスキューの調整動作を説明する図である。

【図 5】実施の形態 1 のモニタ回路を含んだブロック図である。

【図 6】実施の形態 1 のスキュー調整に対する T H D の変化を示す図である。

【図 7】本発明の実施の形態 2 のモニタ回路を含んだブロック図である。

【図 8】実施の形態 2 のデューディに対する B E R の変化を示す図である。

【図 9】従来の並列形 A / D 変換回路を示す図である。

【図 1 0】従来のアナログ信号のスキューとクロック信号のスキューによる誤差を説明する図である。

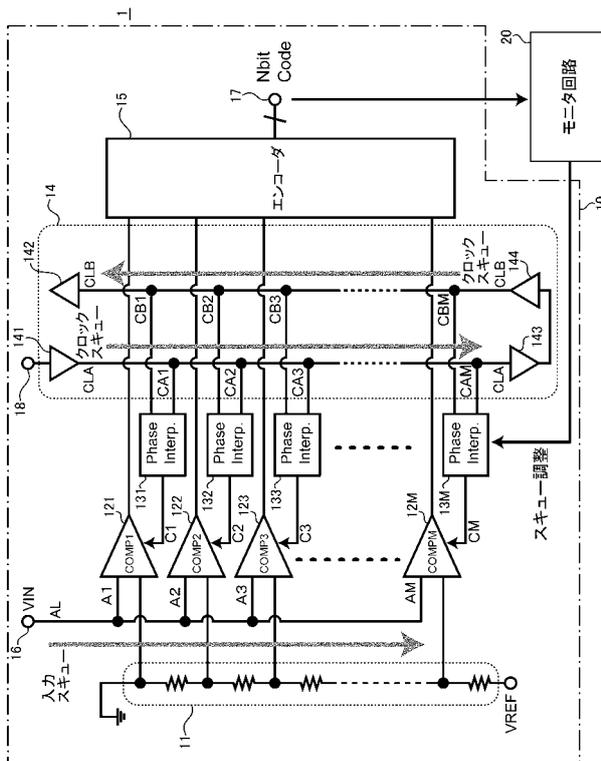
【符号の説明】

50

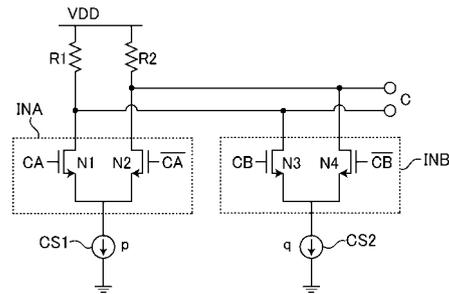
【 0 0 5 8 】

- 1 ... A / D変換器、 1 0 ... A / D変換回路、 1 1 ... 分圧抵抗列、
- 1 2 1 ~ 1 2 M ... 比較器、 1 3 , 1 3 1 ~ 1 3 M ... 位相補間回路、
- 1 4 ... クロック分配部、 1 4 1 ~ 1 4 4 ... クロックバッファ、
- 1 5 ... エンコーダ、 1 6 ... アナログ入力端子、
- 1 7 ... データ列出力端子、 1 8 ... 入力端子
- 2 0 ... モニタ回路、 2 1 ... トレーニング信号発生回路、
- 2 2 ... T H D測定回路、 2 3 ... スキュー制御信号生成回路
- 2 ... A / D変換回路、 3 0 ... モニタ回路、 3 1 ... エラー訂正回路、
- 3 2 ... B E R測定回路、 3 3 ... スキュー制御信号生成回路、

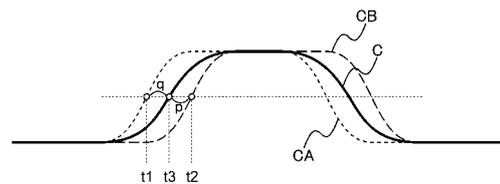
【 図 1 】



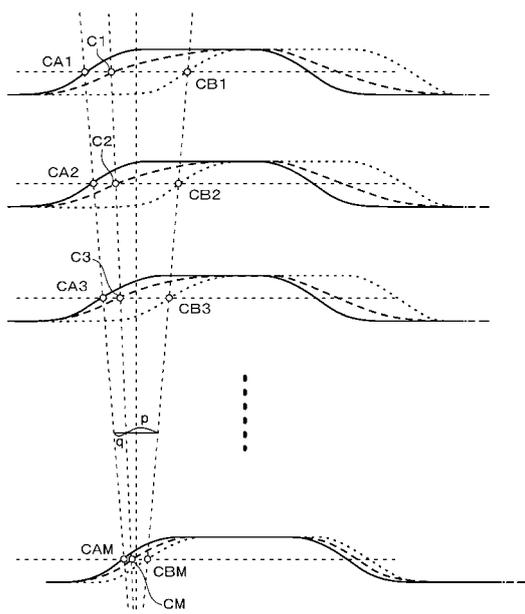
【 図 2 】



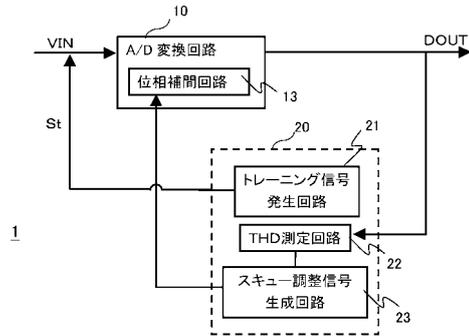
【 図 3 】



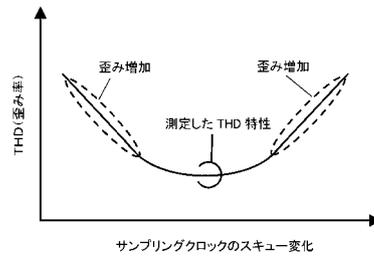
【図4】



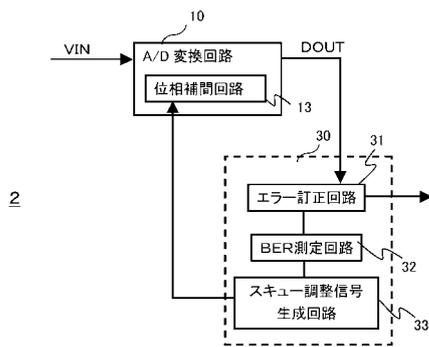
【図5】



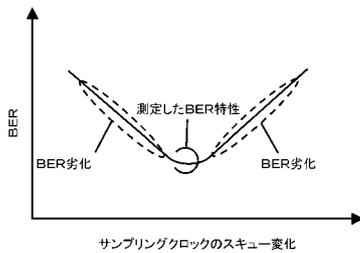
【図6】



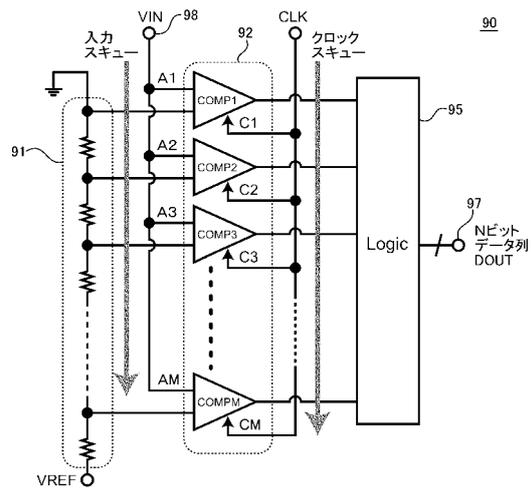
【図7】



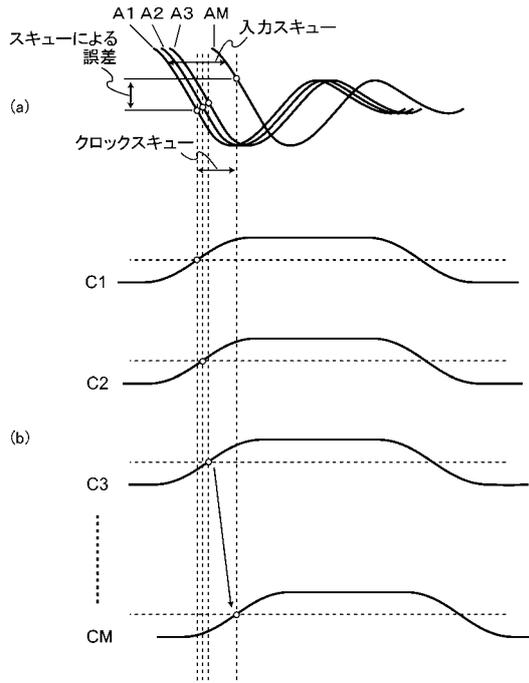
【図8】



【図9】



【図10】



---

フロントページの続き

(56)参考文献 特開平03 - 123122 (JP, A)  
特開2004 - 187188 (JP, A)  
国際公開第2006 / 101160 (WO, A1)  
特開2006 - 074415 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H03M1 / 00 - 1 / 88