

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3673165号

(P3673165)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

F I

H03M 13/29

H03M 13/29

H03M 13/27

H03M 13/27

請求項の数 27 (全 20 頁)

(21) 出願番号	特願2000-360595 (P2000-360595)	(73) 特許権者	000005049
(22) 出願日	平成12年11月28日(2000.11.28)		シャープ株式会社
(65) 公開番号	特開2002-164795 (P2002-164795A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成14年6月7日(2002.6.7)	(74) 代理人	100064746
審査請求日	平成15年2月7日(2003.2.7)		弁理士 深見 久郎
		(72) 発明者	岸野 雅彦
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		審査官	藤井 浩

最終頁に続く

(54) 【発明の名称】 デジタル伝送システム、符号化装置、復号装置、および当該デジタル伝送システムにおけるデータ処理方法

(57) 【特許請求の範囲】

【請求項1】

可変ビット長のデータ列が入力系列として入力される入力インターフェース部と、前記入力インターフェース部に入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換回路と、ターボ符号を用いて前記データ変換回路により変換されたデータ列を符号化する第1および第2の符号器と、前記第1および第2の符号器にそれぞれ対応して設けられ、それぞれの出力を受けてパンクチャリングを行なう第1および第2のパンクチャ部と、前記第1および第2のパンクチャ部で処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する多重化処理部と、前記データ変換回路と前記第2の符号器との間に設けられ、前記データ変換回路により変換されたデータ列の順番を変えるインターリーブ処理を実行して、前記第2の符号器に出力する、固定長のインターリーバとを含む送信システムを備え、

前記データ変換回路は、前記インターリーバでインターリーブ処理される固定長のデータ列となるように前記入力系列を変換する、デジタル伝送システム。

【請求項2】

前記送信データを復号するためのデータ列を作成する第1データ作成回路と、前記作成されたデータ列に基づき、前記符号化に対応する復号処理を実行する復号器と、前記復号器の出力を受けて所望のデータ列を作成する第2データ作成回路とを含む受信システムをさらに備える、請求項1に記載のデジタル伝送システム。

10

20

【請求項 3】

前記送信システムは、
複数のビット数の候補のうち、前記予め定められたビット数を選択する選択回路をさらに含む、請求項 1 または 2 に記載のデジタル伝送システム。

【請求項 4】

前記データ変換回路は、
前記予め定められたビット数のデータ列の特定箇所に“0”を挿入する回路を含む、請求項 1～3 のいずれかに記載のデジタル伝送システム。

【請求項 5】

前記データ変換回路は、
前記予め定められたビット数のデータ列の特定箇所に“1”を挿入する回路を含む、請求項 1～3 のいずれかに記載のデジタル伝送システム。

【請求項 6】

前記データ変換回路は、
前記予め定められたビット数のデータ列の特定箇所に、予め定められたデータを挿入する回路を含む、請求項 1～3 のいずれかに記載のデジタル伝送システム。

【請求項 7】

前記第 1 および第 2 のパンクチャ部は、前記第 1 および第 2 の符号器それぞれの出力するデータのうち、特定箇所のデータを削除する、請求項 1～3 のいずれかに記載のデジタル伝送システム。

【請求項 8】

前記第 1 データ作成回路は、
削除される前記特定箇所のデータを、受信データなしとみなすための情報に置換える、請求項 7 に記載のデジタル伝送システム。

【請求項 9】

前記第 2 データ作成回路は、
前記特定箇所のデータを削除する、請求項 4～6 のいずれかに記載のデジタル伝送システム。

【請求項 10】

可変ビット長のデータ列が入力系列として入力される入力インターフェース部と、前記入力インターフェース部に入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換回路と、ターボ符号を用いて前記データ変換回路により変換されたデータ列を符号化する第 1 および第 2 の符号器と、前記第 1 および第 2 の符号器にそれぞれ対応して設けられ、それぞれの出力を受けてパンクチャリングを行なう第 1 および第 2 のパンクチャ部と、前記第 1 および第 2 のパンクチャ部で処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する多重化処理部と、前記データ変換回路と前記第 2 の符号器との間に設けられ、前記データ変換回路により変換されたデータ列の順番を変えるインターリーブ処理を実行して、前記第 2 の符号器に出力する、固定長のインターリーブを含む送信システムを備え、

前記データ変換回路は、前記インターリーブでインターリーブ処理される固定長のデータ列となるように前記入力系列を変換する、符号化装置。

【請求項 11】

複数のビット数の候補のうち、前記予め定められたビット数を選択する選択回路をさらに備える、請求項 10 に記載の符号化装置。

【請求項 12】

前記データ変換回路は、
前記予め定められたビット数のデータ列の特定箇所に“0”を挿入する回路を含む、請求項 10 または 11 に記載の符号化装置。

【請求項 13】

10

20

30

40

50

前記データ変換回路は、

前記予め定められたビット数のデータ列の特定箇所に“1”を挿入する回路を含む、請求項10または11に記載の符号化装置。

【請求項14】

前記データ変換回路は、

前記予め定められたビット数のデータ列の特定箇所に、予め定められたデータを挿入する回路を含む、請求項10または11に記載の符号化装置。

【請求項15】

前記第1および第2のパンクチャ部は、前記第1および第2の符号器それぞれの出力するデータのうち、特定箇所のデータを削除する、請求項10または11に記載の符号化装置。

10

【請求項16】

可変ビット長のデータ列が入力系列として入力される入力インターフェース部と、前記入力インターフェース部に入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換回路と、ターボ符号を用いて前記データ変換回路により変換されたデータ列を符号化する第1および第2の符号器と、前記第1および第2の符号器にそれぞれ対応して設けられ、それぞれの出力を受けてパンクチャリングを行なう第1および第2のパンクチャ部と、前記第1および第2のパンクチャ部で処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する多重化処理部と、前記データ変換回路と前記第2の符号器との間に設けられ、前記データ変換回路により変換されたデータ列の順番を変えるインターリーブ処理を実行して、前記第2の符号器に出力する、固定長のインターリーブとを含む送信システムを備え、前記データ変換回路は、前記インターリーブでインターリーブ処理される固定長のデータ列となるように前記入力系列を変換する、復号装置であって、

20

前記出力系列を復号するためのデータ列を作成する第1データ作成回路と、

前記作成されたデータ列に基づき、前記符号化に対応する復号処理を実行する復号器と

、前記復号器の出力を受けて所望のデータ列を作成する第2データ作成回路とを備える、復号装置。

【請求項17】

前記第1および第2のパンクチャ部は、前記第1および第2の符号器それぞれの出力するデータのうち、特定箇所のデータを削除し、

30

前記第1データ作成回路は、

削除される前記特定箇所のデータを、受信データなしとみなすための情報に置換える、請求項16に記載の復号装置。

【請求項18】

前記データ変換回路は、

前記予め定められたビット数のデータ列の特定箇所に、予め定められたデータを挿入し

、前記第2データ作成回路は、

40

前記特定箇所のデータを削除する、請求項16に記載の復号装置。

【請求項19】

可変ビット長のデータ列が入力系列として入力される入力ステップと、入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換ステップと、変換されたデータ列の順番を変えるインターリーブ処理を実行するインターリーブステップと、ターボ符号を用いて変換されたデータ列を符号化する符号化ステップと、符合化されたデータ列に対してパンクチャリングを実行するパンクチャリングステップと、パンクチャリング処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する送信データ作成ステップとを備え

50

前記データ変換ステップは、インターリーブ処理される固定長のデータ列となるように前記入力系列を変換する、デジタル伝送システムにおけるデータ処理方法。

【請求項 20】

前記送信データを復号するためのデータ列を作成する復号データ作成ステップと、前記作成されたデータ列に基づき、前記符号化に対応する復号処理を実行する復号ステップと、

前記復号処理の結果を受けて、所望のデータ列を作成する出力データ作成ステップとをさらに備える、請求項 19 に記載のデジタル伝送システムにおけるデータ処理方法。

【請求項 21】

複数のビット数の候補のうち、前記予め定められたビット数を選択する選択ステップをさらに備える、請求項 19 または 20 に記載のデジタル伝送システムにおけるデータ処理方法。

10

【請求項 22】

前記データ変換ステップにおいては、前記予め定められたビット数のデータ列の特定箇所に“0”を挿入する、請求項 19 ~ 21 のいずれかに記載のデジタル伝送システムにおけるデータ処理方法。

【請求項 23】

前記データ変換ステップにおいては、前記予め定められたビット数のデータ列の特定箇所に“1”を挿入する、請求項 19 ~ 21 のいずれかに記載のデジタル伝送システムにおけるデータ処理方法。

20

【請求項 24】

前記データ変換ステップにおいては、前記予め定められたビット数のデータ列の特定箇所に、予め定められたデータを挿入する、請求項 19 ~ 21 のいずれかに記載のデジタル伝送システムにおけるデータ処理方法。

【請求項 25】

前記送信データ作成ステップにおいては、前記符号器の出力するデータのうち、特定箇所のデータを削除する、請求項 19 ~ 21 のいずれかに記載のデジタル伝送システムにおけるデータ処理方法。

【請求項 26】

前記復号データ作成ステップにおいては、削除される前記特定箇所のデータを、受信データなしとみなすための情報に置換える、請求項 25 に記載のデジタル伝送システムにおけるデータ処理方法。

30

【請求項 27】

前記出力データ作成ステップは、前記特定箇所のデータを削除する、請求項 22 ~ 24 のいずれかに記載のデジタル伝送システムにおけるデータ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル伝送システム、符号化装置、復号装置、および当該デジタル伝送システムにおけるデータ処理方法に関し、より特定的には誤り訂正向上化の手法に関する構成および手法に関するものである。

40

【0002】

【従来の技術】

ターボ符号は、1993年に発表されて以来、符号化利得の高いことから注目されており、次世代移動通信システム等の通信路符号化への適用が決定されている。

【0003】

ターボ符号の概要については、たとえば「Near Optimum Error Correcting Coding And Decoding: Turbo-Codes (Claude Berrou, IEEE TRANSACTIONS ON COMMUNICATIONS, VOL.44 NO.10, October 1996, pp1261-1271)」や、「Shannonの限界への道標: "parallel concatenated (Turbo) coding", "Turbo (iterative) decoding" とその周辺 (井坂元彦、今井秀樹著、

50

IT98-51(1998-12)」に詳しくその内容が記載されている。

【0004】

以下に、ターボ符号のポイントを簡単に列記する。(a)同一構成の符号器を並列あるいは直列に複数個接続する、(b)それぞれの符号器に入力するデータ率については、相関がなくなるようにインターリーブを用いる。このときランダム性の高いインターリーブを用いることが望ましい、(c)復号側において、軟判定入力から尤度情報についての軟判定出力を行なう、(d)復号側において、軟判定尤度情報を新たな入力として使用することにより繰返し復号を行なう。

【0005】

ターボ符号の原理について、図12 - 図14を用いて説明する。以下では、符号器を並列に接続する一般的な構成で、符号化レート1/3、拘束長K=3としている。 10

【0006】

従来のターボ符号器900は、図12に示すように、インターリーブ120と、符号器(RSC1)100と、符号器(RSC2)110とを備える。

【0007】

インターリーブ120は、入力データ列Xを並べ替えて、入力データ列Xと同じ要素で順番の異なるデータ列X'を作成する。

【0008】

符号器100および110は同一構成であり、再帰的畳み込みを実施する。符号器RSC(100および110)は、図13に示すように、2個のレジスタDからなるシフトレジスタとモジュロ2の加算器A1およびA2とにより構成されている。 20

【0009】

この符号化器における内部状態(b1, b2)はシフトレジスタの値によって表わされる。内部状態(b1, b2)は、内部状態(00), 内部状態(01), 内部状態(10), 内部状態(11)の4つの状態をとり得る。なお、入力が与えられた際に遷移できる内部状態は常に2通りである。

【0010】

符号化器RSC(100および110)における遷移状態を、図14に示す。内部状態(00)の場合、入力が“0”のときは内部状態(00)に遷移し符号出力は“0”となり、入力が“1”のときには内部状態(10)に遷移し符号出力は“1”となる。 30

【0011】

内部状態(01)の場合、入力が“0”のときには内部状態(10)に遷移し符号出力は“0”となり、入力が“1”のときには内部状態(00)に遷移し符号出力は“1”となる。

【0012】

内部状態(10)の場合、入力が“0”のときは内部状態(11)に遷移し符号出力は“1”となり、入力が“1”のときには内部状態(01)に遷移し符号出力は“0”となる。

【0013】

内部状態(11)の場合、入力が“0”のときは内部状態(01)に遷移し符号出力は“1”となり、入力が“1”のときは内部状態(11)に遷移し符号出力は“0”となる。 40

【0014】

入力データ列Xについて符号器100による符号化後のデータ列をYとする。また、インターリーブ120によるインターリーブ後の入力データ列X'を受ける符号器110による符号化後のデータ列をY'とする。

【0015】

したがって、従来のターボ符号器900は、入力データ列Xに基づき第1の符号列Yと第2の符号列Y'とを生成する。ターボ符号器900は、データ列X, Y, Y'を並べて出力する。

【0016】

入力データ列 X を $\{0, 1, 1, 0, 0, 0, 1\}$ とし、インターリーブ後のデータ列 X を $\{0, 0, 1, 0, 1, 0, 1\}$ とすると、符号結果であるデータ列 Y は $\{0, 1, 0, 0, 1, 1, 1\}$ 、データ列 Y は $\{0, 0, 1, 1, 0, 1, 1\}$ となる。

【0017】

ここで符号器内部の内部状態遷移図を、図15と図16とに示す。図15は、データ列 Y に関する内部状態遷移図に相当し、図16はデータ列 Y に関する内部状態遷移図に相当する。図15および図16において、太線で示す線が状態遷移を表わしている。

【0018】

次に、ターボ復号器の基本的な構成を、図17を用いて説明する。“Iteration k ” ($k = 1, 2, \dots, n$) と記してあるブロック600, 610, 620および630は復号の1単位となる。回路600, 610, 620および630がつながっている構成となっているが、これは処理が繰返し行なわれることを示しているものである。

10

【0019】

図18には、復号単位ブロック、すなわち各回路 (Iteration) における処理を示している。復号単位ブロックは、軟判定デコーダ10および11、インターリーバ20および21、復元用インターリーバ22、ならびに復号計算部30を備える。

【0020】

軟判定デコーダ10および軟判定デコーダ11は、軟判定入力をもとに軟判定出力を出力する復号器である。インターリーバ20および21は、符号器側で使用するインターリーバと同一の動作を行なう。復元用インターリーバ22は、インターリーバにより並び替えたデータ列をもとのデータ列に復元する。復号計算部30は、エラー訂正後のデータを生成する。

20

【0021】

復号単位ブロックに入力される信号は、受信系列 $\{X, Y, Y\}$ 、および信号の尤度情報 E である。このうち、 $\{X, Y, E\}$ が1組で、最初の軟判定軟出力のエラー訂正処理を行なう。これにより、符号器100における符号化に対応したエラー訂正処理を行ない、その結果として各信号の新たな尤度情報 E_1 を作成する。

【0022】

次に、 $\{X, Y, E_1\}$ の組合せで次の軟判定軟出力エラー訂正処理を行なう。符号器110における畳み込みの前にインターリーバ120によりデータの並び替えを実施しているため、尤度情報 E_1 に対してはインターリーバ20によるデータの並び替えを行ない、データ列 X についてはインターリーバ21におけるデータの並び替えを実施する。これにより新たなデータ列 $\{X, E_1\}$ を生成する。 $\{X, Y, E_1\}$ の組合せで軟判定軟出力エラー訂正処理を行なう。

30

【0023】

これにより符号器110における符号化に対応したエラー訂正処理を行ない、その結果として各信号の新たな尤度情報 E_2 を生成する。

【0024】

ここで、符号器110に必要なデータ列 $\{X, E_1\}$ は、インターリーバ20およびインターリーバ21によって並び替わっているため、尤度情報 E_2 は復元用インターリーバ22によりデータの並び替えを行ない尤度情報 E_2 となる。

40

【0025】

尤度情報 E_2 は、復号単位ブロックで処理を繰返し行なう場合の尤度情報として利用される。また、復号計算部30において、この時点での復号結果 X を得ることができる。

【0026】

ターボ符号の復号方法についてはさまざまな手法が考えられるが、ビタビ処理の応用で出力データを軟出力することを特徴とするSOVA (Soft Output Viterbi Algorithm) あるいは最尤判定法の計算効率の向上したLog-MAP (Maximum A Posteriori probability) が主流となっている。

【0027】

50

ターボ符号によるエラー訂正特性の一例を、図19に示す。図19において凡例でのプロット700 (no-coding) は、符号化なしの場合を示す。プロット710 (IT=1) は、繰返し処理が1回の場合を、プロット720 (IT=2) は、繰返し処理2回の場合を、プロット730 (IT=3) は、繰返し処理3回の場合を、プロット740 (IT=4) は、繰返し処理4回の場合を、プロット750 (IT=5) は、繰返し処理5回の場合をそれぞれ示している。プロット760 (Viterbi) は、5ビットの判定ビタビ(拘束長9、レート=1/3)におけるBER特性を示している。

【0028】

図19に示すBER特性から明らかなように、ターボ符号によれば、繰返しの設定を多くするたびにエラー訂正能力が向上することになる。

10

【0029】

ところで、W-CDMA (Wideband-CDMA: CDMA = Code Division Multiple Access) 方式等の次世代通信においては、通信において情報ビット数が動的に変化することが想定されている。

【0030】

W-CDMA方式のデータフローについて、図20を用いて説明する。W-CDMA方式では、図20に示すように、信号TrCH₁に対し、処理800 (CRC付加処理801、情報データ列の連結処理802、エラー訂正処理803、インターリーブ(1)804、無線フレーム分割処理805、およびレートマッチング処理806)が施される。図示しない他の信号も処理800が施される。

20

【0031】

これら複数の信号は、マルチプレクス810においてマルチプレクスされる。そして、物理チャネル分割処理811において、複数のチャネルに分割される。分割後、各々がインターリーブ(2)812、物理チャネルマッピング813される。これにより、信号PhCH₁, PhCH₂, ... が得られる。W-CDMA方式では、図20に示すように同一の無線チャネルに多数の論理チャネルがマルチプレクスされている。

【0032】

動的な情報ビット設定をすることにより、通信状態を変更する。全体での情報ビット数が少ない場合、条件によって通信のレートを下げることが可能となる。この手法をWCDMA方式ではレートマッチングと呼んでいる。レートマッチングでは情報ビットを増やす場合 (Repetition) と減らす場合 (Puncturing) があり、状況に応じてこれらを適用する。

30

【0033】

パンクチャリングのレートマッチングに対応する符号化装置の構成例を、図21に示す。符号化装置910は、図21に示されるように、入力インターフェイス部 (I/F) 160、符号器 (RCS1, RCS2) 100, 110、インターリーバ (固定) 120、パンクチャ部 130 および 140、ならびに多重化処理部 (MUX) 150を含む。

【0034】

符号化装置910は、ターボ符号器900の基本的構成に加えて、符号後データであるデータ列Y₁, Y₂ に対しパンクチャリングを行なうパンクチャ部 130 および 140を含む。

40

【0035】

パンクチャ部 130, 140では、符号後データであるデータ列Y₁, Y₂ に対し、新たな符号語系列としてデータ列Y_{B1}, Y_{B2} を作成する。多重化処理部 150においては、データ列X, Y_{B1} および Y_{B2} を多重化し出力系列とする。

【0036】

パンクチャリングのレートマッチングに対応する場合のターボ符号構成例については、特開2000-68862号公報 (「誤り訂正符号化装置」) に別の構成例が示されている。当該文献に記載されている符号化装置920は、図22に示すように、入力I/F部 160、データ列にデータを付加するデータ付加部 165、インターリーバ (固定) 120、符号器 (RSC1, RSC2) 100 および 110、ならびに多重化処理部 150を含

50

む。

【0037】

このようなターボ符号器を含む送信側システムで使用する通信手段は、図23に示す手順によって行なわれる。上記した手順と異なり、レートマッチング処理806が情報データ列連結処理802の後段であってエラー訂正処理803の前段に行なわれる。

【0038】

【発明が解決しようとする課題】

上述のように、W-CDMA方式等の次世代通信では、ターボ符号で処理する情報ビットが動的に変化することが要望される。

【0039】

情報ビット数が変化すると、その情報ビット数に応じてターボ符号の内部インターリーブ構成を変更する必要がある。一般的には、インターリーブはランダム性を確保するために複雑な処理となっている。

【0040】

ターボ符号用のインターリーブの計算方法については、たとえば3GPP TS25.212(V3.0.0, 1999-10, pp17-18)にその記載が挙げられている。定義上、相当数の組合せが可能となる。

【0041】

実際の通信において、可能な範囲内のすべてのビット数に対応する必要はないが、そのような場合でも数十から数百の範囲でターボ符号の情報ビット数の種類を設定する必要がある。

【0042】

チャンネルコーディング処理はリアルタイムで実施する必要があり、この計算を情報ビット数が変わるたびに行なうのは非効率的である。これを解決するための手段として、予め計算済みのデータをテーブルデータとして保有する方法もあるが、必要とするメモリ量の条件によって実現が困難となる。

【0043】

また、この中間解として途中までのデータをテーブルデータで保有し、その後の計算を実施する方法が挙げられるが、処理量・メモリ量の問題をすべて解決できる解にはなり得ない。

【0044】

この状況は、限定されたデータ長を取扱う場合以外には避けられない問題であり、上述した図22および23、ならびに他の構成についても起こり得る。

【0045】

そこで、本発明に係る問題を解決するためになされたものであり、その目的は、動的に変化するターボ符号で処理される情報ビット数に対応することができる訂正処理を実現することができるデジタル伝送システム、符号化装置、復号装置および当該システムにおけるデータ処理方法に関するものである。

【0046】

【課題を解決するための手段】

この発明のある局面によるデジタル伝送システムは、可変ビット長のデータ列が入力系列として入力される入力インターフェース部と、入力インターフェース部に入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換回路と、ターボ符号を用いてデータ変換回路により変換されたデータ列を符号化する第1および第2の符号器と、第1および第2の符号器にそれぞれ対応して設けられ、それぞれの出力を受けてバンクチャリングを行なう第1および第2のバンクチャ部と、第1および第2のバンクチャ部で処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する多重化処理部と、データ変換回路と第2の符号器との間に設けられ、データ変換回路により変換されたデータ列の順番を変えるインターリーブ処理を実行して、第2の符号器に出力する、固定長のインターリーブ

10

20

30

40

50

とを含む送信システムを備え、データ変換回路は、インターリーブでインターリーブ処理される固定長のデータ列となるように入力系列を変換する。デジタル伝送システムはさらに、送信システムの出力に基づき、復号のためのデータ列を作成する第1データ作成回路と、作成されたデータ列に基づき、符号化に対応する復号処理を実行する復号器と、復号器の出力を受けて所望のデータ列を作成する第2データ作成回路とを含む受信システムをさらに備える。

【0047】

好ましくは、送信システムは、複数のビット数の候補のうち、予め定められたビット数を選択する選択回路をさらに含む。

【0048】

特に、データ変換回路は、データ列の特定箇所、予め定められたデータ(“0”、“1”、またはこれらの組み合わせ)を挿入する回路を含む。一方、第2データ作成回路は、特定箇所のデータを削除する。

【0049】

特に、第1および第2のパンクチャ部は、第1および第2の符号器のそれぞれ出力するデータのうち、特定箇所のデータを削除する回路を含む。第1データ作成回路は、削除される特定箇所のデータを、受信データなしとみなすための情報に置換える。

【0050】

この発明のさらなる局面による符号化装置は、可変ビット長のデータ列が入力系列として入力される入力インターフェース部と、入力インターフェース部に入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換回路と、ターボ符号を用いてデータ変換回路により変換されたデータ列を符号化する第1および第2の符号器と、第1および第2の符号器にそれぞれ対応して設けられ、それぞれの出力を受けてパンクチャリングを行なう第1および第2のパンクチャ部と、第1および第2のパンクチャ部で処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する多重化処理部と、データ変換回路と第2の符号器との間に設けられ、データ変換回路により変換されたデータ列の順番を変えるインターリーブ処理を実行して、第2の符号器に出力する、固定長のインターリーブとを含む送信システムを備え、データ変換回路は、インターリーブでインターリーブ処理される固定長のデータ列となるように入力系列を変換する。好ましくは、符号化装置は、複数のビット数の候補のうち、予め定められたビット数を選択する選択回路をさらに備える。

【0051】

この発明のさらなる局面による復号装置は、上記符号化装置に対応するものであって、出力系列を復号するためのデータ列を作成する第1データ作成回路と、作成されたデータ列に基づき、符号化に対応する復号処理を実行する復号器と、復号器の出力を受けて所望のデータ列を作成する第2データ作成回路とを備える。

【0052】

この発明のさらなる局面によるデジタル伝送システムにおけるデータ処理方法は、可変ビット長のデータ列が入力系列として入力される入力ステップと、入力された入力系列を予め定められたビット数のデータ列に変換するデータ変換ステップと、変換されたデータ列の順番を変えるインターリーブ処理を実行するインターリーブステップと、ターボ符号を用いて変換されたデータ列を符号化する符号化ステップと、符号化されたデータ列に対してパンクチャリングを実行するパンクチャリングステップと、パンクチャリング処理されたデータ列ならびに入力系列を受けて、予め定められた手順で実行されるビットマッピングにより出力系列を送信データとして出力する送信データ作成ステップとを備え、データ変換ステップは、インターリーブ処理される固定長のデータ列となるように入力系列を変換する。データ処理方法はさらに、送信データを復号するためのデータ列を作成する復号データ作成ステップと、作成されたデータ列に基づき、符号化に対応する復号処理を実行する復号ステップと、復号処理の結果を受けて、所望のデータ列を作成する出力データ作成ステップとをさらに備える。

10

20

30

40

50

【 0 0 5 3 】

このように、本発明によるデジタル伝送システムは、ターボ符号の前段にデータ長を調整する手段を設ける。また、ターボ符号の後段にデータ長を調整する手段を設ける。エラー訂正処理を施したデータ列について、想定しているデータ長のデータ列を提供する。すなわち、エラー訂正対象のデータ長は動的に変わるものの、予めターボ符号での処理データ長を限定することにより、通信路符号化・複合化処理を保証することが可能になる。

【 0 0 5 4 】

【 発明の実施の形態 】

本発明の実施の形態によるデジタル伝送システムおよびその処理内容について図を用いて説明する。図中同一または相当部分には同一記号または符号を付しその説明は省略する。 10

【 0 0 5 5 】

本発明の実施の形態によるデジタル放送システムを構成する送信側システムについて、図 1 を用いて説明する。本発明の実施の形態による送信側システムは、図 1 に示すように、入力 I / F (インターフェース) 部 1 6 0、データ付加部 1 7 0、インターリーブ (固定) 1 2 0、符号器 (R S C 1 , R S C 2) 1 0 0 および 1 1 0、第 1 および第 2 のパンクチャ部 1 3 0 および 1 4 0、ならびに多重化処理部 (M U X) 1 5 0 を含む符号化装置 1 0 0 0 を備える。

【 0 0 5 6 】

ターボ符号器に入力される情報ビットは入力系列として、入力 I / F 部 1 6 0 に蓄積される。情報ビット列 X は、そのまま多重化処理部 1 5 0 に転送される。 20

【 0 0 5 7 】

一方、畳み込み処理については、データ付加部 1 7 0 において情報ビット列 X にデータ付加を行なう。これにより、予め定められたビット数のデータ列 X A を作成する。

【 0 0 5 8 】

データ付加部 1 7 0 から出力されるデータ列 X A は、符号器 1 0 0 とインターリーブ 1 2 0 とに供給される。

【 0 0 5 9 】

インターリーブをかけないデータ列 X A は、符号器 1 0 0 において符号化される。また、データ列 X A に対しては、インターリーブ 1 2 0 において固定長のインターリーブ処理が施される。インターリーブ 1 2 0 で作成されるデータ列 X A は、符号器 1 1 0 に供給される。 30

【 0 0 6 0 】

符号器 1 0 0 の出力データ Y A に対し、パンクチャ処理 (パンクチャ部 1 3 0) を実施し、実際に必要となるデータ列 Y を作成する。

【 0 0 6 1 】

符号器 1 1 0 の出力データ Y に対し、パンクチャ処理 (パンクチャ部 1 4 0) を実施し、実際に必要となるデータ列 Y を作成する。

【 0 0 6 2 】

データ列 Y , Y は、多重化処理部 1 5 0 に供給される。多重化処理部 1 5 0 では、予め定められた手順でのビットマッピングを行ない出力系列とする。多重化処理部 1 5 0 の出力するデータ列は受信側システムに送信される。 40

【 0 0 6 3 】

次に、本発明の実施の形態によるデジタル放送システムに含まれる受信側システムの構成について、図 2 を用いて説明する。本発明の実施の形態による受信側システムは、図 2 に示されるように、多重分離処理部 (D e M U X) 2 5 0、第 1、第 2 および第 3 のビット詰め処理部 2 0 0、2 1 0、2 2 0、インターリーブ 2 3 0 を含むターボ符号デコーダ 2 4 0、およびデータビット選択部 2 6 0 を含む復号装置を備える。

【 0 0 6 4 】

受信データである入力系列は、多重分離処理部 2 5 0 において、予め定められた処理手順で、上記した X に相当するデータ、Y に相当するデータおよび Y に相当するデータに分 50

割する。

【0065】

第1のビット詰め処理部200は、Xに相当するデータを受け、第2のビット詰め処理部210は、Yに相当するデータを受け、さらに第3のビット詰め処理部220はYに相当するデータを受ける。

【0066】

ビット詰め処理部200, 210, 220は、各々が同一のデータ長となるように、デコーダに必要なデータ列XA, YA, YAを作成する。

【0067】

ターボ符号デコーダ240においては、データ列XA, YA, YAをもとに復号処理を行なう。ターボ符号デコード処理に使用するインターリーブ230については、入力する情報ビット数が固定であるために、常時同一なインターリーブ処理を実施する。

【0068】

ターボ符号デコーダ240から出力される復号系列XAについては、不要なデータを含んでいるのでデータビット選択部260において不要なデータを取り除くことで出力系列であるデータ系列Xを作成する。

【0069】

次に、本発明の実施の形態によるターボ符号化器の拡張例について、図3を用いて説明する。扱うデータの幅が大きい場合にデータ幅を単一固定の情報ビットに限定すると、エラー訂正特性への影響が大きくなる。したがって、代表的なビット数を選択する処理手段を備えることにより、本発明の実施の形態でのターボ符号処理システムに柔軟性を持たせる。

【0070】

そこで、所定数の固定インターリーブを備え、外部からセレクト制御部180によって、いずれのインターリーブを使用するかを決定するスイッチを動作させ、使用する固定インターリーブを決定する。

【0071】

具体的に、図3に示す回路は、図1に示す回路に加えて複数のインターリーブ(固定)、複数のスイッチ(SW)およびセレクト制御部180を含む。図においては、代表例として、インターリーブ(固定)121、122、123およびスイッチ190、スイッチ191が記載されている。

【0072】

スイッチ191によりデータ列XAに対しインターリーブ処理を実行するインターリーブが選択され、スイッチ190により選択されたインターリーブの出力が符号器110に供給される。さらに、セレクト制御部180によって、データ付加部170における付加するデータの条件が決定する。

【0073】

なお、復号処理側においても、上記したインターリーブ230に代わりターボ化符号器に対応する複数のインターリーブを配置し、セレクト制御部180の選択に応じて使用する1つの固定インターリーブを選択するように構成する。

【0074】

次に、データ付加部170におけるデータ付加構成の具体例について、図4を用いて説明する。図4において、上側に示すデータD1は、情報ビットを、下側に示すデータD2は、付加情報を加えた後のデータ系列を表している。情報ビットD1は、ビット数が可変であり、データ付加後のデータ系列D2は、ビット数が固定になる。

【0075】

なお、図中、斜線領域が付加データに相当する。図4では、情報ビット("010110...")の最後尾に付加情報("11...11")を付加した例を示している。

【0076】

ターボ処理においては、情報ビットをランダムにインターリーブすることからも、図4に

10

20

30

40

50

示すように単純にデータの最後尾にデータを付加する構成をとることが可能となる。

【0077】

付加するデータとしては、図4に示す例ではすべて“1”を想定しているが、すべて“0”、またはその他予め定められたパターンを使用することも可能である。

【0078】

データ付加構成のさらなる例を図5に示す。図5では、データD1は、情報ビットであり、データD3が、データ付加後のデータ系列を表している。データD3に付される斜線領域が、付加データ部分である。図5では、付加データ作成の時点で、データの挿入位置を変更するように構成しており、1ビットおきに“1”を挿入している。なお、付加するデータは、上記したように“1”に限定されない。

10

【0079】

次に、パンクチャ部および多重化処理部におけるデータ構造の一例について、図6を用いて説明する。図6において、D4は、データ列X(X系列)、D5は、データ列Y(Y系列)、D6は、データ列Y(Y系列)、D7は、多重化処理後のデータ列をそれぞれ表している。

【0080】

X系列に関しては、そのままのデータを扱う。Y系列に関しては、符号化後データのうち、必要とするビット数に合うように特定の規則に従ってデータを間引く。Y系列においても同様の処理により、符号化後データのうち必要とするビット数に合うように特定の規則に従ってデータを間引く。図6に示す例では、“-”で示している箇所がパンクチャリ

20

【0081】

多重化処理部150では、X系列、Y系列、Y系列のデータを定められた規則に従ってマッピングすることになる。この例では、X系列D4、Y系列D5、Y系列D6のデータを交互に並べる手法をとっている。

【0082】

次に、受信側システムにおける多重分離処理部250およびビット詰め処理部におけるデータ構成について、図7を用いて説明する。図7において、D8は、多重分離処理を施すデータ列を表し、D9、D10、D11はそれぞれ、ビット詰め処理後のデータ列X(X系列)、データ列Y(Y系列)、データ列Y(Y系列)を表している。

30

【0083】

図7に示す例は、図6に示すビット詰め処理に対応するものであり、X系列、Y系列、Y系列の交互に並んでいるデータ列D8のうちから、X系列、Y系列、Y系列のそれぞれのデータ系列を分離する。

【0084】

分離後のデータ系列のそれぞれについて、図6でのパンクチャリング処理に対応するためのビット詰め処理を行なう。

【0085】

X系列については、予め定められた位置に特定のデータパターンを付加することによりビット詰めを行なう。すなわち、図4あるいは図5に示したデータ付加構成に対応する処理

40

【0086】

Y系列およびY系列については、もともとデータの存在しない箇所について(図6における“-”)、情報ビットがない、すなわち受信データがないことを示すか、あるいは“1”と“0”との中間の入力があつたとして計算を進める。この処理により、固定のデータ長を有するX系列、Y系列、Y系列を作成することができる。図7の例では、図6における“-”部分を、“0”に置換えている。

【0087】

X系列、Y系列、Y系列が定めれば、ターボ符号デコーダは動作可能であり、復号結果

50

を得ることができる。

【0088】

復号結果から最終的な復号系列を取出すための手順について、図8を用いて説明する。図8において、D12は、ターボ符号デコーダ240の出力するデータ列を、D13は、データビット選択部260の出力するデータ列をそれぞれ表している。データ列D12のビット数は固定であり、データ列D13のビット数は可変である。

【0089】

図8は、図4に示すデータ付加構成に対応するものであり、復号結果の先頭から必要なビット数が最終的な復号結果として決定される（取出される）。

【0090】

復号結果から最終的な復号系列を取出すためのさらなる手順について、図9を用いて説明する。図9において、D14は、ターボ符号デコーダ240の出力するデータ列を、D15は、データビット選択部260の出力するデータ列をそれぞれ表している。データ列D14のビット数は固定であり、データ列D15のビット数は可変である。

【0091】

図9は、図5に示すデータ付加構成に対応するものであり、復号結果の定められた位置から必要なデータが取出される。これにより最終的な復号結果を得ることができる。

【0092】

なお、本発明の実施の形態による構成は、プログラムを搭載したRAM、ROM等の記憶デバイスをDSPあるいはCPU等の制御手段によってプログラム実行することにより実現することも可能である。

【0093】

本発明の実施の形態による処理をソフトウェアを用いて実現する場合の処理手順を、図10および図11に示す。図10は、送信側のデータ処理に対応するものであり、図11は受信側のデータ処理に対応するものである。

【0094】

図10を参照して、ステップS1において、ターボ符号用データを作成する。ステップS2において、第1の畳み込み処理を実行する（RSC1に対応）。ステップS3においてデータのパンクチャ処理を行なう（パンクチャ部130に対応）。

【0095】

ステップS4においてインターリーブ処理を実施する（インターリーバ120に対応）。ステップS5において第2の畳み込み処理を実行する（RSC2に対応）。ステップS6においてデータのパンクチャ処理を行なう（パンクチャ部140に対応）。そしてステップS7においてデータの多重化を実行する（多重化処理部150に対応）。

【0096】

図11を参照して、受信側においては、ステップS10において、受信データを分解する（多重分離処理部250に対応）。ステップS11において、X系列の不要ビットを処理する（ビット詰め処理部200に対応）。ステップS12において、Y系列の不要ビットを処理する（ビット詰め処理部210に対応）。ステップS13において、Y系列の不要ビットを処理する（ビット詰め処理部220に対応）。

【0097】

ステップS14において、ターボデコード処理を実行する（ターボ符号デコーダ240に対応）。そして、ステップS15において、復号結果から情報ビットの取出し処理を行なう（データビット選択部260に対応）。

【0098】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0099】

10

20

30

40

50

【発明の効果】

このように本発明によるデジタル伝送システムおよびデジタル伝送方法を用いることにより、ターボ符号の対象となる情報ビット数が動的に変化しても対応することができる。このため、ターボ符号に必要な情報ビット数に限定なく、エラー訂正処理を軽減化することができる。

【0100】

この結果、従来のシステムに比べてシステムの簡略化が可能となる。したがって、本発明はターボ符号をエラー訂正手段として使用するシステムにおいて品質向上に特に有効な効果を奏することができる。

【図面の簡単な説明】

10

【図1】 本発明の実施の形態による送信側システムの構成を示すブロック図である。

【図2】 本発明の実施の形態による受信側システムの構成を示すブロック図である。

【図3】 本発明の実施の形態による他の構成例を示すブロック図である。

【図4】 データ付加処理におけるデータ構成例を示す図である。

【図5】 データ付加部におけるデータ構成例の他の構成例を示す図である。

【図6】 パンクチャ部および多重化処理部におけるデータ構成を示す図である。

【図7】 ビット詰め処理部および多重分離処理部におけるデータ構成を示す図である。

【図8】 データビット選択処理の一例を示す図である。

【図9】 データビット選択処理の一例を示す図である。

【図10】 本発明の実施の形態による送信データ処理（ソフトウェアで実現）を示すフローチャートである。 20

【図11】 本発明の実施の形態による受信データ処理（ソフトウェアで実現）を示すフローチャートである。

【図12】 従来のターボ符号器の構成を示すブロック図である。

【図13】 従来の符号器（RSC）の構成を示すブロック図である。

【図14】 ターボ符号における状態遷移について説明するための図である。

【図15】 ターボ符号における状態遷移の一例を示す図である。

【図16】 ターボ符号における状態遷移の一例を示す図である。

【図17】 ターボ符号デコードにおける繰返し処理について説明するための図である。

【図18】 ターボ符号デコーダの構成を示す構成図である。 30

【図19】 従来のターボ符号でのBER特性を示す図である。

【図20】 ターボ符号のためのデータフローを示す図である。

【図21】 従来の符号化装置における構成の概要を示すブロック図である。

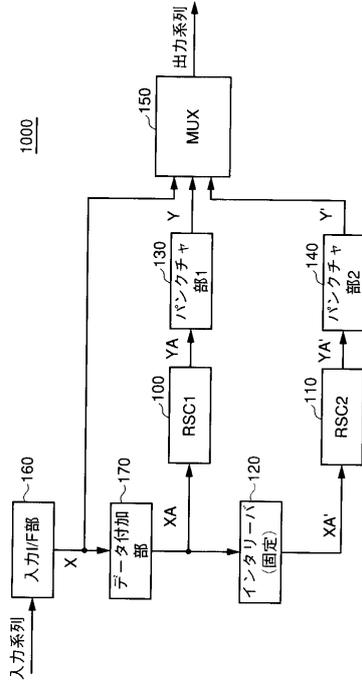
【図22】 従来の符号化装置における構成の概要を示すブロック図である。

【図23】 図22におけるターボ符号のためのデータフローを示す図である。

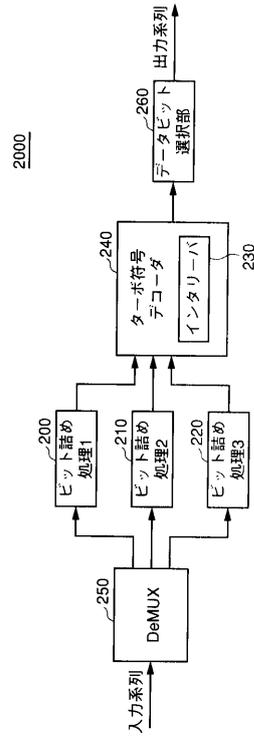
【符号の説明】

10, 11 軟判定デコーダ、20, 21, 22, 120, 230 インターリーバ、30 復号計算部、100, 110 符号器（RSC1, RSC2）、130, 140 パンクチャ部、150 多重化処理部、160 入力I/F部、170 データ付加部、180 セレクト制御部、190, 191 スイッチ、200, 210, 220 ビット詰め処理部、240 ターボ符号デコーダ、250 多重分離処理部、260 データビット選択部。 40

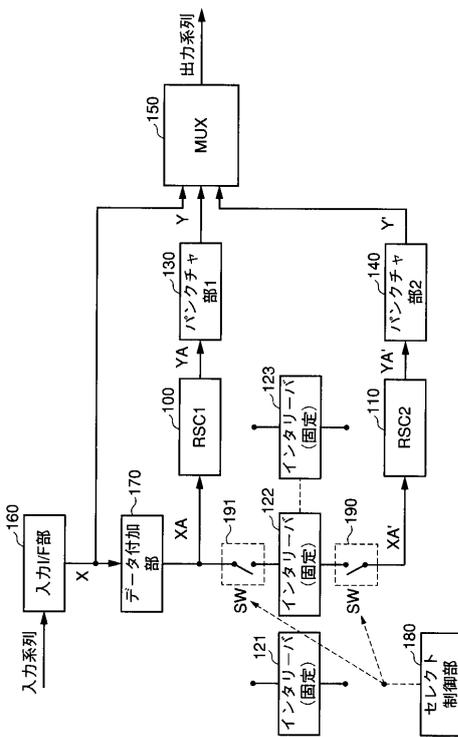
【 図 1 】



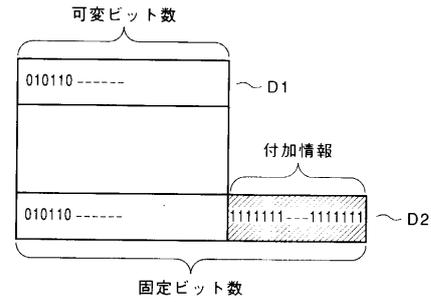
【 図 2 】



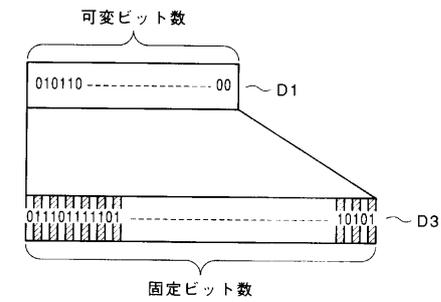
【 図 3 】



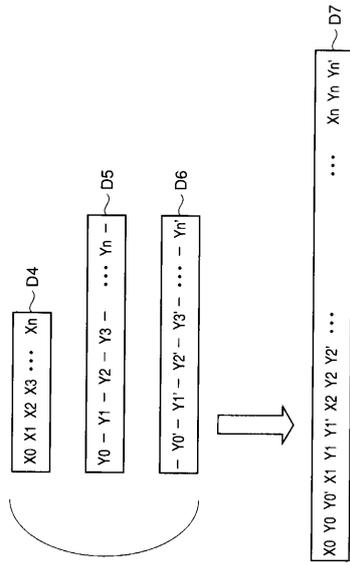
【 図 4 】



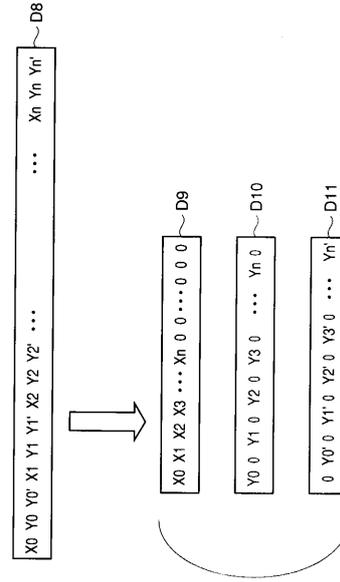
【 図 5 】



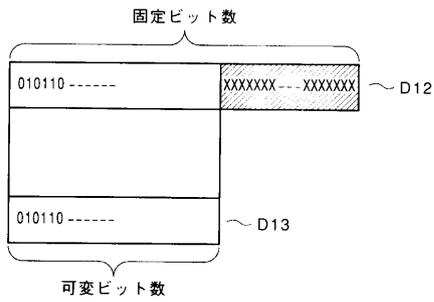
【 図 6 】



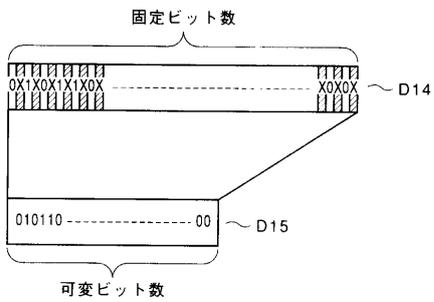
【 図 7 】



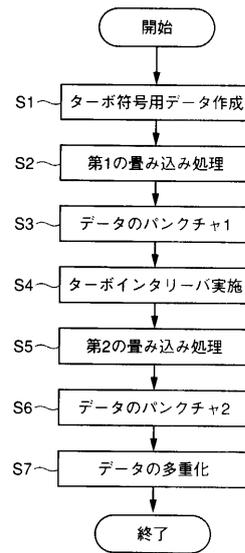
【 図 8 】



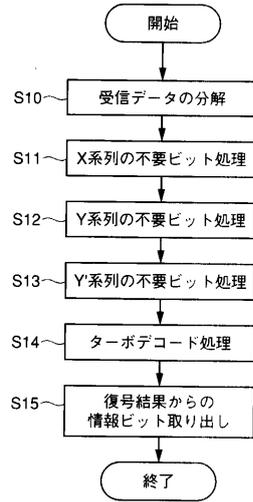
【 図 9 】



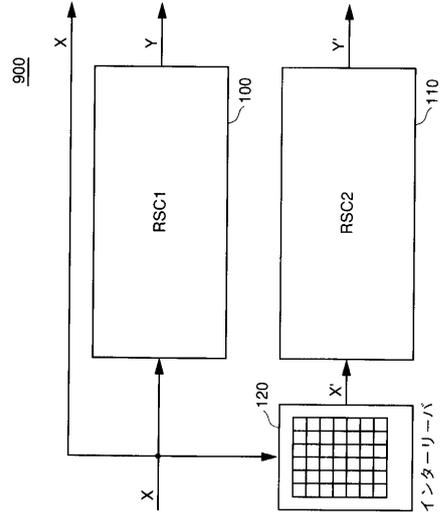
【 図 10 】



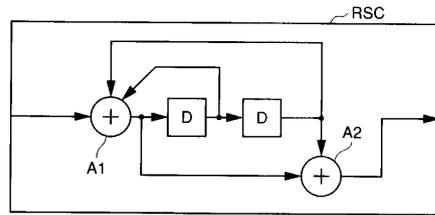
【 図 1 1 】



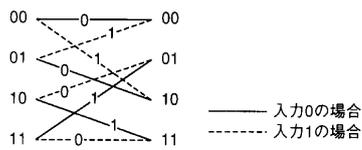
【 図 1 2 】



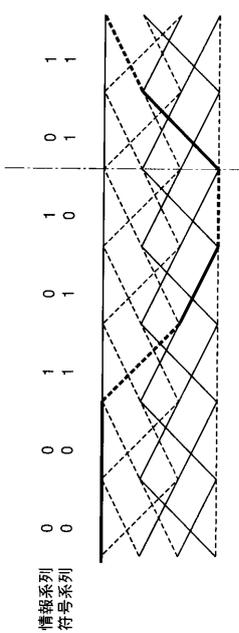
【 図 1 3 】



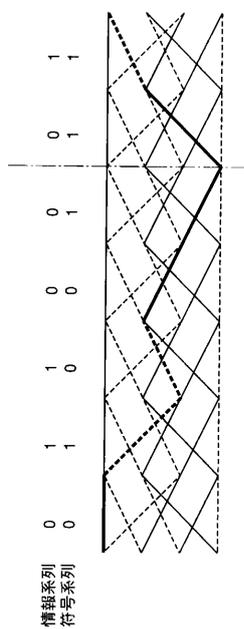
【 図 1 4 】



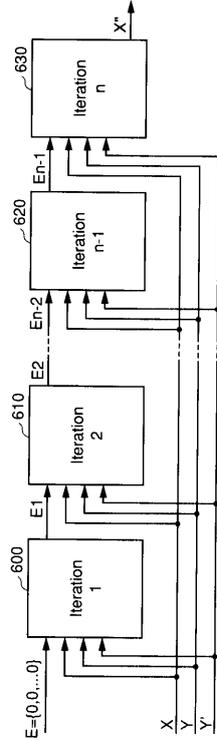
【 図 1 6 】



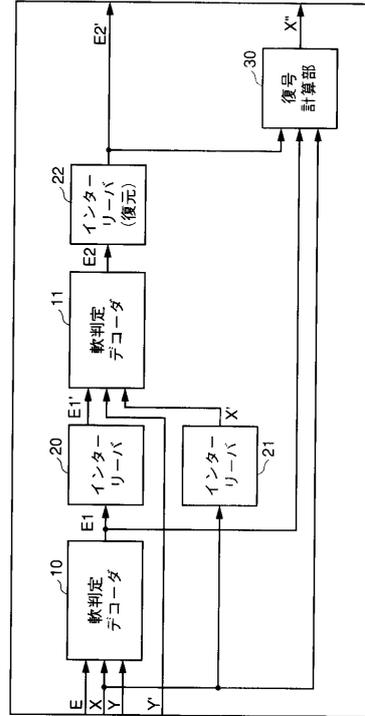
【 図 1 5 】



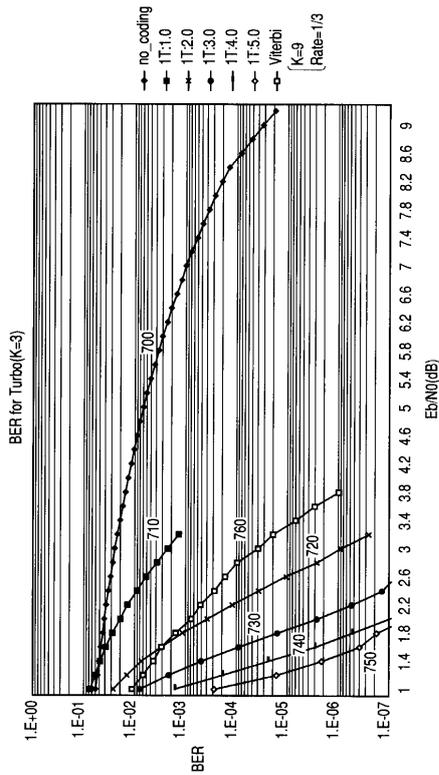
【 図 17 】



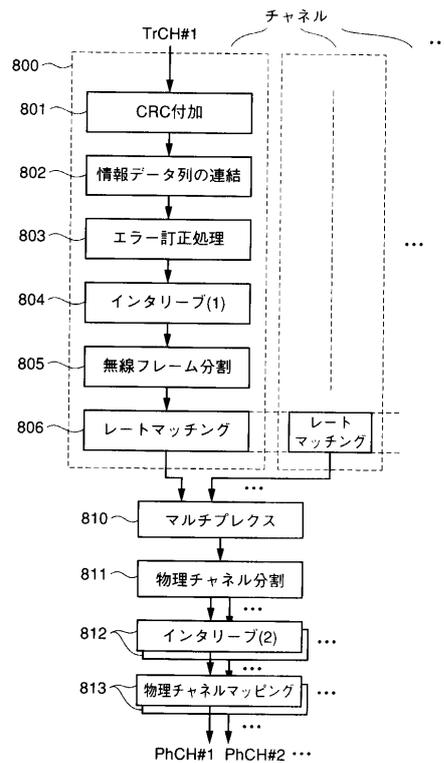
【 図 18 】



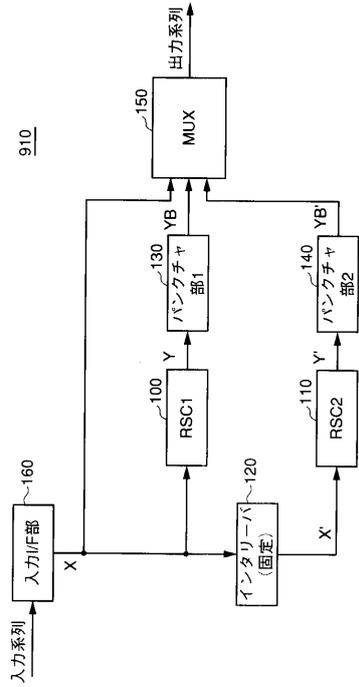
【 図 19 】



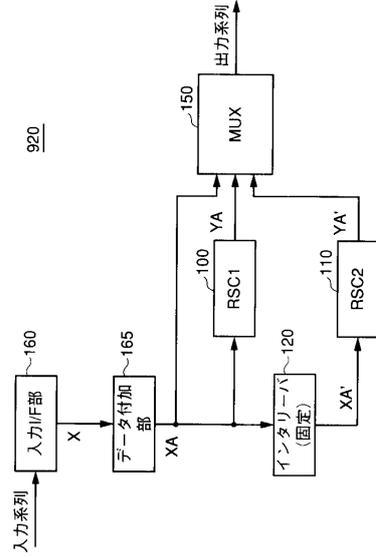
【 図 20 】



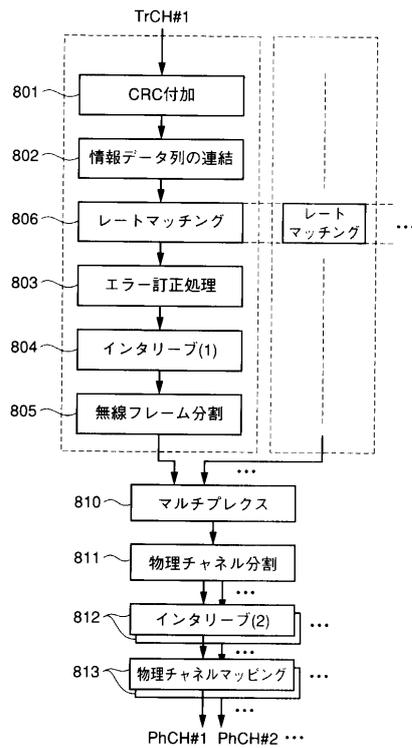
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



フロントページの続き

(56)参考文献 特開2000-068862(JP,A)
国際公開第00/008767(WO,A1)
特開2000-353965(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
H03M 13/00-13/53