

로 그 후에는 폐회로를 형성하도록 프로그램 된다.

제1도는 시그네틱스 코퍼레이션(Signetics Corp.)에 의해 제공된 PLS 100 집적 회로와 같은 2레벨 PLD의 일부를 도시한 것으로, 여기에서 프로그램 가능한 AND 게이트의 어레이가 프로그램 가능한 OR 게이트의 어레이를 구동한다. 상기 AND 어레이는 M개의 어레이 입력 라인 $L_{11}-L_{1M}$ 에 공급된 M개의 어레이 입력 신호 $V_{11}-V_{1M}$ 에 기초하여 동작한다. 상기 OR 어레이는 N개의 어레이 출력 라인 $L_{01}-L_{0N}$ 에 각 N개의 어레이 출력 신호를 제공하는 N개의 OR 게이트로 구성된다.

두개의 프로그램 가능한 어레이는 다수의 컬럼으로 배열되며, 대표적인 컬럼(10)의 주변 회로가 제1도에 도시되어 있다. 컬럼(10)은 저 저항 R_c 를 통하여 상호 결합된 라인 L_U-L_L 로 구성된다. AND 어레이의 게이트 X는 라인 L_U 에 접속되며, 모든 N개의 OR 게이트의 각 부분은 라인 L_L 에 접속되어 있으며, 상기 부분들은 총괄하여 회로 Y로써 표시된다. 고 공급 전압원 V_{cc} 에 접속된 저항 R_{s1} 으로 구성되는 전류원은 라인 L_U 에 정상 동작 전류를 제공한다. 이러한 전류는 컬럼(10)을 따라 임의의 프로그램 가능한 소자들을 프로그램 되어지도록 하는데는 충분하지 못하다.

AND 게이트 X는 전압 $V_{11}-V_{1M}$ 을 각각 수신하는 M개의 입력부를 갖는다. J를 순번 정수(running integer)라 하면, 각 입력부는 라인 L_{1J} 와 L_U 사이의 쇼트키 다이오드 D_{XJ} 와 직렬로 접속된 퓨즈 F_{XJ} 로 구성된다. 게이트 X로부터의 출력 신호는 라인 L_U 상의 컬럼 신호로서 저항 R_c 를 통하여 라인 L_L 에 공급된다.

컬럼 신호는 N개의 OR 게이트 전체에 대한 입력 신호이다. 특히, 각 OR 게이트의 입력부중 하나는 컬럼 신호를 수신한다. K를 순번 정수라 하면, 제1도에 도시된 각 OR 입력부는 라인 L_L 과 L_{0K} 사이의 NPN 트랜지스터 Q_{YK} 의 베이스-에미터 접합부와 직렬로 접속된 퓨즈 F_{YK} 구성된다. Q_{YK} 콜렉터는 다이오드 D_c 를 통하여 V_{cc} 공급원에 접속되며, OR 게이트의 다른 입력부도 동일한 방법으로 다른 컬럼에 접속된다.

앞서 기술한 소자들은 정상 PLD 스위칭 동안 사용된다. 상기 R_{s1} 공급원은 게이트 X용 컬럼 전류를 제공하며, 컬럼 캐패시턴스 즉, 라인 L_U 및 L_L 과 각각 관련된 기생 캐패시턴스부 C_{PU} 및 C_{PL} 을 충전시킨다. R_{s1} 공급원은 또한 회로 Y용 구동 전류를 제공한다.

AND 및 OR 회로 소자를 프로그램 시키는데 추가적인 회로가 필요하다. 프로그래밍 회로의 주아이템은 선택 신호 V_s 에 응답하여 컬럼중 하나를 선택하는 컬럼 선택 회로(12)이다. 컬럼 선택 회로(12)은 라인 L_U 와 프로그래밍 전압원 V_{pp} 사이에 접속되며, Q_{YK} 콜렉터는 또한 다이오드 스트링 D_{pp} 를 통하여 V_{pp} 공급원에 접속된다.

제1도의 회로를 프로그래밍 하는데 있어서, 파괴되어질 퓨즈 F_{1J} 또는 F_{0K} 의 라인 L_{1J} 또는 L_{0K} 는 저 전압으로 설정된다. 라인 $L_{11}-L_{1M}$ 및 $L_{01}-L_{0N}$ 중 나머지는 플로우트(float)가 허용되며, 그때 컬럼(10)이 선택된다. 프로그래밍 기간동안, 전압 V_{pp} 는 V_{cc} 보다 상당히 높은 값으로 상승된다. 그때 회로(12)는 라인 L_U 에 고 전압 상태의 전류를 제공한다. 라인 L_{1J} 이 저 전압으로 설정된 라인이라면, 다이오드 D_{XJ} 의 도통력이 높게 되어 퓨즈 F_{XJ} 를 파괴시키기에 충분한 전류를 인출한다. 라인 L_{0K} 이 저 전압이면, 유사하게 트랜지스터 Q_{YK} 의 도통력이 높게되어 퓨즈 F_{YK} 를 파괴시키기에 충분한 전류를 다이오드 스트링 D_{pp} 를 통하여 인출한다.

제1도의 PLD의 장점은 한개의 회로(12)를 사용해서 컬럼을 선택하고, AND 어레이와 OR 어레이를 프로그래밍하며, 또한 두 어레이용 분리 선택 회로를 가질 필요가 없다는 것이다. 이것은 부품 소자의 수를 적게할수 있다. 또 다른 장점은 정상 스위칭(또는 AC)동작동안 매우 적은 전압 강하가 어레이 간에 발생되어, 비교적 높은 레벨의 전압 $V_{01}-V_{0N}$ 을 얻은 것이다.

그러나, R_{s1} 전류원으로부터의 전류로 컬럼 캐패시턴스를 충전시키기 위한 필요성은 스위칭 속도를 제한하고, 다수의 게이트를 필요로 하고 또 다른 응용에서 여분의 게이트를 구동시키고 부수의 부가적인 컬럼 캐패시턴스를 충전시키는데 더 많은 전류를 필요로 한다. 종종 보다 빠른 스위칭 속도가 요구된다. 신호 $N_{11}-N_{1M}$ 을 구동하는 회로상의 전력 제한 때문에, R_{s1} 전류원으로부터의 부가적 전류를 제공하는 것은 불충분하다. 필요적으로 L_U 전류를 증가시키지 않고, 전술한 장점들을 희생시킴이 없이 더 많은 게이트를 도모하고 더 빠른 스위칭을 이루도록 L_L 전류를 증가시키기 위한 기술을 제공하는 것이 바람직할 것이다.

본 발명에 따른 현장 프로그램 가능한 장치는, 회로를 접속하는 컬럼을 따라 한쌍의 프로그램 가능한 회로들간에 위치한 버퍼를 갖는다. 상기 버퍼는 다른 회로에 연결된 컬럼부에 대해 필요한 전류 공급을 증가시킴이 없이, 회로중 하나에 연결된 컬럼부에 증가된 전류를 제공한다. 이것은 상기 장치가 더 큰 프로그램 가능한 회로를 도모하고 더 빠른 스위칭 속도를 허용하도록 한다. 상기 버퍼는 정상 동작중 회로간의 전압 강하를 낮은 값으로 제한시키는 동안, 두 회로를 프로그래밍 시키는데 사용되어질 동일한 선택 회로를 인에이블 시키는 방식으로 구성된다.

더욱 특히, 프로그램 가능한 회로는 제1 및 제2회로로써, 표시되며, 각각은 적어도 하나의 비휘발성 현장 프로그램 가능한 소자를 갖는다. 컬럼은 제1 및 제2회로에 각각 접속된 제1 및 제2라인으로 형성된다. 제1전류원은 상기 장치의 정상 동작에 대해 적당하지만 임의의 현장 프로그램 가능 소자가 프로그래밍되기에는 불충분한 전류를 제1라인에 제공하며, 선택 회로는 프로그래밍 기간 동안 제1회로 내의 각 현장 프로그램 가능한 소자를 프로그래밍하는데 충분한 레벨에 도달하는 전류를 제1라인에 제

공한다.

상기 버퍼는 라인을 결합하며, 장치의 정상 동작동안 노드에 전류를 제공하기 위해 제2전류원을 포함한다. 한쌍의 정류기는 제1라인과 노드 사이에 반대의 순도통 방향으로 병렬 배치된다.

상기 버퍼는 제1플로우(flow)전극, 제2플로우 전극 및 상기 플로우 전극간의 전류 전송을 제어하기 위한 제어전극을 갖는 증폭기를 포함한다. 증폭기가 순방향으로 도통될 때, 포지티브(positive) 전류는 플로우전극중 하나로부터 다른 하나로 단방향으로 흐른다. 상기 제어 전극은 노드에 결합되며, 제2전극은 제2라인에 결합된다. 전원 회로는 임의의 현장 프로그램 가능한 소자들을 프로그램하는데는 불충분하지만, 선택수단으로부터의 전류와 결합하여, 프로그램 기간동안 프로그램 되어질 제2회로내의 각 현장 프로그램 가능한 소자를 프로그램하기 충분한 레벨에 도달하는 전류를 제1전극에 제공한다.

버퍼는 일반적으로 다음의 방법으로 동작한다. 정상 스위칭 동안, 증폭기, 제2전류원, 전원 회로, 및 정류기중 하나의 결합에 의해 제1라인을 통하여 흐르는 전류보다 더 많은 전류를 제2라인에 제공한다. 이것은 상기 장치가 더 빠른 스위칭 속도를 갖도록 한다. 선택 회로는 제1회로를 프로그램시키기 위해 종래의 방법으로 사용된다. 프로그래밍 동안, 다른 정류기는 증폭기로 전압/전류 경로를 개방시킨다. 상기 경로가 제2회로를 프로그래밍 하는데 사용될 회로를 선택한다.

이하 첨부된 도면을 참조로 하여 상세히 설명할 것이며, 도면내에 사용된 동일 기준 부호는 동일 또는 매우 유사한 구성 소자를 나타낸다.

제2도는 한쌍의 프로그램 가능한 회로(14) 및 (16)가 각각 컬럼(10)의 라인 L_U 및 L_L 에 접속되는 현장 프로그램 가능한 장치를 도시한 것이다. 각 회로(14) 또는 (16)은 퓨즈 또는 안티퓨즈(antifuse)와 같은 적어도 하나의 비휘발성 현장 프로그램 가능한 소자를 포함한다. 전력 전압원 V_{PS} 에 접속된 전류원(18)은 장치의 정상 동작에 대하여는 적절하지만, 임의의 프로그램 가능한 소자를 프로그램 하기에는 불충분한 전류를 라인 L_U 에 제공한다. 컬럼 버퍼(20)는 라인 L_U 를 라인 L_L 에 결합시킨다. 상기 장치는 일반적으로 컬럼(10)과 유사한 하나 또는 그 이상의 다른 컬럼(도시되지 않음)을 포함하는 큰 현장 프로그램 가능한 장치의 일부이다.

회로(14)는 입력 전압 V_I-V_{IM} 에 응답하여 라인 L_U 상에 컬럼 신호를 제공하며, 회로(16)는 라인 L_U 상의 컬럼 신호에 응답하여 출력 전압 $V_{O1}-V_{ON}$ 을 제공한다. 라인 L_L 과 유사한 다른 컬럼 라인(도시하지 않음)용 컬럼 신호는, 논리 동작을 수행하도록 배열된다.

정상 스위칭 동작동안, 버퍼(20)는 전류원(18)으로부터 나오는 라인 L_U 가 갖는 전류보다 더 많은 전류를 라인 L_L 에 제공한다. 이와 같은 동작은 전류원(22), 정류기(23), 증폭기(26) 및 전원 회로(28)로 수행된다.

전류원(22)은 V_{PS} 공급원으로부터의 전류를 노드 N에 제공한다. 정류기(24)는 노드 N 및 라인 L_U 에 각각 접속된 플로우 전극 $E1_A$ 및 $E2_A$ 를 갖는다. 정류기(24)를 통하여 포지티브 전류 플로우방향, 즉, 순도통방향이 전극 $E1_A$ 로부터 전극 $E2_A$ 로 흐른다면, 정류기(24)는 $E1_A$ 에서 $E2_A$ 로의 전압이 적절한 포지티브 임계값에 도달할 때, 순방향으로 도통된다.

증폭기(26)는 제1플로우 전극 $E1$, 제2플로우 전극 $E2$, 및 전극 $E1$ 과 $E2$ 간의 전류 전송을 제어하기 위한 제어전극 CE를 가지며, 전극 CE는 노드 N에 접속된다. 전원 회로(28)는 V_{PS} 전압원 또는 V_{PP} 전압원으로부터 나오는 전류를 전극 $E1$ 에 제공한다. 전극 $E2$ 는 라인 L_L 에 접속된다.

증폭기(26)가 순방향으로 도통하면, 포지티브 전류는 전극 $E1$ 과 $E2$ 중 하나로부터 다른 하나로 단방향으로 흐른다. 이것은 필수적이지는 않지만, 일반적으로 전극 $E1$ 및 $E2$ 사이를 이동하는 전하 캐리어가 전극 $E2$ 에서 시작하고 전극 $E1$ 에서 종료되는 전자 또는 정공으로 구성되는 방법으로 증폭기(26)를 구성함으로써 이루어진다. 포지티브 전류가 전극 $E1$ 으로부터 전극 $E2$ 로 흐른다면, 증폭기(26)는 CE에서 $E2$ 로의 전압이 적절한 포지티브 임계값에 도달할 때, 순방향으로 도통된다. 소자(24,26)내의 순방향 전류 흐름은, 포지티브 전류가 전극 $E1_A$ 로부터 전극 $E2_A$ 로 흐르는 방법과 연관된다. V_{PS} 는 회로 접지에 대해 포지티브이다. 포지티브 전류가 전극 $E2$ 로부터 전극 $E1$ 으로 흐른다면, 정류기(24), 증폭기(26) 및 V_{PS} 전압원에 대한 다양한 극성은 상기 주어진 극성과는 반대이다.

전원 회로(28)는 그것의 내부 구성에 따라 임의의 전류를 회로(16)에 직접 제공할 수도 있다. 상기 와 같은 사실은 일반적으로 회로(14)에도 적용된다. 그것의 내부 구성에 따라, 전원 회로(28)는 V_{PS} 및 V_{PP} 전압원에 접속된 또 다른 전원 회로(29)로부터 일부의 추가 전류를 수신할수 있다.

정상 AC 모드에 있어서, 상기 장치는 다음과 같이 동작한다. 단순화를 위해, 포지티브 전류가 전극 $E1$ 으로부터 전극 $E2$ 로 흐른다고 가정한다. 마찬가지로, V_{PS} 가 회로 접지에 대해 포지티브라고 가정한다.

정류기(24)가 온되어 노드 N에서 전압을 저 값으로 하도록 L_U 전압을 충분히 낮게 한다. 전류원(22)으로부터의 전류 구성 소자, 예를들면 정류기(24) 및 (14)를 통하여 신호 V_I-V_{IM} 이 공급되는 장치 입력으로 흐른다. 증폭기(26)는 턴 오프되거나 턴온되지만 작은 전류를 도통하며, 상기 L_L 전압은 낮다.

이제, 전압 L_S 을 높은 값으로 하도록 전압 V_I-V_{IM} 가 조정된다. 전류원(18) 및 (22)는 라인 캐패시턴스 C_{PU} 의 충전을 시작하여, 이것에 의해 노드 N에서의 전압이 상승하여 증폭기(26)로 하여금 회로

(28)로부터의 큰 전류를 라인 L_L 에 제공하도록 한다. 라인 캐패시턴스 C_{PL} 은 L_L 전압을 고레벨로 급격하게 상승시키도록 충전한다. 전류원(22)은 증폭기(26)의 특성에 따라 전극 CE에 임의의 전류를 제공할 수도 있다. L_U 전압을 강하시키도록 전압 $V_{I1}-V_{IM}$ 이 재조정되면, 상기의 반대 현상이 발생한다.

중요하게, 컬럼 전압 강하 즉, L_U 와 L_L 전압간의 차(difference)는, 정상 동작동안 구성 소자(24, 26)의 임계 전압간의 차이이다. 이러한 차는 (24)와 (26)을 구성하는 소자들을 적절하게 선택함으로써 낮은 값으로 설정할수 있다.

컬럼 선택 회로(12)는 회로(14)와 회로(16)을 프로그래밍하는데 사용된다. 컬럼(10) 이외의 적어도 하나의 다른 컬럼이 존재한다면, 회로(12)는 신호 V_S 에 응답하여 컬럼중 하나를 선택한다. 컬럼(10)이 선택되어 진다면, 전압 $V_{I1}-V_{IM}$ 및 $V_{O1}-V_{ON}$ 이 처음에 적절한 값으로 조정된다.

컬럼(10)을 선택하면, 회로(12)는 회로(14)내의 각 프로그램 가능한 소자를 프로그램 하기에 충분한 전압/전류 레벨로 V_{PP} 전압원으로부터의 전류를 라인 L_U 에 제공한다. 회로(29)가 존재한다면, 또한 회로(14)에 프로그래밍 전류를 제공한다. 물론, 임의의 프로그래밍은 실제적으로 전압 $V_{I1}-V_{IM}$ 의 값에 따라 회로(14)내에서 발생한다. 프로그래밍동안, 전압 V_{PP} 는 포지티브 전류가 전극 E1으로부터 전극 E2로 흐른다면, V_{PS} 보다 상당히 높은 포지티브 레벨로 상승된다.

회로(16)를 프로그래밍 하기 위하여, 버퍼(20)는 라인 L_U 와 노드 N 사이에 정류기(24)와 역의 순도 통방향으로 접속된 정류기(30)를 포함한다. 정류기(230)는 제2도에 도시된 바와 같이 접속된 전극 E1b와 E2b를 갖는다. 정류기(30)는 AC 동작 동안 역 바이어스 된다.

회로(16)는 다음의 방법으로 프로그램 된다. 다시, 포지티브 전류가 전극 E1으로부터 전극 E2로 흐른다고 가정하면, 신호 $V_{O1}-V_{ON}$ 은 처음 적절한 값으로 조정된다. 컬럼(10)을 선택한 후, 회로(12)는 충분히 높은 전압에서의 전류를 라인 L_U 에 제공하여 정류기(30)를 순방향으로 도통시킨다. 노드 N은 V_{PP} 근처의 전압으로 상승된다. 온 상태가 아니라면, 증폭기(26)는 턴온된다. 전극 CE가 필요할 수도 있는 임의의 구동 전류는, 정류기(30)를 거치는 통로를 통하여 회로(12)로부터 공급된다. 회로(28)는 증폭기(26)를 통해 라인 L_U 에 프로그래밍 전류를 제공한다. 회로(16)의 구성에 따라, 상기 전류는 직접 또는전원 회로(18)로 부터 제공된 다른 프로그래밍 전류의 도움으로 회로(16)를 프로그램 한다.

포지티브 전류가 전극 E2로부터 전극 E1으로 흐른다면, AC 동작 및 프로그래밍 동안 발생하는 극성은, 상기 기술된 극성과는 역으로 된다. 그러나, 그외 다른점은 동일하다.

제3도는 제2도의 실시예를 나타낸 것으로, 여기에서 상기 장치는 PLD의 일부이다. 제3도에서, 회로(14) 및 (16)은 각각 제1도에 도시된 바와 같이 AND 게이트 X와 OR 회로 Y이다. 전류원(18)은 저항 R_{S1} 으로 구성되고, 전압 V_{PS} 는 포지티브 전압 V_{CC} 이다. 소자(22), (24), (26) 및 (30)은 각각 저항 R_{S2} , PN 다이오드 D_1 , NPN 트랜지스터 Q_1 , 및 쇼트키 다이오드 D_2 이다. 그 결과, 컬럼 전압 강하는 0 볼트에 가까우며, 일반적으로 R_{S1} 및 R_{S2} 소스는 제1도에서의 R_{S1} 소스와 거의 도동일한 전류를 제공한다.

프로그래밍이 관계하는 한, 신호 $V_{I1}-V_{IM}$ 및 $V_{O1}-V_{ON}$ 은 제1도의 PLD에서와 동일하게 처리된다. 트랜지스터 Q_1 용 베이스 구동 전류는 다이오드 D_2 에 의해 선택 회로(12)로부터 제공된다. 차례로, 트랜지스터 Q_1 은 파괴될 각 퓨즈 F_{YK} 의 트랜지스터 Q_{YK} 용 베이스 구동 전류를 공급한다. 실제적으로 퓨즈 F_{YK} 를 파괴하는 거의 모든 전류는 회로(28)로부터 Q_{YK} 콜렉터에 직접 제공된다.

제4도는 제3도를 변경시킨 것으로서, 다이오드 D_1 은 쇼트키 다이오드이며, 다이오드 D_2 는 PN 다이오드이다. 컬럼 전압 강하는 이제 제3도에서 보다 10분의 수볼트 더 높게 된다. 쇼트키 다이오드 D_3 는 Q1베이스-에미터 접합부의 순도통 방향으로 라인 L_U 와 L_L 사이에 접속되어 캐패시턴스 C_{PL} 방전용 경로를 제공한다. 라인 L_L 과 접지 사이에 접속된 저항 R_{G1} 은, 전이의 종료시 L_L 전압을 안정화시키고, 캐패시턴스 C_{PL} 의 방전을 돕는다. 그러므로, 소자(20), D_3 및 R_{G1} 의 결합은, 전압 $V_{O1}-V_{ON}$ 의 양방향에서 급격한 전이를 가능케 한다.

제5도는 제2도의 또 다른 실시예를 나타낸 것으로, 여기에서 장치는 PLD의 일부이다. 소자(14), (18), (22), (24) 및 (30)은 제3도와 동일하다. 그러나, 제5도에서의 회로(16)는, 트랜지스터 OR 어레이일부이기 보다는 프로그램 가능한 다이오드 OR 어레이 일부이며, 쇼트키 다이오드 D_{YK} 는 각 Q_{YK} 베이스-에미터 접합부를 대신한다.

다이오드 어레이가 트랜지스터 어레이의 전류 이득을 갖지 못하기 때문에, 증폭기(26)는 달링톤 구성으로 배열된 NPN 트랜지스터 Q_1 및 Q_2 로 구성되어 필요한 전류 이득을 다시 제공한다. 일반적으로 트랜지스터 Q_1 은 AC동작중 온상태이다. 온도에 따라, L_L 전압이 낮게 되어 D_{YK} 다이오드로의 전류 흐름이 차단될 때, 트랜지스터 Q_2 는 턴오프될 수도 있다. 저항 R_{G2} 는 Q_2 베이스를 방전시키기 위하여 접지에 경로를 제공한다.

제5도의 PLD를 프로그래밍 하는데 있어서, 전압 $V_{I1}-V_{IM}$ 및 $V_{O1}-V_{ON}$ 은 제1도와 동일한 방법으로 처리된다. 다이오드 D_2 는 트랜지스터 Q_2 용 베이스 구동을 제공하는 트랜지스터 Q_1 용 베이스 구동 전류를 제공한다. 파괴될 각 퓨즈 F_{YK} 에 대한 퓨징(fusing) 전류는, 증폭기(26)의 트랜지스터 Q_2 를 통하여 제

공된다.

제6도는 제5도를 변경시킨 것으로, 다이오드 D_1 은 쇼트키 다이오드이며, 다이오드 D_2 는 PN 다이오드이다. 다이오드 D_3 은 Q_2 베이스를 방전시키기 위한 통로를 제공하며, 상기 언급한 이유 때문에 저항 R_{G1} 이 사용된다. 소자(20), D_3 및 R_{G1} 의 결합은 고 스위칭 속도를 가능하게 한다.

제7도는 제2도의 양호한 실시예를 도시한 것으로, 여기에서 PLD의 일부이다. 소자 D_1 , D_2 , D_3 , R_{S1} , R_{S2} , R_{S3} 및 (26)은, 증폭기(26)의 각 트랜지스터 Q_1 또는 Q_2 가 쇼트키 클램프 되었다는 사실만을 제외하고는 제6도에 도시된 것과 동일하다. 소자 D_3 및 R_{G2} 는 Q_2 베이스를 방전하는데 도움을 준다.

회로(14) 역시, 제6도의 각 퓨즈 F_{Xj} 가 PN 다이오드로 형성된 안티퓨즈 A_{Xj} 로 대체된 것을 제외하고는 AND 게이트이다. 마찬가지로, 회로(16)는 제6도의 각 퓨즈 F_{Yk} 가 PN-다이오드 안티퓨즈 A_{Yk} 로 대체된 것을 제외하고는 프로그램 가능한 OR 어레이의 일부이다. 또한, 각 다이오드 D_{Xj} 또는 D_{Yk} 는 쇼트키 다이오드라기 보다는 PN 다이오드이다.

전압 V_{cc} 는 제7도의 PLD내에서 양호하게는 5볼트이며, 전압 V_{pp} 는 프로그래밍 동안 약 20볼트의 최대 값을 가지며, 안티퓨즈에 대한 항복(또는 프로그래밍) 전압은 약 5볼트이고, 저항 R_{S1} , R_{S2} , R_{G1} 및 R_{G2} 각각은 7.500, 9.000, 10.000 및 15.000오옴이다.

본 발명은 다양한 현장 프로그램 가능한 장치는, 종래의 집적 회로 처리 기술에 따라 결합된다. 산화물 절연은 반도체 웨이퍼상의 활성 영역을 분리시키는데 양호하게 사용된다.

다이오드 D_1 및 D_2 중의 하나는 쇼트키 다이오드이며, 반면 다른 다이오드는 제7도에 도시된 바와 같이 베이스가 콜렉터에 단락되는 NPN 트랜지스터로 구성되는 PN 다이오드이며, 다이오드 D_1 및 D_2 는 제8도에 도시된 병합(merge) 구조로 형성된다. 상기 예에서, 다이오드 D_1 은 쇼트키 다이오드이다. 상기 구조에서, 영역(32), (34), (36) 및 (38)은 각각 P-실리콘 기판, 매장된 N층, 실리콘 에피택셜 층내에 형성된 활성 반도체적인 아일랜드(island) 및, 그러한 다른 활성 아일랜드로부터 활성 아일랜드를 측면으로 분리시키는 실리콘 산화물의 환상 영역이다.

영역(40)은 아일랜드(36)내의 높게 도우프된 N-형 부분으로 구성되는 D_2 에미터이며, 영역(42)은 아일랜드(36)의 나머지 영역(44)으로부터 에미터(40)을 분리시키는 아일랜드(36)의 P형 부분으로 구성되는 D_2 베이스이다. 나머지 영역(44)은 N형 물질이며, 접촉 영역으로 이루어진 더 높게 도우프된 부분(46)을 포함한다. 영역(34)와 (44)(부분(46)을 포함하여)의 결합은 D_1 캐소드, D_2 콜렉터 및 D_3 캐소드로써 기능한다. 알루미늄부분(48), (50), (52) 및 (54)는 각각 D_2 애노드, D_1 애노드, 라인 L_U 및 노드 N으로 가는 라인이다.

본 발명이 특정 실시예를 참조하여 기술되어 졌다하더라도, 상기 설명은 예시적인 목적만을 위한 것이며, 청구 범위에 청구된 본 발명의 범위를 제한시키는 것으로써 해석해서는 않된다. 예를들어, 양극성 트랜지스터가 회로(14)내의 D_{Xj} 다이오드 대신에 사용될 수도 있다. 상기 경우에 있어서, 전원 회로(29)는 정상 동작 및 프로그래밍 동안 이들 트랜지스터의 콜렉터에 전류를 제공한다.

증폭기(26)는 절연 게이트이거나 접합형의 전계 효과 트랜지스터(FET)를 사용할 수 있다. 증폭기(26)가 단일 FET로 구성된다면, 그것의 드레인, 소스 및 게이트 각각은, 전극 E1, E2 및 CE이다. 다이오드 접속된 FET가, 각 정류기에 대해 사용될 수도 있으며, 현장 프로그램 가능한 소자는 플로우팅 게이트 FET의 플로우팅 게이트 전극일 수도 있다. 그러므로, 다양한 변화, 변경 및 응용이 첨부된 특허청구 범위에 정의된 바와 같은 본 발명의 정신 및 범주를 벗어남이 없이 상기 기술에 익숙한 자에 의해 행해질 수도 있다.

(57) 청구의 범위

청구항 1

각각 적어도 하나의 현장 프로그램 가능한 소자($F_{X1}, \dots, F_{Xm}, F_{Y1} \dots F_{Yn}$)를 갖는 제1 및 제2회로(14,16)와; 제1 및 제2회로(14,16)에 각각 접속된 제1 및 제2라인(K_U, L_L)과; 상기 라인들을 연결하기 위한 수단(22,24,26,30)과; 임의의 현장 프로그램 가능한 소자($F_{X1}, \dots, F_{Xm}, F_{Y1} \dots F_{Yn}$)를 프로그램하기에 불충분한 전류를 제1라인(L_U)에 제공하기 위한 제1전류원(18)과; 프로그래밍 기간동안 제1회로(14)내의 각 현장 프로그램 가능한 소자를 프로그램하기에 충분한 레벨에 도달하는 전류를 제1라인(L_U)에 제공하기 위한 선택 수단(12)을 구비하는 현장 프로그램 가능 장치에 있어서, 상기 연결 수단은, 노드(N)에 전류를 제공하기 위한 제2전류원(22)과; 제1라인(L_U)과 노드(N)사이에서 접속된 제1정류기(24)와; 노드(N)와 제1라인(L_U) 사이에서 제1정류기와 반대의 순도통 방향으로 접속된 제2정류기(30)와; 제어 전극(CE)은 노드(N)에 접속되고 제2플로우 전극(E2)은 제2라인(L_U)에 접속되며, 제1플로우 전극(E1), 제2플로우 전극(E2) 및 양 플로우 전극(E1,E2) 사이의 전류 전송을 제어하기 위한 제어 전극(CE)을 갖는 증폭기(26)와; 임의의 현장 프로그램 가능한 소자를 프로그램하기에는 일반적으로 불충분하지만, 프로그래밍 기간동안 상기 선택 수단(12)으로부터의 전류와 결합하여, 제2회로(16)내의 각 현장 프로그램 가능한 소자를 프로그램하기에는 충분한 레벨에 도달하는 전류를 제1플로우 전극(E1)에 제공하기 위한 전원 수단(28)을 포함하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 2

제1항에 있어서, 상기 증폭기가 순방향으로 도통할 때, 포지티브 전류는 증폭기를 통하여 플로우 전극(E1,E2)중 하나로부터 다른 하나로 단방향으로 흐르는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 3

제2항에 있어서, 플로우 전극간에 이동하는 전하 캐리어는 제2플로우(E2)에서 시작하여 제1플로우 전극(E1)에서 종료하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 4

제1항에 있어서, 제1전류원은 제1라인(L₁)과 전력 공급 전압원(V_{PS}) 사이에 접속되며, 상기 선택수단(12)은 제1라인(L₁)과 프로그래밍 전압원(V_{PP}) 사이에 접속되고, 제2전류원(22)은 노드(N)와 전력공급 전압원(V_{PS}) 사이에 접속되며, 상기 전원 수단(28)은 제1플로우 전극(E1)과, 전력 공급원 및 프로그래밍 전압원(V_{PS}, V_{PP})사이에 접속되는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 5

제4항에 있어서, 상기 전원 수단(28)은 제1전극(E1)과 공통으로 제2회로(16)에 직접 접속되는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 6

제5항에 있어서, 제1회로(14)와, 전력 공급원 및 프로그래밍 전압원(V_{PS}, V_{PP})에 접속되는 다른 전원 수단(29)을 구비하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 7

제2항에 있어서, 상기 증폭기(26)는 3개의 전극을 갖는 트랜지스터를 포함하며, 각각 전극이 증폭기의 전극중 상이한 하나에 접속되는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 8

제7항에 있어서, 각 정류기(24,30)는 다이오드를 포함하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 9

제2항에 있어서, 상기 증폭기(26)는 각각 제1플로우, 제2플로우 및 제어 전극(E1,E2,CE)에 접속된 컬렉터, 에미터 및 베이스를 갖는 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 10

제9항에 있어서, 상기 양 라인(L_U,L_L) 사이에 트랜지스터(26)의 베이스-에미터 접합부의 순도통 방향으로 접속된 제3정류기(D₃)를 구비하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 11

제10항에 있어서, 제2회로(16)내의 각 현장 프로그램 가능한 소자는, 전원 수단(28)에 접속된 컬렉터 및 제2라인(L_L)에 접속된 베이스를 갖는 동일 극성 바이폴라 트랜지스터의 에미터와, 출력 라인(V₀₁, ...V_{0n}) 사이에 접속되는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 12

제2항에 있어서, 상기 증폭기는, 제1전극에 접속된 컬렉터, 에미터, 및 제어 전극에 접속된 베이스를 갖는 제1바이폴라 트랜지스터(26)와; 제1플로우 전극(E1)에 접속된 컬렉터, 제2플로우 전극(E2)에 접속된 에미터, 및 제1트랜지스터(26)의 에미터에 접속된 베이스를 갖는 동일 극성의 제2바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 13

제12항에 있어서, 상기 증폭기는 제2트랜지스터(Q₂)의 베이스를 방전시키기 위한 수단(R_{Q2})을 포함하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 14

제12항에 있어서, 상기 제2회로(16)내의 각 프로그램 가능한 소자는 대응하는 다이오드(Q_{V1}~Q_{Vn})와 직렬로 접속되어 출력 라인(V₀₁, ...V_{0n})과 제2라인(L_L) 사이에 접속된 결합 회로를 형성하는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 15

제14항에 있어서, 제1라인(L_U)과 제1트랜지스터(26)의 에미터 사이에, 제1트랜지스터의 베이스-에미터 접합부의 순도통 방향으로 접속된 제3정류기(D₃)를 구비하는 것을 특징으로 하는 현장 프로그램

가능 장치.

청구항 16

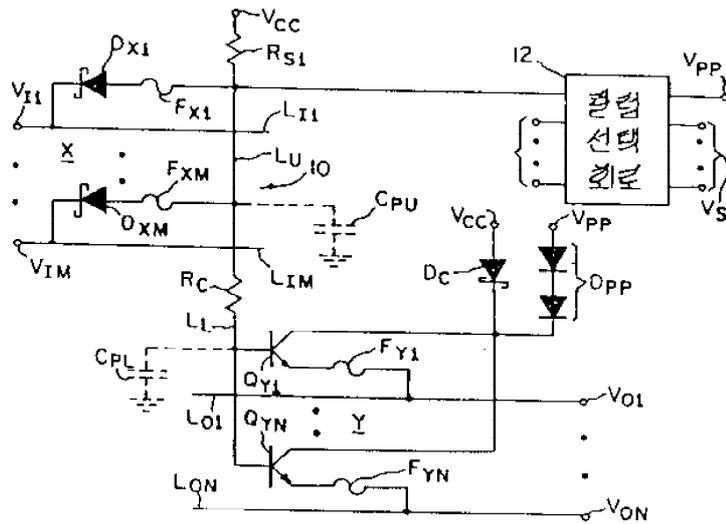
제2항에 있어서, 제1정류기(24)는 노드(N)에 접속된 애노드와 제1라인(L₁)에 접속된 캐소드를 갖는 쇼트키 다이오드(D₁)로 구성되며, 제2정류기(30)는 제1라인(L₁)에 접속된 콜렉터, 상기 콜렉터에 접속된 베이스, 및 노드(N)에 접속된 에미터를 갖는 NPN 트랜지스터로 구성되는 것을 특징으로 하는 현장 프로그램 가능 장치.

청구항 17

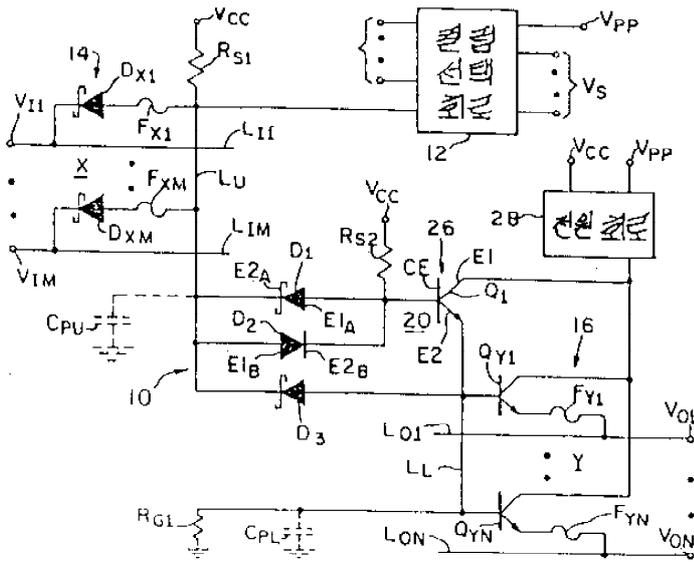
제16항에 있어서, 상기 장치는, 활성 반도체 아일랜드가 에미터로써 사용하는 N형 부분(40)과, 베이스로써 사용하며 아일랜드의 나머로부터 에미터를 분리시키는 P형 부분(42) 및, 베이스에 인접하고 그 도우프된 접촉부(46)를 가지며 또한 공동으로 최소한 콜렉터의 일부와 캐소드의 일부로써 사용하는 N형 영역(44)을 가지며, 상기 각 부분들은 아일랜드의 상부 표면에 따라 위치되는 반도체 기판과, 접촉부(46)으로 부터 일정한 간격을 유지하여 떨어지나 위치에서 상부 표면에 따라 N형 영역(44)과 접촉하며, 애노드로써 사용하는 제1금속부(50)와; 제1금속부(50)로부터 일정한 간격을 유지하여 떨어진 위치에서 상부 표면을 따라 접촉부(46) 및 P형 부분(42)과 접촉하며, 적어도 제1라인(L₁)의 한 부분을 형성하는 제2금속부(52)를 포함하는 것을 특징으로 하는 현장 프로그램 가능 장치.

도면

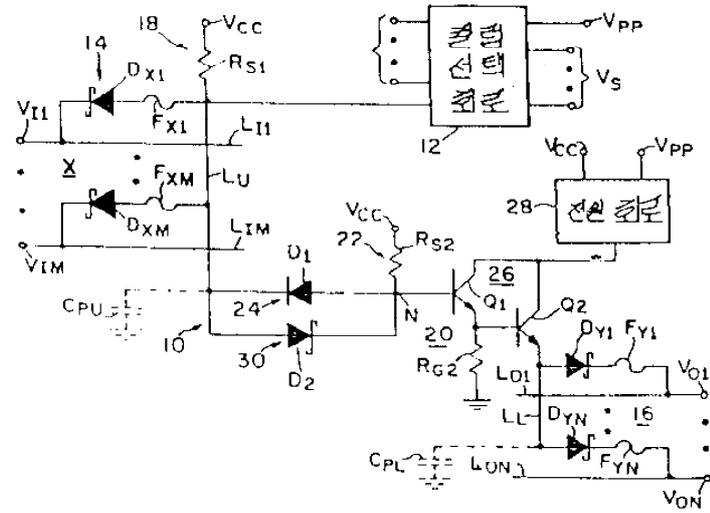
도면1



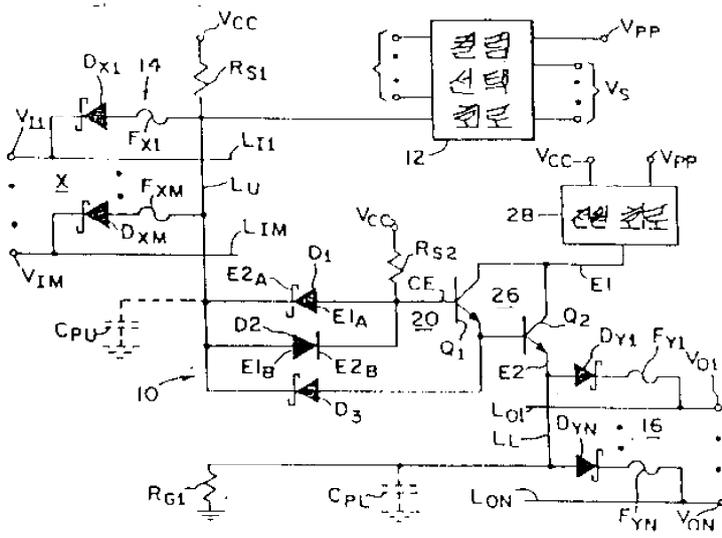
도면4



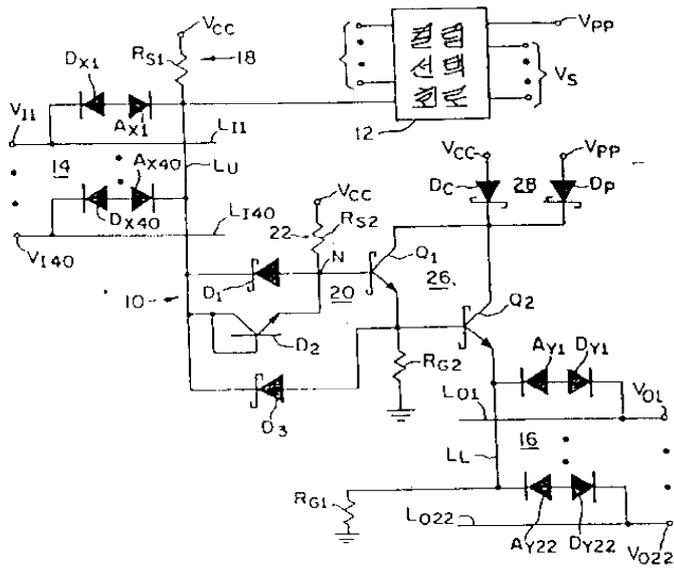
도면5



도면6



도면7



도면8

