



(12) 发明专利申请

(10) 申请公布号 CN 112864097 A

(43) 申请公布日 2021.05.28

(21) 申请号 202110049125.3

(22) 申请日 2021.01.14

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 巩金峰

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

代理人 成丽杰

(51) Int. Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

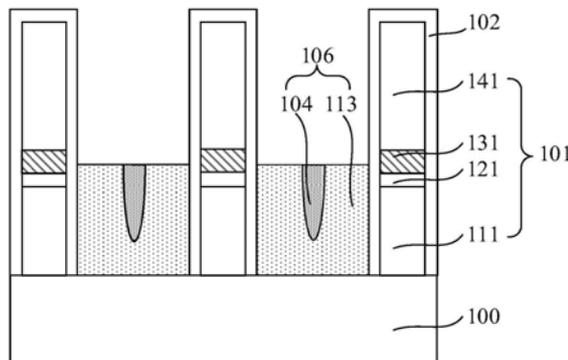
权利要求书2页 说明书10页 附图8页

(54) 发明名称

半导体结构及其制作方法

(57) 摘要

本发明实施例提供一种半导体结构及其制作方法,半导体结构的制作方法包括:提供基底,基底上具有多个相互分立的位线,相邻位线之间具有电容接触孔;形成填充电容接触孔的填充膜,且填充膜内具有缝隙区域;采用第一刻蚀工艺,对填充膜进行刻蚀以打开缝隙区域,剩余填充膜作为第一填充层;在第一填充层表面依次堆叠形成至少两层基础填充层,距离基底最远的基础填充层填充剩余电容接触孔;在垂直于基底且沿基底指向位线的方向上,基础填充层的掺杂浓度逐层减小;采用第二刻蚀工艺,对第一填充层和至少部分基础填充层进行刻蚀,以形成电容接触插塞。本发明实施例有利于在电容接触孔的深宽比较大的情况下,形成顶部形貌较为平坦的电容接触插塞。



1. 一种半导体结构的制作方法,其特征在于,包括:

提供基底,所述基底上具有多个相互分立的位线,相邻所述位线之间具有电容接触孔;形成填充满所述电容接触孔的填充膜,且所述填充膜内具有缝隙区域;

采用第一刻蚀工艺,对所述填充膜进行刻蚀以打开所述缝隙区域,剩余的所述填充膜作为第一填充层,剩余的所述缝隙区域作为位于所述第一填充层内的第一缝隙,所述第一填充层具有连接所述第一缝隙以及所述电容接触孔侧壁的顶面,且在沿所述第一缝隙指向所述电容接触孔侧壁的方向上,所述顶面与所述基底之间的距离逐渐增大;

在所述第一填充层表面依次堆叠形成至少两层基础填充层,距离所述基底最远的所述基础填充层填充满剩余所述电容接触孔;

在垂直于所述基底且沿所述基底指向所述位线的方向上,所述基础填充层的掺杂浓度逐层减小;

采用第二刻蚀工艺,对所述第一填充层和至少部分所述基础填充层进行刻蚀,以形成电容接触插塞。

2. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述电容接触插塞远离所述基底的顶面与所述基底表面平行。

3. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述第一填充层仅位于所述电容接触孔的底部和部分侧壁上。

4. 根据权利要求1所述的半导体结构的制作方法,其特征在于,在所述第一填充层表面依次堆叠形成至少两层基础填充层的工艺步骤包括:形成底层填充层,所述底层填充层填充满所述第一缝隙,位于所述电容接触孔中的所述底层填充层围成凹孔;形成顶层填充层,所述顶层填充层填充满所述凹孔,且所述顶层填充层内具有第二缝隙。

5. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述基础填充层为具有掺杂元素的硅材料层,相邻所述基础填充层中所述掺杂元素的掺杂浓度的差值不高于 $200\text{atom}/\text{cm}^3$ 。

6. 根据权利要求1所述的半导体结构的制作方法,其特征在于,采用沉积工艺形成所述基础填充层,且在沉积过程中,通入具有所述掺杂元素的气体,在垂直于所述基底且沿所述基底指向所述位线的方向上,用于形成所述基础填充层的所述气体的气体流量逐层减小。

7. 根据权利要求4所述的半导体结构的制作方法,其特征在于,采用所述第二刻蚀工艺对所述第一填充层和至少部分所述基础填充层进行刻蚀的过程中,所述第二缝隙被去除。

8. 根据权利要求7所述的半导体结构的制作方法,其特征在于,采用所述第二刻蚀工艺对所述第一填充层和至少部分所述基础填充层进行刻蚀的过程中,在垂直于所述基底且沿所述基底指向所述位线的方向上,所述第二刻蚀工艺对所述基础填充层的刻蚀速率逐层减小。

9. 根据权利要求8所述的半导体结构的制作方法,其特征在于,采用所述第二刻蚀工艺,对所述第一填充层、所述顶层填充层和至少部分所述底层填充层进行刻蚀,以形成所述电容接触插塞。

10. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述基础填充层还位于所述位线顶部;在所述第一填充层表面依次堆叠形成至少两层基础填充层之后,在采用所述第二刻蚀工艺对所述第一填充层和至少部分所述基础填充层进行刻蚀之前,还包括:

采用第三刻蚀工艺,对所述基础填充层进行刻蚀至露出所述位线顶部。

11. 根据权利要求10所述的半导体结构的制作方法,其特征在于,在采用所述第三刻蚀工艺对所述基础填充层进行刻蚀之前,还包括:对所述基础填充层进行平坦化处理,且剩余的所述基础填充层位于所述位线顶部。

12. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述第一填充层为具有掺杂元素的硅材料层,且所述第一填充层中所述掺杂元素的掺杂浓度大于所述基础填充层中所述掺杂元素的掺杂浓度。

13. 根据权利要求12所述的半导体结构的制作方法,其特征在于,采用沉积工艺形成所述填充膜和所述基础填充层,且在沉积过程中,通入具有所述掺杂元素的气体,用于形成所述填充膜时的所述气体的气体流量为第一气体流量,用于形成所述基础填充层时的所述气体的气体流量为第二气体流量,所述第一气体流量大于所述第二气体流量。

14. 一种半导体结构,其特征在于,包括:

基底,所述基底上具有多条相互分立的位线,相邻所述位线之间具有电容接触孔;

电容接触插塞,所述电容接触插塞位于所述电容接触孔底部,所述电容接触插塞由第一填充层构成或者所述电容接触插塞由第一填充层和基础填充层构成。

15. 根据权利要求14所述的半导体结构,其特征在于,所述电容接触插塞远离所述基底的顶面与所述基底表面平行。

16. 根据权利要求14所述的半导体结构,其特征在于,所述电容接触插塞由所述第一填充层和所述基础填充层构成,所述第一填充层顶部表面存在孔洞,所述基础填充层填充所述第一填充层顶部表面的孔洞。

17. 根据权利要求16所述的半导体结构,其特征在于,所述第一填充层和所述基础填充层均为具有掺杂元素的硅材料层,且所述第一填充层中所述掺杂元素的掺杂浓度大于所述基础填充层中所述掺杂元素的掺杂浓度。

半导体结构及其制作方法

技术领域

[0001] 本发明实施例涉及半导体领域,特别涉及一种半导体结构及其制作方法。

背景技术

[0002] 随着动态随机存取存储器(DRAM,Dynamic Random Access Memory)制程的不断微缩,相邻位线结构之间间距变得越来越小。而相邻位线结构之间间距变小,会导致相邻位线结构之间的电容接触孔的深宽比变大,因而后续在电容接触孔中形成电容接触插塞时,难以控制电容接触插塞的顶部形貌,从而难以保证半导体结构具有较好的良率。

[0003] 在电容接触孔的深宽比较大的情况下,如何形成顶部形貌较好的电容接触插塞,是当前亟待解决的问题。

发明内容

[0004] 本发明实施例解决的技术问题为提供一种半导体结构及其制作方法,有利于在电容接触孔的深宽比较大的情况下,形成顶部形貌较为平坦的电容接触插塞,从而有利于提高半导体结构的良率。

[0005] 为解决上述问题,本发明实施例提供一种半导体结构的制作方法,包括:提供基底,所述基底上具有多个相互分立的位线,相邻所述位线之间具有电容接触孔;形成填充所述电容接触孔的填充膜,且所述填充膜内具有缝隙区域;采用第一刻蚀工艺,对所述填充膜进行刻蚀以打开所述缝隙区域,剩余的所述填充膜作为第一填充层,剩余的所述缝隙区域作为位于所述第一填充层内的第一缝隙,所述第一填充层具有连接所述第一缝隙以及所述电容接触孔侧壁的顶面,在平行于所述基底且沿所述第一缝隙指向所述电容接触孔侧壁的方向上,所述顶面与所述基底之间的距离逐渐增大;在所述第一填充层表面依次堆叠形成至少两层基础填充层,距离所述基底最远的所述基础填充层填充满剩余所述电容接触孔;在垂直于所述基底且沿所述基底指向所述位线的方向上,所述基础填充层的掺杂浓度逐层减小;采用第二刻蚀工艺,对所述第一填充层和至少部分所述基础填充层进行刻蚀,以形成电容接触插塞。

[0006] 另外,所述电容接触插塞远离所述基底的顶面与所述基底表面平行。

[0007] 另外,所述第一填充层仅位于所述电容接触孔的底部和部分侧壁上。

[0008] 另外,在所述第一填充层表面依次堆叠形成至少两层基础填充层的工艺步骤包括:形成底层填充层,所述底层填充层填充满所述第一缝隙,位于所述电容接触孔中的所述底层填充层围成凹孔;形成顶层填充层,所述顶层填充层填充满所述凹孔,且所述顶层填充层内具有第二缝隙。

[0009] 另外,所述基础填充层为具有掺杂元素的硅材料层,相邻所述基础填充层中所述掺杂元素的掺杂浓度的差值不高于 $200\text{atom}/\text{cm}^3$ 。

[0010] 另外,采用沉积工艺形成所述基础填充层,且在沉积过程中,通入具有所述掺杂元素的气体,在垂直于所述基底且沿所述基底指向所述位线的方向上,用于形成所述基础填

充层的所述气体的气体流量逐层减小。

[0011] 另外,采用所述第二刻蚀工艺对所述第一填充层和至少部分所述基础填充层进行刻蚀的过程中,所述第二缝隙被去除。

[0012] 另外,采用所述第二刻蚀工艺对所述第一填充层和至少部分所述基础填充层进行刻蚀的过程中,在垂直于所述基底且沿所述基底指向所述位线的方向上,所述第二刻蚀工艺对所述基础填充层的刻蚀速率逐层减小。

[0013] 另外,采用所述第二刻蚀工艺,对所述第一填充层、所述顶层填充层和至少部分所述底层填充层进行刻蚀,以形成所述电容接触插塞。

[0014] 另外,所述基础填充层还位于所述位线顶部;在所述第一填充层表面依次堆叠形成至少两层基础填充层之后,在采用所述第二刻蚀工艺对所述第一填充层和至少部分所述基础填充层进行刻蚀之前,还包括:采用第三刻蚀工艺,对所述基础填充层进行刻蚀至露出所述位线顶部。

[0015] 另外,在采用所述第三刻蚀工艺对所述基础填充层进行刻蚀之前,还包括:对所述基础填充层进行平坦化处理,且剩余的所述基础填充层位于所述位线顶部。

[0016] 另外,所述第一填充层为具有所述掺杂元素的硅材料层,且所述第一填充层中所述掺杂元素的掺杂浓度大于所述基础填充层中所述掺杂元素的掺杂浓度。

[0017] 另外,采用沉积工艺形成所述填充膜和所述基础填充层,且在沉积过程中,通入具有所述掺杂元素的气体,用于形成所述填充膜时的所述气体的气体流量为第一气体流量,用于形成所述基础填充层时的所述气体的气体流量为第二气体流量,所述第一气体流量大于所述第二气体流量。

[0018] 相应地,本发明实施例还提供一种半导体结构,包括:基底,所述基底上具有多条相互分立的位线,相邻所述位线之间具有电容接触孔;电容接触插塞,所述电容接触插塞位于所述电容接触孔底部,所述电容接触插塞由第一填充层构成或者所述电容接触插塞由第一填充层和基础填充层构成。

[0019] 另外,所述电容接触插塞远离所述基底的顶面与所述基底表面平行。

[0020] 另外,所述电容接触插塞由所述第一填充层和所述基础填充层构成,所述第一填充层顶部表面存在孔洞,所述基础填充层填充所述第一填充层顶部表面的孔洞。

[0021] 另外,所述第一填充层和所述基础填充层均为具有掺杂元素的硅材料层,且所述第一填充层中所述掺杂元素的掺杂浓度大于所述基础填充层中所述掺杂元素的掺杂浓度。

[0022] 与现有技术相比,本发明实施例提供的技术方案具有以下优点:

[0023] 上述技术方案中,在电容接触孔中先形成填充膜,采用第一刻蚀工艺对填充膜进行刻蚀以形成第一填充层,然后在第一填充层表面形成至少两层基础填充层,且基础填充层填充第一填充层内的第一缝隙,有利于避免后续形成的电容接触插塞中具有空隙,避免降低电容接触插塞的导电性能。此外,因为第一填充层内具有第一缝隙,且第一填充层具有连接第一缝隙以及电容接触孔侧壁的顶面,在平行于基底且沿第一缝隙指向电容接触孔侧壁的方向上,顶面与基底之间的距离逐渐增大,在此基础上,使得在垂直于基底且沿基底指向位线的方向上,基础填充层的掺杂浓度逐层减小,则后续对第一填充层和至少部分基础填充层进行刻蚀时,相同刻蚀时间内,靠近电容接触孔侧壁的基础填充层被刻蚀得多一些,而靠近电容接触孔中间区域的基础填充层被刻蚀得少一些,因而能通过控制相邻基础

填充层之间的掺杂浓度的差异,使得最终形成的电容接触插塞的顶部形貌较为平坦,从而有利于减小电容接触插塞与其他导电结构之间的接触电阻,并有利于提高半导体结构的良率。

[0024] 另外,第一填充层仅位于电容接触孔的底部和部分侧壁上,则第一填充层内的第一缝隙远离基底的开口的尺寸较大,有利于后续基础填充层填满第一缝隙,且位于第一缝隙中的基础填充层内没有空隙,有利于保证后续形成的电容接触插塞中没有空隙,以保证电容接触插塞良好的导电性。

附图说明

[0025] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,除非有特别说明,附图中的图不构成比例限制。

[0026] 图1至图9为本发明第一实施例提供的半导体结构的制作方法各步骤对应的剖面结构示意图;

[0027] 图10至图13为本发明第二实施例提供的半导体结构的制作方法各步骤对应的剖面结构示意图。

具体实施方式

[0028] 由背景技术可知,现有技术中在电容接触孔的深宽比较大的情况下,如何形成顶部形貌较好的电容接触插塞,是当前亟待解决的问题。

[0029] 经分析可知,为满足DRAM的小型化,相邻位线之间的间距变得越来越小,电容接触孔的深宽比也越来越大,因此在电容接触孔中填充导电材料形成填充层时,相邻位线之间的电容接触孔顶部会提前被导电材料封口,则填充层中会存在空隙,且位于电容接触孔上方的填充层表面具有凹槽,该空隙和凹槽使得后续对填充层进行刻蚀形成电容接触插塞时,无法形成顶部形貌较为平坦的电容接触插塞,从而不利于保证电容接触插塞与其他导电结构之间较小的接触电阻。

[0030] 为解决上述问题,本发明实施提供一种半导体结构的制作方法,在电容接触孔中先形成填充膜,采用第一刻蚀工艺对填充膜进行刻蚀以形成第一填充层,然后在第一填充层表面形成至少两层基础填充层。因为第一填充层内具有第一缝隙,且第一填充层具有连接第一缝隙以及电容接触孔侧壁的顶面,在平行于基底且沿第一缝隙指向电容接触孔侧壁的方向上,顶面与基底之间的距离逐渐增大,在此基础上,后续第二刻蚀工艺对靠近电容接触孔侧壁的基础填充层的刻蚀速率为第一刻蚀速率,第二刻蚀工艺对电容接触孔中间区域的基础填充层的刻蚀速率为第二刻蚀速率,由于在垂直于基底且沿基底指向位线的方向上,基础填充层的掺杂浓度逐层减小,则第一刻蚀速率大于第二刻蚀速率,因而能通过控制相邻基础填充层之间的掺杂浓度的差异,使得最终形成的电容接触插塞的顶部形貌较为平坦,从而有利于减小电容接触插塞与其他导电结构之间的接触电阻,和有利于提高半导体结构的良率。

[0031] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施例中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和

基于以下各实施例的种种变化和修改,也可以实现本申请所要求保护的技术方案。

[0032] 图1至图9为本发明第一实施例提供的半导体结构的制作方法各步骤对应的剖面结构示意图。

[0033] 参考图1,提供基底100,基底100上具有多个相互分立的位线101,相邻位线101之间具有电容接触孔11。

[0034] 本实施例中,基底100内包括埋入式字线、浅沟槽隔离结构、有源区等结构。位线101包括依次堆叠设置的位线接触层111、底层介质层121、金属层131以及顶层介质层141。位线接触层111的材料包括钨或多晶硅,底层介质层121和顶层介质层141的材料包括氮化硅、二氧化硅或氮氧化硅,金属层131可以由一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等。

[0035] 此外,位线101的顶部和侧壁还覆盖有绝缘层102,绝缘层102用于保护并隔离相邻的位线101。具体地,绝缘层102采用原子层沉积工艺形成,原子层沉积工艺具有沉积速率慢,沉积形成的膜层致密性高和阶梯覆盖率好等特点,如此,能够使得绝缘层102能够在厚度较薄的条件下对相邻位线101进行有效地隔离保护,避免绝缘层102占据相邻位线101之间较大的空间,有利于后续实现基础填充层的填充。其中,绝缘层102的材料包括氮化硅或氮氧化硅。

[0036] 在其他实施例中,在后续工艺步骤中,可以去除位于位线顶部的绝缘层。

[0037] 参考图2,形成填充膜103(参考图1)的填充膜103,且填充膜103内具有缝隙区域12。

[0038] 本实施例中,形成填充膜103的工艺包括化学气相沉积工艺或原子层沉积工艺,且填充膜103不仅填充电容接触孔11,且还位于位线101顶部。具体地,由于工艺制程的不断微缩,在垂直于基底100表面的方向上,在位线101高度不变的情况下,相邻位线101之间的距离趋向于变小,则电容接触孔11的深宽比趋向于变大,则填充膜103中容易存在缝隙区域12,且位于电容接触孔11上方的填充膜103表面具有第一凹槽13。此外,填充膜103的顶部高于位线101顶部。

[0039] 此外,由于需要形成的填充膜103的顶部需要高于位线101的顶部,则在垂直于基底100表面的方向上,填充膜103的厚度较大,因此,采用沉积速率较快的化学气相沉积工艺形成填充膜103有利于缩短半导体结构制程工艺的周期。

[0040] 具体地,填充膜103为具有掺杂元素的硅材料层,其中硅材料层的材料包括单晶硅、多晶硅或者非晶硅;掺杂元素为硼元素或者磷元素。需要说明的是,本实施例中对硅材料层和掺杂元素的介绍是为了让本领域技术人员理解本方案的实现细节,并不构成对本方案的限定。在其他实施例中,填充膜也可以为不具有掺杂元素的硅材料层;另外,填充膜可以仅在电容接触孔中形成,并不需要覆盖位线的顶部。

[0041] 进一步地,填充膜103中掺杂元素的掺杂浓度大于后续形成的基础填充层中掺杂元素的掺杂浓度。采用沉积工艺形成填充膜103时,在沉积过程中,通入具有掺杂元素的气体,且用于形成填充膜103时该气体的气体流量为第一气体流量;后续采用沉积工艺形成基础填充层时,通入具有掺杂元素的气体,且用于形成基础填充层时该气体的气体流量为第二气体流量,则第一气体流量要大于第二气体流量。

[0042] 本实施例中,在形成填充膜103的过程中,具有掺杂元素的气体的气体流量固定不

变。在其他实施例,在形成填充膜的过程中,具有掺杂元素的气体的气体流量可以随沉积时间逐渐变大,此外,在形成填充膜的过程中该气体的最小气体流量为第三气体流量,后续形成基础填充层的过程中具有掺杂元素的气体的最大气体流量为第四气体流量,且第三气体流量大于第四气体流量。

[0043] 参考图3,采用第一刻蚀工艺,对填充膜103(图2)进行刻蚀以打开缝隙区域12(参考图2),剩余的填充膜103作为第一填充层113,剩余的缝隙区域12作为位于第一填充层113内的第一缝隙14,第一填充层113具有连接第一缝隙14以及电容接触孔11(参考图1)侧壁的顶面a。

[0044] 由上述描述可知,填充膜103中存在缝隙区域12,且位于电容接触孔11上方的填充膜103表面具有第一凹槽13,则采用第一刻蚀工艺对填充膜103进行刻蚀,以形成第一填充层113时,在平行于基底100且沿第一缝隙14指向电容接触孔11侧壁的方向上,第一填充层113的顶面a与基底100之间的距离逐渐增大。

[0045] 本实施例中,第一填充层113仅位于电容接触孔11的底部和部分侧壁上,有利于保证第一缝隙14远离基底100的开口的尺寸较大,进一步地,在垂直于电容接触孔11侧壁方向I上,第一缝隙14远离基底100的开口的宽度可以为缝隙区域12的最大宽度,即第一刻蚀工艺对缝隙区域12的打开程度较大,有利于后续基础填充层填满第一缝隙14,且位于第一缝隙14中的基础填充层内没有空隙,有利于保证后续形成的电容接触插塞中没有空隙,以保证电容接触插塞良好的导电性。

[0046] 由于填充膜103为具有掺杂元素的硅材料层,则第一填充层113也为具有掺杂元素的硅材料层,且第一填充层113中掺杂元素的掺杂浓度大于后续形成的基础填充层中掺杂元素的掺杂浓度。因而,后续采用第二刻蚀工艺,对第一填充层113和至少部分基础填充层进行刻蚀时,为获得顶部形貌较平坦的电容接触插塞,随着刻蚀时间的增加,需要第一填充层113被刻蚀的量较大,当第一填充层113中掺杂元素的掺杂浓度大于基础填充层中掺杂元素的掺杂浓度时,可以使得相同的刻蚀时间内,第一填充层113被刻蚀的量多于基础填充层被刻蚀的量,因而更有利于形成顶部形貌较平坦的电容接触插塞。

[0047] 参考图4和图5,在第一填充层113表面依次堆叠形成至少两层基础填充层,距离基底100最远的基础填充层填满剩余电容接触孔11;在垂直于基底100且沿基底100指向位线101的方向II上,基础填充层的掺杂浓度逐层减小。因而,在垂直于基底100且沿基底100指向位线101的方向上,后续第二刻蚀工艺对基础填充层的刻蚀速率逐层减小。

[0048] 本实施例中,在第一填充层113表面依次堆叠形成两层基础填充层。具体地,基础填充层为具有掺杂元素的硅材料层,相邻基础填充层中掺杂元素的掺杂浓度的差值不高于 $200\text{atom}/\text{cm}^3$ 。

[0049] 本实施例中,在第一填充层113表面依次堆叠形成两层基础填充层的工艺步骤包括:

[0050] 参考图4,形成底层填充层104,底层填充层104填满第一缝隙14(参考图3),位于电容接触孔11(参考图1)中的底层填充层104围成凹孔15。

[0051] 具体地,形成底层填充层104的工艺包括化学气相沉积工艺或原子层沉积工艺,且底层填充层104也位于位线101顶部的上方。在沿垂直于电容接触孔11侧壁的方向I上,底层填充层104的厚度与电容接触孔11的宽度之间的比值范围为 $10\% \sim 40\%$,优选地,底层填充

层104的厚度与电容接触孔11的宽度之间的比值为20%，一方面，在电容接触孔11的深宽比较大的情况下，容易通过沉积工艺形成该厚度的底层填充层104；另一方面，在后续有利于通过第二刻蚀工艺刻蚀该厚度的底层基础填充层104，以形成顶部形貌较平坦的电容接触插塞。

[0052] 参考图5，形成顶层填充层105，顶层填充层105填充凹孔15（参考图4），且顶层填充层105内具有第二缝隙16，且顶层填充层105表面与凹孔15中心轴线对应的地方还具有第二凹槽17。

[0053] 具体地，形成顶层填充层105的工艺可以与形成底层填充层104的工艺相同，且顶层填充层105也位于位线101顶部的上方。需要说明的是，在其他实施例中，底层填充层和顶层填充层可以仅在电容接触孔形成，并不需要覆盖位线顶部的上方。

[0054] 本实施例中，采用沉积工艺形成基础填充层时，在沉积过程中，通入具有掺杂元素的气体，在垂直于基底100且沿基底100指向位线101的方向上，用于形成基础填充层的气体的气体流量逐层减小。

[0055] 具体地，用于形成底层填充层104的气体的气体流量大于用于形成顶层填充层105的气体的气体流量，且用于形成填充膜103的气体的气体流量大于用于形成底层填充层104的气体的气体流量。则第一填充层113中掺杂元素的掺杂浓度、底层填充层104中掺杂元素的掺杂浓度和顶层填充层105中掺杂元素的掺杂浓度依次减小，则后续第二刻蚀工艺对第一填充层113的刻蚀速率、底层填充层104的刻蚀速率和顶层填充层105进行刻蚀的刻蚀速率依次减小。

[0056] 本实施例中，参考图3至图5，在平行于基底100且沿第一缝隙14指向电容接触孔11侧壁的方向上，由于第一填充层113的顶面a与基底100之间的距离逐渐增大，则位于第一填充层113顶面a上的底层填充层104的顶面b与基底100之间的距离也逐渐增大。后续进行第二刻蚀工艺时，由于第二刻蚀工艺对第一填充层113、底层填充层104和顶层填充层105的刻蚀速率依次减小，使得靠近电容接触孔11侧壁的第一填充层113和底层填充层104被刻蚀的量较大，靠近第一缝隙14的中心轴线的顶层填充层105和底层填充层104被刻蚀的量较少，从而有利于减缓后续形成的电容接触插塞顶面上各处与基底100之间的距离的差异，以获得顶部形貌较为平坦的电容接触插塞。

[0057] 参考图5至图7，基础填充层还位于位线101顶部；在第一填充层113表面依次堆叠形成至少两层基础填充层之后，在采用第二刻蚀工艺对第一填充层104和至少部分基础填充层进行刻蚀之前，还包括：采用第三刻蚀工艺，对基础填充层进行刻蚀至露出位于位线101顶部的绝缘层102。

[0058] 此外，本实施例中，参考图6，在采用第三刻蚀工艺对基础填充层进行刻蚀之前，还包括：对基础填充层进行平坦化处理，且剩余的基础填充层位于位线101顶部。

[0059] 具体地，由于采用沉积工艺形成顶层填充层105时，顶层填充层105表面与凹孔15中心轴线对应的地方具有第二凹槽17，通过对顶层填充层105进行平坦化处理，以去除第二凹槽17，使得剩余的顶层填充层105表面较为平坦，参考图7，在后续采用第三刻蚀工艺对基础填充层进行刻蚀至露出位线101顶部时，有利于使得剩余的顶层填充层105和剩余的底层填充层104共同组成的顶面c较为平坦，即减缓顶面c上各处与基底100之间的距离的差异。

[0060] 在其他实施例中，也可以不对顶层填充层进行平坦化处理，直接采用第三刻蚀工

艺对顶层填充层和底层填充层进行刻蚀至露出为位线顶部,通过调节顶层填充层和底层填充层中掺杂元素的掺杂浓度的差值,以获得最终顶部形貌较为平坦的电容接触插塞。

[0061] 本实施例中,采用第三刻蚀工艺对剩余的顶层填充层105和底层填充层104进行刻蚀至露出位于位线101顶部的绝缘层102,其中,位于位线101顶部的绝缘层102为刻蚀停止点。在其他实施例中,当位于位线顶部的绝缘层被去除时,位线顶部为第三刻蚀工艺的刻蚀停止点。

[0062] 由于沉积工艺引起的工艺误差,在垂直于基底100表面的方向上,在不同基底100上形成的第一填充层113和基础填充层的厚度有差异,即每个基底100上高于位线101顶部的第一填充层和基础填充层的总厚度不一样。但每个基底100上形成的位线101和位于位线101上的绝缘层102的厚度是严格规定一致的,因而进行第三刻蚀工艺时,以位于位线101顶部的绝缘层102为刻蚀停止点时,可以使得每个基底100上剩余的底层填充层104和剩余的顶层填充层105的总厚度一样。因而,后续进行第二刻蚀工艺时,控制刻蚀时间相同,不同基底100中均能获得顶部形貌较平坦的电容接触插塞。

[0063] 此外,在其他实施例中,可以对顶层填充层和底层填充层均进行平坦化处理,保证剩余的底层填充层位于位线顶部,使得进行第三刻蚀工艺时,处于位线顶部的绝缘层或位线顶部可以作为刻蚀停止点即可。

[0064] 参考图7至图9,采用第二刻蚀工艺对第一填充层113和至少部分基础填充层进行刻蚀的过程中,第二缝隙16(参考图5)被去除,有利于保证后续形成的电容接触插塞中没有空隙,从而有利于保证电容接触插塞具有良好的导电性。

[0065] 具体地,本实施例中,采用第二刻蚀工艺对第一填充层113、剩余的顶层填充层105和剩余的底层填充层104进行刻蚀。在其他实施例中,在形成顶层填充层之后,可以直接采用第二刻蚀工艺对第一填充层、顶层填充层和顶层填充层进行刻蚀。

[0066] 进一步地,在垂直于基底100且沿基底100指向位线101的方向上,第二刻蚀工艺对基础填充层的刻蚀速率逐层减小,即第二刻蚀工艺对剩余的底层填充层104的刻蚀速率大于对剩余的顶层填充层105的速率。此外,本实施例中,第三刻蚀工艺与第二刻蚀工艺的工艺参数相同。在其他实施例中,第三刻蚀工艺与第二刻蚀工艺的工艺参数也可以不同。

[0067] 继续参考图7至图9,本实施例中,采用第二刻蚀工艺对第一填充层113、剩余的顶层填充层105和剩余的底层填充层104进行刻蚀的过程中,在电容接触孔11(参考图1)中会形成刻蚀曲面,其中,在平行于基底100且沿第一缝隙12(参考图2)指向电容接触孔11侧壁的方向上,刻蚀曲面上各点处的斜率逐渐增大。

[0068] 具体地,刻蚀曲面为第二刻蚀工艺中刻蚀物质与第一填充层113和至少部分基础填充层相接触的表面。因为在垂直于基底100且沿基底100指向位线101的方向上,第二刻蚀工艺对基础填充层的刻蚀速率逐层减小,所以,随着第二刻蚀工艺的进行,在平行于基底100且沿第一缝隙12指向电容接触孔11侧壁的方向上,刻蚀曲面上各点的斜率逐渐增大的趋势减缓,有利于最终获得顶部形貌较为平坦的电容接触插塞106。

[0069] 进一步地,参考图7所示的刻蚀时刻,点E为此时刻蚀曲面上剩余的底层填充层104与剩余的顶层填充层105的交界点;参考图8所示的刻蚀时刻,点F为此时刻蚀曲面上剩余的底层填充层104与剩余的顶层填充层105的交界点,需要说明的是,点E和点F为刻蚀曲面上不同刻蚀时刻相似位置所对应的点。结合参考图7和图8可知,点F的斜率小于点E的斜率,则

随着第二刻蚀工艺的进行,刻蚀曲面上各点的斜率逐渐增大的趋势减缓。

[0070] 本实施例中,采用第二刻蚀工艺对第一填充层113、剩余的顶层填充层105和至少部分剩余的底层填充层104进行刻蚀,目的是在电容接触孔中形成电容接触插塞106。

[0071] 具体地,剩余的第一填充层113和剩余的底层填充层104共同组成电容接触插塞106。此外,电容接触插塞106远离基底100的顶面与基底100表面平行,便于后续在电容接触插塞106上形成其他导电结构,且有利于降低电容接触插塞106与其他导电结构之间的接触电阻,并有利于提高半导体结构的良率。在其他实施例中,通过调节底层填充层和顶层填充层中掺杂元素的掺杂浓度的差值,电容接触插塞也可以只由剩余的第一填充层构成,或者,电容接触插塞也可以由剩余的第一填充层、剩余的底层填充层和剩余的顶层填充层共同构成。

[0072] 进一步地,在垂直于基底100表面的方向上,电容接触插塞106的厚度与位线101的高度的比值范围为10%~80%。在一个例子中,电容接触插塞106的厚度与位线101的高度的比值为30%。

[0073] 本实施例中,通过控制第一填充层113、底层填充层104和顶层填充层105中的掺杂元素的掺杂浓度逐层减小,使得后续通过刻蚀工艺形成电容接触插塞106时,可以获得顶部形貌较为平坦且内部没有空隙的电容接触插塞106,从而有利于提高电容接触插塞106自身的导电性和降低电容接触插塞106与其他导电结构之间的接触电阻,从而有利于提高半导体结构的良率。

[0074] 本发明第二实施例还提供一种半导体结构的制作方法,该实施例与前述实施例大致相同,主要区别在于形成的基础填充层的层数不同。以下将结合附图对本发明第二实施例提供的半导体结构的制作方法进行详细说明,需要说明的是,与前述实施例相同或者相应的部分,可参考前述实施例的详细描述,在此不再赘述。

[0075] 图10至图13为本实施例提供的半导体结构的制作方法各步骤对应的剖面结构示意图。

[0076] 参考图10,在第一填充层113表面依次堆叠形成三层基础填充层,距离基底100最远的基础填充层填充剩余的电容接触孔。

[0077] 具体地,在垂直于基底200且沿基底200指向位线201的方向上,三层基础填充层依次为底层填充层204、中间填充层205和顶层填充层206。其中,底层填充层204、中间填充层205和顶层填充层206中掺杂元素的掺杂浓度逐层减小。因而,本实施例中,采用沉积工艺形成三层基础填充层时,在沉积过程中,通入具有掺杂元素的气体,在垂直于基底200且沿基底200指向位线201的方向上,用于形成基础填充层的气体的气体流量逐层减小。

[0078] 本实施例中,位于电容接触孔中的底层填充层204围成第一凹孔,部分中间填充层205位于第一凹孔中,且位于第一凹孔中的中间填充层205围成第二凹孔。顶层填充层206填充第二凹孔,且顶层填充层206内具有第二缝隙26,且顶层填充层206表面与第二缝隙26中心轴线对应的地方还具有第二凹槽27。

[0079] 其中,形成底层填充层204、中间填充层205和顶层填充层206的工艺包括化学气相沉积工艺或原子层沉积工艺。

[0080] 参考图10至图13,采用第二刻蚀工艺,对第一填充层213和至少部分基础填充层进行刻蚀的过程中,第二缝隙26被去除,有利于保证后续形成的电容接触插塞207中没有空

隙,从而有利于保证电容接触插塞207具有良好的导电性。

[0081] 参考图11,对应第二刻蚀工艺进行至第一时刻,此时剩余的底层填充层204、剩余的中间填充层205和剩余的顶层填充层206共同构成第一顶面d;参考图12,对应第二刻蚀工艺进行至第二时刻,此时剩余的底层填充层204、剩余的中间填充层205和剩余的顶层填充层206共同构成第二顶面e。结合参考图11和图12,第一顶面d的凹陷程度大于第二顶面e的凹陷程度。

[0082] 可见,采用第二刻蚀工艺对第一填充层213、底层填充层204、中间填充层205和顶层填充层206进行刻蚀的过程中,在电容接触孔中会形成刻蚀曲面。具体地,刻蚀曲面为第二刻蚀工艺中刻蚀物质与第一填充层213和至少部分基础填充层相接触的表面。因为在垂直于基底200且沿基底200指向位线201的方向上,第二刻蚀工艺对基础填充层的刻蚀速率逐层减小,所以,随着第二刻蚀工艺的进行,在平行于基底200且沿第一缝隙指向电容接触孔侧壁的方向上,刻蚀曲面上各点的斜率逐渐增大的趋势减缓,有利于最终获得顶部形貌较为平坦的电容接触插塞207。

[0083] 参考图13,剩余的第一填充层213和剩余的第三底层填充层204共同组成电容接触插塞207。此外,电容接触插207远离基底200的顶面与基底200表面平行,便于后续在电容接触插塞207上形成其他导电结构,且有利于降低电容接触插塞207与其他导电结构之间的接触电阻,且有利于提高半导体结构的良率。

[0084] 在其他实施例中,通过调节底层填充层、中间填充层和顶层填充层中掺杂元素的掺杂浓度的差值,电容接触插塞也可以只由剩余的第一填充层构成;或者,电容接触插塞也可以由剩余的第一填充层、剩余的底层填充层和剩余的中间填充层共同构成;或者,电容接触插塞也可以由剩余的第一填充层、剩余的底层填充层、剩余的中间填充层和剩余的顶层填充层共同构成。

[0085] 相应地,本发明第三实施例还提供一种半导体结构,该半导体结构由上述任一实施例提供的半导体结构的制作方法制成。

[0086] 参考图9,半导体结构包括:基底100,基底100上具有多条相互分立的位线101,相邻位线101之间具有电容接触孔;电容接触插塞106,电容接触插塞106位于电容接触孔底部,电容接触插塞106由第一填充层113和基础填充层构成。本实施例中,基础填充层为上述实施例中的底层填充层104,在其他实施例中,基础填充层也可以为至少两层的叠层结构。

[0087] 具体地,第一填充层113顶部表面存在孔洞,底层填充层104填充第一填充层113顶部表面的孔洞,有利于保证电容接触插塞106中没有空隙,且电容接触插塞106的顶部形貌较为平坦。在其他实施例中,电容接触插塞可以只由第一填充层构成。

[0088] 进一步地,电容接触插塞106远离基底100的顶面与基底100表面平行,便于后续在电容接触插塞106上形成其他导电结构,且有利于降低电容接触插塞106与其他导电结构之间的接触电阻,并有利于提高半导体结构的良率。

[0089] 此外,第一填充层113和底层填充层104均为具有掺杂元素的硅材料层,且第一填充层113中掺杂元素的掺杂浓度大于底层填充层104中掺杂元素的掺杂浓度。

[0090] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各自更动与修改,因此本发

明的保护范围应当以权利要求限定的范围为准。

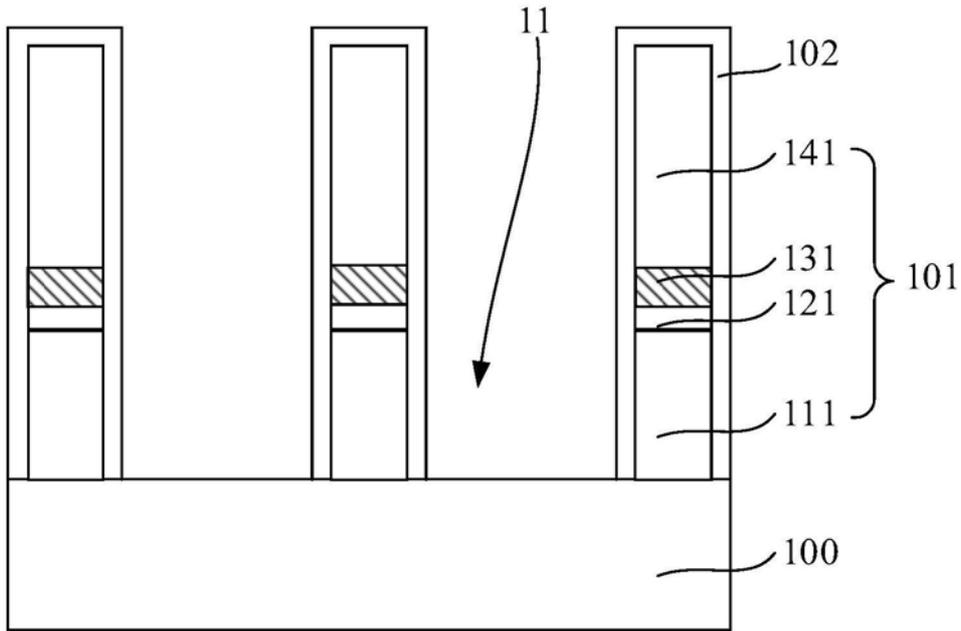


图1

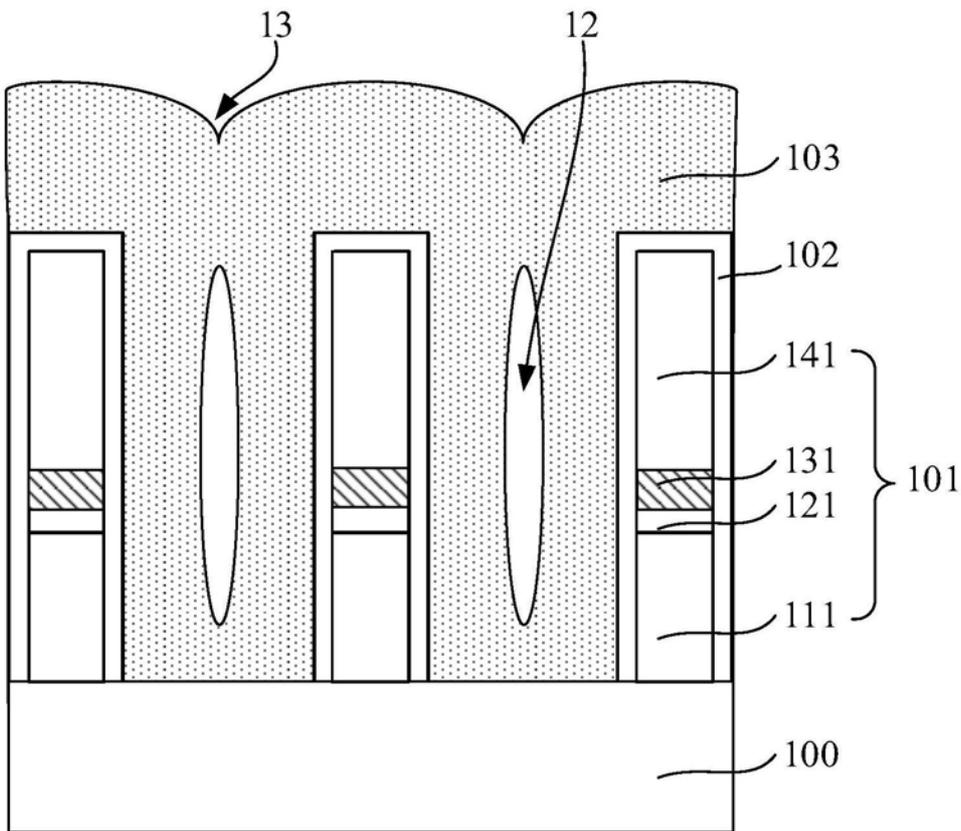


图2

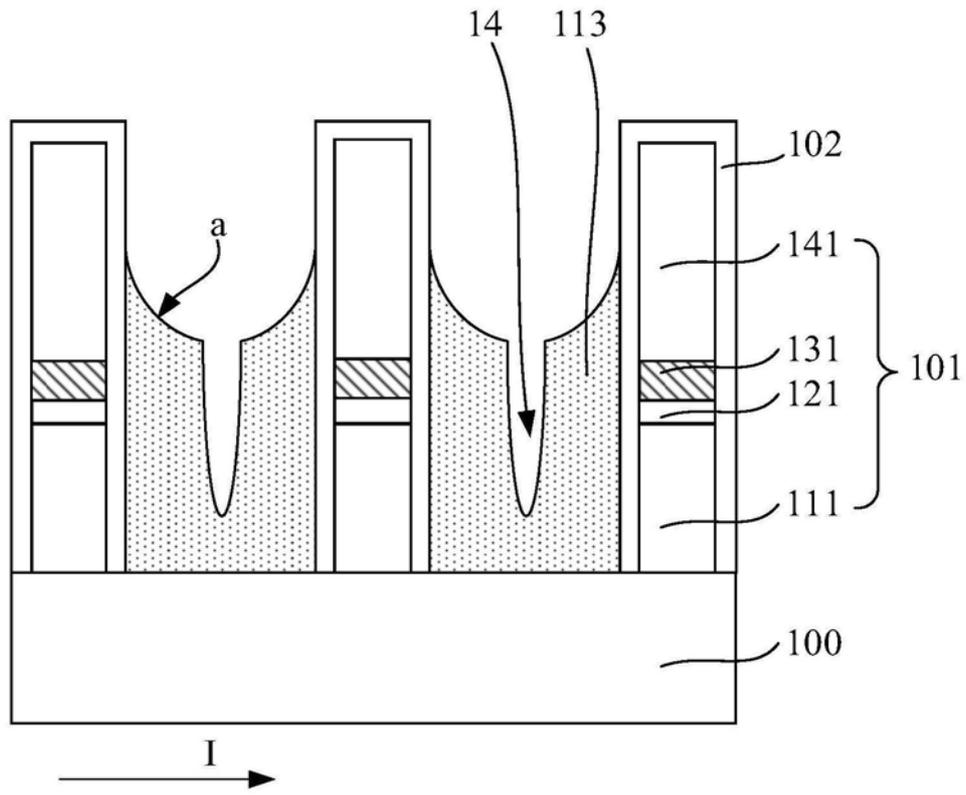


图3

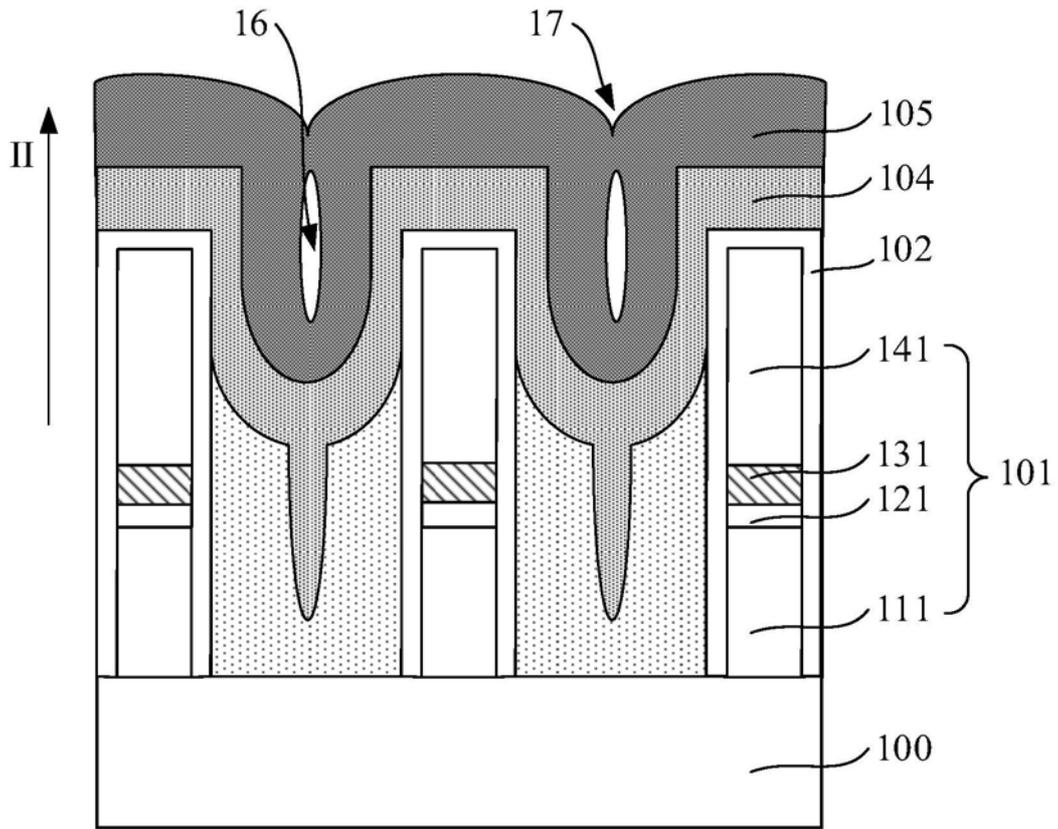


图5

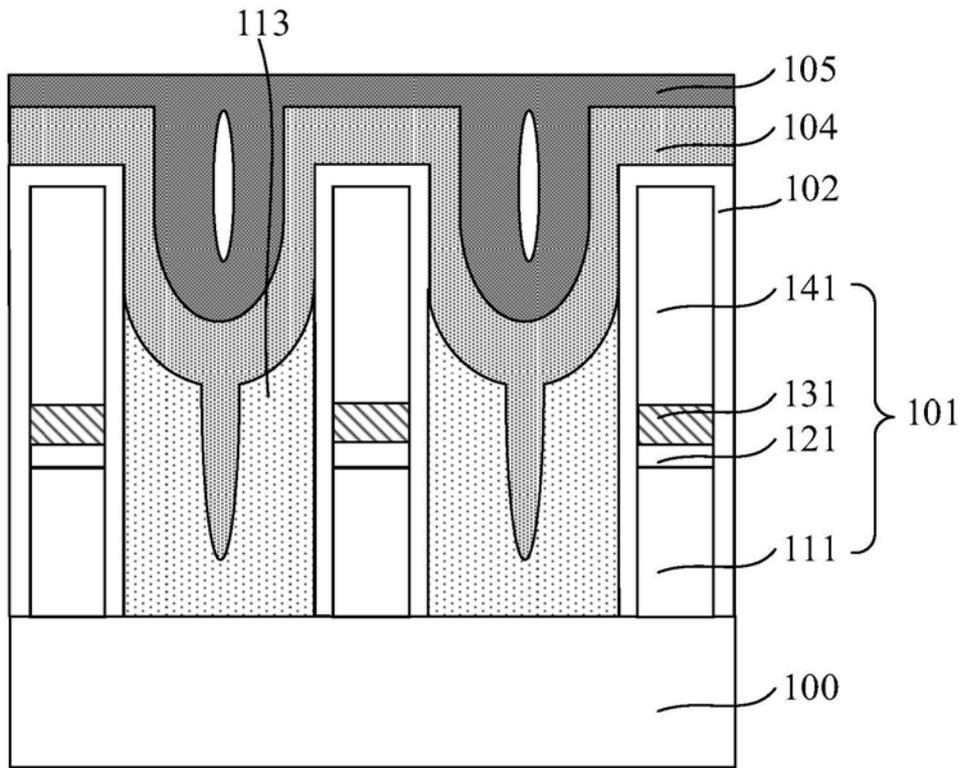


图6

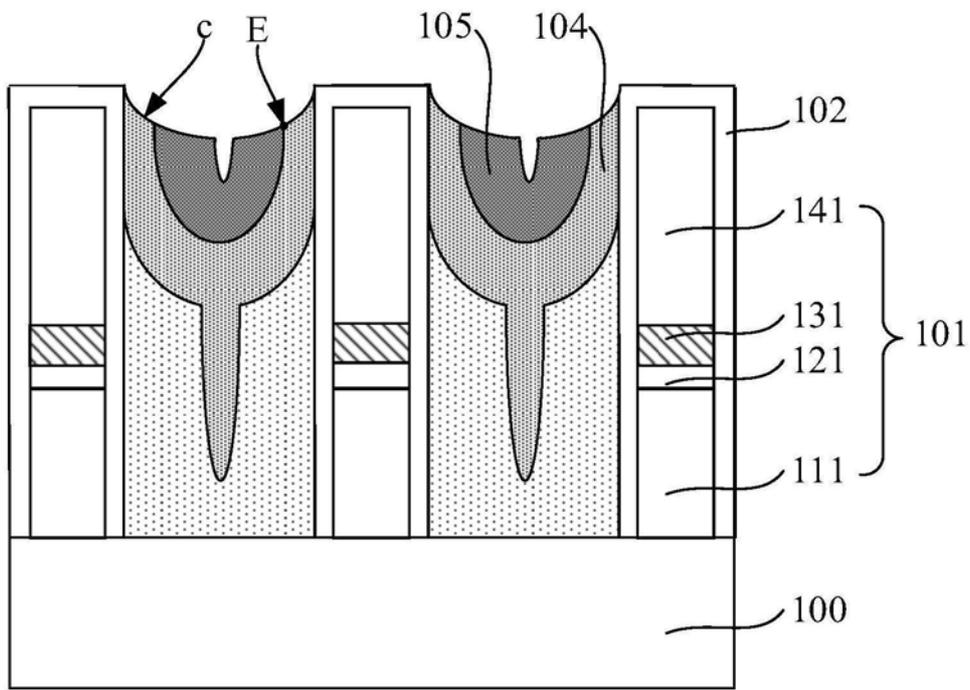


图7

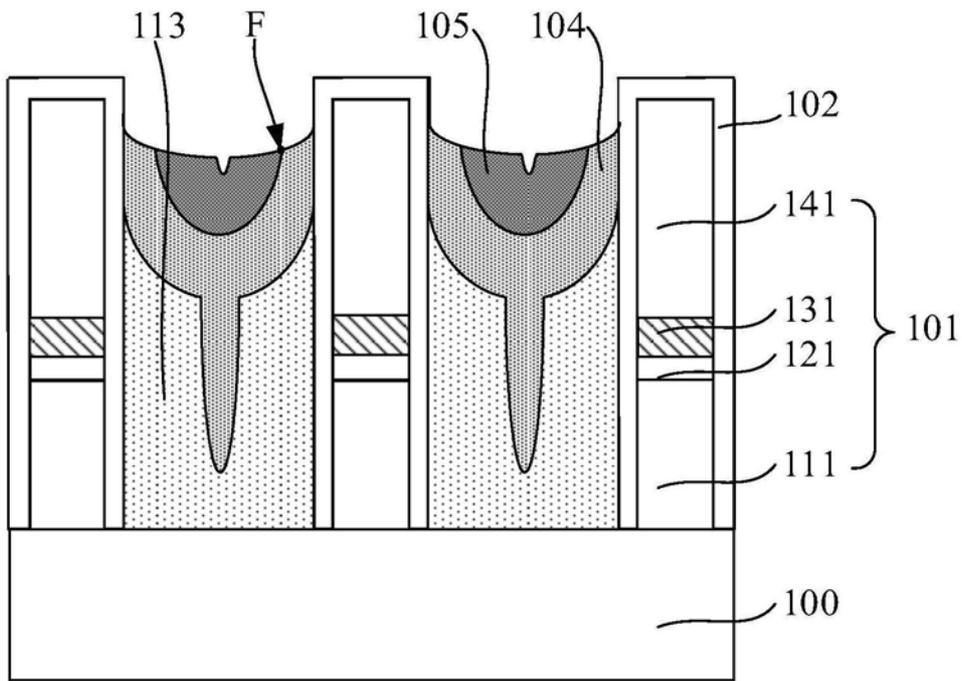


图8

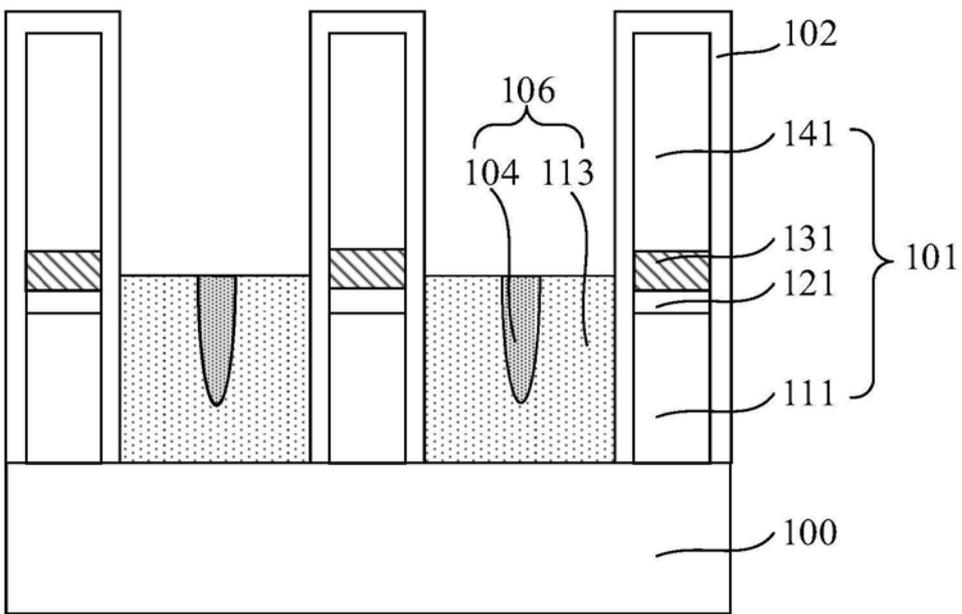


图9

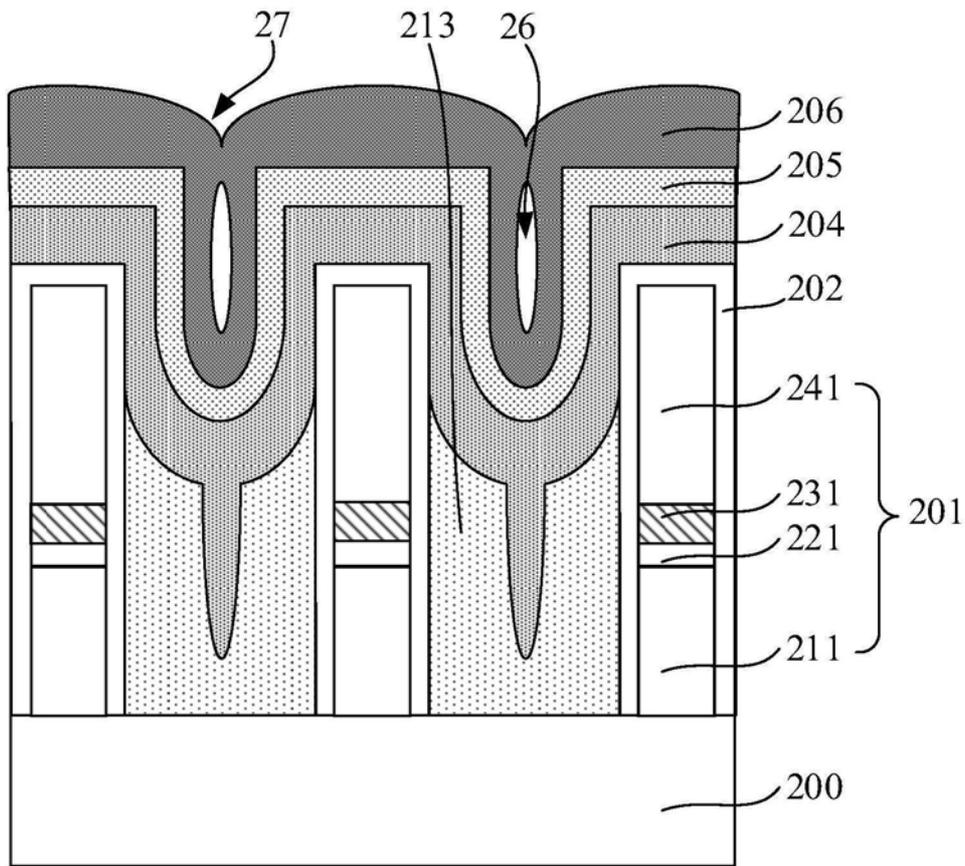


图10

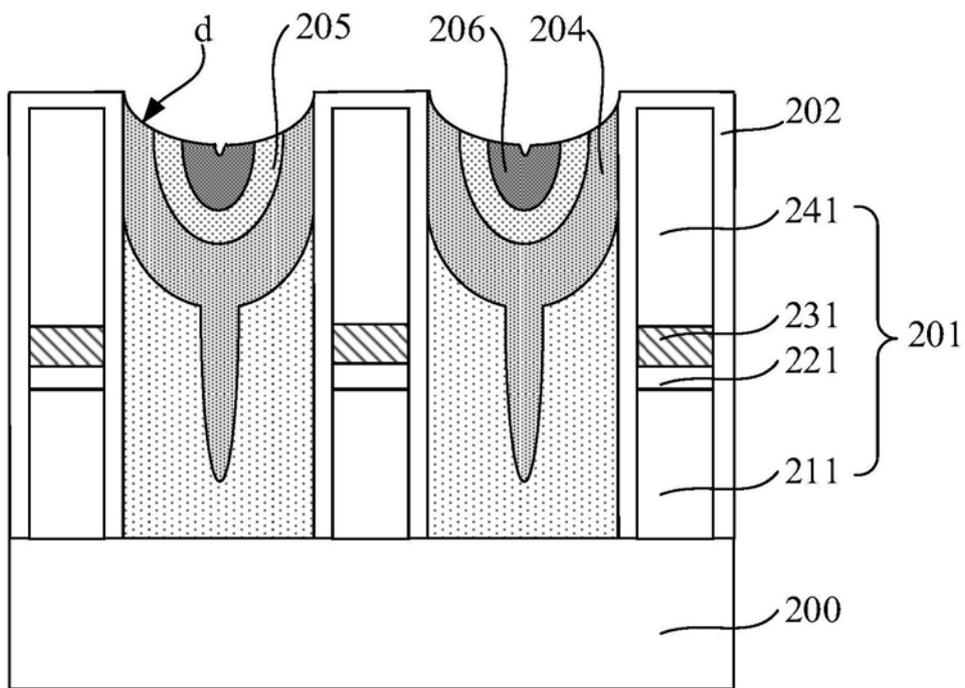


图11

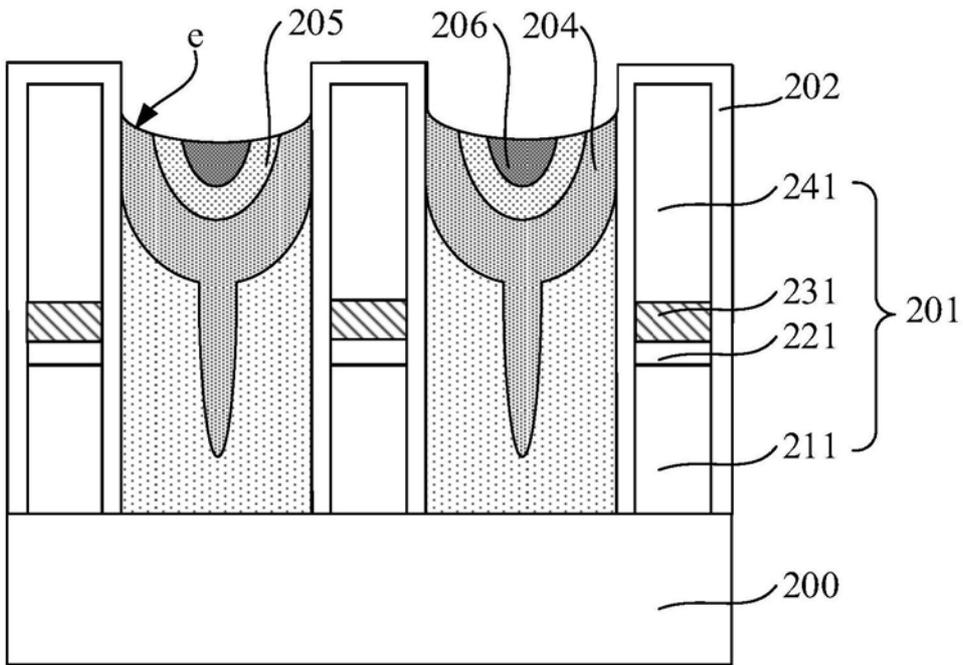


图12

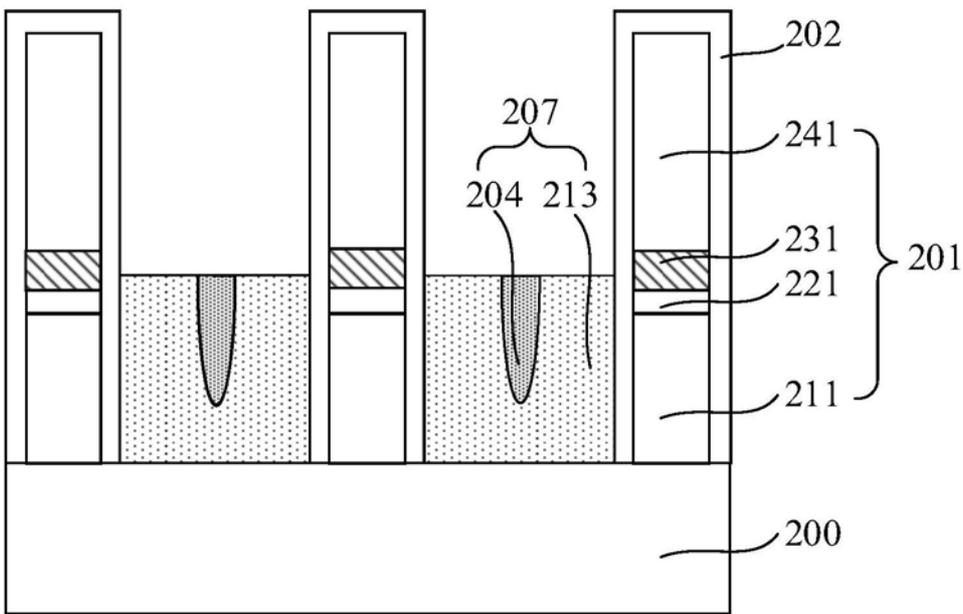


图13