

發明專利說明書 公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95107313

※申請日期：2006年3月3日

※IPC 分類：

C23C 16/42, 16/455, 16/52
(2006.01) (2006.01) (2006.01)

一、發明名稱：(中文/英文)

利用原位埋覆奈米層以改善機械特性之低K值介電質化學氣相沉積薄膜形成製程

LOW K DIELECTRIC CVD FILM FORMATION PROCESS WITH
IN-SITU IMBEDDED NANOLAYERS TO IMPROVE MECHANICAL
PROPERTIES

二、申請人：(共 3 人)

姓名或名稱：(中文/英文)

1. 美商·萬國商業機器公司/International Business Machines Corporation
2. 日商·蘇妮股份有限公司/Sony Corporation
3. 美商·蘇妮電子股份有限公司/Sony Electronics, Inc.

代表人：(中文/英文)

1. 安德森黎恩 D/ ANDERSON, LYNNE D.
2. 藤井哈洛德 T/ FUJII, HAROLD T.
3. 藤井哈洛德 T/ FUJII, HAROLD T.

住居所或營業所地址：(中文/英文)

1. 美國紐約州阿蒙市
Armonk, New York 10504, U.S.A.
2. 日本國東京都港區芝浦 1 丁目 1 番 1 號
7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo, Japan
3. 美國紐澤西州公園山脈市蘇妮大道 1 號
1 Sony Drive, Park Ridge, NJ 07656, U.S.A.

國籍：(中文/英文)

1. 美國/USA

2. 日本/Japan

3. 美國/USA

三、發明人：(共5人)

姓名：(中文/英文)

1. 蓋葉尚樊/NGUYEN, SON V.

2. 連恩莎拉 L/LANE, SARAH L.

3. 林尼格艾立克吉拉德/LINIGER, ERIC G.

4. 井田謙作/IDA, KENSAKU

5. 雷斯坦諾達林 D/RESTAINO, DARRYL D.

國籍：(中文/英文)

1. 美國/USA

2. 美國/USA

3. 美國/USA

4. 日本/Japan

5. 美國/USA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2005年3月8日；10/906,815

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種具有約 3.0 或更低之有效介電常數的低 k 介電堆疊層 (low k dielectric stack)，其中，該堆疊層的機械性質可藉著在該介電堆疊層中導入至少一奈米層而獲得改善。在不顯著提高該堆疊層中之該等薄膜之介電常數，且無需對該介電堆疊層做任何後續處理步驟的情況下，即可達到機械性質的改善。更明確而言，本發明提供一種低 k 介電堆疊層，其包含至少一低 k 介電材料，以及至少一層存在於該至少一低 k 介電材料中的奈米層。

六、英文發明摘要：

A low k dielectric stack having an effective dielectric constant k , of about 3.0 or less, in which the mechanical properties of the stack are improved by introducing at least one nanolayer into the dielectric stack. The improvement in mechanical properties is achieved without significantly increasing the dielectric constant of the films within the stack and without the need of subjecting the inventive dielectric stack to any post treatment steps. Specifically, the present invention provides a low k dielectric stack that comprises at least one low k dielectric material and at least one nanolayer present within the at least one low k dielectric material.

七、指定代表圖：

(一)、本案指定代表圖為：第(5)圖。

(二)、本代表圖之元件代表符號簡單說明：

32 矽基材	80 電子元件
34 絕緣材料層	82 介電材料層
38 介電堆疊層	84 層間介電層
40 導體層	86 層內介電層
44 介電堆疊層	92 介電窗
62 介電覆蓋層	94 內連線
72 介電覆蓋層	96 擴散阻障層
74 介電覆蓋層	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明有關於一種包含一或多種介電材料的電堆疊層，每一種介電材料具有約 3 或更低的介電常數，較佳為約 2.7 或更低，其中在該等介電材料中，至少其中一者內存在有一或多層奈米層。該等奈米層可改善該堆疊層中之該等介電材料的機械性質。本發明亦提供含有該介電堆疊層的半導體結構，例如包含有該介電堆疊層的內連線結構。本發明亦有關於一種製造該新穎介電堆疊層的方法。

【先前技術】

在微電子裝置的製造領域中，積體電路是利用多層連線結構來作為元件內部的內連線區域，以及作為積體電路中一或多個元件的連結。傳統上，形成內連線結構的方法是先形成下層的線路，隨後沉積一層間介電層，並接著形成一第二層線路，其中該第一與第二層線路層可藉著一或多個填充有金屬的介電窗(vias)而連接。

諸如二氧化矽(SiO_2)等層間與/或層內介電層(ILDs)是用來將主動區域與各種內連結訊號路徑彼此電性隔離開來。位於不同內連線層之間的電性連結，是透過多個形成在該些ILD層中的介電窗來達成。通常，在該等介電窗中填補以金屬，例如銅、鋁或鎢等。

近來，熱中於以低介電常數(低 k)材料來取代二氧化矽作為內連線結構中的層內與/或層間介電層。顧名思義，

「低 k(low k)」一詞係指一介電材料具有低於二氧化矽的介電常，例如在真空環境下測得的介電常數低於 4.0。低 k 材料的範例包括：含有碳、氫與氧原子的有機介電材料，例如熱固性聚亞芳基醚 (thermalsetting polyarylene ether)；以及含矽、氧、氫並選擇性含碳原子的無機介電材料。後者之範例則包括碳摻雜的氧化物 (亦稱為 SiCOH)、倍半矽氧烷 (silsesquioxanes)、有機矽烷與其他類似的含矽材料等。

由於低 k 材料能降低內連線的電容，故傾向使用低 k 材料來作為內連線結構中的絕緣體。因此，低 k 材料能提高內連線結構中的訊號傳遞速率，同時降低干擾雜訊與耗電量。

低 k 材料的主要問題在於缺乏機械剛性，以及當受到溫度與機械應力 (stress) 的時候容易破裂。因此，習知的低 k 介電材料表現出高破裂速率 (例如當厚度微 1.2 微米時，破裂速率約 1×10^{-10} 公尺/秒)、高應力 (如 60MPa 或更高)、低模數係數 (如約 7.5GPa 或更低) 與低硬度 (例如約 1GPa 或更低)。當材料的介電常數降低時，這些機械性質也跟著變差。舉例而言，一多孔性低 k 材料的破裂速率、應力、模數與硬度，會比其相對應為無孔的低 k 材料要來得差。

低 k 介電材料的機械性質不佳，可能導致元件在使用一段時間之後便故障或性能減退。例如，具有高破裂速率的介電膜極有可能在進一步處理或使用的過程中，在該些膜層內部產生裂痕，這些裂痕會大幅降低該些具有此等膜

層之半導體元件的可靠度。

在習知領域中，曾藉著對該些膜層做沉積後處理步驟來改善低 k 介電材料的機械性質。例如，利用固化反應或施以熱、紫外光、電子束照射、化學能量或這些方法的組合來進行處理，以穩定該低 k 介電材料並改善其機械性質。如果上述沉積後處理方法可行，這些處理方法會增加至製程中成為額外的處理步驟，因而提高了介電膜的製造成本。

上述與破裂有關的問題不僅限於發生在低 k 介電材料上，同樣可套用至該些受到熱或機械應力後會變得脆弱的其他材料上。

綜合以上所述，需要一種介電堆疊層，其不需要經過任何沉積後處理，即可改善諸如破裂速率、應力、模數與硬度等機械性質。

【發明內容】

本發明提供一種低 k 介電堆疊層，其具有約 3.0 或更低(較佳約 2.7 或更低)的有效介電常數 k，其中，該堆疊層的機械性質可在不顯著提高該堆疊層中該等膜層之介電常數的情況下獲得改善。且無需對該介電堆疊層做任何後處理步驟，即可達到機械性質的改善。

更明確而言，本發明提供一種低 k 介電堆疊層，其包含至少一低 k 介電材料以及至少一奈米層，且該至少一奈米層存在於該至少一低 k 介電材料中。本發明中所使用「奈

米層 (nanolayer)」一詞，係指厚度介於奈米尺寸範圍中的膜層。

本發明之奈米層係於原位 (in-situ) 形成，且該等奈米層典型至少包含矽與碳原子，並可選擇性地含有碳、氫與氮原子。本發明奈米層的示範性範例包含但不侷限於： SiCOH 、 SiCOHN 、 SiO_2 、 SCOH 、 SiON 、 SiCO_x 或上述物質之多層膜。

大體而言，本發明提供一種介電堆疊層，其包含至少一介電常數約 3.0 或更低的低 k 介電材料，以及至少一含矽與氧原子且位於該至少一低 k 介電材料中的奈米層。

本發明亦有關於一種諸如內連線結構等電子結構，其含有該本發明之新穎介電膜層，以作為層間或層內介電層、覆蓋層與或硬罩幕/研磨停止層等。

更明確而言，本發明之電子結構包含一已預處理過的半導體基材，其具有：一包埋於第一絕緣材料層中的第一金屬區域、一包埋於第二絕緣材料層中的第一導體區域以及一包埋於一第三絕緣材料層中的第二導體區域；其中，該第二絕緣材料層緊密接觸該第一絕緣材料層；該第一導體區域與該第一金屬區域電性連通；該第二導體區域與該第一導體區域電性連通；以及，該第三絕緣材料層緊密接觸該第二絕緣材料層。

在上述結構中，在每一層該等絕緣材料層中均可包含該新穎的低 k 介電堆疊層。

該電子結構可更包含一位於該第一與第二絕緣材料層

之間的介電覆蓋層，並可更包含一位於該第二與第三絕緣材料層之間的介電覆蓋層。該電子結構可更包含一位於該第二與第三絕緣材料層之間的第一介電覆蓋層，以及一位於該第三絕緣材料層之頂面上的第二介電覆蓋層。

在某些實施例中，該介電覆蓋層本身可包含該新穎的低 k 介電堆疊層。

該電子結構可更包含一擴散阻障介電層，其沉積在該第二與第三絕緣材料層之其中一者上。該電子結構可更包含一位在該第二絕緣材料層頂面上的介電層與一擴散阻障介電層，該介電層係作為 RIE 硬罩幕/研磨停止層之用，且該擴散阻障介電層位在該 RIE 硬罩幕/研磨停止層的頂面上。該電子結構可能更包含：一位在該第二絕緣材料層頂面上的第一 RIE 硬罩幕/研磨停止介電層、一位在該第一 RIE 硬罩幕/研磨停止介電層頂面上的第一 RIE 擴散阻障介電層、一位在該第三絕緣材料層頂面上的第二 RIE 硬罩幕/研磨停止介電層、以及一位在該第二 RIE 硬罩幕/研磨停止介電層頂面上的第二擴散阻障介電層。該 RIE 硬罩幕/研磨停止介電層可由該新穎的資 k 介電堆疊層所構成。

本發明亦有關於一種製造該新穎介電堆疊層的方法。更明確而言，本發明之方法包括：

提供一基材進入一反應室中；以及

由至少一第一介電前驅物於該基材之一表面上沉積出一低 k 介電膜，其中該在沉積步驟的過程中，以一奈米層前驅物來置換該第一介電前驅物，已在該低 k 介電膜中導

入至少一奈米層，該奈米層至少包含矽與氧原子。

需明白的是，除了該些於本文中敘述過的低 k 介電材料以外，本發明亦預期能應用於其他材料堆疊層。在該種情況下，本發明提供一種包含一或多層膜層的材料堆疊層以及至少一位於該等膜層中的奈米層，其中該等膜層之破裂速率約 1×10^{-10} 公尺/秒或更高，且該至少一奈米層會使該等膜層之破裂速率減少至低於 1×10^{-10} 公尺/秒 (1E-10 m/sec)。

在此實施例中，除了以一第一材料前驅物來取代該第一介電前驅物之外，該堆疊層係利用上述方法所製成。例如，可在一金屬氧化物基材上形成一金屬堆疊層，其中係從含金前驅物來沉積出由金所構成的該金屬堆疊層。

【實施方式】

本發明提供一種包含一或多種具改良機械性質(包括破裂速率、應力、拉伸模數與硬度)之低 k 介電材料的介電堆疊層，以及製造該介電堆疊層的方法。以下將參考附圖對本發明做詳細敘述。該些附圖係作示範目的，因此並未依照比例加以繪製。

並注意下述內容是討論一種在一或多個低 k 介電膜層中包埋著奈米層之介電堆疊層的形成。雖然本文中敘述並繪示了介電堆疊層的形成，但在該些極容易破裂的他種膜層中整合入奈米層的構想仍為本文所思及範疇。在該種情形下，可使用任何傳統材料前驅物(例如一含金屬前驅物)

來取代下述的介電前驅物。在其他材料的沉積過程中，以一奈米前驅物來置換掉該材料前驅物，已形成該奈米層，且待該奈米層形成後，再次使用該材料前驅物，其中該材料前驅物可與前次所使用的前驅物相同或不同。

首先參考第 1 圖，其繪示一個在基材 10 表面上形成有該低 k 介電堆疊層 12 的結構，其中該低 k 為介電常數約 3.0 或更低，較佳約 2.7 或低於 2.7。當「基材 (substrate)」一詞用於基材 10 方面時，其包括半導體材料、絕緣材料、導體材料或上述材料之任意組合 (包括多重結構等)。因此，舉例而言，基材 10 可為諸如矽 (Si)、矽鍺 (SiGe)、矽鍺碳 (SiGeC)、矽碳 (SiC)、銦砷 (InAs)、銦磷 (InP) 與其他第 III/V 或 II/VI 族化合物半導體。該半導體基材 10 可能一包含一層狀結構，例如矽/矽鍺、矽/矽碳、絕緣層上覆矽層 (SOIs) 或絕緣層上覆矽鍺層 (SGOIs)。

當基材 10 為一絕緣材料時，該絕緣材料可為一有機絕緣材料、一無機絕緣材料或其組合物與多層膜結構。當基材 10 為一導體材料時，該基材可能包含如多晶矽 (polySi)、元素金屬、多種元素金屬所構成之合金、金屬矽化物、金屬氮化物與上述材料之組合物及多層膜。

在部分實施例中，該基材 10 包含一半導體材料與一絕緣材料的組合、一半導體材料與一導體材料的組合、或是一半導體材料與一絕緣材料及一導體材料的組合。

當該基材 10 包含一半導體材料時，可於其上製造出諸如互補金氧半導體元件 (CMOS) 等一或多種半導體元件。為

了使圖能明確清楚，該等半導體元件並未繪示於本發明附圖中。

該低 k 介電堆疊層 12 可能包含任何介電常數約 3.0 或低於 3.0 的介電材料。較佳者，該低 k 介電堆疊層 12 包含介電常數約 2.1 或更低的介電材料，若介電常數約 2.5 或低於 2.5 者更佳。「介電堆疊層(dielectric stack)」係指一種包含至少一具有低 k 值的介電膜層(或材料)。如第 1 圖所示般，該介電堆疊層 12 含有 6 層膜層 14，其中一奈米層 16 將每一膜層 14 分隔開來。此圖僅做為示範，並非用來限定本發明介電堆疊層中的介電膜層或奈米層的數目。該膜堆疊層中的該等介電材料可為相同或不同的低 k 介電材料，但以相同材料為佳。

存在於該堆疊層 12 中的低 k 介電膜層可以是多孔性、無孔性或多孔與無孔的組合。當使用多孔性介電膜層時，其介電常數較無孔性之同類膜層的介電常數來得低。較佳者，該堆疊層中的每一層該等低 k 介電膜層(或材料)均為多孔性。典型藉由在沉積步驟中導入一致孔劑並於沉積後使用固化步驟來移除該致孔劑來形成孔洞。在某些實施例中，所使用之前驅物的其中一者可為一致孔材料。

可應用於本發明中的介電膜(材料)範例包括但不侷限於：諸如熱固性聚亞芳基醚等含碳、氧與氫原子的有機介電材料，以及含有矽、氧與氫且可選擇性含有碳原子的無機介電材料。後者之範例則包括：碳摻雜的氧化物(亦可稱為 SiCOH)、倍半矽氧烷、有機矽烷與其他類似的含矽材

料。文中「聚亞芳基 (polyarylene)」一詞係指芳香羰類的分子基團，或是該些藉由鍵結、稠環 (fused ring) 或諸如氧、硫、碲基、亞碲基、羰基等惰性連結基團連結在一起後所形成的惰性取代芳香羰基團。

若上述沉積的介電材料不具有本發明之奈米層，則這些介電材料通常具有不良的機械性質。更明確而言，這些不具有本發明奈米層的沉積介電材料，當其厚度為 1.2 微米時，具有約 1×10^{-10} 公尺/秒或更高的破裂速率、約 60MPa 或更高的應力、約 7.5 或低於 7.5GPa 的模數以及約 1GPa 或更小的硬度。該些機械性質會隨著材料介電性的降低而變差。例如，一多孔低 k 介電材料的破裂速率、應力、模數與硬度均降相對應之無孔低 k 介電材料要來得差。

可將基材 10 置於諸如電漿強化化學氣相沉積 (PECVD) 等反應室中來沉積出該介電堆疊層 12。除了 PECVD 法之外，本發明亦預期能利用化學氣相沉積 (CVD)、高密度電漿沉積 (HDP)、脈衝式 PECVD 法、旋塗法或其他相關方法來形成該介電堆疊層 12。以上所定義之低 k 介電材料之沉積步驟將於下述內容做更詳細的描述。在沉積該等介電膜 14 的過程中，其沉積條件會有所改變，使得至少一層至少含矽與氧原子的奈米層 16 得以形成。可藉著停止該前驅物流，並以一奈米層前驅物流來取代該前驅物流來達成此步驟。待形成該奈米層後，停止該奈米層前驅物流，並繼續將該介電前驅物導入該反應室中。亦可在形成該奈米層後，改變該介電前驅物，以提供不同於先前所形成之介電

層組成的組成物。

該介電堆疊層 12 的沉積厚度可以變化；通常所沉機之低 k 介電堆疊層 12 的厚度範圍約介於 50 奈米至 5 微米之間，較佳約介於 100 奈米至 1.5 微米之間。

導入該膜堆疊層中之奈米層 16 的厚度係屬於奈米範圍。典型地，該奈米層 16 之後度約介於 1 奈米至 100 奈米間，較佳介於約 2 奈米至 10 奈米間。本發明之奈米層 16 為原位奈米層，其至少包含矽與氧原子，並可選擇性地含有碳、氫與氮原子。本發明奈米層的示範性範例包括：SiCOH、SiCOHN、SiO₂、SiCO_x、SiON 或上述材料之多層膜。該指定介電堆疊層中之每一奈米層的組成可以相同或不同。

待該等奈米層 16 整合至該介電材料 14 中後，本發明堆疊層中之介電材料的破裂速率小於 1×10^{-10} 公尺/秒(後度為 1.2 微米時)、應力低於 60MPa(典型約介於 30 至 50MPa)、模數大於 7.5GPa(典型約介於 8 至 13GPa)、以及硬度大於 1GPa(典型介於 1.5 至 2.0GPa)。上述數值為本發明堆疊層尚未進行任何後處理步驟前時，其沉積材料的機械性質。相較於不含有埋覆奈米層的介電膜層而言，本發明含有埋覆奈米層之堆疊層的上述機械性質均獲得改善。

通常，該低 k 介電材料 14 為利用美國專利案 6147009、6312793、6441491、6437443、6541398、6479110B2 以及 6497963 號中所敘述之技術沉積而成的 SiCOH 介電層，並將該等文獻內容納入本文中以供參考。

更明確而言，該 SiCOH 介電膜層係藉著下列步驟所形成：將一第一前驅物(含矽、碳與氧原子的液狀、氣狀或汽狀介電前驅物)以及一諸如氬或氫等惰性載氣供應至一反應室(叫家為 PECVD 反應室)中；隨後，在有效形成 SiCOH 介電材料的條件下，從該第一前驅物沉積一膜層於適當的基材上。本發明更包括使該第一前驅物與一氧化劑混和的步驟，以穩定該反應室中的該等反應物，並善沉積於該基材上之低 k 介電材料的均勻度，其中該氧化劑係例如氧氣、二氧化碳或其組合物。

除了該第一前驅物以外，可使用一含碳、氫且選擇性包含氧、氟與氮原子的第二前驅物(液狀、氣狀或汽狀)。亦可選擇性地使用一含鎢的第三前驅物(液狀、氣狀或汽狀)。

較佳者，該第一前驅物係選自於具環狀結構的有機分子中，包括如 1,3,5,7-四甲基環四矽氧烷(C₄H₁₆O₄Si₄, TMCTS)、八甲基環四矽氧烷(OMCTS)、二乙氧基甲基矽烷(DEMS)、二甲基二甲氧基矽烷(DMDMOS)、二乙基甲氧基矽烷(DEDMOS)與相關的環狀與非環狀矽烷類與矽氧烷類等等。

可用來形成一 SiCOH 低 k 介電材料的第二前驅物為烴類分子(hydrocarbon molecule)。雖然諸如乙烯等任何烴類分子均可使用，但該第二前驅物較佳選自於由具環狀結構之烴類分子所構成的群組中，特別是該些分子中具有一個以上之環狀結構或是在環狀結構上具有支鏈的烴類分子。

特別是該些含有多個稠環且至少其中一者為含雜原子(特別是氧原子)之雜環的物種更為有用。這些物種中，最適合的物種為其環大小能確保具有顯著環張力(ring strain)之環的物種，主要為 3 或 4 原子以及/或由 7 或更多原子所構成的環。特別是該些氧代二環類(oxabicyclics)化合物更為適合，例如環氧環戊烯(cyclopentene oxide, CPO 或 C_5H_8O)。該些煙環上具有三級丁基(t-butyl)與異丙基(i-propyl)支鏈的分子亦可用於本發明中，其中該環可以是飽和或不飽和的環(例如含有 C=C 雙鍵)。該第三前驅物可能是由氫化鍺(germane hydride)或任何其他含鍺的反應物所形成。

在本發明一較佳實施例中，該用來作為新穎堆疊層中之低 k 介電膜層的 SiCOH 介電膜可能是利用一平行板反應室所沉積出來，該反應室具有一基材夾盤之導電區域以及一位於該基材與該頂部電極之間間隙，其中該導電區域大小約介於 85 至 750 平方公分，且該間隙約介於 1 公分至 12 公分之間。一頻率介於 0.45MHz 至 200MHz 之間的高頻射頻功率係供應至該等電極之其中一者上。並可選擇將一額外的低頻功率供應至該等電極的其中一者上。

沉積步驟的條件可視想要達到之該 SiCO 介電膜的最終介電常數而改變。廣泛而言，能提供介電常數約 2.7 或更低且含矽、碳、氧原子之穩定介電材料的條件包括：設定該基材溫度介於約 200 至 425°C 之間；設定該高頻射頻功率密度介於約 0.1 瓦/平方公分至 2.5 瓦/平方公分之間；

設定該第一液體前驅物流率介於約 100 毫克/分鐘至約 5000 毫克/分鐘之間；選擇性地設定該第二液體前驅物流率介於約 50 毫克/分鐘至約 10000 毫克/分鐘之間；選擇性地設定該第三液體前驅物流率介於約 25 毫克/分鐘至約 4000 毫克/分鐘之間；選擇性地設定諸如氮氣及/或氫氣等惰性載氣流率介於約 50 sccm 至約 5000 sccm 之間；設定該反應室壓力介於 1000 毫托 (mTorr) 至約 7000 毫托之間；以及，設定該高頻射頻功率介於 75 瓦至約 1000 瓦之間。並可選擇性地，施加一介於 30 瓦至 400 瓦之間的低頻功率至該電漿。當該基材夾盤之導電區域隨著一因數 X 而改變時，施加至該基材夾盤上的射頻功率亦隨著因數 X 改變。

當於本發明中使用一氧化劑時，該氧化劑流入該 PECVD 反應室中的流率約介於 10 sccm 至 1000 sccm 之間。

雖然上述實施例中使用的是液體前驅物，但該領域中之習知技藝者均明白，諸如三甲基甲矽烷 (trimethylsilane) 等氣態的有機矽烷前驅物亦可用於沉積步驟中。可在該低 k 介電膜 14 的沉積過程中使用一致孔劑，該致孔劑會於後續的固化步驟中，在該膜層 14 內部形成孔洞。

在本發明一較佳實施例中，該堆疊層中的低 k 介電膜為氫化及氧化後的碳矽材料 (SiCOH)，其含有共價鍵結成網狀立體結構的矽、碳、氧與氫原子，並具有不高約 2.8 的介電常數值。該立體網狀結構可能包括含有 Si-O、Si-C、Si-H、C-H 與 C-C 鍵的共價環狀立體結構。「立體 (tri-dimensional)」一詞係用來描述一聚合體結構中的矽、

碳、氧與氫原子在 x、y 與 z 方向上相互連接。

該新穎堆疊層 12 中的低 k 介電膜 14 可能包含氧與氫原子，並可能選擇性的令一部分的矽原子被鍍原子所取代。該低 k 介電膜 14 可能含有分子級的孔洞(即，奈米尺寸的孔洞)，其孔洞直徑約介於 0.3 至 50 奈米，較佳約介於 0.4 至 10 奈米，且該介電膜 14 的介電常數更降低至低於 2.0。該低 k 介電膜 14 中的奈米尺寸孔洞的體積約佔該材料體積的 0.5% 至 50%。

當該低 k 介電膜 14 為一 SiCOH 介電材料時，通常其矽含量介於約 5 至 40 原子百分比、碳含量介於約 5 至 45 原子百分比、氧含量介於約 0 至 50 原子百分比，以及氫含量介於約 10 至 55 原子百分比。

該等奈米層係藉著將導入該反應室中之前驅物置換成能更夠形成該奈米層的物種，而在該低 k 介電膜 14 的沉積過程中引入該等奈米層。更明確而言，該奈米前驅物包括該些至少含有矽、或矽與氧且選擇性含碳、氧與氫原子的固體、液體或氣體。奈米層前驅物的範例包括：1,3,5,7-四甲基環四矽氧烷(C₄H₁₆O₄Si₄, TMCTS)、八甲基環四矽氧烷(OMCTS)、二乙氧基甲基矽烷(DEMS)、二甲基二甲氧基矽烷(DMDMOS)、二乙基甲氧基矽烷(DEDMOS)、矽烷、六甲基二矽氮烷(hexamethyl disilazane, HMDS)或相關的環狀與非環狀矽烷類與矽氧烷類等等。

該奈米層前驅物可與一惰性氣體及/或一氧化劑合併使用。該惰性氣體與該氧化劑可與上述惰性氣體與氧化劑

相同。

用來形成該奈米層的條件包括：設定該基材溫度介於約 200 至 425°C 之間；設定該高頻射頻功率密度介於約 0.1 瓦/平方公分至 2.5 瓦/平方公分之間；設定該奈米層前驅物流率介於約 600 毫克/分鐘至約 2500 毫克/分鐘之間；選擇性地設定諸如氮氣及/或氫氣等惰性載氣流率介於約 50 sccm 至約 5000 sccm 之間；選擇性地設定該氧化劑流率介於約 600 sccm 至約 2500 sccm 之間；設定該反應室壓力介於 1000 毫托至約 7000 毫托之間；以及，設定該高頻射頻功率介於 75 瓦至約 1000 瓦之間。並可選擇性地，施加一介於 30 瓦至 400 瓦之間的低頻功率至該電漿。

如上所指出的，相較於內部沒有埋覆任何奈米層的介電堆疊層來說，本發明所沉積出來的新穎介電堆疊層在破裂速率、應力、模數與硬度等方面具有改善的機械性質。並可藉著將該新穎的介電堆疊層做後處理步驟，以達到該等機械性質的更進一步改善。這些後處理步驟是選擇性的，該新穎介電堆疊層 12 亦可不需進行這些後處理步驟。

如有需要，可利用諸如熱、電子束、電漿、微波或輻射來源(如紫外光或雷射)等能量來源來執行該新穎介電堆疊層 12 的後處理步驟。於本發明中，亦可組合使用上述能量來源。

該熱能量來源包括能將所沉積之介電堆疊層 12 加熱至 450°C 以上之溫度的任何來源，例如加熱元件或燈泡。更佳者，該熱能量來源能將該 SiCOH 介電堆疊層 12 加熱

至介於約 200°C 至 400°C 之間，更佳則可加熱至約 350°C 至 425°C 之間。此熱處理步驟可執行不同的時間，典型來說約執行 5 分鐘至 300 秒。該熱處理步驟一般係於存在有諸如氬、氫、氖、氙、氮或其混合物等惰性氣體存在的環境下執行。該熱處理步驟亦可稱為退火步驟 (anneal step)，其可以使用快速熱退火、爐管退火 (furnace anneal)、雷射退火或突發式退火 (spike anneal) 條件。

在某些實施例中，該熱處理步驟可於一種含有諸如氫氣或一煙類等氫來源氣體之氣體混合物中進行。在另一實施例中，該熱處理步驟可在一種氧氣與水分壓極低的氣體混合物中執行，其中該氧氣與水的分壓低於 1000ppm。

該紫外光處理步驟的執行，係可利用能產生約介於 500 至 150 奈米波長之光線來源來照射該基材，以使該晶圓溫度維持至多 450°C，且較佳約介於 200°C 至 450°C 之間，更佳介於約 350°C 至 425°C 之間。波長大於 370 奈米的輻射光源的能量不足以分解或活化重要的鍵結，因此較佳的波長範圍介於 150 奈米至 370 奈米之間。根據文獻資料與從沉積膜層上所測得之吸收光譜得知，波長小於 170 奈米的輻射光源因其造成介電堆疊層中之介電材料分解，而不適用。此外，由於介於 310 至 370 奈米之波長的光子能量相對較低於 150 至 310 奈米之波長，故 310 至 370 奈米波長不如 150 至 310 奈米波長般有用。介於 150 至 310 奈米之間的波長期與所沉積之介電堆疊層的吸收光譜範圍適當重疊，並對該堆疊層中的膜性質造成最少的分解作

用，故可選擇作為用來改變該介電性質之紫外光譜中最有效區段。

該紫外光處理步驟可在一惰性氣體、一氫來源氣體或一氧氣與水分壓介於上述範圍間之氣體混合物中進行。

該電子束處理步驟可利用能在晶圓上產生一均一電子流的來源來執行之，該電子束能量介於 0.5 至 25 仟電子伏特 (keV) 且電流密度介於 0.1 至 100 微安培/平方公分 ($\text{microAmp}/\text{cm}^2$) 之間，同時能使該晶圓溫度維持最高 450°C ，較佳介於 200 至 450°C 之間，更佳介於 350 至 425°C 之間。該電子束處理步驟中所使用的較佳電子劑量係介於 50 至 500 微庫倫/平方公分 ($\text{microcoulombs}/\text{cm}^2$)，較佳介於 100 至 300 微庫倫/平方公分之間。

該電子束處理步驟可於一惰性氣體、一氫來源氣體或一氧氣與水分壓介於上述範圍間之氣體混合物中進行。

電漿處理步驟可利用能產生氫原子 (H) 並選擇性產生甲基 (CH_3) 或其他烴類自由基之來源來執行之。並且該基材暴露在順流式電漿 (downstream plasma) 來源中會比直接暴露在電漿中更佳。在電漿處理過程中，該晶圓溫度維持至多 450°C 之溫度，且溫度較佳介於 200°C 至 450°C 之間，更佳介於 350 至 425°C 之間。

藉著將一氣體導入一能產生電漿之反應室中，隨後將該氣體轉化成電漿以執行該電漿處理步驟。可用於該電漿處理的氣體包括：諸如氫、氮、氬、氫或氬等惰性氣體 (並以氬為佳)、氫氣或氫原子相關來源、甲烷、甲基矽烷、甲

基相關來源以及上述氣體之混合物。該電漿處理氣體的流率可根據所使用的反應室系統而做改變。該反應室壓力約介於 0.05 至 20 托 (Torr) 之間，但較佳操作壓力範圍介於 1 至 10 托之間。該電漿處理步驟的執行時間通常約 0.5 分鐘至 10 分鐘之間，但本發明中亦可使用較長的處理時間。

射頻 (RF) 或微波功率來源通常用來產生上述電漿。該射頻功率來源可以高頻 (約 100 瓦或更高) 或低頻 (低於 250 瓦) 或兩者之組合來運作。該高頻功率密度可介於 0.1 至 2.0 瓦/平方公分之間，較佳操作範圍介於 0.2 至 1.0 瓦/平方公分之間。該低頻功率密度可介於 0.1 至 1.0 瓦/平方公分之間，較佳操作範圍介於 0.2 至 0.5 瓦/平方公分之間。所選擇的功率大小需夠低，以避免該暴露出來的介電表面發生顯著的濺射蝕刻作用 (被移除的材料少於 5 奈米)。

除上述來源以外，亦可應用深紫外線 (DUV) 雷射來源。用來處理該沉積膜的雷射來源典型為準分子雷射，其根據雷射氣體混合物的不同，而產生數種 DUV 波長中的其中一種波長。例如，可使用能產生 308 奈米波長的氟化氙 (XeF) 雷射。而諸如能產生 248 奈米輻射光之氟化氬 (KrF) 雷射或能產生 193 奈米輻射光之氟化氬 (ArF) 雷射均能應用於本發明中。準分子雷射每秒可做數百次的脈衝，且每脈衝之能量高達 1 焦耳 (J)，而產生數百瓦 (W) 的輸出。

用來處理該沉積膜層的雷射係在脈衝模式下進行操作為佳。該雷射光束可被擴展開來，以照射整個樣本。或者，當樣本較大時，該雷射可以柵狀掃描該樣本上的雷射曝射

面積，以提供均勻的照射劑量。使用準分子雷射時，該通量 (fluence) 限制在每脈衝低於 5 毫焦耳 / 平方公分 (mJ/cm^2)，以確保不會發生熔損情況 (ablation)。對於準分子雷射而言，在約 10 毫微秒 (ns) 的短脈衝時間下，通量大於 20 毫焦耳時會造成材料熔損。一般而言，所使用的雷射通量大小為每脈衝約介於 0.1 至 5 毫焦耳 / 平方公分之間。總計量可介於約 1 焦耳 / 平方公分至 10000 焦耳 / 平方公分之間，較佳介於 500 至 2000 焦耳 / 平方公分之間。此劑量可藉著多次雷射脈衝曝射來達成。例如，可利用 1 毫焦耳 / 平方公分的通量進行 10^6 次的脈衝來得到 1000 焦耳 / 平方公分的劑量。依所需總劑量多寡，該深紫外線處理的總曝射時間可從數秒鐘至數小時不等。一般而言，使用 200 Hz 的雷射以每脈衝 3 毫焦耳 / 平方公分的通量進行照射，在不到 15 分鐘便可達到 500 焦耳 / 平方公分的劑量。

上述處理步驟為選擇性的步驟，並非一定要執行才能使到使介電膜層具有良好電性與機械性質的目的。然而，上述處理步驟可在不顯著影響該介電膜之電性與機械性質的情況下，施用於該新穎的介電堆疊層。

第 2-5 圖繪示包含該新穎介電堆疊層的電子元件。需明白的是，第 2-5 圖中所示元件僅為本發明的示範範例，其他各種元件亦可含有該新穎介電堆疊層。在下列圖示中，並未特地繪示出位於本發明介電堆疊層內的該等奈米層，但儘管如此，該等奈米層確實含括在該些指出為介電堆疊層的膜層中。

在第 2 圖中，顯示構築在一矽基材 32 上的一電子元件 30。該矽基材 32 的頂面上，首先形成一絕緣材料層 34，且其內部包埋著一第一金屬區域 36。在該第一金屬區域 36 上執行一化學機械研磨步驟 (CMP) 之後，於該第一絕緣材料層 34 之頂面與該第一金屬區域 36 上沉積一本發明介電堆疊層 38。適合形成該第一絕緣材料層 34 的材料可能為氧化矽、氮化矽、這些材料的摻雜變化物或任一種其他適當的絕緣材料。隨後利用光微影與蝕刻步驟來圖案化該介電堆疊層 38，並將一導體層 40 沉積其上。對該第一導體層 40 執行一 CMP 步驟之後，藉由電漿強化化學氣象沉積製程於該第一介電堆疊層 38 與該第一導體層 40 上沉積一本發明之第二介電堆疊層 44。該導體層 40 可由一金屬材料或一非金屬導體材料所沉積而成，例如，可由鋁或銅等該金屬材料所構成，或由氮化物或多晶矽等非金屬導體材料所構成。該第一導體層 40 與該第一金屬區域 36 電性連通。

對該第二介電堆疊層 44 進行光微影與蝕刻步驟後，沉積一第二導體材料以形成一第二導體區域 50。該第二導體區域 50 以可由類似於用來沉積該第一導體層 40 的金屬或非金屬材料所沉積而成。該第二導體區域 50 與該第一導體區域 40 電性連通，且包埋在該第二介電堆疊層 44 內。該第二介電堆疊層 44 與該第一介電堆疊層 38 緊密接觸。在此範例中，該第一介電堆疊層 38 是一層內介電材料 (intralevel dielectric material)，而該第二介電堆疊層 44

則作為層內與層間介電材料兩者。由於該新穎的介電堆疊層具有低介電常數之緣故，因此藉著該第一絕緣層 38 與該第二絕緣層 44 能達到優異的絕緣性質。

第 3 圖顯示一本發明電子元件 60，除了在該第一絕緣材料層 38 與該第二絕緣材料層 44 之間沉積有一額外的介電覆蓋層 62 之外，其類似於第 2 圖中之電子元件 30。該第二介電覆蓋層 62 可由諸如氧化矽、氮化矽、氮氧化矽、具有鉭 (Ta)、鋯 (Zr)、鈦 (Hf) 或鎢 (W) 等耐火金屬之耐火金屬氮矽化物 (refractory metal silicon nitride)、碳化矽 (silicon carbide)、氮碳化矽 (SiCN)、碳氧化矽 (SiCO) 及上述物質之氫化物所構成。該額外的介電覆蓋層 62 的功能係作為擴散阻障層，以避免該第一導體層 40 擴散至該第二絕緣材料層或下方的膜層中，特別是擴散至該層 34 與 32 中。

第 4 圖中顯示本發明另一實施例的電子元件 70，在該電子元件 70 中，使用兩層額外的介電覆蓋層 72 與 74 來作為一 RIE 罩幕與化學機械研磨 (CMP) 停止層。該第一介電覆蓋層 72 係沉積在該第一介電堆疊層 38 的頂面上，並作為 RIE 罩幕與 CMP 停止層之用，因此，在完成 CMP 步驟之後，該第一導體層 40 與該第一介電覆蓋層 72 共平面。該第二介電覆蓋層 74 類似於該第一介電覆蓋層 72，係用於該第二導體層 50 的平坦化步驟中。該研磨停止層 74 可由諸如氧化矽、氮化矽、氮氧化矽、具有鉭、鋯、鈦或鎢 (W) 等耐火金屬之耐火金屬氮矽化物、碳化矽、氮碳化矽 (SiCN)、碳氧化矽 (SiCO) 及上述物質之氫化物所構成。適

合作為介電覆蓋層 72 與 74 的較佳研磨停止層組成係 SiCH 或 SiCOH。亦可為了相同的目的，在該第二介電堆疊層 44 的頂面上增加一第二介電覆蓋層 74。

第 5 圖顯示本發明又一實施例的電子元件 80。在此實施例中，沉積有一額外的介電材料層 82，並因而將該第二絕緣材料層 44 分隔成兩分開膜層 84 與 86。而由該介新穎電堆疊層所形成的層間與層內介電層 44 也因此被分割成一層間介電層 84 與一層內介電層 86，該層內介電層 86 位於介電窗 92 與內連線 94 之間的界面處。更於該上層介電層 74 的頂面上沉積一額外的擴散阻障層 96。此電子結構 80 所提供之額外優點係該介電層 82 可作為一 RIE 蝕刻停止層，而能夠提供優異的內連線深度控制。因此，該層 82 的組成需經選擇，以提供相對於層 82 的蝕刻選擇性。

在本發明又一實施例中可能包含一種在線路結構中具有多層作為層間與層內介電層之絕緣材料層的電子結構，其包含一經過預處理的半導體基材，該半導體基材具有：一埋於第一絕緣材料層中的第一金屬區域；一埋於第二絕緣材料層中的第一導體區域；一埋於一第三絕緣材料層中的第二導體區域；一第一介電覆蓋層，其介於該第二絕緣材料層與該第三絕緣材料層之間；以及，一第二介電覆蓋層，位在該第三絕緣材料層的頂面上；其中，該第二絕緣材料層緊密接觸該第一絕緣材料層；該第一導體區域與該第一金屬區域電性連通；該第二導體區域與該第一導體區域電性連通；該第三絕緣材料層緊密接觸該第二絕

緣材料層；以及該第一與第二介電覆蓋層係由一含有本發明之新穎介電堆疊層的材料所構成。

在本發明又一實施例中，包含一種在線路結構中具有多層作為層間與層內介電層之絕緣材料層的電子結構，其包含一經過預處理的半導體基材，該半導體基材具有：一埋於第一絕緣材料層中的第一金屬區域；一埋於第二絕緣材料層中的第一導體區域；一埋於一第三絕緣材料層中的第二導體區域；以及，一由本發明新穎介電堆疊層所形成的擴散阻障層，其沉積在該第二與第三絕緣材料層之至少其中一者上；其中，該第二絕緣材料層緊密接觸該第一絕緣材料層；該第一導體區域與該第一金屬區域電性連通；該第二導體區域與該第一導體區域電性連通；該第三絕緣材料層緊密接觸該第二絕緣材料層。

在本發明又一實施例中，包含一種在線路結構中具有多層作為層間與層內介電層之絕緣材料層的電子結構，其包含一經過預處理的半導體基材，該半導體基材具有：一埋於一第一絕緣材料層中的第一金屬區域；一埋於一第二絕緣材料層中的第一導體區域；一埋於一第三絕緣材料層中的第二導體區域；一位在該第二絕緣材料層上的活性離子蝕刻(RIE)硬罩幕/研磨停止層；一位在該RIE硬罩幕/研磨停止層上的擴散阻障層；其中，該第二絕緣材料層緊密接觸該第一絕緣材料層；該第一導體區域與該第一金屬區域電性連通；該第二導體區域與該第一導體區域電性連通；該第三絕緣材料層緊密接觸該第二絕緣材料層，

以及該 RIE 硬罩幕/研磨停止層與該擴散阻障層係由本發明之介電堆疊層所形成。

在本發明又一實施例中，包含一種在線路結構中具有多層作為層間與層內介電層之絕緣材料層的電子結構，其包含一經過預處理的半導體基材，該半導體基材具有：一埋於一第一絕緣材料層中的第一金屬區域；一埋於一第二絕緣材料層中的第一導體區域；一埋於一第三絕緣材料層中的第二導體區域；一位在該第二絕緣材料層上的第一 RIE 硬罩幕/研磨停止層；一位在該第一 RIE 硬罩幕/研磨停止層上的第一擴散阻障層；一位在該第三絕緣材料層上的第二 RIE 硬罩幕/研磨停止層；一位在該第二 RIE 硬罩幕/研磨停止層上的第二擴散阻障層；其中，該第二絕緣材料層緊密接觸該第一絕緣材料層；該第一導體區域與該第一金屬區域電性連通；該第二導體區域與該第一導體區域電性連通；該第三絕緣材料層緊密接觸該第二絕緣材料層，以及等 RIE 硬罩幕/研磨停止層與該等擴散阻障層係由本發明之介電堆疊層所形成。

在本發明又一實施例中，包含一種在線路結構中具有多層作為層間或層內介電層之絕緣材料層的電子結構，其類似於方才所述之電子元件結構，但更包含一種由本發明新穎介電堆疊層所構成的介電覆蓋層，該介電覆蓋層係位在一層間介電層與一層內介電層之間。

需明白的是，除上述含有低 k 介電材料的堆疊層以外，本發明亦預期到其他的材料堆疊層。例如，本發明提

供一種材料堆疊層，其包含一或多層破裂速率約 1×10^{-10} 公尺/秒或更高的膜層，且在該等膜層間距有至少一奈米層，且該奈米層能將該等膜層的破裂速率減少至低於 1×10^{-10} 公尺/秒。

在此實施例中，除了將該第一介電前驅物置換為一第一材料前驅物以外，該堆疊層係利用上述方法所製造而成。舉例而言，可提供一種形成在一金屬氧化物基材上的金屬堆疊層，該金屬堆疊層含有從一含金前驅物所沉積而成的金 (Au)。

雖然本發明已根據其較佳實施例做描述與顯示，但該領域之習知技藝者均明白可在不偏離本發明精神與範圍的情況下，可於形式與細節上做上述或其他變化。因此，本發明並不侷限於文中所顯示與描述的實施形式與細節上，而須由後附申請專利範圍來定本發明之範圍。

【圖式簡單說明】

第 1 圖繪示一本發明介電堆疊層的剖面圖。

第 2 圖係一本發明電子元件的放大剖面圖，其包含本發明新穎的低 k 介電堆疊層，以作為該層間與層內介電層。

第 3 圖係顯示該第 2 圖之電子結構的放大剖面圖中，在該介電堆疊層上具有一額外之擴散阻障介電覆蓋層。

第 4 圖係顯示第 3 圖之電子結構的放大剖面圖中，在該研磨停止層上沉積有一額外的 RIE 硬單幕/研磨停止介電覆蓋層與一擴散阻障介電覆蓋層。

第 5 圖係顯示第 4 圖之電子結構的放大剖面圖中，在本發明之介電堆疊層上方沉積有多個額外的 RIE 硬罩幕 / 研磨停止介電層。

【主要元件符號說明】

10 基材	12 介電堆疊層
14 低 k 介電膜	16 奈米層
30 電子元件	32 矽基材
34 絕緣材料層	36 第一金屬區域
38 介電堆疊層	40 導體層
44 介電堆疊層	50 第二導體區域
60 電子元件	62 介電覆蓋層
70 電子元件	72 介電覆蓋層
74 介電覆蓋層	80 電子元件
82 介電材料層	84 層間介電層
86 層內介電層	92 介電窗
94 內連線	96 擴散阻障層

102年6月24日修正本 p32-37

十、申請專利範圍：

1. 一種介電堆疊層，該介電堆疊層包含：至少一介電材料，該介電材料具有一介電常數，該介電常數係為 3.0 或低於 3.0；該至少一介電材料具有至少一包含矽原子與氧原子之奈米層，該奈米層係包埋於該至少一介電材料中，且該奈米層具有一 2 至 10 奈米之厚度，其中包含該至少一奈米層之該至少一介電材料在一給定的厚度下，比不包含該至少一奈米層為該給定厚度之該至少一介電材料具有一較低的破裂速率。
2. 如申請專利範圍第 1 項所述之介電堆疊層，其中該至少一介電材料係選自以下各項所組成之群組：一至少包含碳、氧與氫原子的有機介電質；一包含矽、氧與氫原子且選擇性地具有碳原子的無機介電質；及上述介電質之混合物與多層膜。
3. 如申請專利範圍第 1 項所述之介電堆疊層，其中該至少一介電材料包括一含有矽、碳、氧與氫原子的無機介電質，且該等原子鍵結成立體網狀結構。
4. 如申請專利範圍第 1 項所述之介電堆疊層，其中該至少一介電材料為多孔性、無孔性或其組合。

5. 如申請專利範圍第 1 項所述之介電堆疊層，其中該至少一奈米層更包含碳、氮與氫原子。
6. 如申請專利範圍第 1 項所述之介電堆疊層，其中該至少一奈米層包含 SiCOH、SiCOHN、SiO₂ 或 SiON。
7. 如申請專利範圍第 1 項所述之介電堆疊層，其中該含有該至少一奈米層的至少一介電材料在 1.2 微米時具有低於 1×10^{-10} 公尺/秒的破裂速率。
8. 如申請專利範圍第 1 項所述之介電堆疊層，其中該含有該至少一奈米層的至少一介電材料具有低於 60 MPa 的應力、高於 7.5 GPa 的模數以及大於 1.0 的硬度。
9. 一種位於一基材上的內連線結構，該內連線結構包括至少一介電堆疊層，該介電堆疊層包含：至少一介電材料，該介電材料具有一介電常數，該介電常數係為 3.0 或低於 3.0；該至少一介電材料包括至少一含有矽原子與氧原子之一奈米層，該奈米層係包埋於該至少一介電材料中，且該奈米層具有一 2 至 10 奈米之厚度，其中包含該至少一奈米層之該至少一介電材料在一給定之厚度下，比不包含該至少一奈米層為該給定厚度之該至少一介電材料具有一較低的破裂速率。

10. 如申請專利範圍第 9 項所述之內連線結構，其中該介電堆疊層為一層間介電層、一層內介電層、一覆蓋層、一硬罩幕/研磨停止層、或上述膜層之任意組合。

11. 如申請專利範圍第 9 項所述之內連線結構，其中該至少一介電材料係選自以下各項所組成之群組：一至少包含碳、氧與氫原子的有機介電質；一包含矽、氧與氫原子且選擇性地具有碳原子的無機介電質；及上述介電質之混合物與多層膜。

12. 如申請專利範圍第 9 項所述之內連線結構，其中該至少一介電材料包括一含有矽、碳、氧與氫原子的無機介電質，且該等原子鍵結成立體網狀結構。

13. 如申請專利範圍第 9 項所述之內連線結構，其中該至少一奈米層更包含碳、氮與氫原子。

14. 如申請專利範圍第 9 項所述之內連線結構，其中該至少一奈米層包括 SiCOH 、 SiCOHN 、 SiO_2 或 SiON 。

15. 如申請專利範圍第 9 項所述之內連線結構，其中該含有該至少一奈米層的至少一介電材料具有在 1.2 微米時低

於 10^{-10} 公尺/秒的破裂速率。

16. 如申請專利範圍第 9 項所述之內連線結構，其中該含有該至少一奈米層的至少一介電材料具有低於 60 MPa 的應力、高於 7.5 GPa 的模數以及大於 1.0 的硬度。

17. 一種形成一介電膜堆疊層的方法，包括：

於一反應室中提供一基材；

自至少一第一介電前驅物沉積一低 k 介電膜至該基材的一表面上，該低 k 介電膜係具有一大約 3.0 或低於 3.0 的介電常數，其中在該沉積該低 k 介電膜的過程中，將該第一介電前驅物置換成一奈米層前驅物，藉此將至少一奈米層包埋於該低 k 介電膜中，該至少一奈米層係包含矽與氧原子並具有一約介於 2 奈米至 10 奈米之間的厚度，其中相較於不具該奈米層且在一給定厚度中的該低 k 介電膜而言，該具有該奈米層且在該給定厚度中的低 k 介電膜係具一較低的破裂速率。

18. 如申請專利範圍第 17 項所述之方法，其中該反應室係一電漿強化化學氣相沉積反應室。

19. 如申請專利範圍第 17 項所述之方法，其中該介電前驅物包含矽、碳、氧與氫原子。

20.如申請專利範圍第 17 項所述之方法，其中該奈米層前驅物更包括碳、氮或氫原子之至少其中一種。

21.如申請專利範圍第 17 項所述之方法，其中該沉積該低 k 介電膜之步驟包括：設定一基材溫度介於約 200°C 至 425°C 之間；設定一高頻射頻功率密度介於約 0.1 瓦/平方公分至約 2.5 瓦/平方公分之間；設定一第一液體前驅物流率介於約 100 毫克/分鐘至約 5000 毫克/分鐘之間，且選擇性地設定一第二液體前驅物流率介於約 50 毫克/分鐘至約 10000 毫克/分鐘之間；選擇性地設定一第三液體前驅物流率介於約 25 毫克/分鐘至約 4000 毫克/分鐘之間；選擇性地設定一惰性載氣流率介於約 50 sccm 至約 5000 sccm；設定一反應室壓力介於 1000 毫托至約 7000 毫托之間；設定一高頻射頻功率介於約 75 瓦至約 1000 瓦之間；以及，選擇性地設定一低頻功率介於約 30 瓦至約 400 瓦之間。

22.如申請專利範圍第 17 項所述之方法，其中該介電前驅物包括 1,3,5,7-四甲基環四矽氧烷(C₄H₁₆O₄Si₄,TMCTS)、八甲基環四矽氧烷(OMCTS)、二乙氧基甲基矽烷(DEMS)、二甲基二甲氧基矽烷(DMDMOS)、二乙基甲氧基矽烷(DEDMOS)或相關的環狀與非環狀矽烷類與矽氧烷類。

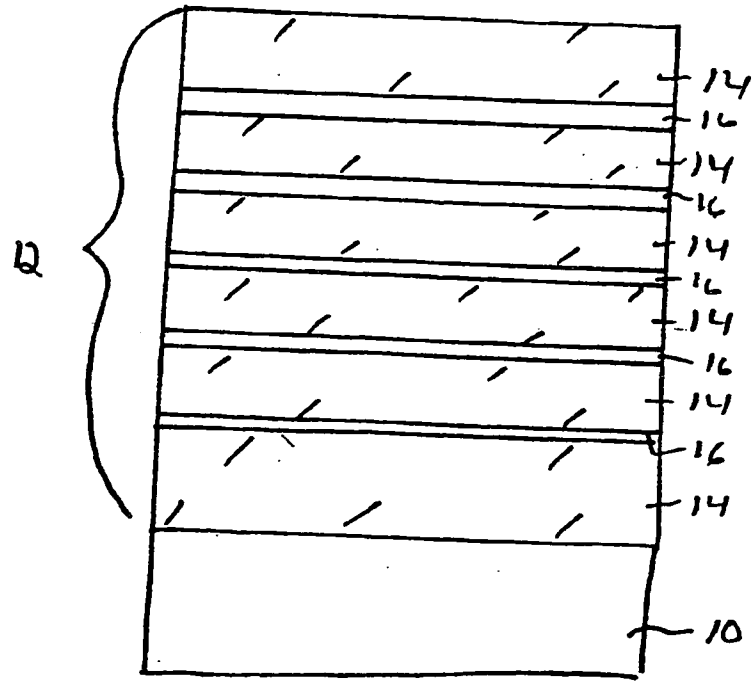
23. 如申請專利範圍第 17 項所述之方法，其中該奈米層前驅物包括 1,3,5,7- 四甲基環四矽氧烷 ($C_4H_{16}O_4Si_4$, TMCTS)、八甲基環四矽氧烷 (OMCTS)、二乙氧基甲基矽烷 (DEMS)、二甲基二甲氧基矽烷 (DMDMOS)、二乙基甲氧基矽烷 (DEDMOS)、矽烷、六甲基二矽氮烷 (HMDS)、或相關的環狀與非環狀矽烷類與矽氧烷類。

24. 如申請專利範圍第 21 項所述之方法，更包括在該沉積步驟中導入一成孔劑。

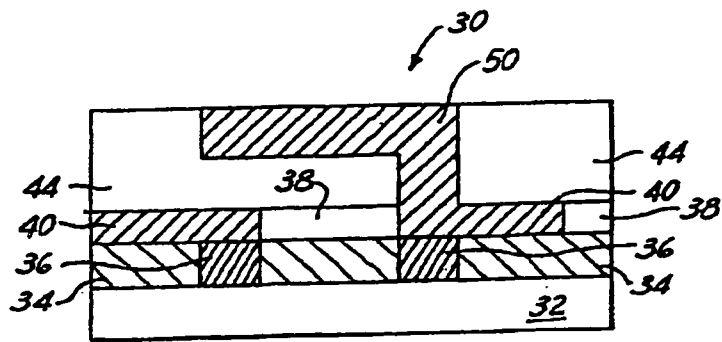
25. 如申請專利範圍第 21 項所述之方法，更包括使該包含該至少一奈米層的該低 k 介電膜堆疊層進行一後處理步驟。

26. 如申請專利範圍第 25 項所述之方法，其中該後處理步驟包括：使用一選自於由加熱、電子束、電漿、微波、紫外光與雷射所構成之群組中的能量來源。

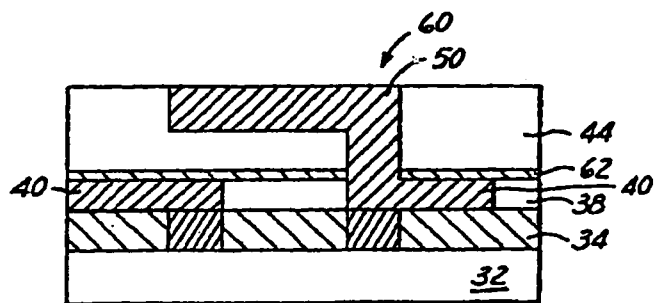
27. 如申請專利範圍第 17 項所述之方法，其中該形成步驟係重複至少一次。



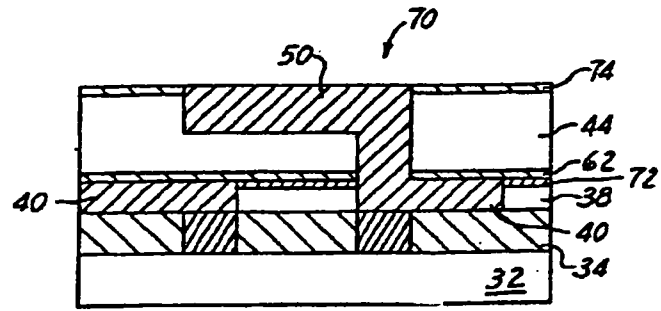
第 1 圖



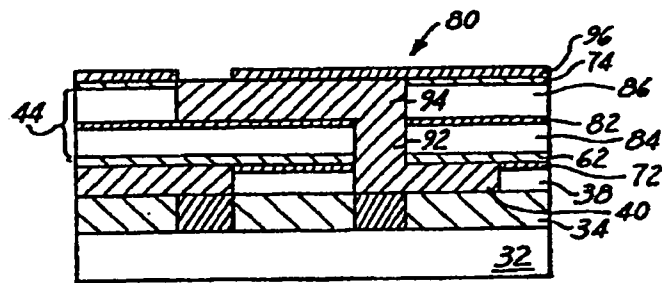
第 2 圖



第 3 圖



第 4 圖



第 5 圖