



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0020761
(43) 공개일자 2022년02월21일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) H01L 21/8234 (2006.01)
H01L 27/088 (2006.01) H01L 29/06 (2006.01)
H01L 29/78 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/76224 (2013.01)
H01L 21/823431 (2013.01)</p> <p>(21) 출원번호 10-2021-0059217
(22) 출원일자 2021년05월07일
심사청구일자 2021년05월07일</p> <p>(30) 우선권주장
63/064,542 2020년08월12일 미국(US)
17/197,925 2021년03월10일 미국(US)</p> | <p>(71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8</p> <p>(72) 발명자
린 승은
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
추이 치은
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)</p> <p>(74) 대리인
김태홍, 김진희</p> |
|--|---|

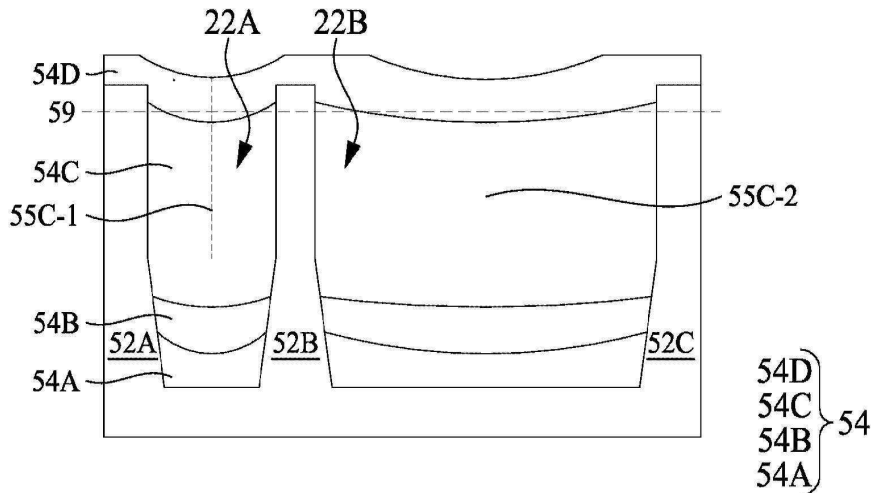
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **집중전 구조물 및 그 제조 방법**

(57) 요약

방법은 트렌치를 패터닝하고, 컨포멀 성막 공정을 사용하여 트렌치의 측벽들과 바닥면을 따라 제1 절연 물질을 성막하는 단계를 포함한다. 제1 절연 물질을 성막하는 단계는 트렌치의 제1 측벽 상의 제1 절연 물질의 제1 부분과 트렌치의 제2 측벽 상의 제1 절연 물질의 제2 부분 사이에 제1 이음매를 형성하는 단계를 포함한다. 방법은 트렌치의 최상부 아래에서 제1 절연 물질을 에칭하고, 컨포멀 성막 공정을 사용하여 제1 절연 물질 위에 그리고 트렌치 내에 제2 절연 물질을 성막하는 단계를 더 포함한다. 제2 절연 물질을 성막하는 단계는 트렌치의 제1 측벽 상의 제2 절연 물질의 제1 부분과 트렌치의 제2 측벽 상의 제2 절연 물질의 제2 부분 사이에 제2 이음매를 형성하는 단계를 포함한다.

대표도 - 도7j



(52) CPC특허분류

H01L 21/823481 (2013.01)

H01L 27/0886 (2013.01)

H01L 29/0649 (2013.01)

H01L 29/785 (2013.01)

(72) 발명자

리아오 팡이

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

왕 춘야오

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

취 용청

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

명세서

청구범위

청구항 1

방법에 있어서,

트렌치를 패터닝하는 단계;

컨포멀(conformal) 성막 공정을 사용하여 상기 트렌치의 측벽들과 바닥면을 따라 제1 절연 물질을 성막하는 단계 - 상기 제1 절연 물질을 성막하는 단계는 상기 트렌치의 제1 측벽 상의 상기 제1 절연 물질의 제1 부분과 상기 트렌치의 제2 측벽 상의 상기 제1 절연 물질의 제2 부분 사이에 제1 이음매(seam)를 형성하는 단계를 포함함 -;

상기 트렌치의 최상부 아래에서 상기 제1 절연 물질을 에칭하는 단계; 및

컨포멀 성막 공정을 사용하여 상기 제1 절연 물질 위에 그리고 상기 트렌치 내에 제2 절연 물질을 성막하는 단계

를 포함하며,

상기 제2 절연 물질을 성막하는 단계는 상기 트렌치의 상기 제1 측벽 상의 상기 제2 절연 물질의 제1 부분과 상기 트렌치의 상기 제2 측벽 상의 상기 제2 절연 물질의 제2 부분 사이에 제2 이음매를 형성하는 단계를 포함하는 것인 방법.

청구항 2

제1항에 있어서,

상기 제1 절연 물질을 에칭하는 단계는 상기 제1 이음매를 제거하는 단계를 포함하는 것인 방법.

청구항 3

제1항에 있어서,

상기 제1 절연 물질을 에칭한 후, 상기 제1 이음매의 일부는 남는 것인 방법.

청구항 4

제1항에 있어서,

상기 제1 절연 물질을 성막하는 단계는 상기 제1 이음매를 따라 보이드(void)를 규정하는 단계를 더 포함하는 것인 방법.

청구항 5

제1항에 있어서,

상기 제1 절연 물질은 상기 제2 절연 물질보다 더 낮은 k 값을 갖는 것인 방법.

청구항 6

제1항에 있어서,

상기 트렌치의 최상부 아래에서 상기 제2 절연 물질을 에칭하는 단계; 및

컨포멀 성막 공정을 사용하여 상기 제2 절연 물질 위에 그리고 상기 트렌치 내에 제3 절연 물질을 성막하는 단계

를 더 포함하며,

상기 제3 절연 물질을 성막하는 단계는 상기 트렌치의 상기 제1 측벽 상의 상기 제3 절연 물질의 제1 부분과 상기 트렌치의 상기 제2 측벽 상의 상기 제3 절연 물질의 제2 부분 사이에 제3 이음매를 형성하는 단계를 포함하는 것인 방법.

청구항 7

방법에 있어서,

제1 트렌치와 제2 트렌치를 패터닝하는 단계 - 상기 제1 트렌치는 상기 제2 트렌치보다 폭이 넓은 -;

상기 제1 트렌치와 상기 제2 트렌치 내에 제1 물질을 성막하는 단계;

상기 제1 트렌치와 상기 제2 트렌치 내의 상기 제1 물질을 에칭하는 단계; 및

상기 제1 트렌치와 상기 제2 트렌치 내의 상기 제1 물질 위에 제2 물질을 성막하는 단계

를 포함하고,

상기 제2 물질을 성막하는 단계는 상기 제1 트렌치 내에서 제1 이음매를 그리고 상기 제2 트렌치 내에서 제2 이음매를 형성하며,

상기 제2 이음매는 상기 제1 이음매보다 낮게 연장된 것인 방법.

청구항 8

디바이스에 있어서,

제1 핀;

제2 핀;

상기 제1 핀과 상기 제2 핀 사이에 있는 제1 절연 물질; 및

상기 제1 핀과 상기 제2 핀 사이에 있고 상기 제1 절연 물질 위에 있는 제2 절연 물질

을 포함하고,

상기 제1 절연 물질은 상기 제2 절연 물질보다 더 낮은 k 값을 가지며,

상기 제1 절연 물질과 상기 제2 절연 물질 사이의 계면은 오목한 것인 디바이스.

청구항 9

제8항에 있어서,

상기 제2 핀과는 상기 제1 핀의 반대 측 상에 있는 제3 핀

을 더 포함하고,

상기 제1 절연 물질과 상기 제2 절연 물질은 또한 상기 제3 핀과 상기 제1 핀 사이에 배치되고,

상기 제2 절연 물질은,

상기 제1 핀과 상기 제2 핀 사이에 있는 제3 이음매; 및

상기 제1 핀과 상기 제3 핀 사이에 있는 제4 이음매

를 더 포함하며,

상기 제4 이음매는 상기 제3 이음매보다 낮게 연장된 것인 디바이스.

청구항 10

제9항에 있어서,

상기 제1 핀과 상기 제2 핀 사이의 거리는 상기 제1 핀과 상기 제3 핀 사이의 거리보다 더 큰 것인 디바이스.

발명의 설명

기술 분야

[0001] 본 출원은 2020년 8월 12일에 출원된 미국 가특허 출원 제63/064,542호의 우선권을 청구하며, 이 가특허 출원의 전문은 참조로서 본 명세서 내에 편입된다.

배경 기술

[0002] 반도체 디바이스들은 예를 들어, 개인 컴퓨터, 셀폰, 디지털 카메라, 및 다른 전자 장비와 같은 다양한 전자 응용들에서 사용된다. 반도체 디바이스들은 일반적으로 반도체 기판 위에 절연층들 또는 유전체층들, 도전층들, 및 반도체 물질층들을 순차적으로 성막하고, 리소그래피를 사용하여 다양한 물질층들을 패터닝하여 회로 컴포넌트들 및 엘리먼트들을 형성함으로써 제조된다.

[0003] 반도체 산업은 최소 피치 크기의 지속적인 감소에 의해 다양한 전자 컴포넌트들(예컨대, 트랜지스터, 다이오드, 저항기, 커패시터 등)의 집적 밀도를 계속해서 향상시켜왔으며, 이것은 주어진 면적 내로 보다 많은 컴포넌트들이 집적되도록 해준다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0004] 일부 실시예들에서, 방법은 트렌치를 패터닝하고, 컨포멀 성막 공정을 사용하여 트렌치의 측벽들과 바닥면을 따라 제1 절연 물질을 성막하는 단계를 포함한다. 제1 절연 물질을 성막하는 단계는 트렌치의 제1 측벽 상의 제1 절연 물질의 제1 부분과 트렌치의 제2 측벽 상의 제1 절연 물질의 제2 부분 사이에 제1 이음매를 형성하는 단계를 포함한다. 방법은 트렌치의 최상부 아래에서 제1 절연 물질을 에칭하고, 컨포멀 성막 공정을 사용하여 제1 절연 물질 위에 그리고 트렌치 내에 제2 절연 물질을 성막하는 단계를 더 포함한다. 제2 절연 물질을 성막하는 단계는 트렌치의 제1 측벽 상의 제2 절연 물질의 제1 부분과 트렌치의 제2 측벽 상의 제2 절연 물질의 제2 부분 사이에 제2 이음매를 형성하는 단계를 포함한다. 선택적으로, 일부 실시예들에서, 제1 절연 물질을 에칭하는 것은 제1 이음매를 제거하는 것을 포함한다. 선택적으로, 일부 실시예들에서, 제1 절연 물질을 에칭한 후, 제1 이음매의 일부는 남는다. 선택적으로, 일부 실시예들에서, 제1 절연 물질을 성막하는 단계는 제1 이음매를 따라 보이드를 규정하는 단계를 더 포함한다. 선택적으로, 일부 실시예들에서, 제1 절연 물질은 제2 절연 물질보다 더 낮은 k 값을 갖는다. 선택적으로, 일부 실시예들에서, 제2 절연 물질은 금속 산화물 또는 금속 질화물을 포함한다. 선택적으로, 일부 실시예들에서, 방법은, 트렌치의 최상부 아래에서 제2 절연 물질을 에칭하는 단계; 및 컨포멀 성막 공정을 사용하여 제2 절연 물질 위에 그리고 트렌치 내에 제3 절연 물질을 성막하는 단계를 더 포함하며, 제3 절연 물질을 성막하는 단계는 트렌치의 제1 측벽 상의 제3 절연 물질의 제1 부분과 트렌치의 제2 측벽 상의 제3 절연 물질의 제2 부분 사이에 제3 이음매를 형성하는 단계를 포함한다. 선택적으로, 일부 실시예들에서, 방법은, 트렌치의 최상부 아래에서 제3 절연 물질을 에칭하는 단계; 제3 절연 물질 위에 그리고 트렌치 내에 제4 절연 물질을 성막하는 단계; 및 제4 절연 물질을 평탄화하는 단계를 더 포함한다. 선택적으로, 일부 실시예들에서, 제3 절연 물질은 제2 절연 물질과 동일한 물질 조성을 갖는다.

[0005] 일부 실시예들에서, 방법은, 제1 트렌치와 제2 트렌치를 패터닝하는 단계 - 제1 트렌치는 제2 트렌치보다 폭이 넓음 -; 제1 트렌치와 제2 트렌치 내에 제1 물질을 성막하는 단계; 제1 트렌치와 제2 트렌치 내의 제1 물질을 에칭하는 단계; 및 제1 트렌치와 제2 트렌치 내의 제1 물질 위에 제2 물질을 성막하는 단계를 포함하고, 제2 물질을 성막하는 단계는 제1 트렌치 내에서 제1 이음매를 그리고 제2 트렌치 내에서 제2 이음매를 형성하며, 제2 이음매는 제1 이음매보다 낮게 연장된다. 선택적으로, 일부 실시예들에서, 제1 물질은 $\text{Si}_x\text{O}_y\text{C}_z\text{N}_w$ 를 포함한 절연 물질이며, 여기서 x, y, z, w는 각각 0 이상의 수이다. 선택적으로, 일부 실시예들에서, 제2 물질은 금속 산화물 또는 금속 질화물을 포함한다. 선택적으로, 일부 실시예들에서, 제1 물질을 에칭하는 단계는 제1 물질의 이음매를 제거하는 단계를 포함한다. 선택적으로, 일부 실시예들에서, 방법은, 제1 트렌치와 제2 트렌치 내의 제2 물질을 에칭하는 단계; 및 제1 트렌치와 제2 트렌치 내의 제2 물질 위에 제3 물질을 성막하는 단계를 더 포함하고, 제3 물질을 성막하는 단계는 제1 트렌치 내에서 제3 이음매를 그리고 제2 트렌치 내에서 제4 이음매를 형성

하며, 제4 이음매는 제3 이음매보다 낮게 연장된다. 선택적으로, 일부 실시예들에서, 제2 물질을 에칭하는 단계는 제1 이음매와 제2 이음매를 제거한다.

[0006] 일부 실시예들에서, 디바이스는, 제1 핀; 제2 핀; 제1 핀과 제2 핀 사이에 있는 제1 절연 물질; 및 제1 핀과 제2 핀 사이에 있고 제1 절연 물질 위에 있는 제2 절연 물질을 포함하고, 제1 절연 물질은 제2 절연 물질보다 더 낮은 k 값을 가지며, 제1 절연 물질과 제2 절연 물질 사이의 계면은 오목하다. 선택적으로, 일부 실시예들에서, 제1 절연 물질은 어떠한 이음매도 없다. 선택적으로, 일부 실시예들에서, 제1 절연 물질은 이음매를 포함한다. 선택적으로, 일부 실시예들에서, 디바이스는 제2 핀과는 제1 핀의 반대 측 상에 있는 제3 핀을 더 포함하고, 제1 절연 물질과 제2 절연 물질은 또한 제3 핀과 제1 핀 사이에 배치되고, 제2 절연 물질은, 제1 핀과 제2 핀 사이에 있는 제3 이음매; 및 제1 핀과 제3 핀 사이에 있는 제4 이음매를 더 포함하며, 제4 이음매는 제3 이음매보다 낮게 연장된다. 선택적으로, 일부 실시예들에서, 제1 핀과 제2 핀 사이의 거리는 제1 핀과 제3 핀 사이의 거리보다 더 크다.

발명의 효과

[0007] 다양한 실시예들은 트렌치를 채우는 방법 및 결과적인 구조물을 제공한다. 트렌치는 로우 k 유전체 물질, 금속 산화물, 금속 질화물, 순금속, 이들의 조합 등과 같은 임의의 적절한 물질로 채워질 수 있다. 트렌치를 채우는 것은 하나 이상의 성막 및 에치백 성막 사이클들을 포함할 수 있다. 예를 들어, 제1 물질은 컨포멀 성막 공정(예를 들어, 화학적 증착(chemical vapor deposition; CVD), 원자층 성막(atomic layer deposition; ALD) 등)을 사용하여 트렌치 내에 성막될 수 있고, 제1 물질은 원하는 높이로 에칭될 수 있다. 이 성막 및 에치백 공정은 원하는 물질들의 구성이 달성될 때까지 반복될 수 있다. 컨포멀 성막 공정으로 인해, 제1 물질은 제1 물질의 영역들이 트렌치의 측벽들 상에 성막되고 결국 병합될 때 형성되는 이음매를 가질 수 있다. 일부 실시예들에서, 에치백 공정은 이음매를 포함하는 제1 물질의 부분들을 제거한다. 다양한 실시예들은 성막 후 어닐링, 플라즈마 충격을 요구하거나 억제제를 사용하지 않고서 ALD 공정(예를 들어, 열 기반 ALD, 플라즈마 지원 ALD 등)을 통해 이음매없는 성막을 제공하여, 제조 결함을 감소시킬 수 있다.

도면의 간단한 설명

[0008] 본 개시의 양태들은 첨부 도면들과 함께 읽혀질 때 아래의 상세한 설명으로부터 최상으로 이해된다. 본 산업계에서의 표준적인 관행에 따라, 다양한 피쳐들은 실척도로 작도되지 않았음을 유념한다. 실제로, 다양한 피쳐들의 치수는 설명의 명료함을 위해 임의적으로 증가되거나 또는 감소될 수 있다.

도 1은 일부 실시예들에 따른 삼차원 모습의 FinFET의 예시를 나타낸다.

도 2, 도 3, 도 4a, 도 4b, 도 5a, 도 5b, 도 6, 도 7a, 도 7b, 도 7c, 도 7d, 도 7e, 도 7f, 도 7g, 도 7h, 도 7i, 도 7j, 도 8a, 도 8b, 도 8c, 도 8d, 도 8e, 도 8f, 도 8g, 도 8h, 도 8i, 도 8j, 도 9, 도 10, 도 11a, 도 11b, 도 12a, 도 12b, 도 13a, 도 13b, 도 13c, 도 13d, 도 14a, 도 14b, 도 15a, 도 15b, 도 16a, 도 16b, 도 17a, 도 17b, 도 17c, 도 18a, 도 18b, 도 19a, 도 19b는 일부 실시예들에 따른 FinFET의 제조에서의 중간 스테이지들의 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 아래의 개시는 본 발명의 여러 특징들을 구현하는 많은 여러 실시예들 또는 예시들을 제공한다. 본 개시를 단순화하기 위해 컴포넌트 및 장치의 특징예들이 아래에서 설명된다. 물론, 이것들은 단지 예시들에 불과하며, 이것들로 한정시키고자 의도한 것은 아니다. 예를 들어, 이후의 상세설명에서 제2 피쳐 상에서의 또는 그 위에서의 제1 피쳐의 형성은 제1 및 제2 피쳐들이 직접적으로 접촉하여 형성되는 실시예들을 포함할 수 있으며, 또한 제1 및 제2 피쳐들이 직접적으로 접촉하지 않을 수 있도록 추가적인 피쳐들이 제1 및 제2 피쳐들 사이에서 형성될 수 있는 실시예들을 포함할 수 있다. 또한, 본 개시는 다양한 예시들에서 참조 숫자들 및/또는 문자들을 반복할 수 있다. 이러한 반복은 간략화 및 명료화를 목적으로 한 것이며, 그러한 반복 자체는 개시된 다양한 실시예들 및/또는 구성들 간의 관계에 영향을 주는 것은 아니다.

[0010] 또한, 도면들에서 도시된 하나의 엘리먼트 또는 피쳐에 대한 다른 엘리먼트(들) 또는 피쳐(들)의 관계를 설명하기 위해 "아래", "밑", "보다 낮은", "위", "보다 위" 등과 같은 공간 상대적 용어들이 설명의 용이성을 위해 여기서 이용될 수 있다. 공간 상대적 용어들은 도면들에서 도시된 배향에 더하여 이용중에 있거나 또는 동작중에 있는 디바이스의 상이한 배향들을 망라하도록 의도된 것이다. 장치는 이와달리 배향될 수 있고(90° 회전되거나 또는 다른 배향으로 회전됨), 이에 따라 여기서 이용되는 공간 상대적 기술어들이 이와 똑같이 해석될 수

있다.

- [0011] 다양한 실시예들은 트렌치를 채우는 방법 및 결과적인 구조물을 제공한다. 트렌치는 로우 k 유전체 물질, 금속 산화물, 금속 질화물, 순금속, 이들의 조합 등과 같은 임의의 적절한 물질로 채워질 수 있다. 트렌치를 채우는 것은 하나 이상의 성막 및 에치백 성막 사이클들을 포함할 수 있다. 예를 들어, 제1 물질은 컨포멀(conformal) 성막 공정(예를 들어, 화학적 증착(chemical vapor deposition; CVD), 원자층 성막(atomic layer deposition; ALD) 등)을 사용하여 트렌치 내에 성막될 수 있고, 제1 물질은 원하는 높이로 에칭될 수 있다. 이 성막 및 에치백 공정은 원하는 물질들의 구성이 달성될 때까지 반복될 수 있다. 컨포멀 성막 공정으로 인해, 제1 물질은 제1 물질의 영역들이 트렌치의 측벽들 상에 성막되고 결국 병합될 때 형성되는 이음매(seam)를 가질 수 있다. 일부 실시예들에서, 에치백 공정은 이음매를 포함하는 제1 물질의 부분들을 제거한다. 다양한 실시예들은 성막 후 어닐링, 플라즈마 충격을 요구하거나 억제제를 사용하지 않고서 ALD 공정(예를 들어, 열 기반 ALD, 플라즈마 지원 ALD 등)을 통해 이음매없는 성막을 제공하여, 제조 결함을 감소시킬 수 있다.
- [0012] 도 1은 일부 실시예들에 따른 삼차원 모습의 FinFET의 예시를 나타낸다. FinFET는 기판(50)(예를 들어, 반도체 기판) 상에 핀(52)을 포함한다. 기판(50) 내에 격리 영역(56)이 배치되고, 핀(52)은 이웃해 있는 격리 영역들(56) 사이로부터 그리고 그 위로 돌출해 있다. 격리 영역(56)이 기판(50)과는 별개인 것으로서 설명/예시되지만, 여기서 사용되는 "기판"이라는 용어는 단지 반도체 기판을 또는 격리 영역을 포함한 반도체 기판을 가리키는데 사용될 수 있다. 추가적으로, 핀(52)이 기판(50)으로서의 단일의 연속적인 물질로서 예시되어 있지만, 핀(52) 및/또는 기판(50)은 단일 물질 또는 복수의 물질들을 포함할 수 있다. 이 상황에서, 핀(52)은 이웃해 있는 격리 영역들(56) 사이에서 연장해 있는 부분을 가리킨다.
- [0013] 게이트 유전체층(92)이 핀(52)의 최상면 위와 측벽들을 따라 있으며, 게이트 전극(94)이 게이트 유전체층(92) 위에 있다. 소스/드레인 영역(82)이 게이트 유전체층(92)과 게이트 전극(94)에 대해 핀(52)의 대향 측들에 배치된다. 도 1은 이후의 도면들에서 사용되는 참조 단면들을 또한 나타낸다. 단면 A-A는 게이트 전극(94)의 종축(longitudinal axis)을 따라 있으며, 그리고 예컨대, FinFET의 소스/드레인 영역들(82) 간의 전류 흐름의 방향에 수직인 방향으로 있다. 단면 B-B은 단면 A-A에 수직하고, 핀(52)의 종축을 따라 있으며, 예컨대 FinFET의 소스/드레인 영역들(82) 간의 전류 흐름의 방향으로 있다. 단면 C-C는 단면 A-A와 평행하며 FinFET의 소스/드레인 영역을 관통하여 연장된다. 후속 도면들은 명확성을 위해 이러한 참조 단면들을 참조한다.
- [0014] 여기서 논의되는 일부 실시예들을 게이트 라스트(gate-last) 공정을 사용하여 형성되는 FinFET의 상황에서 논의한다. 다른 실시예들에서는, 게이트 퍼스트(gate-first) 공정이 사용될 수 있다. 또한, 일부 실시예들은 평면형 FET, 나노구조(예를 들어, 나노시트, 나노와이어, 게이트 올 어라운드 등) 전계 효과 트랜지스터(nanostructure field effect transistor; NSFET) 등과 같은 평면형 디바이스들에서 사용되는 양태들을 구상한다.
- [0015] 도 2 내지 도 19b는 일부 실시예들에 따른 FinFET의 제조에서의 중간 스테이지들의 단면도들이다. 도 2, 도 3, 도 4a, 도 4b, 도 5a, 도 5b, 도 6, 도 7a, 도 7b, 도 7c, 도 7d, 도 7e, 도 7f, 도 7g, 도 7h, 도 7i, 도 7j, 도 8a, 도 8b, 도 8c, 도 8d, 도 8e, 도 8f, 도 8g, 도 8h, 도 8i, 도 8j, 도 9, 도 10은 다중 핀들/FinFET을 제외하고, 도 1에서 예시된 참조 단면 A-A를 나타낸다. 도 11a, 도 12a, 도 13a, 도 14a, 도 15a, 도 16a, 도 17a, 도 18a, 도 19a는, 다중 핀들/FinFET을 제외하고, 도 1에서 예시된 참조 단면 A-A를 따라 예시된 것들이며, 도 11b, 도 12b, 도 13b, 도 14b, 도 15b, 도 16b, 도 17b, 도 17c, 도 18b, 도 19b는 도 1에서 예시된 유사한 단면 B-B을 따라 예시된 것들이다. 도 13c와 도 13d는 다중 핀들/FinFET을 제외하고, 도 1에서 예시된 참조 단면 C-C를 따라 예시된 것들이다.
- [0016] 도 2에서, 기판(50)이 제공된다. 기판(50)은 벌크 반도체, 반도체 온 절연체(semiconductor-on-insulator; SOI) 기판 등과 같은 반도체 기판일 수 있으며, (예컨대, p형 또는 n형 도펀트로) 도핑될 수 있거나 또는 도핑되지 않을 수 있다. 기판(50)은 실리콘 웨이퍼와 같은, 웨이퍼일 수 있다. 일반적으로, SOI 기판은 절연체층 상에 형성된 반도체 물질층이다. 절연체층은, 예컨대, 매립형 산화물(buried oxide; BOX)층, 실리콘 산화물층 등일 수 있다. 절연체층은 기판, 일반적으로는 실리콘 또는 유리 기판 상에 제공된다. 다중층 또는 구배 기판과 같은, 다른 기판들이 또한 이용될 수 있다. 일부 실시예들에서, 기판(50)의 반도체 물질은 실리콘; 게르마늄; 실리콘 탄화물, 갈륨 비화물, 갈륨 인화물, 인듐 인화물, 인듐 비화물 및/또는 인듐 안티몬화물을 비롯한 화합물 반도체; 실리콘-게르마늄, 갈륨 비화물 인화물, 알루미늄 인듐 비화물, 알루미늄 갈륨 비화물, 갈륨 인듐 비화물, 갈륨 인듐 인화물, 및/또는 갈륨 인듐 비화물 인화물을 비롯한 합금 반도체; 또는 이들의 조합들을 포함할 수 있다.
- [0017] 기판(50)은 n형 영역(50N) 및 p형 영역(50P)을 갖는다. n형 영역(50N)은 NMOS 트랜지스터, 예를 들어, n형

FinFET와 같은 n형 디바이스를 형성하기 위한 것일 수 있다. p형 영역(50P)은 PMOS 트랜지스터, 예를 들어 p형 FinFET와 같은 p형 디바이스를 형성하기 위한 것일 수 있다. n형 영역(50N)은 (분할기(51)에 의해 예시된 바와 같이) p형 영역(50P)과 물리적으로 분리될 수 있으며, 임의의 수의 디바이스 피처들(예컨대, 다른 활성 디바이스들, 도핑 영역들, 격리 구조물들 등)이 n형 영역(50N)과 p형 영역(50P) 사이에 배치될 수 있다.

[0018] 도 3에서, 핀(52)은 기판(50) 내에 형성된다. 핀(52)은 반도체 스트립이다. 일부 실시예들에서, 핀(52)은 기판(50) 내에 트렌치들을 에칭함으로써 기판(50) 내에 형성될 수 있다. 에칭은 반응성 이온 에칭(reactive ion etch; RIE), 중성 빔 에칭(neutral beam etch; NBE) 등 또는 이들의 조합과 같은 임의의 허용가능한 에칭 공정일 수 있다. 에칭은 이방성일 수 있다. 핀(52)을 형성하는 것은 또한, 영역(20)에서와 같이, 핀들(52) 중 인접해 있는 핀들(52) 사이에 트렌치(22)를 규정할 수 있다.

[0019] 핀은 임의의 적절한 방법에 의해 패터닝될 수 있다. 예를 들어, 핀(52)은 이중 패터닝 또는 다중 패터닝 공정들을 비롯하여, 하나 이상의 포토리소그래피 공정들을 사용하여 패터닝될 수 있다. 일반적으로, 이중 패터닝 또는 다중 패터닝 공정들은 포토리소그래피와 자기 정렬 공정들을 결합함으로써, 예를 들어, 이와는 달리 단일의 직접 포토리소그래피 공정을 사용하여 얻을 수 있는 것보다 더 작은 피처들을 갖는 패턴들이 생성될 수 있게 해준다. 예를 들어, 일 실시예에서, 희생층이 기판 위에 형성되고 포토리소그래피 공정을 사용하여 패터닝된다. 스페이서들이 자기 정렬 공정을 사용하여 패터닝된 희생층과 나란히 형성된다. 그 후, 희생층은 제거되고, 잔존하는 스페이서들은 그 후에 핀들을 패터닝하는데 사용될 수 있다. 일부 실시예들에서, 마스크(또는 다른 층)는 핀(52) 상에 남아있을 수 있다.

[0020] 도 4a 내지 도 7j에서, 절연 물질(54)이 이웃해 있는 핀들(52) 사이에 그리고 기판(50) 위에서 트렌치(22) 내에 형성된다. 도 4a 내지 도 7g는 핀들(52) 중 인접해 있는 핀들(52) 사이의 영역(20)의 상세도를 나타낸다. 도 4a를 참조하면, 제1 절연 물질(54A)이 트렌치(22) 내에 성막된다. 제1 절연 물질(54A)은 CVD, ALD 등과 같은 컨포멀 성막 공정에 의해 성막될 수 있다. 일부 실시예들에서, 컨포멀 성막 공정은 성막 공정의 단차 커버리지(step coverage)를 개선하기 위해 열 지원(예를 들어, 실온 위에서 수행됨) 및/또는 플라즈마 지원(예를 들어, 하나 이상의 플라즈마 전구체를 사용하여 수행됨)될 수 있다. 일부 실시예들에서, 제1 절연 물질(54A)은 $Si_xO_yC_zN_w$ 와 같은 유전체막일 수 있으며, 여기서 x, y, z, w는 각각 0 이상의 수이다. 다른 실시예들에서, 제1 절연 물질(54A)은 C, Si, Ge, 금속 합금(예를 들어, Al_2O_3 , TiN, TiAlN 등), 이들의 조합 등을 포함할 수 있다. 본 명세서에서 설명된 실시예들은 절연 물질을 성막하고 에칭함으로써 STI 영역을 형성하는 상황에 있다. 그러나, 다른 실시예들은 다른 겹 충전 공정들(예를 들어, 게이트 충전 공정, 다마신 공정 등)에 적용될 수 있다. 이러한 실시예들에서, 트렌치 내에 성막된 물질은 반도체 또는 Si, Ge, C와 같은 금속일 수 있다.

[0021] 제1 절연 물질(54A)을 성막하는 것은 트렌치(22)의 측벽들 및 바닥면 상에 컨포멀하게 제1 절연 물질(54A)을 성막하는 것을 포함할 수 있다. 성막은 트렌치(22)의 측벽들 상의 제1 절연 물질(54A)의 부분들이 함께 병합되고 이음매(55A)가 형성되어, 트렌치(22)를 채울때까지 계속될 수 있다. 일부 실시예들에서, 도 4b에 의해 예시된 바와 같이, 성막 공정의 제조 변동으로 인해 이음매(55A)를 따라 보이드(void)(57)가 또한 형성될 수 있다. 제1 절연 물질(54A)은 이음매(55A)와 보이드(57)를 따라 에칭에 더 취약할 수 있다는 것이 관찰되었다. 또한, 제1 절연 물질(54A)의 바닥 영역(54A')에는 이음매(55A)가 없을 수 있다. 예를 들어, 이음매(55A)는 제1 절연 물질(54A)의 바닥 영역(54A')으로 연장되지 않는다.

[0022] 다음으로, 도 5a에서, 핀(52)의 최상부 아래에서 제1 절연 물질(54A)을 리세싱하기 위해 에치백 공정이 수행될 수 있다. 에치백 공정은 습식 에칭 공정, 건식 에칭 공정, 또는 이들의 조합을 포함할 수 있다. 예를 들어, 절연 물질(54A)이 SiOCN을 포함하는 실시예들에서, CHF_3 와 O_2 ; CF_4 와 O_2 ; 및 NF_3 , CH_3F , 및/또는 CHF_3 이 건식 에칭 공정에서의 에천트로서 사용될 수 있다. 다른 예시로서, 절연 물질(54A)이 SiOCN을 포함하는 실시예들에서는, HF가 습식 에칭 공정에서의 에천트로서 사용될 수 있다. 에치백 공정은 이방성일 수 있다. 일부 실시예들에서, 도 5a에서 예시된 바와 같이, 에치백 공정은 이음매(55A)와 어떠한 보이드(57)(도 4a와 도 4b 참조)도 제거되도록 제1 절연 물질(54A)을 리세싱한다. 예를 들어, 에치백 공정은 제1 절연 물질(54A)의 바닥 영역(54A') 내를 에칭할 수 있다. 다른 실시예들에서, 도 5b에 도시된 바와 같이, 에치백 공정은 이음매(55A)의 일부 및/또는 임의의 보이드(명확하게 도시되지 않음)를 남길 수 있다. 제거되는 제1 절연 물질(54A)의 양은 예를 들어, 에치백 공정의 지속시간을 제어함으로써 제어될 수 있다. 에치백 공정의 결과로서, 제1 절연 물질(54A)의 최상면은 오픈할 수 있다.

[0023] 이어서, 도 6에서, 제2 절연 물질(54B)이 제1 절연 물질(54A) 위의 트렌치(22) 내에 성막될 수 있다. 제2 절연

물질(54B)은 CVD, ALD 등과 같은 컨포멀 성막 공정에 의해 성막될 수 있다. 일부 실시예들에서, 컨포멀 성막 공정은 성막 공정의 단차 커버리지를 개선하기 위해 열 지원(예를 들어, 실온 위에서 수행됨) 또는 플라즈마 지원(예를 들어, 하나 이상의 플라즈마 전구체를 사용하여 수행됨)될 수 있다. 일부 실시예들에서, 제2 절연 물질(54B)은 $Si_xO_yC_zN_w$ 와 같은 유전체막일 수 있으며, 여기서 x, y, z, w는 모두 0 이상의 수이다. 다른 실시예들에서, 제2 절연 물질(54B)은 C, Si, Ge, 금속 합금(예를 들어, Al_2O_3 , TiN, TiAlN, ZrO_2 등), 이들의 조합 등을 포함할 수 있다.

[0024] 일부 실시예들에서, 제2 절연 물질(54B)은 제1 절연 물질(54A)과는 상이한 물질 조성을 가질 수 있고, 제2 절연 물질(54B)의 바닥면은 제1 절연 물질(54A)의 최상면과의 계면을 형성할 수 있다. 일부 실시예들에서, 제2 절연 물질(54B)과 제1 절연 물질(54A) 사이의 계면은 오목할 수 있다.

[0025] 예를 들어, 제1 절연 물질(54A)은 로우 k 물질(예를 들어, SiCN, SiOCN 등과 같이, 실리콘 이산화물보다 낮거나 같은 k 값을 가짐)일 수 있고, 제2 절연 물질(54B)은 제1 절연 물질(54A)보다 에칭에 덜 취약한 금속 산화물 또는 금속 질화물(예를 들어, ZrO_2 , TiN 등)일 수 있다. 이러한 실시예들에서, 제1 절연 물질(54A)은 더 낮은 k 값을 위해 약간 다공성일 수 있다. 따라서, 제1 절연 물질(54A)은 기생 커패시턴스를 감소시키도록 자신의 낮은 k 값을 위해 포함될 수 있고, 제2 절연 물질(54B)은 후속 처리 단계들(예를 들어, 후속 에칭 단계들) 동안 제1 절연 물질(54A)을 보호하기 위해 포함될 수 있다. 다른 실시예들에서, 제2 절연 물질(54B)은 제1 절연 물질(54A)과 동일한 물질 조성을 가질 수 있다.

[0026] 제2 절연 물질(54B)을 성막하는 것은 제1 절연 물질(54A) 위의 트렌치(22)의 측벽들 및 바닥면 상에 컨포멀하게 제2 절연 물질(54B)을 성막하는 것을 포함할 수 있다. 성막은 트렌치(22)의 측벽들 상의 제2 절연 물질(54B)의 부분들이 함께 병합되고 이음매(55B)가 형성되어, 트렌치(22)를 채울때까지 계속될 수 있다. 일부 실시예들에서, 성막 공정의 제조 변동으로 인해 이음매(55B)를 따라 보이드가 형성될 수 있다. 또한, 제2 절연 물질(54B)의 바닥 영역(54B')에는 이음매(55B)가 없을 수 있다. 예를 들어, 이음매(55B)는 제2 절연 물질(54B)의 바닥 영역(54B')으로 연장되지 않는다.

[0027] 도 4a, 도 5a, 도 6에서 위에 예시된 단계들은 원하는 구성의 절연 물질들이 트렌치(22)를 채우기 위해 성막될 때까지 임의의 횟수로 반복될 수 있다. 예를 들어, 도 7a 내지 도 7g는 일부 실시예들에 따른 하나 이상의 성막 에칭 사이클 이후의 절연 물질(54)(예를 들어, 절연 물질들(54A, 54B, 54C, 54D, 54E, 및/또는 54F)을 포함함)의 대안적인 구성들을 나타낸다. 도 7a 내지 도 7g 각각에서, 평탄화 정지선(59)은 후속 평탄화 단계(예를 들어, CMP)가 끝날 수 있는 레벨을 나타낸다. 따라서, 평탄화 정지선(59) 위의 임의의 물질은 평탄화 단계에서 제거될 수 있는 반면(예를 들어, 도 8a 내지 8j 참조), 평탄화 정지선(59) 아래의 물질들은 평탄화 단계 이후에 남는다.

[0028] 도 7a는 제2 절연 물질(54B)이 리세싱되고, 제3 절연 물질(54C)이 제2 절연 물질(54B) 위에 성막되고, 제3 절연 물질(54C)이 (예를 들어, 제3 절연 물질(54C)의 이음매 아래로) 리세싱되고, 제4 절연 물질(54D)이 제3 절연 물질(54C) 위에 성막되는 실시예를 나타낸다. 제1 절연 물질(54A)을 리세싱하는 것은 이음매(55A) 부분을 남기면서, 제2 절연 물질(54B)과 제3 절연 물질(54C)로부터의 이음매들을 제거할 수 있다. 제4 절연 물질(54D)의 이음매(55D)는 평탄화 정지선(59) 위에서 끝날 수 있다.

[0029] 제4 절연 물질(54D) 및/또는 제3 절연 물질(54C)의 물질 조성은 제2 절연 물질(54B) 및/또는 제1 절연 물질(54A)의 물질 조성보다 동일하거나 상이할 수 있다. 예를 들어, 제1 절연 물질(54A)은 실리콘 이산화물, SiCN, SiOCN 등과 같이, 상대적으로 낮은 k 값을 갖는 물질일 수 있고; 제2 절연 물질(54B)과 제3 절연 물질(54C)은 각각 ZrO_2 , TiN 등과 같이, 금속 산화물 또는 금속 질화물일 수 있고; 제4 절연 물질(54D)은 실리콘 이산화물, SiN_2 등과 같이, 유전체막일 수 있다. 이러한 실시예들에서, 제2 절연 물질(54B)과 제3 절연 물질(54C)은 에칭으로 인한 결함으로부터 아래에 있는 제1 절연 물질(54A)을 보호할 수 있다. 또한, 제2 절연 물질(54B)이 제3 절연 물질(54C)과 동일한 물질 조성을 갖는 경우, 제2 절연 물질(54B)과 제3 절연 물질(54C) 사이에는 계면이 형성되지 않을 수 있다. 또한, 제2 절연 물질(54B)이 제3 절연 물질(54C)과는 상이한 물질 조성을 갖는 경우, 제2 절연 물질(54B)과 제3 절연 물질(54C) 사이에는 계면이 형성될 수 있다. 다른 실시예들에서, 제1, 제2, 제3, 및 제4 절연 물질들(54A, 54B, 54C, 54D) 각각은 동일한 물질 조성(예를 들어, 로우 k 유전체막)을 가질 수 있다. 일부 실시예들에서, 제2 절연 물질(54B)의 두께는 약 3nm 내지 약 6nm의 범위 내에 있을 수 있고, 제2 및 제3 절연 물질들(54B, 54C)의 결합된 두께는 약 7nm 내지 약 13nm의 범위 내에 있을 수 있다.

[0030] 도 7b는 이음매(55A)를 제거하기 위해 제1 절연 물질(54A)이 리세싱되고, 제4 절연 물질(54D)의 이음매가 평탄

화 정지선(59) 아래로 연장되는 대안적인 실시예를 나타낸다. 제1, 제2, 제3, 및 제4 절연 물질들(54A, 54B, 54C, 54D)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있다.

- [0031] 도 7c는 절연 물질들(54A, 54B, 54C, 54D, 54E, 54F) 각각이 이음매를 형성하지 않거나 이음매를 제거하기 위해 리세싱되거나 성막되는 대안적인 실시예를 나타낸다. 따라서, 도 7c에서 성막 후 어닐링, 높은 플라즈마 충격 공정, 또는 억제제없이 위에서 설명된 성막 예칭 공정에 의해 이음매없는 절연 물질(54)이 형성될 수 있으며, 이들 공정들 중 어느 것으로 인한 손상의 위험성이 회피된다. 제1, 제2, 제3, 및 제4 절연 물질들(54A, 54B, 54C, 54D)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있다. 또한, 제5 절연 물질(54E)과 제6 절연 물질(54F) 각각은 제2 절연 물질(54B)에 대해 상술된 것과 유사한 공정 및 유사한 물질로 형성될 수 있다.
- [0032] 도 7d는 성막 예칭 처리가 도 6과 관련하여 설명된 단계에서 종료되는 실시예를 나타낸다. 도 7e는 세 개의 절연 물질들(54A, 54B, 54C)이 트렌치(22) 내에 성막되는 실시예를 나타낸다. 이음매(55A)가 제1 절연 물질(54A)로부터 제거된다. 이음매(55B)는 제2 절연 물질(54B) 내에 남아 있고, 이음매(55C)가 제3 절연 물질(54C) 내에 형성된다. 이음매(55C)는 평탄화 정지선(59) 아래로 연장될 수 있다. 제3 절연 물질(54C)의 이음매(55C)와 제2 절연 물질(54B)의 이음매(55B) 사이에는 이음매없는 영역(54C')이 배치될 수 있다. 제1, 제2, 제3 절연 물질들(54A, 54B, 54C)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있다.
- [0033] 도 7f는 네 개의 절연 물질들(54A, 54B, 54C, 54D)이 트렌치(22) 내에 성막되는 실시예를 나타낸다. 이음매들(55A, 55B)이 제1 및 제2 절연 물질들(54A, 54B)로부터 제거된다. 이음매들(55C, 55D)은 각각 제3 절연 물질(54C)과 제4 절연 물질(54D) 내에 남는다. 이음매(55D)는 평탄화 정지선(59) 아래로 연장될 수 있다. 제1, 제2, 제3, 및 제4 절연 물질들(54A, 54B, 54C, 54D)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있다.
- [0034] 도 7g는 세 개의 절연 물질들(54A, 54B, 54C)이 트렌치(22) 내에 성막되는 실시예를 나타낸다. 이음매들(55A, 55B)이 제1 및 제2 절연 물질들(54A, 54B)로부터 제거되고, 이음매(55C)는 제3 절연 물질(54C) 내에 형성된다. 이음매(55C)는 평탄화 정지선(59) 아래로 연장될 수 있다. 제1, 제2, 제3 절연 물질들(54A, 54B, 54C)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있다.
- [0035] 도 3 및 도 7a 내지 도 7g에서는, 두 개의 핀들(52)만이 도시되어 있다. 도 7h 내지 도 7j는 상이한 거리들로 이격되어 있는 핀들(52A, 52B, 52C)을 나타낸다. 예를 들어, 핀들(52A, 52B)은 핀들(52B, 52C)보다 더 가깝게 서로 이격되어 있다. 핀들(52A, 52B) 사이에 제1 트렌치(22A)가 배치되고, 핀들(52B, 52C) 사이에 제2 트렌치(22B)가 배치된다. 제1 트렌치(22A)는 제2 트렌치(22B)보다 좁을 수 있고, 도시된 바와 같이, 트렌치(22A) 내의 이음매는 트렌치(22B) 내의 이음매보다 더 깊게 연장된다.
- [0036] 예를 들어, 도 7h는 제1 절연 물질(54A)과 제2 절연 물질(54B)이 트렌치들(22A, 22B) 내에 성막되는 실시예를 나타낸다. 제1 및 제2 절연 물질들(54A, 54B)의 물질들은 도 7a와 관련하여 위에서 설명한 것과 유사할 수 있고, 제1 절연 물질(54A)과 제2 절연 물질(54B)은 위에서 설명한 것과 유사한 공정을 사용하여 형성될 수 있다. 예를 들어, 제1 절연 물질(54A)이 트렌치들(22A, 22B) 내에 성막될 수 있고, 그런 후 제1 절연 물질은 트렌치들(22A, 22B) 내에 리세싱되고, 제2 절연 물질(54B)이 제1 절연 물질(54A) 위에 성막된다. 제1 절연 물질(54A)을 리세싱하는 것은 제1 절연 물질(54A) 내에 형성된 임의의 이음매 및/또는 보이드를 제거하는 것을 포함하거나 포함하지 않을 수 있다.
- [0037] 제2 절연 물질(54B)은 트렌치(22A) 내의 제1 이음매(55B-1) 및 트렌치(22B) 내의 제2 이음매(55B-2)를 포함한다. 제1 이음매(55B-1)는, 제2 절연 물질(54B)을 형성하기 위해 사용되는 컨포멀 성막 공정으로 인해 제2 이음매(55B-2)보다 더 깊게 연장될 수 있다. 예를 들어, 제2 절연 물질(54B)은 컨포멀하게 성막되고, 상대적으로 넓은 트렌치(22B)에서는 상대적으로 좁은 트렌치(22A)보다 더 높은 지점에서 병합될 수 있다. 그 결과, 제1 이음매(55B-1)는 제2 이음매(55B-2)보다 낮게 연장된다. 도 7i와 도 7j는 세 개의 절연 물질들(54A, 54B, 54C)을 갖는 대안적인 실시예들을 나타낸다. 제3 절연 물질(54C)은 트렌치(22A) 내의 제1 이음매(55C-1) 및 트렌치(22B) 내의 제2 이음매(55C-2)를 포함한다. 상대적으로 좁은 트렌치(22A) 내의 제1 이음매(55C-1)는 상대적으로 넓은 트렌치(22B) 내의 제2 이음매(55C-2)보다 낮게 연장된다. 제1, 제2, 제3 절연 물질들(54A, 54B, 54C)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있고 도 7a와 관련하여 위에서 설명된 것과 유사한 공정들을 사용하여 형성될 수 있다. 도 7i는 제3 절연 물질(54C)이 트렌치(22) 내에 성막된 최상층인 실시예를 나타내고, 도 7j는 제4 절연 물질(54D)이 제3 절연 물질(54C) 위에 성막되는 실시예를 나타낸다. 제4 절연 물질(54D)의 물질들은 도 7a와 관련하여 위에서 설명된 것과 유사할 수 있다.

- [0038] 도 8a 내지 도 8j에서, 핀(52) 위의 과잉의 절연 물질(54)(예를 들어, 제1 절연 물질(54A), 제2 절연 물질(54B), 제3 절연 물질(54C), 제4 절연 물질(54D), 제5 절연 물질(54E), 및/또는 제6 절연 물질(54F)을 포함함)을 제거하기 위해 절연 물질(54)에 제거 공정이 적용된다. 일부 실시예들에서, 화학적 기계적 폴리싱(chemical mechanical polish; CMP), 에치백 공정, 이들의 조합 등과 같은 평탄화 공정이 이용될 수 있다. 평탄화 공정은 평탄화 공정이 완료된 후 핀(52)과 절연 물질(54)의 최상면들이 동일한 높이가 되도록 핀(52)을 노출시킨다. 일부 실시예들에서, 평탄화 공정은 도 7a 내지 도 7j의 평탄화 정지선(59)의 레벨에서 종료될 수 있다. 마스크가 핀(52) 상에 남아있는 실시예들에서, 평탄화 공정은 마스크를 노출시키거나 또는 마스크를 제거하여, 평탄화 공정이 완료된 후 마스크 또는 핀(52) 각각과 절연 물질(54)의 최상면들이 동일한 높이가 되게 할 수 있다. 도 8a는 도 7a의 실시예에 대응하고; 도 8b는 도 7b의 실시예에 대응하고; 도 8c는 도 7c의 실시예에 대응하고; 도 8d는 도 7d의 실시예에 대응하고; 도 8e는 도 7e의 실시예에 대응하고; 도 8f는 도 7f의 실시예에 대응하고; 도 8g는 도 7g의 실시예에 대응하고; 도 8h는 도 7h의 실시예에 대응하고; 도 8i는 도 7i의 실시예에 대응하고; 도 8j는 도 7j의 실시예에 대응한다.
- [0039] 도 9에서, 절연 물질(54)은 셸로우 트렌치 격리(Shallow Trench Isolation; STI) 영역(56)을 형성하도록 리세스된다. 절연 물질(54)은 전술한 구성들 중 임의의 구성을 가질 수 있다. 절연 물질(54)은 n형 영역(50N) 내와 p형 영역(50P) 내의 핀(52)의 윗부분들이 이웃해 있는 STI 영역들(56) 사이로부터 돌출되도록 리세스된다. 또한, STI 영역들(56)의 최상면들은, 예시된 바와 같은 평면, 볼록면, (접시와 같은) 오목면, 또는 이들의 조합을 가질 수 있다. STI 영역들(56)의 최상면들은 적절한 에칭에 의해 평평하게, 볼록하게, 및/또는 오목하게 형성될 수 있다. STI 영역들(56)은 절연 물질(54)의 물질에 대해 선택적인 것(예를 들어, 핀(52)의 물질보다 빠른 레이트로 절연 물질(54)의 물질을 에칭함)과 같은 허용가능한 에칭 공정을 사용하여 리세스될 수 있다. 예를 들어, 희석된 불화수소(dHF) 산을 사용한 산화물 제거가 사용될 수 있다.
- [0040] 도 2 내지 도 9와 관련하여 설명된 공정은 핀(52)이 어떻게 형성될 수 있는지의 한 예일 뿐이다. 일부 실시예들에서, 핀은 에피택셜 성장 공정에 의해 형성될 수 있다. 예를 들어, 유전체층이 기판(50)의 최상면 위에 형성될 수 있고, 트렌치가 유전체층 속으로 에칭되어 아래에 있는 기판(50)을 노출시킬 수 있다. 호모에피택셜 구조물들이 트렌치 내에 에피택셜 성장될 수 있고, 호모에피택셜 구조물들이 유전체층으로부터 돌출되어 핀을 형성하도록 유전체층은 리세스될 수 있다. 추가로, 일부 실시예들에서, 헤테로에피택셜 구조물들이 핀(52)을 위해 사용될 수 있다. 예를 들어, 도 9에서의 핀(52)은 리세스될 수 있고, 핀(52)과는 상이한 물질이 리세스된 핀(52) 위에 에피택셜 성장될 수 있다. 이러한 실시예들에서, 핀(52)은 리세스된 물질뿐만 아니라 리세스된 물질 위에 배치된 에피택셜 성장된 물질을 포함한다. 또 추가적인 실시예에서, 유전체층이 기판(50)의 최상면 위에 형성될 수 있고, 트렌치가 유전체층 속으로 에칭될 수 있다. 그런 후 헤테로에피택셜 구조물들이 기판(50)과는 상이한 물질을 사용하여 트렌치 내에 에피택셜 성장될 수 있고, 헤테로에피택셜 구조물들이 유전체층으로부터 돌출되어 핀(52)을 형성하도록 유전체층은 리세스될 수 있다. 호모에피택셜 또는 헤테로에피택셜 구조물들이 에피택셜 성장되는 일부 실시예들에서, 에피택셜 성장된 물질들은 성장 동안 인시츄 도핑될 수 있으며, 이는 이전의 그리고 후속적인 주입들을 없앨 수 있지만, 인시츄 및 주입 도핑이 함께 사용될 수 있다.
- [0041] 또한, p형 영역(50P)(예를 들어, PMOS 영역)에서의 물질과는 상이한 n형 영역(50N)(예를 들어, NMOS 영역)에서의 물질을 에피택셜 성장시키는 것이 유리할 수 있다. 다양한 실시예들에서, 핀(52)의 윗부분들은 실리콘-게르마늄($\text{Si}_x\text{Ge}_{1-x}$, 여기서 x는 0 내지 1의 범위 내에 있을 수 있음), 실리콘 탄화물, 순수한 또는 실질적으로 순수한 게르마늄, III-V족 화합물 반도체, II-VI족 화합물 반도체 등으로부터 형성될 수 있다. 예를 들어, III-V족 화합물 반도체를 형성하기 위해 이용가능한 물질들은 비제한적인 예시로서, 인듐 비소, 알루미늄 비소, 갈륨 비소, 인듐 인화물, 갈륨 질화물, 인듐 갈륨 비소, 인듐 알루미늄 비소, 갈륨 안티몬, 알루미늄 안티몬, 알루미늄 인화물, 갈륨 인화물 등을 포함한다.
- [0042] 또한, 도 9에서, 적절한 웰(도시되지 않음)이 핀(52) 및/또는 기판(50) 내에 형성될 수 있다. 일부 실시예들에서, P웰이 n형 영역(50N)에서 형성될 수 있고, N웰이 p형 영역(50P)에서 형성될 수 있다. 일부 실시예들에서, P웰 또는 N웰은 n형 영역(50N)과 p형 영역(50P) 둘 다에서 형성된다.
- [0043] 상이한 웰 유형들을 갖는 실시예들에서, n형 영역(50N) 및 p형 영역(50P)에 대한 상이한 주입 단계들이 포토레지스트 및/또는 다른 마스크(도시되지 않음)를 사용하여 달성될 수 있다. 예를 들어, 포토레지스트는 n형 영역(50N)에서 핀(52) 및 STI 영역(56) 위에 형성될 수 있다. 포토레지스트는 기판(50)의 p형 영역(50P)을 노출시키도록 패터닝된다. 포토레지스트는 스핀 온 기술을 이용하여 형성될 수 있고 허용가능한 포토리소그래피 기술들을 이용하여 패터닝될 수 있다. 포토레지스트가 패터닝되면, n형 불순물 주입이 p형 영역(50P)에서 수행되며,

포토리지스트는, n형 불순물들이 n형 영역(50N) 내로 주입되는 것을 실질적으로 막아주는 마스크로서 역할을 할 수 있다. n형 불순물들은 약 10^{16} cm^{-3} 과 약 10^{18} cm^{-3} 사이와 같이, 10^{18} cm^{-3} 이하의 농도로 영역에 주입되는 인, 비소 등일 수 있다. 주입 이후, 포토리지스트는 허용가능한 애싱 공정과 같은 것에 의해 제거된다.

[0044] p형 영역(50P)의 주입에 이어서, 포토리지스트가 p형 영역(50P)에서 핀(52)과 STI 영역(56) 위에 형성된다. 포토리지스트는 기판(50)의 n형 영역(50N)을 노출시키도록 패터닝된다. 포토리지스트는 스핀 온 기술을 이용하여 형성될 수 있고 허용가능한 포토리소그래피 기술들을 이용하여 패터닝될 수 있다. 포토리지스트가 패터닝되면, p형 불순물 주입이 n형 영역(50N)에서 수행될 수 있으며, 포토리지스트는, p형 불순물들이 p형 영역(50P) 내로 주입되는 것을 실질적으로 막아주는 마스크로서 역할을 할 수 있다. p형 불순물들은 약 10^{16} cm^{-3} 과 약 10^{18} cm^{-3} 사이와 같이, 10^{18} cm^{-3} 이하의 농도로 영역에 주입되는 붕소, 불화 붕소, 인듐 등일 수 있다. 주입 이후, 포토리지스트는 허용가능한 애싱 공정과 같은 것에 의해 제거될 수 있다.

[0045] n형 영역(50N)과 p형 영역(50P)의 주입들 이후, 주입 손상을 수선하고 주입되었던 p형 및/또는 n형 불순물들을 활성화시키기 위해 어닐링이 수행될 수 있다. 일부 실시예들에서, 에피택셜 핀들의 성장된 물질들은 성장 동안에 인시츄 도핑될 수 있어서, 주입들을 없앨 수 있지만, 인시츄와 주입 도핑이 함께 사용될 수 있다.

[0046] 도 10에서, 더미 유전체층(60)이 핀(52) 상에 형성된다. 더미 유전체층(60)은 예컨대, 실리콘 산화물, 실리콘 질화물, 이들의 조합 등일 수 있으며, 허용가능한 기술들에 따라 성막되거나 또는 열적으로 성장될 수 있다. 더미 게이트층(62)은 더미 유전체층(60) 위에 형성되며, 마스크층(64)은 더미 게이트층(62) 위에 형성된다. 더미 게이트층(62)은 더미 유전체층(60) 위에 성막될 수 있고, 그런 후에 CMP와 같은 것에 의해 평탄화될 수 있다. 마스크층(64)은 더미 게이트층(62) 위에 성막될 수 있다. 더미 게이트층(62)은 도전성 또는 비도전성 물질일 수 있으며, 비정질 실리콘, 다결정 실리콘(폴리실리콘), 다결정 실리콘 게르마늄(poly-SiGe), 금속 질화물, 금속 실리사이드, 금속 산화물 및 금속을 포함하는 그룹으로부터 선택될 수 있다. 더미 게이트층(62)은 물리적 증착(PVD), CVD, 스퍼터 성막, 또는 선택된 물질을 성막하기 위한 다른 기술들에 의해 성막될 수 있다. 더미 게이트층(62)은 격리 영역들, 예를 들어, STI 영역(56) 및/또는 더미 유전체층(60)의 에칭으로부터 높은 에칭 선택비를 갖는 다른 물질들로 제조될 수 있다. 마스크층(64)은 예를 들어, 실리콘 질화물, 실리콘 산질화물 등의 하나 이상의 층을 포함할 수 있다. 이 예시에서, 단일 더미 게이트층(62)과 단일 마스크층(64)이 n형 영역(50N)과 p형 영역(50P)에 걸쳐 형성된다. 더미 유전체층(60)은 단지 예시적인 목적으로 핀(52)만을 덮는 것으로 도시되어 있다는 것에 유의한다. 일부 실시예들에서, 더미 유전체층(60)이 STI 영역(56)을 덮어서, STI 영역 위로 그리고 더미 게이트층(62)과 STI 영역(56) 사이에서 연장되도록 더미 유전체층(60)이 성막될 수 있다.

[0047] 도 11a 내지 도 11b는 실시예 디바이스들의 제조에 있어서의 다양한 추가적인 단계들을 나타낸다. 도 11a 내지 도 11b는 n형 영역(50N)과 p형 영역(50P) 중 하나에서의 피쳐들을 나타낸다. 예를 들어, 도 11a 내지 도 11b에서 도시된 구조물들은 n형 영역(50N)과 p형 영역(50P) 둘 다에 적용가능할 수 있다. n형 영역(50N)과 p형 영역(50P)의 구조물들의 차이(있는 경우)는 각 도면에 첨부된 텍스트에서 설명되어 있다.

[0048] 도 11a와 도 11b에서, 마스크층(64)(도 10 참조)은 마스크(74)를 형성하기 위해 허용가능한 포토리소그래피 및 에칭 기술들을 사용하여 패터닝될 수 있다. 그런 후, 마스크(74)의 패턴은 더미 게이트층(62)으로 전사될 수 있다. 일부 실시예들(도시되지 않음)에서, 마스크(74)의 패턴은 또한 더미 게이트(72)를 형성하기 위해 허용가능한 에칭 기술에 의해 더미 유전체층(60)으로 전사될 수 있다. 더미 게이트(72)는 핀(52)의 각각의 채널 영역(58)을 덮는다. 마스크(74)의 패턴은 더미 게이트(72) 각각을 인접해 있는 더미 게이트들로부터 물리적으로 분리시키기 위해 사용될 수 있다. 더미 게이트(72)는 또한 각각의 에피택셜 핀(52)의 길이 방향에 실질적으로 수직인 길이 방향을 가질 수 있다.

[0049] 또한, 도 11a와 도 11b에서, 더미 게이트(72), 마스크(74), 및/또는 핀(52)의 노출된 표면들 상에 게이트 밀봉 스페이스(80)가 형성될 수 있다. 열 산화 또는 성막 및 그 뒤를 이은 이방성 에칭은 게이트 밀봉 스페이스(80)를 형성할 수 있다. 게이트 밀봉 스페이스(80)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 형성될 수 있다.

[0050] 게이트 밀봉 스페이스(80)의 형성 후에, 약하게 도핑된 소스/드레인(lightly doped source/drain; LDD) 영역(명확하게 도시되지 않음)을 위한 주입이 수행될 수 있다. 상이한 디바이스 유형들을 갖는 실시예들에서, 도 9에서 위에서 논의된 주입들과 마찬가지로, p형 영역(50P)을 노출시키면서, 포토리지스트와 같은 마스크가 n형 영역(50N) 위에 형성될 수 있고, 적절한 유형(예를 들어, p형)의 불순물들이 p형 영역(50P) 내의 노출된 핀(52) 내로 주입될 수 있다. 그런 후, 마스크는 제거될 수 있다. 이어서, n형 영역(50N)을 노출시키면서, 포토리지스

트와 같은 마스크가 p형 영역(50P) 위에 형성될 수 있고, 적절한 유형(예컨대, n형)의 불순물들이 n형 영역(50N) 내의 노출된 핀(52) 내로 주입될 수 있다. 그런 후, 마스크는 제거될 수 있다. n형 불순물들은 이전에 논의한 n형 불순물들 중 임의의 것일 수 있고, p형 불순물들은 이전에 논의한 p형 불순물들 중 임의의 것일 수 있다. 약하게 도핑된 소스/드레인 영역들은 약 10^{15} cm^{-3} 내지 약 10^{19} cm^{-3} 의 불순물들의 농도를 가질 수 있다. 주입 손상을 수선하고 주입된 불순물들을 활성화시키기 위해 어닐링이 사용될 수 있다.

[0051] 도 12a와 도 12b에서, 게이트 스페이서(86)가 더미 게이트(72)와 마스크(74)의 측벽들을 따라 게이트 밀봉 스페이서(80) 상에 형성된다. 게이트 스페이서(86)는 절연 물질을 컨포멀하게 성막하고 이어서 절연 물질을 이방성 에칭하는 것에 의해 형성될 수 있다. 게이트 스페이서(86)의 절연 물질은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 이들의 조합 등일 수 있다.

[0052] 상기의 개시는 일반적으로 스페이서들과 LDD 영역들을 형성하는 공정을 설명한 것임을 유의한다. 다른 공정들 및 시퀀스들이 사용될 수 있다. 예를 들어, 더 적은 수의 또는 추가적인 스페이서들이 이용될 수 있고, 상이한 단계 시퀀스가 이용될 수 있다(예를 들어, 게이트 밀봉 스페이서(80)는 게이트 스페이서(86)를 형성하기 전에 에칭되지 않을 수 있으며, 이는 "L형상" 게이트 밀봉 스페이서를 산출시키고, 스페이서들은 형성되고 제거될 수 있다). 또한, n형 및 p형 디바이스들이 상이한 구조물들과 단계들을 사용하여 형성될 수 있다. 예를 들어, n형 디바이스를 위한 LDD 영역이 게이트 밀봉 스페이서(80)를 형성하기 전에 형성될 수 있는 반면에, p형 디바이스를 위한 LDD 영역은 게이트 밀봉 스페이서(80)를 형성한 후에 형성될 수 있다.

[0053] 도 13a와 13b에서, 에피택셜 소스/드레인 영역(82)이 핀(52) 내에 형성된다. 각각의 더미 게이트(72)가 각각의 이웃하는 에피택셜 소스/드레인 영역(82)의 쌍들 사이에 배치되도록 에피택셜 소스/드레인 영역(82)은 핀(52) 내에 형성된다. 일부 실시예들에서, 에피택셜 소스/드레인 영역(82)은 핀(52) 내로 연장될 수 있고, 또한 핀(52) 속을 관통할 수 있다. 일부 실시예들에서, 에피택셜 소스/드레인 영역(82)이 결과적인 FinFET의 후속적으로 형성된 게이트들을 단락시키지 않도록 하기 위해, 에피택셜 소스/드레인 영역(82)을 더미 게이트(72)로부터 적절한 횡측 거리만큼 분리시키는 데 게이트 스페이서(86)가 사용된다. 에피택셜 소스/드레인 영역(82)의 물질은 각각의 채널 영역(58)에 응력을 가하여, 성능을 향상시키도록 선택될 수 있다.

[0054] n형 영역(50N) 내의 에피택셜 소스/드레인 영역(82)은 p형 영역(50P)을 마스크하고 n형 영역(50N) 내의 핀(52)의 소스/드레인 영역을 에칭하여 핀(52) 내에 리세스를 형성함으로써 형성될 수 있다. 그런 후, n형 영역(50N) 내의 에피택셜 소스/드레인 영역(82)은 리세스들 내에서 에피택셜 성장된다. 에피택셜 소스/드레인 영역(82)은 n형 FinFET을 위한 적절한 물질과 같은, 임의의 허용가능한 물질을 포함할 수 있다. 예를 들어, 핀(52)이 실리콘인 경우, n형 영역(50N) 내의 에피택셜 소스/드레인 영역(82)은 실리콘, 실리콘 탄화물, 다공성 도핑된 실리콘 탄화물, 실리콘 인화물 등과 같이, 채널 영역(58)에서 인장 스트레인(tensile strain)을 가하는 물질들을 포함할 수 있다. n형 영역(50N) 내의 에피택셜 소스/드레인 영역(82)은 핀(52)의 각각의 표면들로부터 융기된 표면들을 가질 수 있고, 패짓(facet)들을 가질 수 있다.

[0055] p형 영역(50P) 내의 에피택셜 소스/드레인 영역(82)은 n형 영역(50N)을 마스크하고 p형 영역(50P) 내의 핀(52)의 소스/드레인 영역을 에칭하여 핀(52) 내에 리세스를 형성함으로써 형성될 수 있다. 그런 후, p형 영역(50P) 내의 에피택셜 소스/드레인 영역(82)은 리세스들 내에서 에피택셜 성장된다. 에피택셜 소스/드레인 영역(82)은 p형 FinFET을 위한 적절한 물질과 같은, 임의의 허용가능한 물질을 포함할 수 있다. 예를 들어, 핀(52)이 실리콘인 경우, p형 영역(50P) 내의 에피택셜 소스/드레인 영역(82)은 실리콘 게르마늄, 붕소 도핑된 실리콘 게르마늄, 게르마늄, 게르마늄 주석 등과 같이, 채널 영역(58)에서 압축 스트레인(compressive strain)을 가하는 물질들을 포함할 수 있다. p형 영역(50P) 내의 에피택셜 소스/드레인 영역(82)은 핀(52)의 각각의 표면들로부터 융기된 표면들을 가질 수 있고, 패짓들을 가질 수 있다.

[0056] 에피택셜 소스/드레인 영역(82) 및/또는 핀(52)은, 약하게 도핑된 소스/드레인 영역을 형성하기 위해 이전에 논의된 공정과 마찬가지로, 소스/드레인 영역을 형성하기 위한 도펀트들로 주입될 수 있고, 이어서 어닐링이 뒤따른다. 소스/드레인 영역은 약 10^{19} cm^{-3} 과 약 10^{21} cm^{-3} 사이의 불순물 농도를 가질 수 있다. 소스/드레인 영역들을 위한 n형 및/또는 p형 불순물들은 이전에 논의된 불순물들 중 임의의 것일 수 있다. 일부 실시예들에서, 에피택셜 소스/드레인 영역(82)은 성장 동안 인시츄 도핑될 수 있다.

[0057] n형 영역(50N)과 p형 영역(50P)에서 에피택셜 소스/드레인 영역(82)을 형성하는 데 사용된 에피택시 공정들의 결과로서, 에피택셜 소스/드레인 영역의 윗면은 핀(52)의 측벽을 넘어 횡측으로 바깥쪽으로 확장되는 패짓들을 갖는다. 일부 실시예들에서, 이러한 패짓들은 도 13c에서 도시된 바와 같이 동일한 FinFET의 인접한 소스/드레

인 영역들(82)이 병합되도록 한다. 다른 실시예들에서, 인접한 소스/드레인 영역들(82)은 도 13d에서 도시된 바와 같이 에피택시 공정이 완료된 후에 분리된 상태로 남는다. 도 13c와 도 13d에서 도시된 실시예들에서, 게이트 스페이스(86)는 STI 영역(56) 위로 연장된 핀(52)의 측벽 부분을 덮어서 에피택셜 성장을 차단하도록 형성된다. 일부 다른 실시예들에서, 게이트 스페이스(86)를 형성하는 데 사용되는 스페이스 에칭은, 에피택셜 성장 영역이 STI 영역(56)의 표면으로 연장될 수 있게끔, 스페이스 물질을 제거하도록 조정될 수 있다.

[0058] 도 14a와 도 14b에서, 제1 층간 유전체(interlayer dielectric; ILD)(88)가 도 13a와 도 13b에서 도시된 구조물 위에 성막된다. 제1 ILD(88)는 유전체 물질로 형성될 수 있고, CVD, 플라즈마 강화 CVD(plasma-enhanced CVD; PECVD), FCVD 등과 같은, 임의의 적절한 방법에 의해 성막될 수 있다. 유전체 물질은 PSG(phospho-silicate glass), BSG(boro-silicate glass), BPSG(boron-doped phospho-silicate glass), USG(undoped silicate glass) 등을 포함할 수 있다. 임의의 허용가능한 공정에 의해 형성된 다른 절연 물질들이 사용될 수 있다. 일부 실시예들에서, 콘택트 에칭 정지층(contact etch stop layer; CESL)(87)이 제1 ILD(88)과, 에피택셜 소스/드레인 영역(82), 마스크(74), 및 게이트 스페이스(86) 사이에 배치된다. CESL(87)은 위에 놓인 제1 ILD(88)의 물질보다 더 낮은 에칭률을 갖는, 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등과 같은, 유전체 물질을 포함할 수 있다.

[0059] 도 15a와 도 15b에서, 제1 ILD(88)의 최상면을 더미 게이트(72) 또는 마스크(74)의 최상면들과 동일한 높이가 되도록 CMP와 같은 평탄화 공정이 수행될 수 있다. 평탄화 공정은 또한 더미 게이트(72) 상의 마스크(74), 그리고 마스크(74)의 측벽을 따라 있는 게이트 밀봉 스페이스(80)와 게이트 스페이스(86)의 부분들을 제거할 수 있다. 평탄화 공정 이후, 더미 게이트(72), 게이트 밀봉 스페이스(80), 게이트 스페이스(86), 및 제1 ILD(88)의 최상면들은 동일한 높이가 된다. 이에 따라, 더미 게이트(72)의 최상면은 제1 ILD(88)를 통해 노출된다. 일부 실시예들에서, 마스크(74)는 남아있을 수 있으며, 이 경우 평탄화 공정은 제1 ILD(88)의 최상면을 마스크(74)의 최상면과 동일한 높이가 되도록 한다.

[0060] 도 16a와 도 16b에서, 더미 게이트(72), 및 (존재하는 경우) 마스크(74)는 에칭 단계(들)에서 제거되어, 리세스(90)가 형성된다. 리세스(90) 내의 더미 유전체층(60)의 부분들이 또한 제거될 수 있다. 일부 실시예들에서, 더미 게이트(72)만이 제거되고, 더미 유전체층(60)은 남아서 리세스(90)에 의해 노출된다. 일부 실시예들에서, 더미 유전체층(60)은 다이의 제1 영역(예를 들어, 코어 로직 영역)에서의 리세스(90)로부터 제거되고, 다이의 제2 영역(예를 들어, 입력/출력 영역)에서의 리세스(90) 내에 남는다. 일부 실시예들에서, 더미 게이트(72)는 이방성 건식 에칭 공정에 의해 제거된다. 예를 들어, 에칭 공정은 제1 ILD(88) 또는 게이트 스페이스(86)의 에칭이 거의 없이 또는 전혀 없이 더미 게이트(72)를 선택적으로 에칭하는 반응 가스(들)를 사용하는 건식 에칭 공정을 포함할 수 있다. 각각의 리세스(90)는 각각의 핀(52)의 채널 영역(58)을 노출시키고 및/또는 그 위에 놓여 있다. 각각의 채널 영역(58)은 이웃해 있는 에피택셜 소스/드레인 영역(82)의 쌍들 사이에 배치된다. 제거 동안, 더미 유전체층(60)은 더미 게이트(72)가 에칭될 때 에칭 정지층으로서 사용될 수 있다. 그런 후, 더미 게이트(72)의 제거 후에 더미 유전체층(60)은 선택적으로 제거될 수 있다.

[0061] 도 17a와 도 17b에서, 게이트 유전체층(92)과 게이트 전극(94)이 대체 게이트를 위해 형성된다. 도 17c는 도 17b의 영역(89)의 상세도를 나타낸다. 게이트 유전체층(92)은 핀(52)의 최상면 상과 게이트 밀봉 스페이스(80)/게이트 스페이스(86)의 측벽 상과 같이, 리세스(90) 내에 성막된 하나 이상의 층을 포함할 수 있다. 게이트 유전체층(92)은 또한 제1 ILD(88)의 최상면 상에 형성될 수 있다. 일부 실시예들에서, 게이트 유전체층(92)은 실리콘 산화물, 실리콘 질화물, 금속 산화물, 금속 실리케이트 등의 하나 이상의 층과 같은, 하나 이상의 유전체 층을 포함한다. 예를 들어, 일부 실시예들에서, 게이트 유전체층(92)은 하프늄, 알루미늄, 지르코늄, 란타늄, 망간, 바륨, 티타늄, 납, 및 이들의 조합의 금속 산화물 또는 실리케이트와 같은, 열적 또는 화학적 산화에 의해 형성된 실리콘 산화물 및 위에 있는 하이 k 유전체 물질의 계면층을 포함한다. 게이트 유전체층(92)은 약 7.0보다 큰 k 값을 갖는 유전체층을 포함할 수 있다. 게이트 유전체층(92)의 형성 방법은 MBD(Molecular-Beam Deposition), ALD, PECVD 등을 포함할 수 있다. 더미 유전체층(60)의 일부가 리세스(90) 내에 남아있는 실시예들에서, 게이트 유전체층(92)은 더미 유전체층(60)의 물질(예를 들어, SiO₂)을 포함한다.

[0062] 게이트 전극들(94)이 각각 게이트 유전체층들(92) 위에 성막되며, 리세스(90)의 잔존 부분들을 채운다. 게이트 전극(94)은 티타늄 질화물, 티타늄 산화물, 탄탈륨 질화물, 탄탈륨 산화물, 코발트, 루테튬, 알루미늄, 텅스텐, 이들의 조합, 또는 이들의 다층과 같은 금속 함유 물질을 포함할 수 있다. 예를 들어, 도 17b에서는 단일층의 게이트 전극(94)이 도시되어 있지만, 게이트 전극(94)은 도 17c에서 도시된 바와 같이 임의의 수의 라이너층(94A), 임의의 수의 일함수 튜닝층(94B), 및 충전 물질(94C)을 포함할 수 있다. 리세스(90)를 채운 후, CMP와

같은 평탄화 공정이 수행되어, 게이트 유전체층(92)과 게이트 전극(94)의 물질의 과잉 부분들을 제거할 수 있으며, 이 과잉 부분들은 제1 ILD(88)의 최상면 위에 있는 것들이다. 따라서, 게이트 유전체층(92)과 게이트 전극(94)의 물질의 잔존 부분들은 결과적인 FinFET의 대체 게이트들을 형성한다. 게이트 전극(94)과 게이트 유전체층(92)을 "게이트 스택"이라고 총칭할 수 있다. 게이트 및 게이트 스택은 핀(52)의 채널 영역(58)의 측벽을 따라 연장될 수 있다.

[0063] n형 영역(50N)과 p형 영역(50P)에서의 게이트 유전체층(92)의 형성은 각 영역에서의 게이트 유전체층(92)이 동일한 물질로 형성되도록 동시에 일어날 수 있고, 각 영역에서의 게이트 전극(94)이 동일한 물질로 형성되도록 게이트 전극(94)의 형성은 동시에 일어날 수 있다. 일부 실시예들에서, 게이트 유전체층(92)이 상이한 물질들일 수 있도록 각 영역에서의 게이트 유전체층(92)은 별개의 공정들에 의해 형성될 수 있고, 및/또는 게이트 전극(94)이 상이한 물질들일 수 있도록 각 영역에서의 게이트 전극(94)은 별개의 공정들에 의해 형성될 수 있다. 개별 공정들을 사용할 때 적절한 영역들을 마스크하고 노출시키도록 다양한 마스크 단계들이 사용될 수 있다.

[0064] 도 18a와 도 18b에서, 게이트 마스크(96)가 게이트 스택(게이트 유전체층(92) 및 대응하는 게이트 전극(94)을 포함함) 위에 형성되고, 게이트 마스크는 게이트 스페이서(86)의 대향 부분들 사이에 배치될 수 있다. 일부 실시예들에서, 게이트 마스크(96)를 형성하는 것은 게이트 스택을 리세싱하여 게이트 스택 바로 위에 그리고 게이트 스페이서(86)의 대향 부분들 사이에 리세스가 형성되도록 하는 것을 포함한다. 실리콘 질화물, 실리콘 산 질화물 등과 같은 하나 이상의 유전체 물질층을 포함하는 게이트 마스크(96)가 리세스 내에 채워지고, 그런 후, 평탄화 공정이 이어져서, 제1 ILD(88) 위로 연장되는 유전체 물질의 과잉 부분들을 제거한다.

[0065] 도 18a와 도 18b에서 또한 도시된 바와 같이, 제2 ILD(108)가 제1 ILD(88) 위에 성막된다. 일부 실시예들에서, 제2 ILD(108)는 유동가능 CVD 방법에 의해 형성된 유동가능 막이다. 일부 실시예들에서, 제2 ILD(108)는 PSG, BSG, BPSG, USG 등과 같은 유전체 물질로 형성되며, CVD 및 PECVD와 같은 임의의 적절한 방법에 의해 성막될 수 있다. 이후에 형성되는 게이트 콘택트(110)(도 19a와 도 19b)는 제2 ILD(108)와 게이트 마스크(96)를 관통하여 리세싱된 게이트 전극(94)의 최상면과 접촉한다.

[0066] 도 19a와 도 19b에서, 일부 실시예들에 따라 게이트 콘택트(110)와 소스/드레인 콘택트(112)가 제2 ILD(108)와 제1 ILD(88)를 관통하여 형성된다. 소스/드레인 콘택트(112)를 위한 개구는 제1 및 제2 ILD(88, 108)를 관통하여 형성되고, 게이트 콘택트(110)를 위한 개구는 제2 ILD(108)와 게이트 마스크(96)를 관통하여 형성된다. 개구들은 허용가능한 포토리소그래피 및 에칭 기술들을 이용하여 형성될 수 있다. 확산 배리어층, 접착층 등과 같은 라이너(도시되지 않음), 및 도전성 물질이 개구 내에 형성된다. 라이너는 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 포함할 수 있다. 도전성 물질은 구리, 구리 합금, 은, 금, 텅스텐, 코발트, 알루미늄, 니켈 등일 수 있다. 제2 ILD(108)의 표면으로부터의 과잉의 물질을 제거하기 위해 CMP와 같은, 평탄화 공정이 수행될 수 있다. 잔존하는 라이너 및 도전성 물질은 개구 내에서 소스/드레인 콘택트(112)와 게이트 콘택트(110)를 형성한다. 에피택셜 소스/드레인 영역(82)과 소스/드레인 콘택트(112) 사이의 계면에서 실리사이드를 형성하기 위해 어닐링 공정이 수행될 수 있다. 소스/드레인 콘택트(112)는 에피택셜 소스/드레인 영역(82)에 물리적으로 그리고 전기적으로 결합되고, 게이트 콘택트(110)는 게이트 전극(94)에 물리적으로 그리고 전기적으로 결합된다. 소스/드레인 콘택트(112)와 게이트 콘택트(110)는 상이한 공정들에서 형성될 수 있거나 또는 동일한 공정에서 형성될 수 있다. 동일한 단면에서 형성되는 것으로 도시되었지만, 소스/드레인 콘택트(112)와 게이트 콘택트(110) 각각은 콘택트의 단락을 방지할 수 있는 상이한 단면들에서 형성될 수 있음을 이해해야 한다.

[0067] 개시된 FinFET 실시예들은 또한 나노구조(예를 들어, 나노시트, 나노와이어, 게이트 올 어라운드 등) 전계 효과 트랜지스터(NSFET)와 같은 나노구조 디바이스에 적용될 수 있다. NSFET 실시예에서, 핀은 채널층과 희생층의 교대층들의 스택을 패터닝함으로써 형성된 나노구조물들로 대체된다. 더미 게이트 스택과 소스/드레인 영역은 전술한 실시예들과 유사한 방식으로 형성된다. 더미 게이트 스택이 제거된 후, 희생층은 채널 영역에서 부분적으로 또는 완전히 제거될 수 있다. 대체 게이트 구조물들이 전술한 실시예들과 유사한 방식으로 형성되며, 대체 게이트 구조물들은 희생층을 제거하여 남은 개구를 부분적으로 또는 완전히 채울 수 있으며, 대체 게이트 구조물들은 NSFET 디바이스의 채널 영역 내의 채널층들을 부분적으로 또는 완전히 둘러쌀 수 있다. 대체 게이트 구조물과 소스/드레인 영역에 대한 ILD 및 콘택트는 전술한 실시예들과 유사한 방식으로 형성될 수 있다. 나노구조 디바이스는 미국 특허 공개 제2016/0365414호에서 개시된 바와 같이 형성될 수 있으며, 이 특허 공개 전문은 참조로서 본 명세서 내에 편입된다.

[0068] 본 발명개시의 양대들을 본 발명분야의 당업자가 보다 잘 이해할 수 있도록 앞에서는 여러 개의 실시예들의 특징들을 약술했다. 본 발명분야의 당업자는 여기서 소개한 실시예들의 동일한 목적들을 수행하거나 및/또는 동

일한 장점들을 달성하기 위한 다른 공정들 및 구조물들을 설계하거나 또는 수정하기 위한 기초로서 본 발명개시를 자신들이 손쉽게 이용할 수 있다는 것을 알아야 한다. 본 발명분야의 당업자는 또한 이와 같은 등가적 구성들은 본 발명개시의 사상과 범위를 이탈하지 않는다는 것과, 본 발명개시의 사상과 범위를 이탈하지 않고서 당업자가 다양한 변경들, 대체들, 및 개조들을 본 발명에서 행할 수 있다는 것을 자각해야 한다.

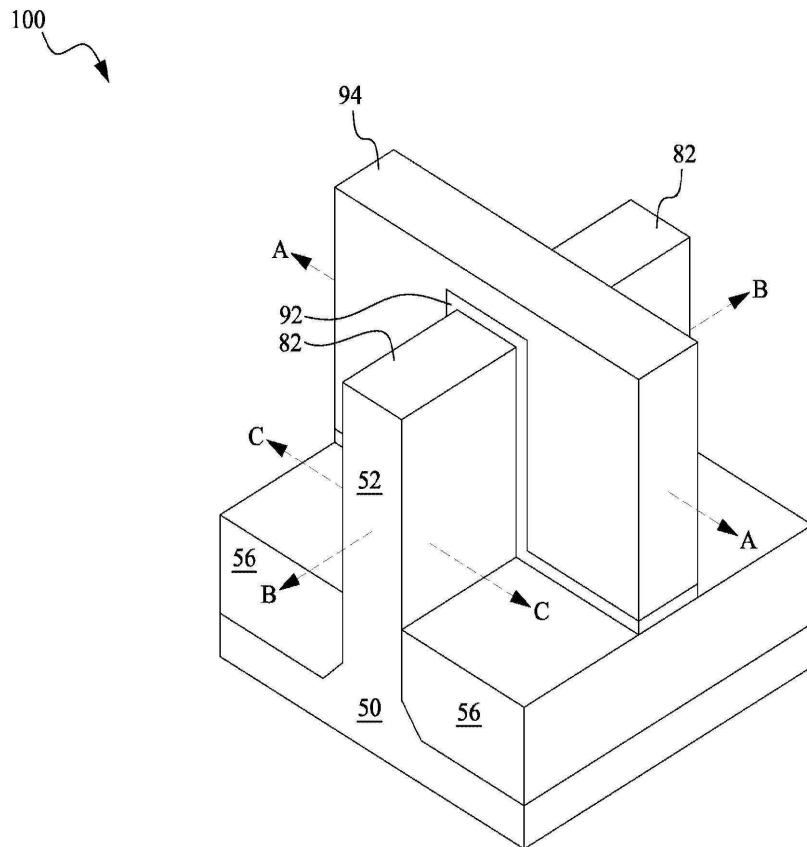
- [0069] 실시예들
- [0070] 실시예 1. 방법에 있어서,
- [0071] 트렌치를 패터닝하는 단계;
- [0072] 컨포멀(conformal) 성막 공정을 사용하여 상기 트렌치의 측벽들과 바닥면을 따라 제1 절연 물질을 성막하는 단계 - 상기 제1 절연 물질을 성막하는 단계는 상기 트렌치의 제1 측벽 상의 상기 제1 절연 물질의 제1 부분과 상기 트렌치의 제2 측벽 상의 상기 제1 절연 물질의 제2 부분 사이에 제1 이음매(seam)를 형성하는 단계를 포함함 -;
- [0073] 상기 트렌치의 최상부 아래에서 상기 제1 절연 물질을 에칭하는 단계; 및
- [0074] 컨포멀 성막 공정을 사용하여 상기 제1 절연 물질 위에 그리고 상기 트렌치 내에 제2 절연 물질을 성막하는 단계
- [0075] 를 포함하며,
- [0076] 상기 제2 절연 물질을 성막하는 단계는 상기 트렌치의 상기 제1 측벽 상의 상기 제2 절연 물질의 제1 부분과 상기 트렌치의 상기 제2 측벽 상의 상기 제2 절연 물질의 제2 부분 사이에 제2 이음매를 형성하는 단계를 포함한 것인 방법.
- [0077] 실시예 2. 실시예 1에 있어서,
- [0078] 상기 제1 절연 물질을 에칭하는 단계는 상기 제1 이음매를 제거하는 단계를 포함한 것인 방법.
- [0079] 실시예 3. 실시예 1에 있어서,
- [0080] 상기 제1 절연 물질을 에칭한 후, 상기 제1 이음매의 일부는 남는 것인 방법.
- [0081] 실시예 4. 실시예 1에 있어서,
- [0082] 상기 제1 절연 물질을 성막하는 단계는 상기 제1 이음매를 따라 보이드(void)를 규정하는 단계를 더 포함한 것인 방법.
- [0083] 실시예 5. 실시예 1에 있어서,
- [0084] 상기 제1 절연 물질은 상기 제2 절연 물질보다 더 낮은 k 값을 갖는 것인 방법.
- [0085] 실시예 6. 실시예 5에 있어서,
- [0086] 상기 제2 절연 물질은 금속 산화물 또는 금속 질화물을 포함한 것인 방법.
- [0087] 실시예 7. 실시예 1에 있어서,
- [0088] 상기 트렌치의 최상부 아래에서 상기 제2 절연 물질을 에칭하는 단계; 및
- [0089] 컨포멀 성막 공정을 사용하여 상기 제2 절연 물질 위에 그리고 상기 트렌치 내에 제3 절연 물질을 성막하는 단계
- [0090] 를 더 포함하며,
- [0091] 상기 제3 절연 물질을 성막하는 단계는 상기 트렌치의 상기 제1 측벽 상의 상기 제3 절연 물질의 제1 부분과 상기 트렌치의 상기 제2 측벽 상의 상기 제3 절연 물질의 제2 부분 사이에 제3 이음매를 형성하는 단계를 포함한 것인 방법.
- [0092] 실시예 8. 실시예 7에 있어서,
- [0093] 상기 트렌치의 최상부 아래에서 상기 제3 절연 물질을 에칭하는 단계;
- [0094] 상기 제3 절연 물질 위에 그리고 상기 트렌치 내에 제4 절연 물질을 성막하는 단계; 및

- [0095] 상기 제4 절연 물질을 평탄화하는 단계
- [0096] 를 더 포함하는 방법.
- [0097] 실시예 9. 실시예 8에 있어서,
- [0098] 상기 제3 절연 물질은 상기 제2 절연 물질과 동일한 물질 조성을 갖는 것인 방법.
- [0099] 실시예 10. 방법에 있어서,
- [0100] 제1 트렌치와 제2 트렌치를 패터닝하는 단계 - 상기 제1 트렌치는 상기 제2 트렌치보다 폭이 넓음 -;
- [0101] 상기 제1 트렌치와 상기 제2 트렌치 내에 제1 물질을 성막하는 단계;
- [0102] 상기 제1 트렌치와 상기 제2 트렌치 내의 상기 제1 물질을 에칭하는 단계; 및
- [0103] 상기 제1 트렌치와 상기 제2 트렌치 내의 상기 제1 물질 위에 제2 물질을 성막하는 단계
- [0104] 를 포함하고,
- [0105] 상기 제2 물질을 성막하는 단계는 상기 제1 트렌치 내에서 제1 이음매를 그리고 상기 제2 트렌치 내에서 제2 이음매를 형성하며,
- [0106] 상기 제2 이음매는 상기 제1 이음매보다 낮게 연장된 것인 방법.
- [0107] 실시예 11. 실시예 10에 있어서,
- [0108] 상기 제1 물질은 $Si_xO_yC_zN_w$ 를 포함한 절연 물질이며, 여기서 x , y , z , w 는 각각 0 이상의 수인 것인 방법.
- [0109] 실시예 12. 실시예 10에 있어서,
- [0110] 상기 제2 물질은 금속 산화물 또는 금속 질화물을 포함한 것인 방법.
- [0111] 실시예 13. 실시예 10에 있어서,
- [0112] 상기 제1 물질을 에칭하는 단계는 상기 제1 물질의 이음매를 제거하는 단계를 포함한 것인 방법.
- [0113] 실시예 14. 실시예 10에 있어서,
- [0114] 상기 제1 트렌치와 상기 제2 트렌치 내의 상기 제2 물질을 에칭하는 단계; 및
- [0115] 상기 제1 트렌치와 상기 제2 트렌치 내의 상기 제2 물질 위에 제3 물질을 성막하는 단계
- [0116] 를 더 포함하고,
- [0117] 상기 제3 물질을 성막하는 단계는 상기 제1 트렌치 내에서 제3 이음매를 그리고 상기 제2 트렌치 내에서 제4 이음매를 형성하며,
- [0118] 상기 제4 이음매는 상기 제3 이음매보다 낮게 연장된 것인 방법.
- [0119] 실시예 15. 실시예 14에 있어서,
- [0120] 상기 제2 물질을 에칭하는 단계는 상기 제1 이음매와 상기 제2 이음매를 제거하는 것인 방법.
- [0121] 실시예 16. 디바이스에 있어서,
- [0122] 제1 핀;
- [0123] 제2 핀;
- [0124] 상기 제1 핀과 상기 제2 핀 사이에 있는 제1 절연 물질; 및
- [0125] 상기 제1 핀과 상기 제2 핀 사이에 있고 상기 제1 절연 물질 위에 있는 제2 절연 물질
- [0126] 을 포함하고,
- [0127] 상기 제1 절연 물질은 상기 제2 절연 물질보다 더 낮은 k 값을 가지며,
- [0128] 상기 제1 절연 물질과 상기 제2 절연 물질 사이의 계면은 오목한 것인 디바이스.

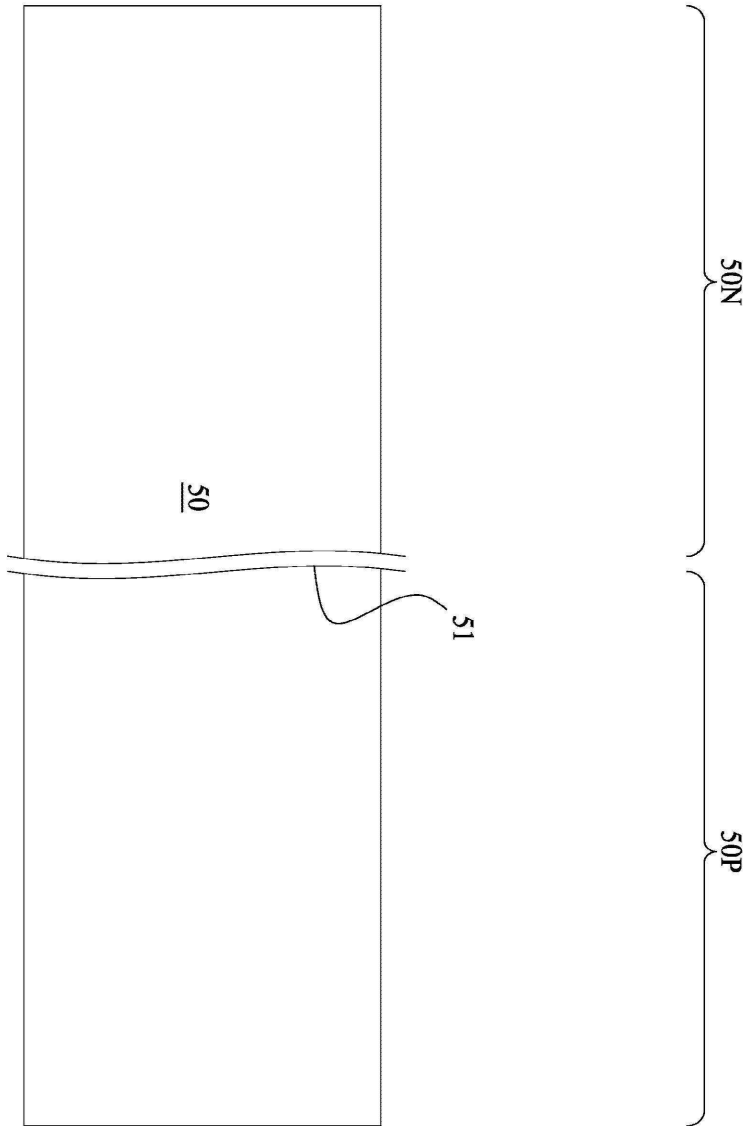
- [0129] 실시예 17. 실시예 16에 있어서,
- [0130] 상기 제1 절연 물질에는 어떠한 이음매도 없는 것인 디바이스.
- [0131] 실시예 18. 실시예 16에 있어서,
- [0132] 상기 제1 절연 물질은 이음매를 포함한 것인 디바이스.
- [0133] 실시예 19. 실시예 16에 있어서,
- [0134] 상기 제2 핀과는 상기 제1 핀의 반대 측 상에 있는 제3 핀
- [0135] 을 더 포함하고,
- [0136] 상기 제1 절연 물질과 상기 제2 절연 물질은 또한 상기 제3 핀과 상기 제1 핀 사이에 배치되고,
- [0137] 상기 제2 절연 물질은,
- [0138] 상기 제1 핀과 상기 제2 핀 사이에 있는 제3 이음매; 및
- [0139] 상기 제1 핀과 상기 제3 핀 사이에 있는 제4 이음매
- [0140] 를 더 포함하며,
- [0141] 상기 제4 이음매는 상기 제3 이음매보다 낮게 연장된 것인 디바이스.
- [0142] 실시예 20. 실시예 19에 있어서,
- [0143] 상기 제1 핀과 상기 제2 핀 사이의 거리는 상기 제1 핀과 상기 제3 핀 사이의 거리보다 더 큰 것인 디바이스.

도면

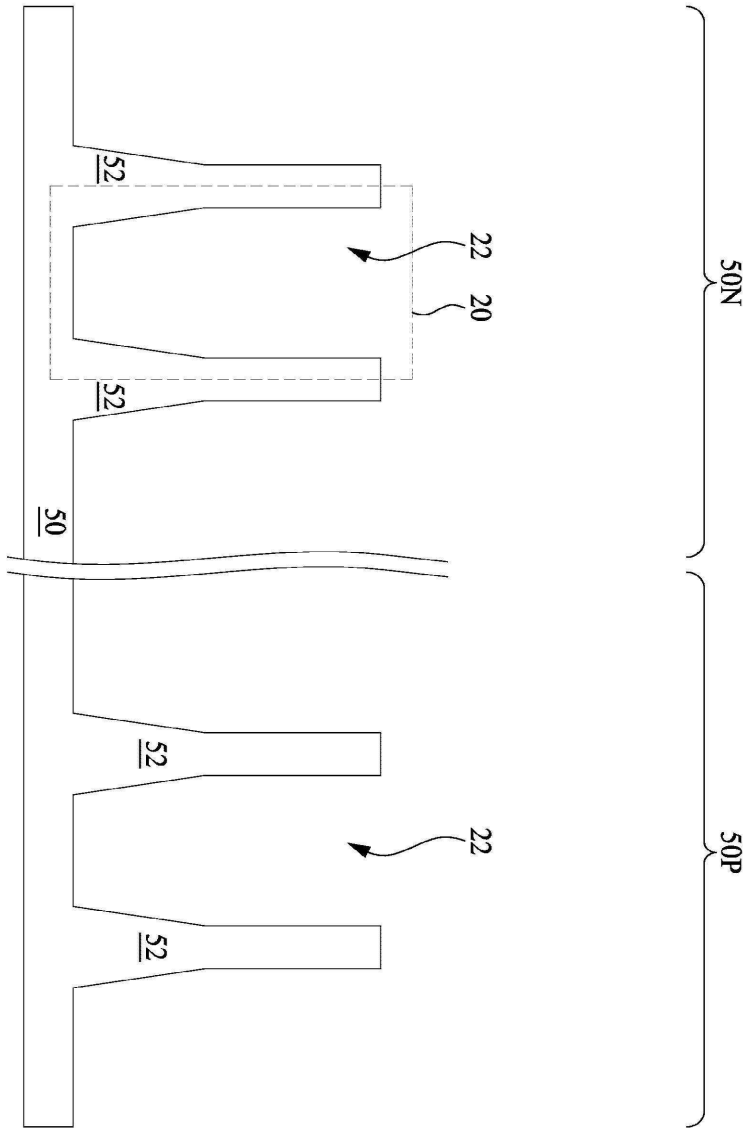
도면1



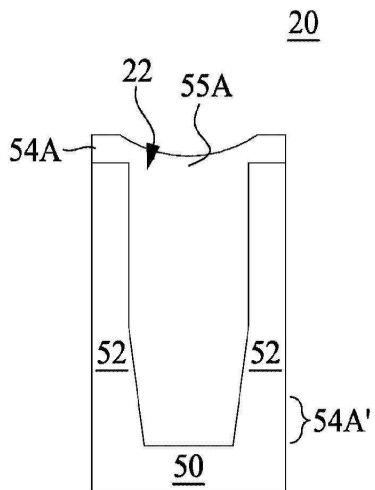
도면2



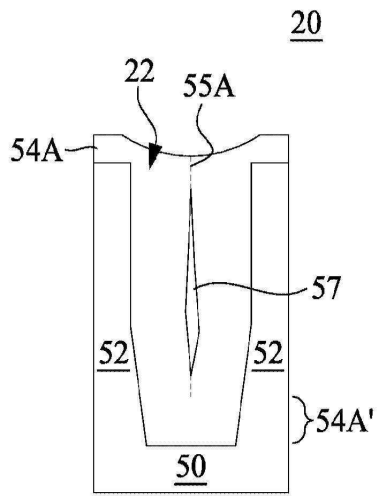
도면3



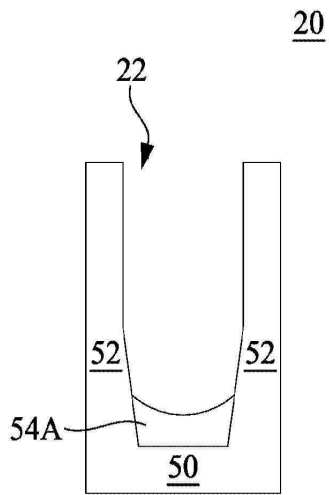
도면4a



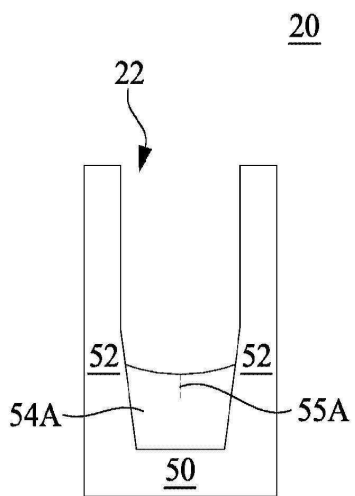
도면4b



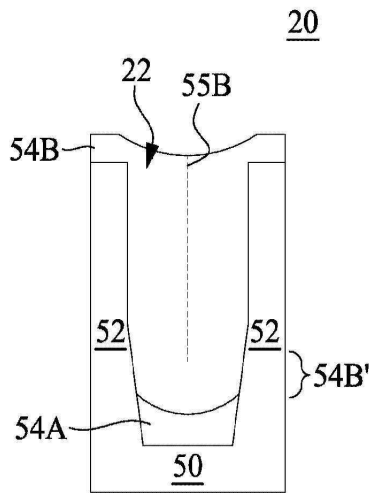
도면5a



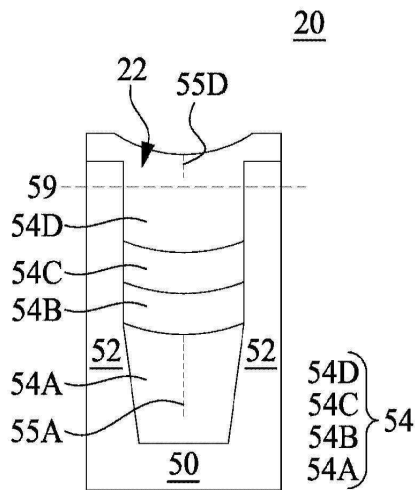
도면5b



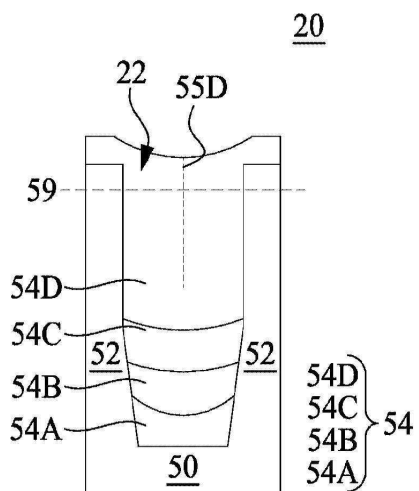
도면6



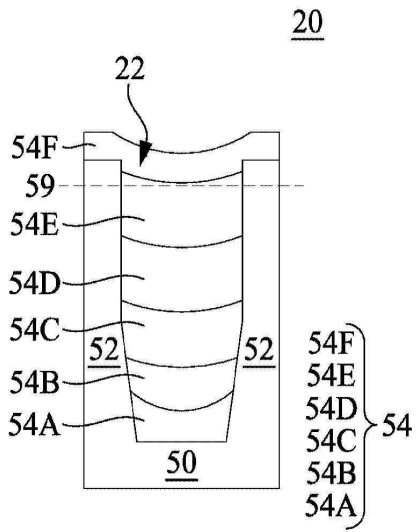
도면7a



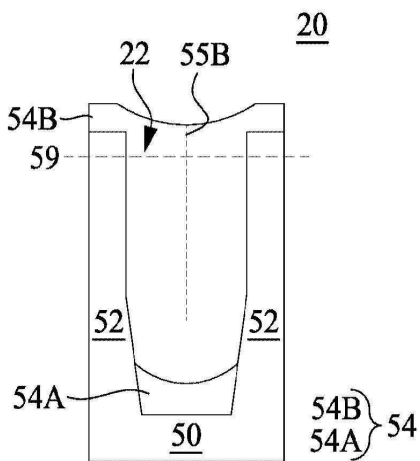
도면7b



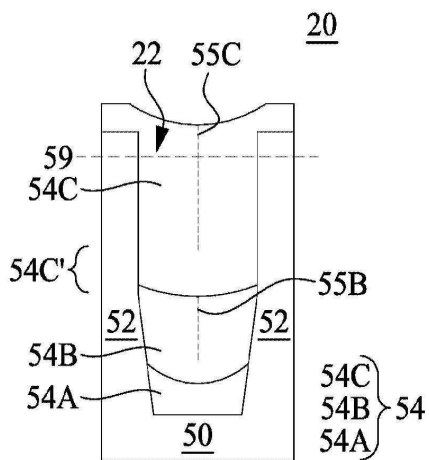
도면7c



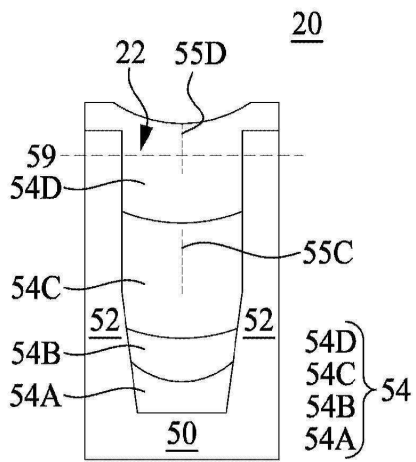
도면7d



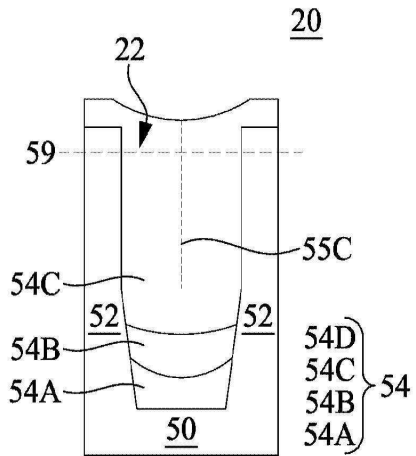
도면7e



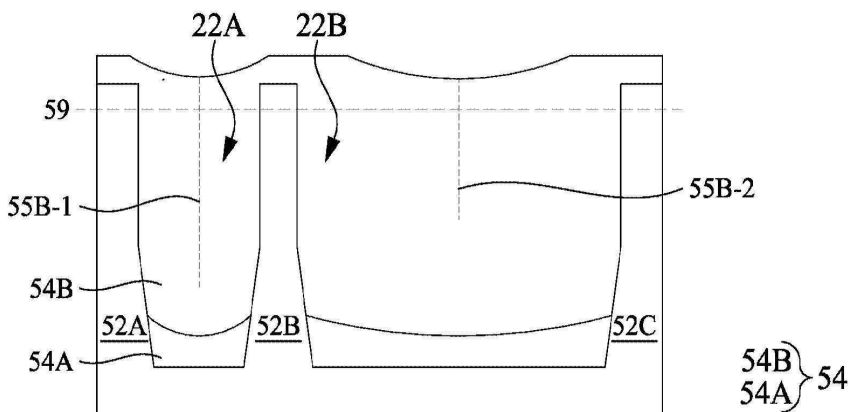
도면7f



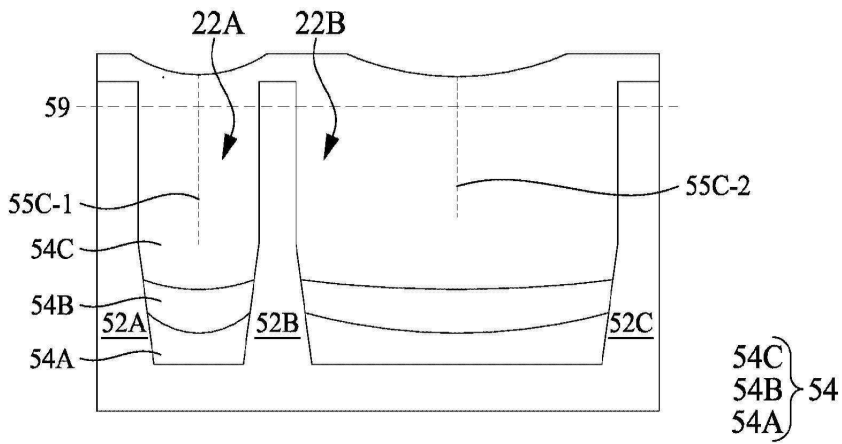
도면7g



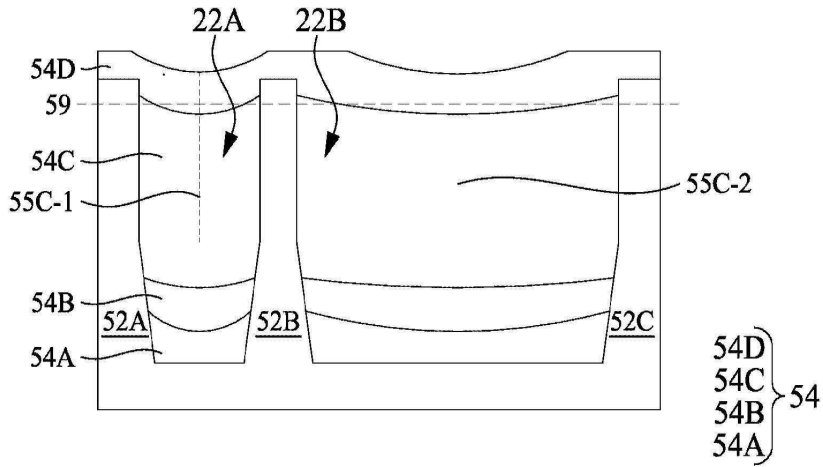
도면7h



도면7i

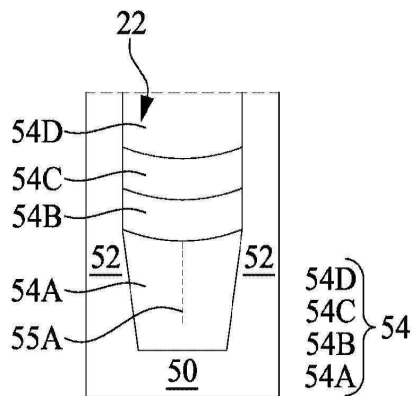


도면7j



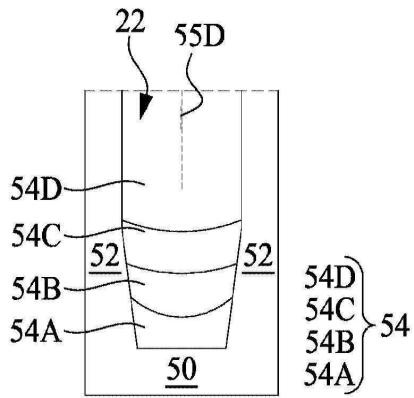
도면8a

20



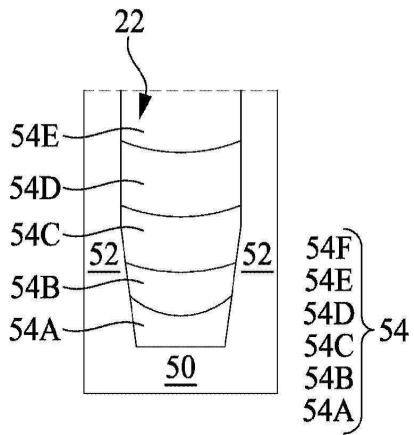
도면8b

20



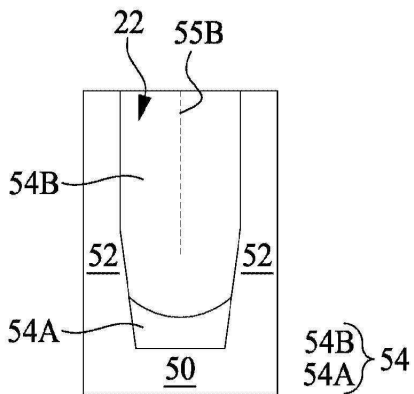
도면8c

20

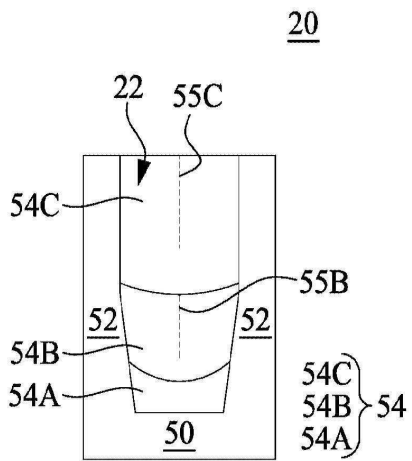


도면8d

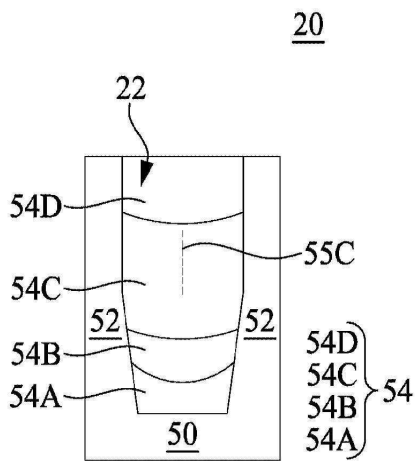
20



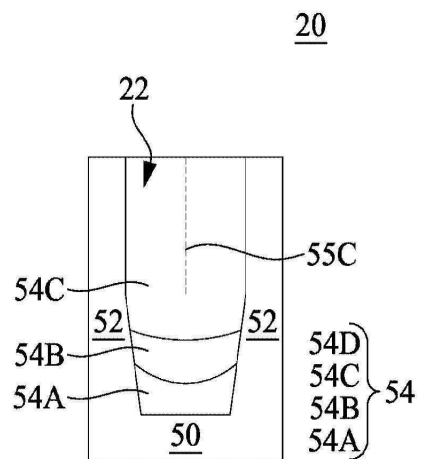
도면8e



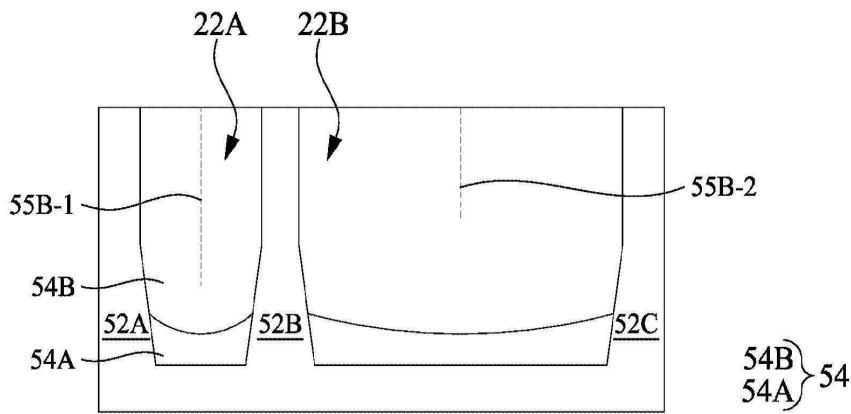
도면8f



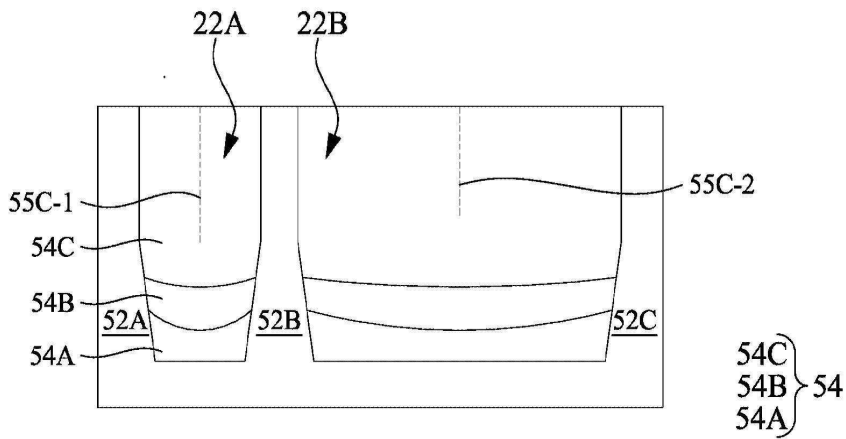
도면8g



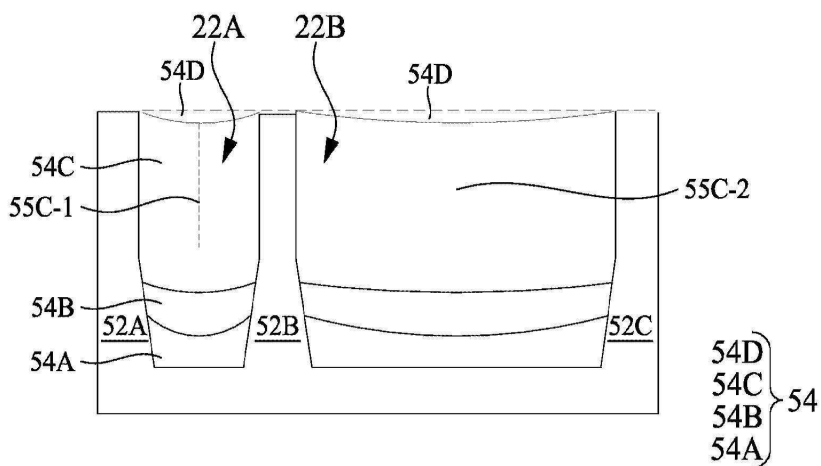
도면8h



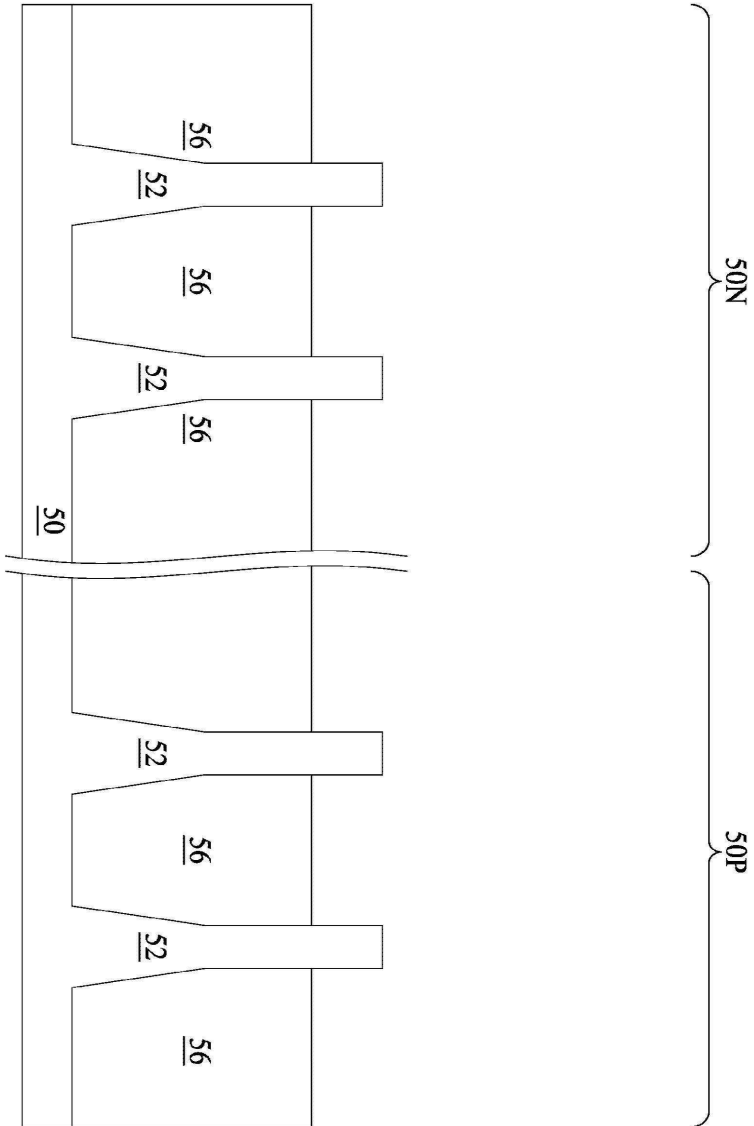
도면8i



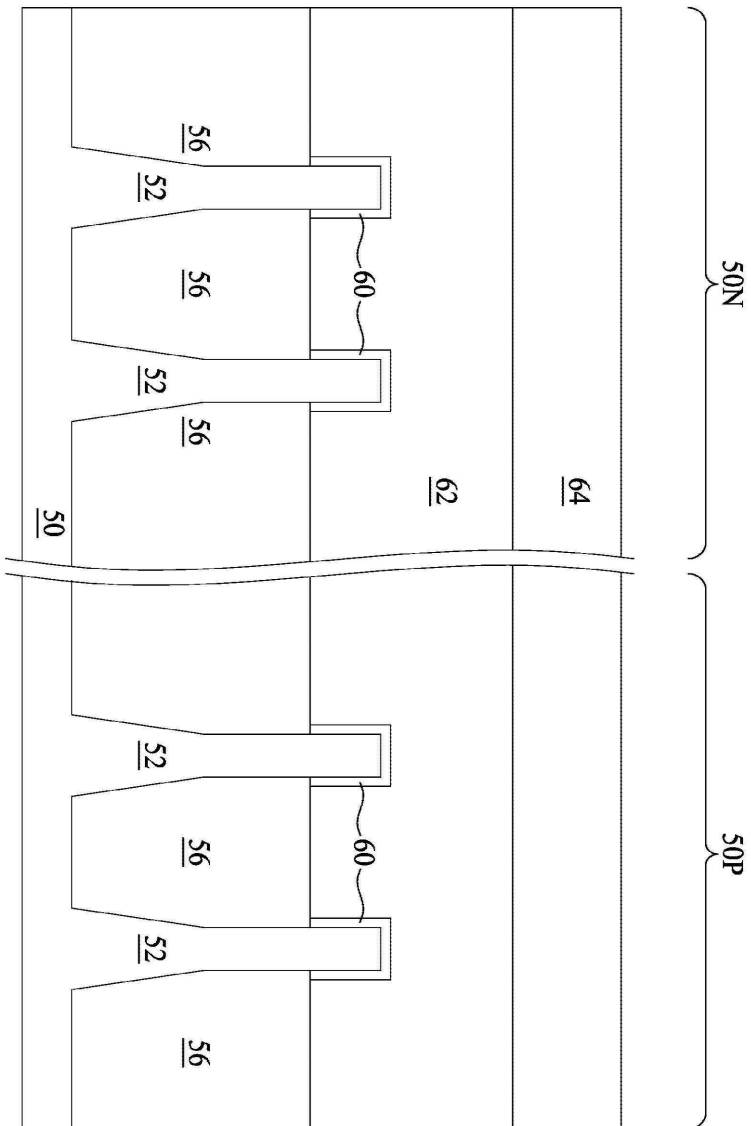
도면8j



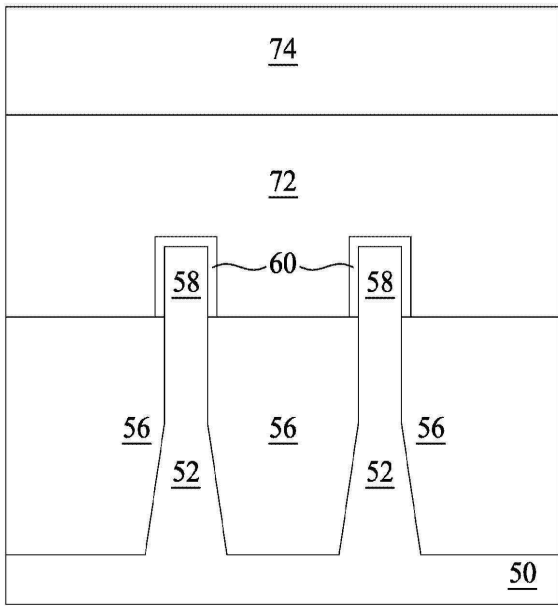
도면9



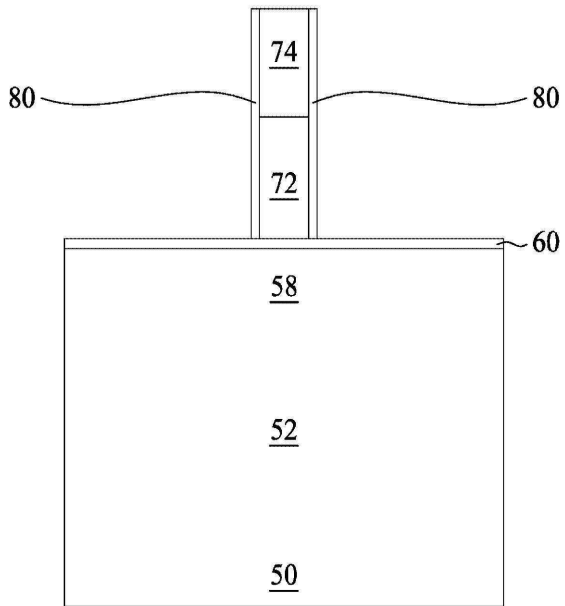
도면10



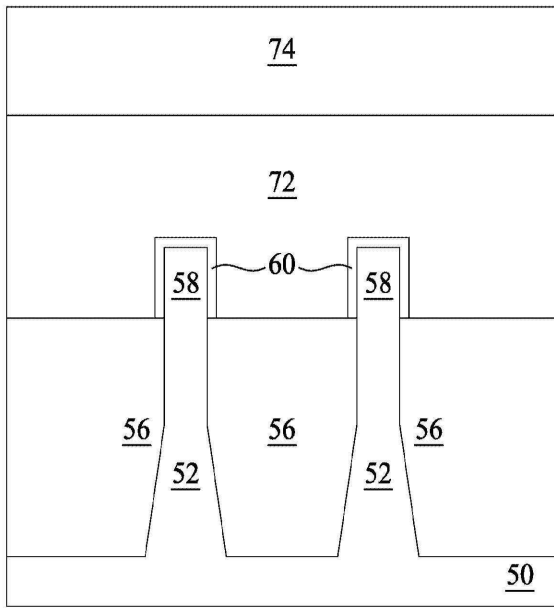
도면11a



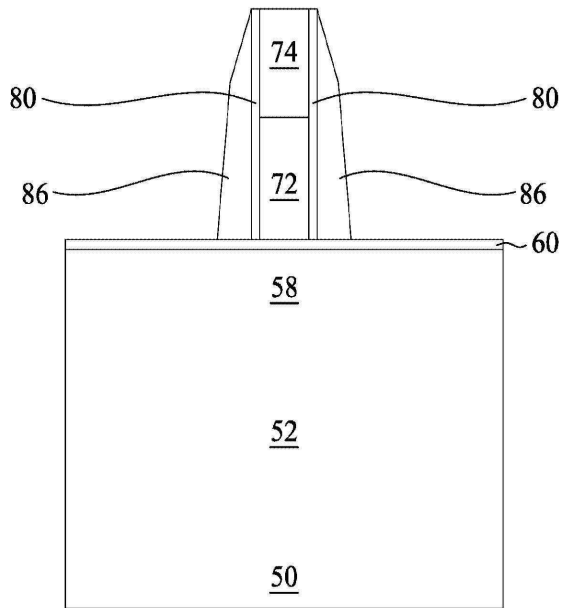
도면11b



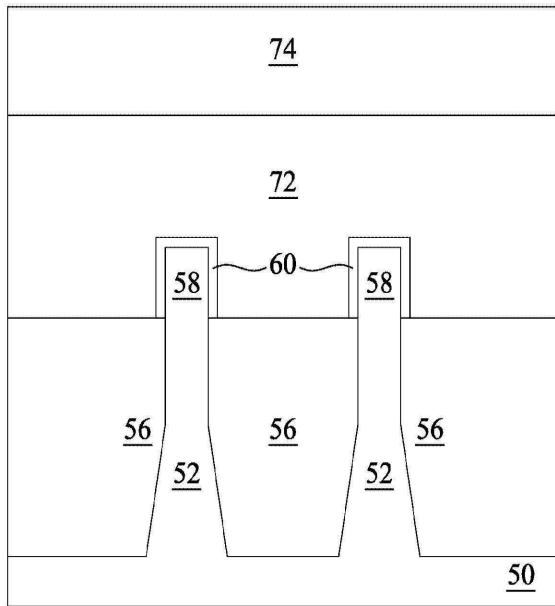
도면12a



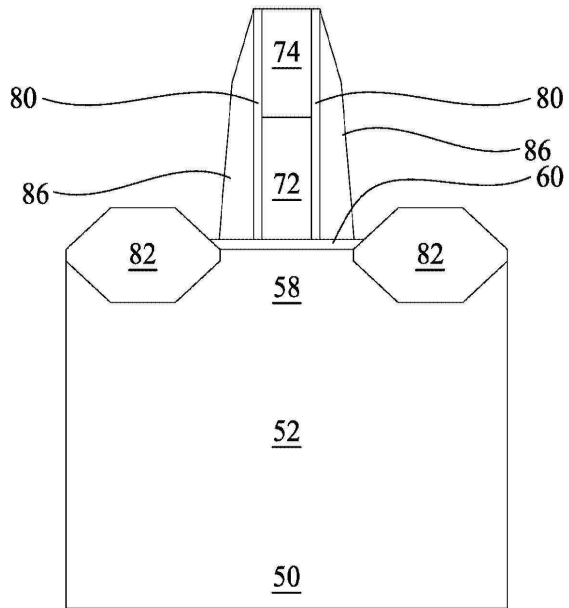
도면12b



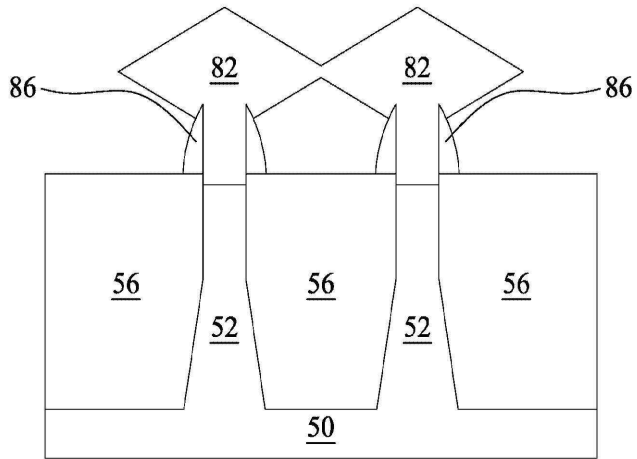
도면13a



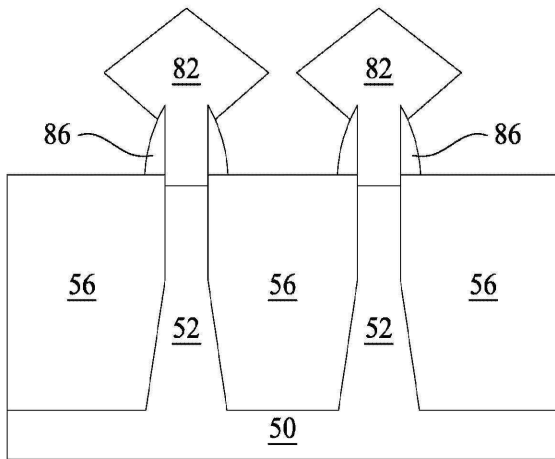
도면13b



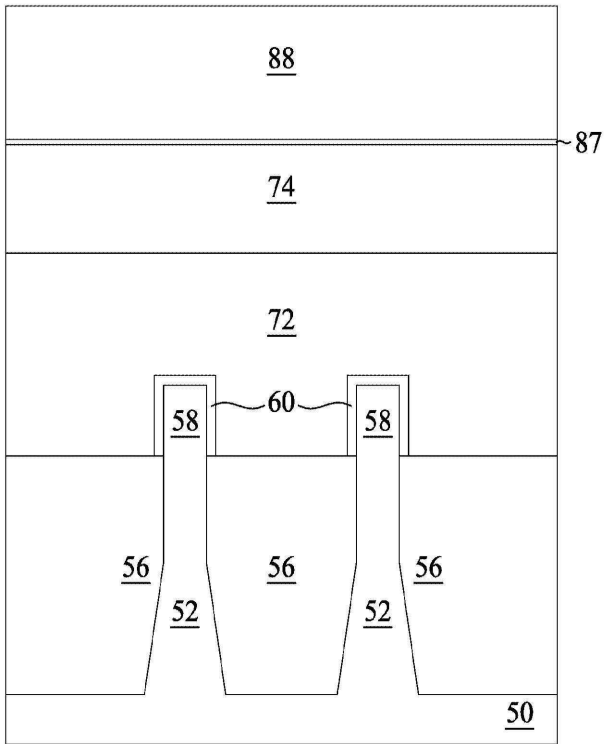
도면13c



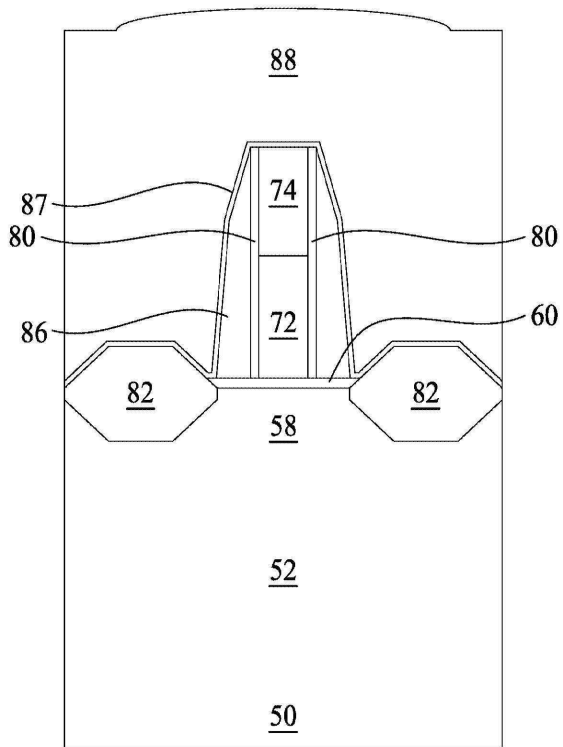
도면13d



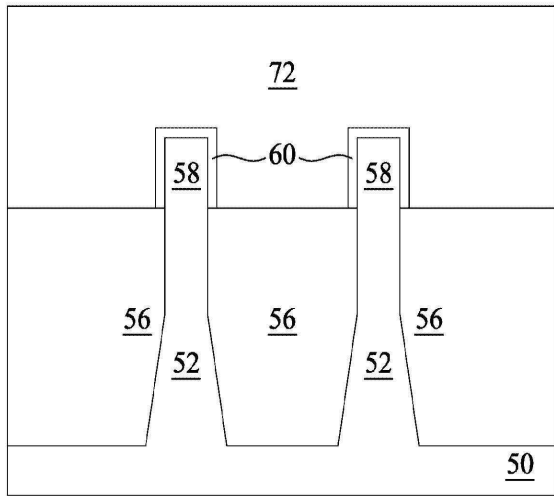
도면14a



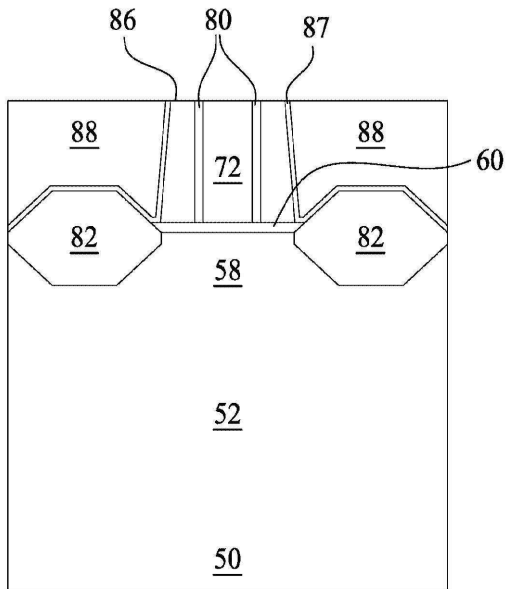
도면14b



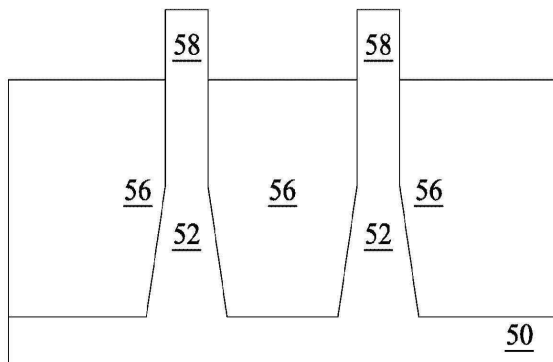
도면15a



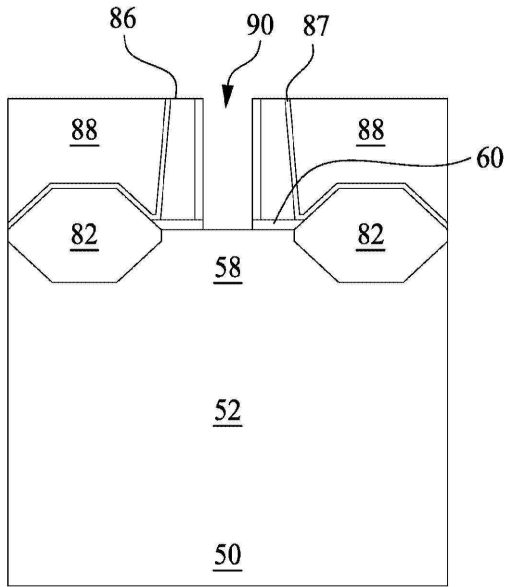
도면15b



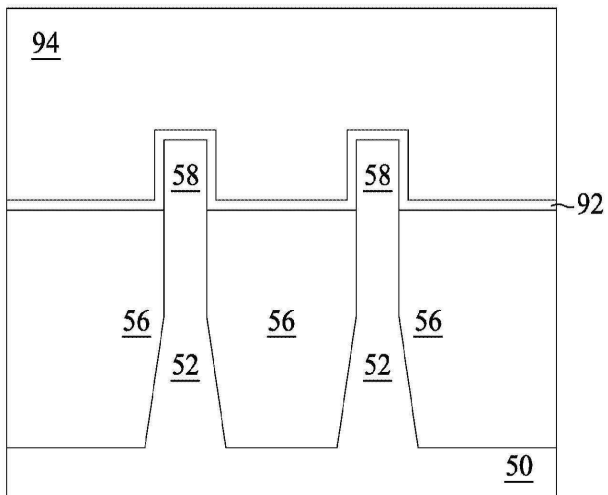
도면16a



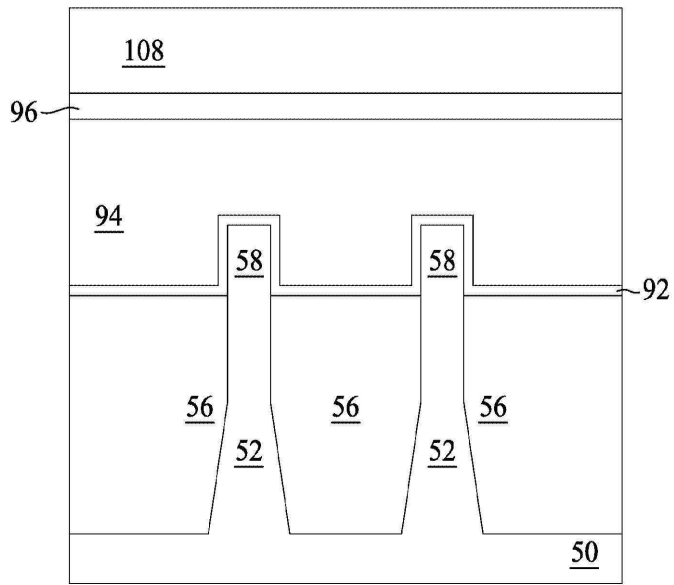
도면16b



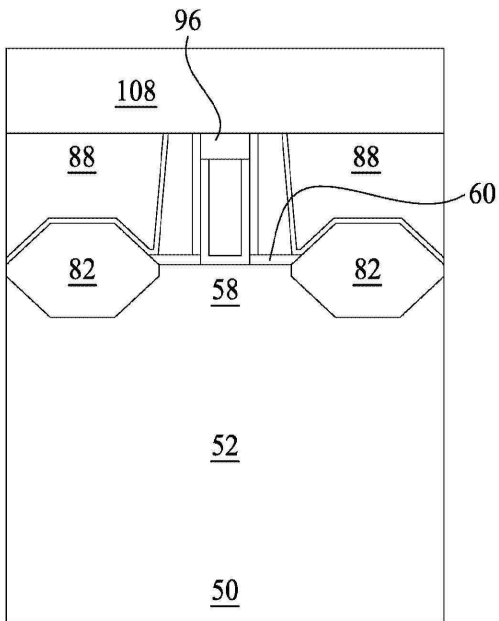
도면17a



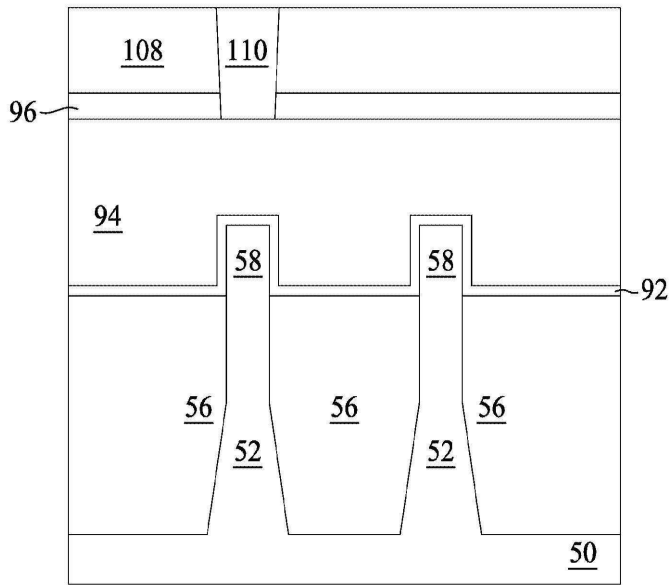
도면18a



도면18b



도면19a



도면19b

