



(12)发明专利申请

(10)申请公布号 CN 109216306 A

(43)申请公布日 2019.01.15

(21)申请号 201710522203.0

(22)申请日 2017.06.30

(71)申请人 瑞峰半导体股份有限公司

地址 中国台湾新竹县湖口乡新竹工业区光复北路12号5楼

(72)发明人 林立人 李泰源 戴国瑞 林健财

(74)专利代理机构 上海申新律师事务所 31272  
代理人 董科

(51)Int.Cl.

H01L 23/485(2006.01)

H01L 23/498(2006.01)

H01L 23/528(2006.01)

H01L 21/56(2006.01)

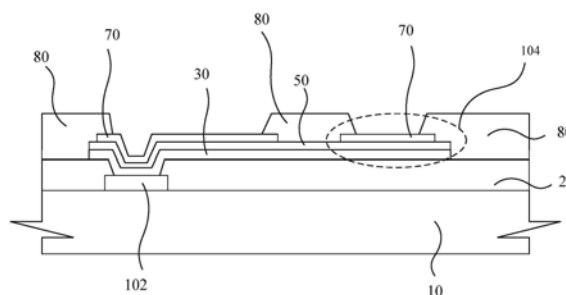
权利要求书1页 说明书5页 附图5页

(54)发明名称

半导体组件及其形成方法

(57)摘要

一种半导体组件,包含:在半导体晶圆的主动面上具有多个焊垫、第一保护层覆盖半导体晶圆的部份主动面,且将每一个焊垫的表面曝露出来、第一凸块下金属设置在部份第一保护层上及覆盖每一个焊垫的表面、重配置层设置在第一凸块下金属层上、第二凸块下金属层设置在部份重配置层上,且将重配置层的部份表面曝露出来、第二保护层设置在半导体晶圆、第二凸块下金属层及重配置层所曝露出的部份表面上及金属导线设置在除了焊垫以外的第二凸块下金属层所曝露出的部份表面上,藉由重配置层的线宽可支撑第二凸块下金属层以增加半导体组件的可靠度。



1. 一种半导体组件,其特征在于,包含:  
半导体晶圆,所述半导体晶圆上的主动面上具有多个焊垫;  
第一保护层,覆盖所述半导体晶圆的部份所述主动面,且曝露出每一所述焊垫的表面;  
第一凸块下金属层,设置在部份所述第一保护层上及覆盖每一所述焊垫的所述表面;  
重配置层,设置在所述第一凸块下金属层上;  
第二凸块下金属层,设置在部份所述重配置层上且曝露出所述重配置层的部份所述表面;  
第二保护层,设置在所述半导体晶圆的部份所述表面、所述第二凸块下金属层的部份所述表面及所述重配置层所曝露出的部份所述表面上;以及  
多条金属导线,设置在除了所述焊垫以外的所述第二凸块下金属层所曝露出的部份所述表面上,藉此所述金属导线透过所述第二凸块下金属层、所述重配置层及所述第一凸块下金属层与所述焊垫电性连接。
2. 如权利要求1所述的半导体组件,其特征在于,所述第一凸块下金属层为钛/铜(Ti/Cu)。
3. 如权利要求1所述的半导体组件,其特征在于,所述重配置层为铜(Cu)。
4. 如权利要求1所述的半导体组件,其特征在于,所述第二凸块下金属层为镍/金(Ni/Au)。
5. 如权利要求1所述的半导体组件,其特征在于,所述第一保护层及第二保护层为聚酰亚胺树脂(polyimide resin)或环氧树脂(Epoxy)。
6. 如权利要求1所述的半导体组件,其特征在于,在所述焊垫以外的所述第二凸块下金属层、所述重配置层及所述第一凸块下金属层的线宽分别为6 $\mu$ m、4 $\mu$ m及3 $\mu$ m。
7. 如权利要求1所述的半导体组件,其特征在于,所述金属导线为铜、钛、钨或是金。
8. 如权利要求1所述的半导体组件,其特征在于,形成所述第一凸块下金属层是利用溅镀(sputtering)的方式达成。
9. 如权利要求1所述的半导体组件,其特征在于,形成所述重配置层及所述第二凸块下金属层是利用电镀(plating)的方式达成。

## 半导体组件及其形成方法

### 技术领域

[0001] 本发明提供一种半导体组件,更特别地是有关于一种具有良好间距及线宽的重配置层的半导体组件及其形成方法。

### 背景技术

[0002] 随着半导体制程技术之进步,以及芯片电路功能的不断提升,伴随着通讯、网络及计算机等各式可携式 (portable) 产品的大幅成长以及市场需求,因此可缩小集成电路 (IC) 面积且具有高密度与所接脚化特性的球栅数组式 (BGA)、覆晶式 (Flip chip) 与芯片尺寸封装 (CSP, chip size package) 等半导体封装技术为目前众所皆知的主流技术。

[0003] 然而,由于集成电路制程日趋朝向微型化,并且强调传输速率及结构的可靠度,在发展至晶圆级芯片尺寸封装的潮流下,芯片接点之间距 (pitch) 势必将小于焊锡凸块的尺寸,导致相邻的焊块之间彼此接触的问题。

[0004] 虽然在后续发展出了重配置层 (RDL, redistribution layer) 来克服上述的问题。利用重配置层形成导通线路,并重新配置至适当的位置在形成凸块下金属层 (UBM, under bump metallization),使得在相邻的焊锡凸块之间具有适当的间距。

[0005] 然而,现有技术中用来作为导通线路的重配置层为铜/镍/金 (Cu/Ni/Au) 结构,在蚀刻之后,由于蚀刻比而造成在重配置层下方的做为凸块下金属层的铜和钛由于蚀刻选择比而产生底切 (under cut) 效应,使得整个重配置层下方的支撑点不足,相对来说,重配置层容易倾倒,而使整个半导体组件的结构崩溃。

### 发明内容

[0006] 为了解决先前技术的缺点,本发明的主要目的在于提供一种具有良好间距 (pitch) 及线宽的重配置层的半导体组件,其中重配置层为纯铜,因此,在对重配置层于蚀刻步骤之后,在重配置层下方的凸块下金属层 (UBM, Under Bump Metallurgy) 的间距或线宽不会因为底切效应而缩小,仍可以给予重配置层足够的支撑力,而使得整个半导体组件具有良好的完整性及可靠度。

[0007] 根据上述目的,本发明揭露一种半导体组件,其结构包含有:半导体晶圆,于半导体晶圆上的主动面具有多个焊垫、第一保护层覆盖在半导体晶圆的部份主动面,且将每一个焊垫的表面曝露出来、第一凸块下金属设置在部份的第一保护层上以及覆盖每一个焊垫的表面、重配置层设置在第一凸块下金属层上、第二凸块下金属层设置在部份重配置层上且将重配置层的部份表面曝露出来、第二保护层设置在半导体晶圆的部份表面上、部份的第二凸块下金属层及设置在重配置层所曝露出的部份表面上、金属导线设置在除了焊垫以外的第二凸块下金属层所曝露出的表面上,藉此,金属导线的一端透过第二凸块下金属层、重配置层及第一凸块下金属层与半导体晶圆上的焊垫电性连接,另一端可以与其他组件电性连接。

## 附图说明

[0008] 图1是根据本发明所揭露的技术,表示在具有多个焊垫的半导体晶圆上形成第一凸块下金属层及第一光阻层的截面示意图;

[0009] 图2是根据本发明所揭露的技术,表示在第一光阻层经微影蚀刻之后在第一凸块下金属层上形成重配置层的截面示意图;

[0010] 图3是根据本发明所揭露的技术,表示将图2中残留在第一凸块下金属层上的部份第一光阻层移除之后,再将具有多个第二开口图案的第二光阻层形成在第一凸块下金属层的部份表面及设置在重配置层上的截面示意图;

[0011] 图4是根据本发明所揭露的技术,表示对具有多个第二开口图案的第二光阻层执行第二微影制程以曝露出重配置层的部份表面的截面示意图;

[0012] 图5是根据本发明所揭露的技术,表示以第二光阻层为光罩,在重配置层上形成第二凸块下金属层的截面示意图;

[0013] 图6是根据本发明所揭露的技术,表示将图5中的第二光阻层予以移除曝露出第一凸块下金属层的部份表面,并对第一凸块下金属层进行蚀刻以曝出第一保护层的部份表面的截面示意图;

[0014] 图7是根据本发明所揭露的技术,表示在图6的结构上形成第二保护层的截面示意图;

[0015] 图8是根据本发明所揭露的技术,表示对第二保护层执行微影制程以曝露出第二凸块下金属层的部份表面的截面示意图;以及

[0016] 图9是根据本发明所揭露的技术,表示在图8的虚线区域上形成金属导线的截面示意图。

## 具体实施方式

[0017] 为了使本发明的目的、技术特征及优点,能更为相关技术领域人员所了解,并得以实施本发明,在此配合所附的图式、具体阐明本发明的技术特征与实施方式,并列举较佳实施例进一步说明。以下文中所对照的图式,为表达与本发明特征有关的示意,并未亦不需要依据实际情形完整绘制。而关于本案实施方式的说明中涉及本领域技术人员所熟知的技术内容,亦不再加以陈述。

[0018] 首先,请参考图1。图1表示本发明所揭露的半导体组件的截面示意图。在图1中,利用半导体晶圆(wafer) 10做为底材,其中半导体晶圆10上配置有多个芯片(未在图中表示),每一个芯片具有主动面(未在图中表示)及背面(未在图中表示),且于每一个芯片的主动面(未在图中表示)上配置有多个焊垫(pad) 102。要说明的是,在本发明中不针对芯片上的这些焊垫102的配置位置加以限制,因此,这些焊垫102可以设置在芯片的主动面的中间位置,芯片的主动面的四个周边或是在芯片的主动面的任何一侧边均可以做为本发明的实施例,在此不加以限制。另外,对于做为底材的半导体晶圆10的制程为半导体技术领域者熟知的半导体制程技术,其制程流程及构成半导体晶圆10的材料并不在本发明所要讨论的技术方案中,故不多加陈述。

[0019] 请继续参考图1。在半导体晶圆10上形成第一保护层20,且第一保护层20覆盖住半

导体晶圆10的每一个芯片上的多个焊垫102。接着,对第一保护层20执行第一微影蚀刻制程,使得在第一保护层20内形成有多个第一开口(未在图中表示),而这些第一开口将配置在半导体晶圆10的每一个芯片上的多个焊垫102予以曝露出来。在本发明的实施例中,将第一保护层20形成在半导体晶圆10上的方法可以利用沉积的方式来完成,例如化学气相沉积(CVD,chemical vapor deposition)、常压化学气相沉积(APCVD,atmospheric pressure CVD)或是低压化学气相沉积(LPCVD,low-pressure CVD)。另外,第一保护层20的材料可以是高分子材料,例如聚酰亚胺(PI,polyimide)或是环氧树脂(epoxy)。

[0020] 接着,将第一凸块下金属层(under bump metallization)30形成在第一保护层20并覆盖住多个焊垫102所曝露出的表面上。在本发明的实施例中,第一凸块下金属层30利用溅镀(sputtering)的方式形成在第一保护层20及多个焊垫102的表面上,其中,在第一保护层20及多个焊垫102表面上的第一凸块下金属层30形成的厚度为0.05um-1um。此外,第一凸块下金属层30的材料为钛/铜(Ti/Cu)。然后,将具有多个第一开口图案(未在图中表示)的第一光阻层40形成在第一凸块下金属层30上。

[0021] 接着,请参考图2。图2表示在第一光阻层经微影蚀刻之后在第一凸块下金属层上形成重配置层的截面示意图。在图2中,对图1中具有多个第一开口图案(未在图中表示)的第一光阻层40执行第一微影制程,以移除覆盖在第一凸块下金属层30上的部份第一光阻层40,将部份经过第一微影制程后的第一光阻层40予以保留,并且将第一凸块下金属层30的表面曝露出来。

[0022] 请继续参考图2。以残留在第一凸块下金属层30上的第一光阻层40做为屏蔽(mask),将做为重配置层50(RDL,redistribution layer)的金属,例如纯铜,形成在第一凸块下金属层30上,其中,将重配置层50形成在第一凸块下金属层30上的方法利用电镀(plating)的方式来达成,且重配置层50形成在第一凸块下金属层30上方的厚度为1um-10um及宽度为1um-200um。

[0023] 接着,请同时参考图3及图4。图3表示将图2中残留在第一凸块下金属层上的部份第一光阻层移除之后,分别将具有多个第二开口图案的第二光阻层形成在第一凸块下金属层的部份表面及将具有多个第二开口图案的第二光阻层设置在重配置层的截面示意图。图4表示对具有多个第二开口图案的第二光阻层执行第二微影制程的示意图。在图3中,先将图2中,残留在第一凸块下金属层30上的部份第一光阻层40予以移除,以曝露出第一凸块下金属层30的部份表面以及将重配置层50的表面曝露出来。紧接着,将具有多个第二开口图案(未在图中表示)的第二光阻层60形成在第一凸块下金属层30曝露出的部份表面上,以及覆盖在重配置层50的表面上。接下来,如图4所示,对具有多个第二开口图案的第二光阻层60执行第二微影制程,以移除覆盖在重配置层50上的部份第二光阻层60,并且保留形成在第一凸块下金属层30的部份表面及重配置层50上的部份第二光阻层60,使得第二光阻层60内形成多个第二开口(未在图中表示),且这些第二开口将重配置层50的部份表面曝露出来。

[0024] 接着,请参考图5。图5表示以第二光阻层为光罩,在重配置层上形成第二凸块下金属层的截面示意图。在图5中,以残留在第一凸块下金属层30的部份表面上的第二光阻层60以及在重配置层50上的部份第二光阻层60做为屏蔽,将第二凸块下金属层70形成在重配置层50上,其中,将第二凸块下金属层70形成在重配置层50上的方法是利用电镀的方式来达

成,且形成在重配置层50上方的第二凸块下金属层70的厚度为1 $\mu$ m-10 $\mu$ m及宽度为1 $\mu$ m-200 $\mu$ m,在本发明的实施例中,第二凸块下金属层70的材料为镍/金(Ni/Au)。

[0025] 请接着参考图6。图6表示将图5中的第二光阻层予以移除,且对第一凸块下金属层进行蚀刻的截面示意图。在图6,将图5中位于第一凸块下金属层30及重配置层50上的部份第二光阻层60予以移除,使得第一凸块下金属层30的部份表面以及重配置层50的部份表面予以曝露出来。接着再利用蚀刻的方式,例如干式蚀刻(dry etching),将位于第一保护层20上的部份第一凸块下金属层30予以移除,以曝露出第一保护层20的表面,在此,经蚀刻后的第一凸块下金属层30的宽度为1 $\mu$ m-200 $\mu$ m。

[0026] 接下来,请同时参考图7及图8。图7表示在图6的结构上形成第二保护层的截面示意图。图8表示对第二保护层执行微影制程以曝露出第二凸块下金属层的截面示意图。在图7中,将第二保护层80以沉积的方式覆盖住第一保护层20、第一凸块下金属层30的部份表面、重配置层50的部份表面以及第二凸块下金属层70。在本发明中,将第二保护层80形成在第一保护层20、第一凸块下金属层30的部份表面、重配置层50的部份表面以及第二凸块下金属层70的方法同样可以利用沉积的方式来完成,例如化学气相沉积(CVD, chemical vapor deposition)、常压化学气相沉积(APCVD, atmospheric pressure CVD)或是低压化学气相沉积(LPCVD, low-pressure CVD)。另外,第二保护层80的材料同样可以是高分子材料,例如聚酰亚胺(PI, polyimide)或是环氧树脂(epoxy)。

[0027] 接着请参考图8。对第二保护层80执行微影制程,以移除部份的第二保护层80,且将第二凸块下金属层70的部份表面曝露出来。在此要说明的是,在图8的右边图面,即图8中虚线的区域,由第一凸块下金属层30及重配置层50所构成的结构,可视为后续做形成金属导线90(如图9所示)的打线焊垫(wire bonding pad)104。在本发明中,利用纯铜做为重配置层50的材料,对第二凸块下金属层70进行蚀刻时,由于蚀刻选择比的因素,使得在第二凸块下金属层70下方的重配置层50的线宽及间距较现有技术中的重配置层材料(Ti/Cu)来得宽,由于被底切的线宽较现有技术来得少,使得以纯铜为主的重配置层50对于上方的第二凸块下金属层70能提供较佳的支撑能力,因此整个结构不会因为下方的支撑力不足而倾倒或崩溃,藉此可以提升半导体组件的良率及可靠度。

[0028] 另外,在本发明的实施例中,第二凸块下金属层70和重配置层50由部份的第二保护层80所覆盖,藉由第二保护层80可以增加重配置层50及第二凸块下金属层70的可靠度,以防止漏电流产生,而可以提升半导体组件的良率。

[0029] 紧接着请参考图9。图9表示在图8的虚线区域上形成金属打线的截面示意图。于图9,以一般的打线制程(wire bonding process)将金属导线90形成在除了多个焊垫102以外的第二凸块下金属层70所曝露出的表面上,藉此,金属导线90透过第二凸块下金属层70、重配置层50及第一凸块下金属层30与半导体晶圆10上的焊垫102电性连接,在本发明的实施例中,金属导线90可以是铜、钛、钨或是金。

[0030] 藉由本发明所揭露利用铜做为重配置层50,改善重配置50由于线宽不足造成组件倾倒的问题,由于在重配置层50为下方的第一凸块下金属层30的线宽为4 $\mu$ m,此线宽大于现有技术的重配置层下方的第一凸块下金属层的线宽为3 $\mu$ m或甚至小于3 $\mu$ m,而重配置层50的线宽都是5 $\mu$ m-6 $\mu$ m的尺寸条件下,相对来说,解决了在现有技术中,因为重配置层50下方的第一凸块下金属30的线宽无法提供上方结构足够的支撑力,使得整个结构倾倒或崩塌的问

题。由此可知,根据本发明所揭露的技术,利用纯铜来做为重配置层50的材料,可以减少在蚀刻过程中对重配置层下方的凸块下金属层所产生的底切效应,并进一步可以提供较佳的线宽而提升整个半导体组件的可靠度及良率。

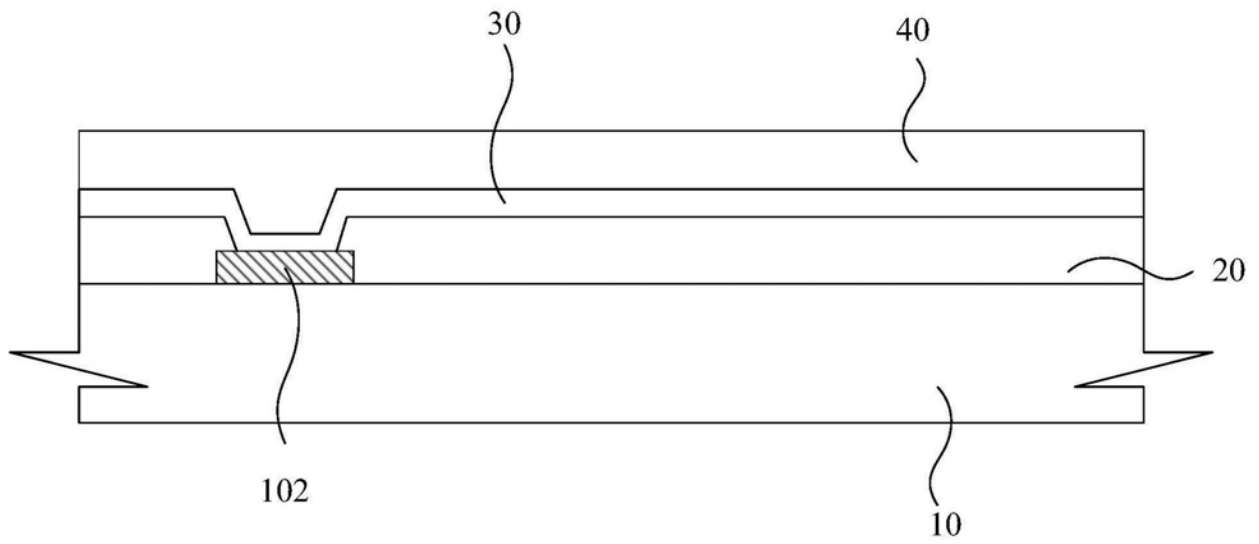


图1

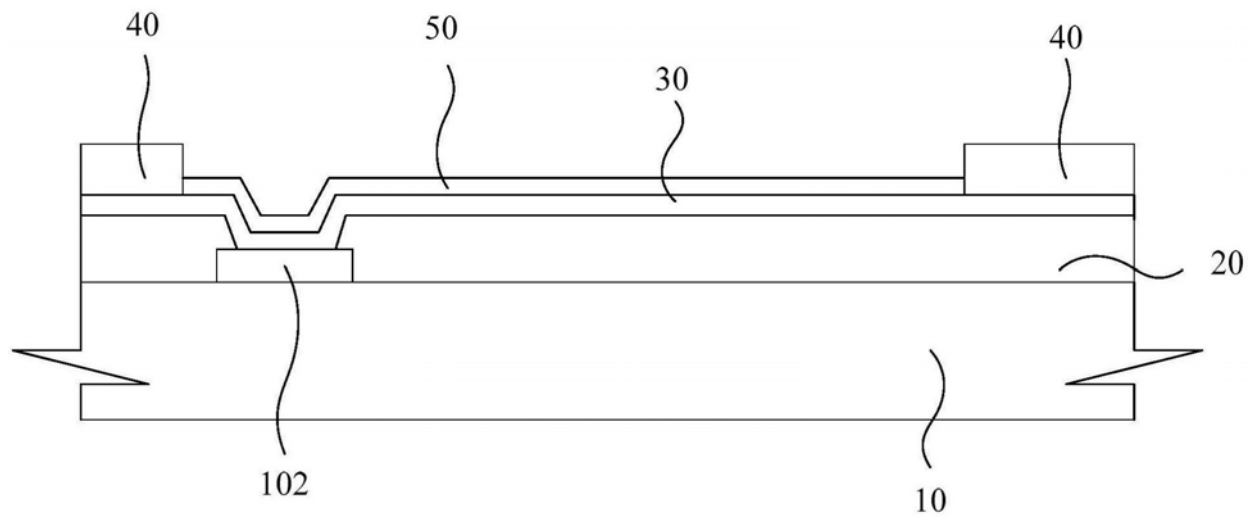


图2



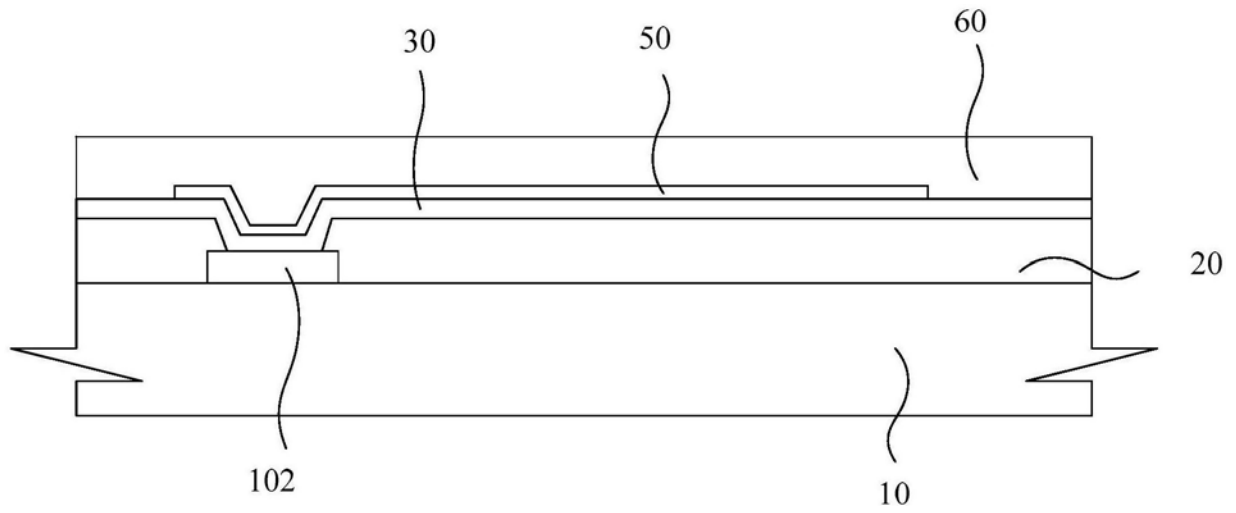


图3

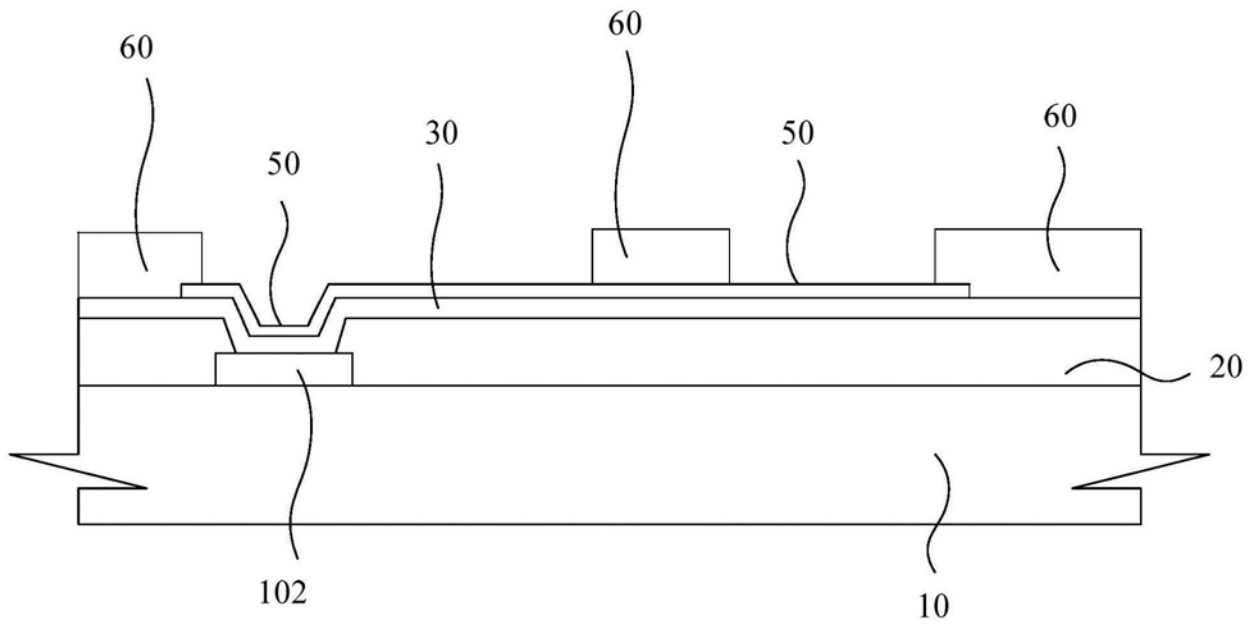


图4

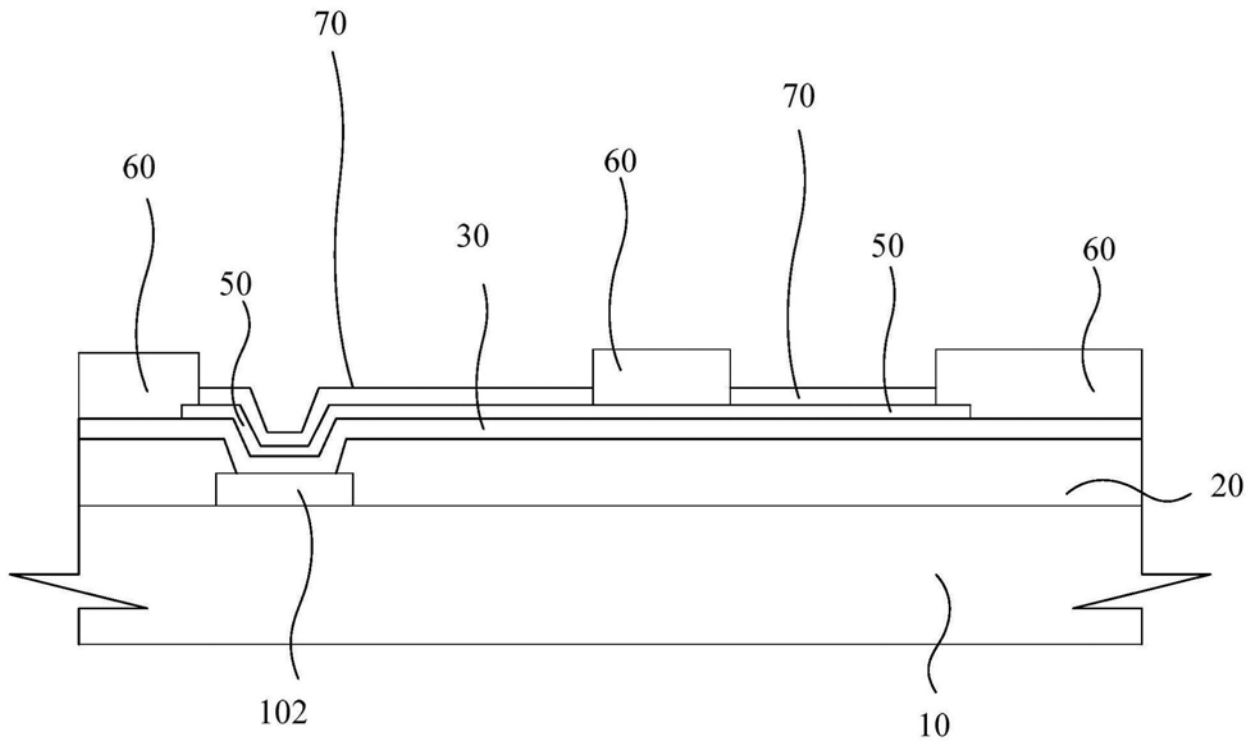


图5

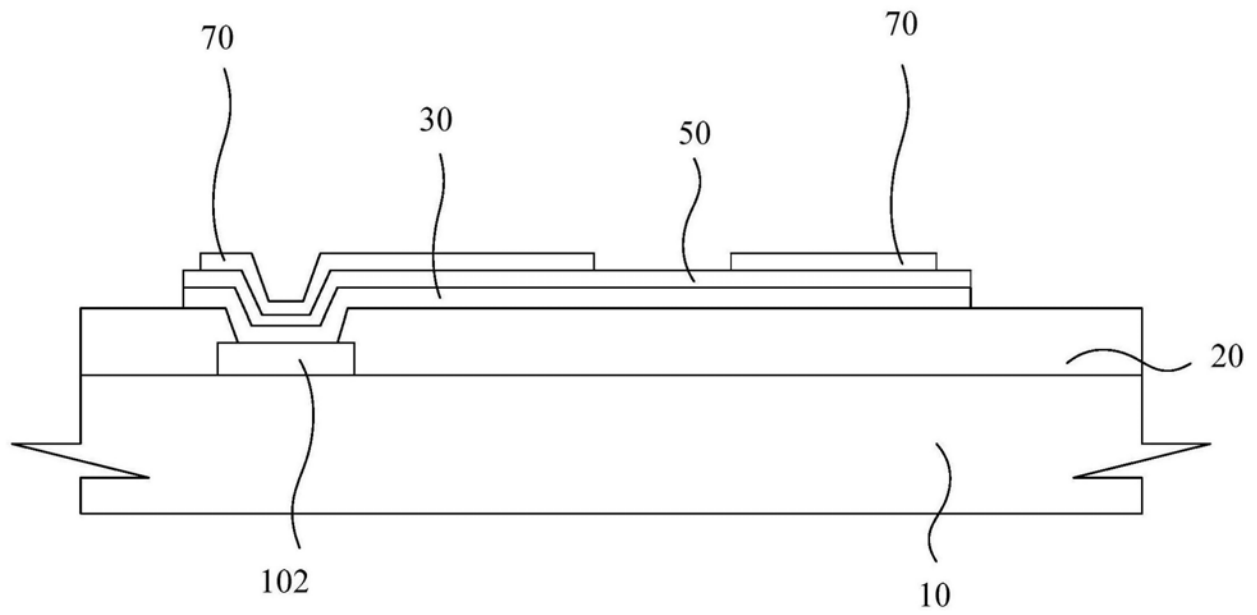


图6

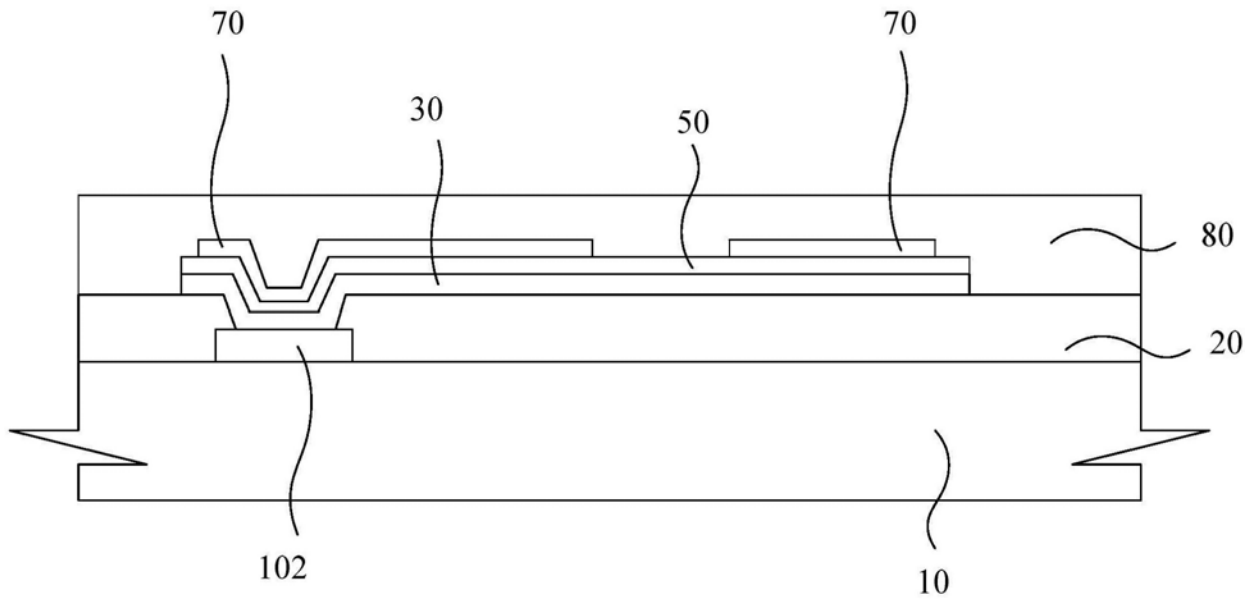


图7

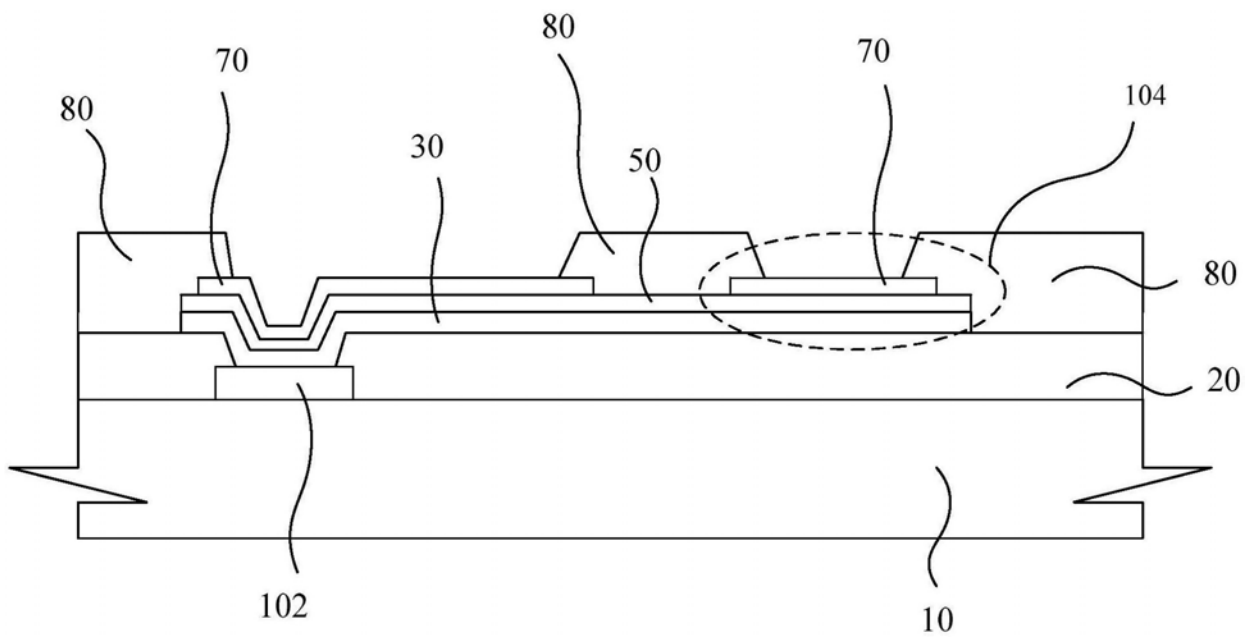


图8

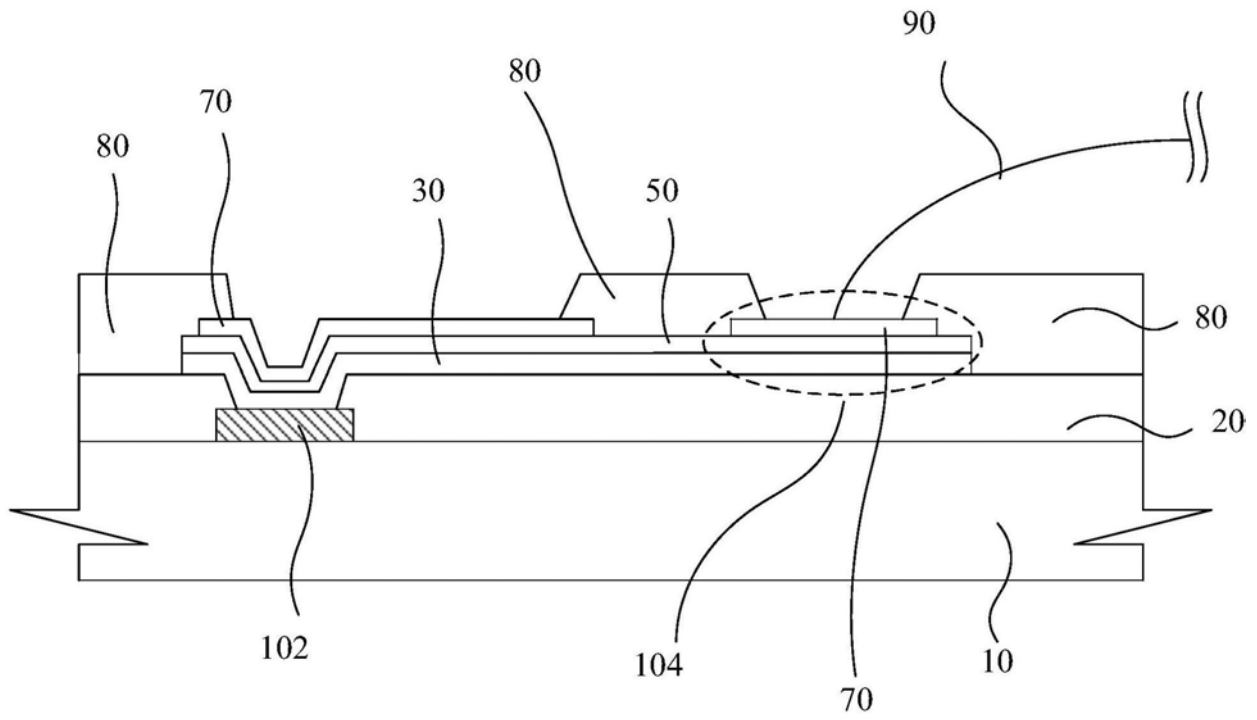


图9