



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월05일
 (11) 등록번호 10-1805146
 (24) 등록일자 2017년11월29일

(51) 국제특허분류(Int. Cl.)
 H01L 23/50 (2006.01) H01L 25/16 (2006.01)
 (21) 출원번호 10-2011-0042097
 (22) 출원일자 2011년05월03일
 심사청구일자 2016년04월27일
 (65) 공개번호 10-2012-0124286
 (43) 공개일자 2012년11월13일
 (56) 선행기술조사문헌
 KR1020090131684 A*
 KR1020110017727 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 김보성
 서울특별시 동작구 상도로31길 52, 대림빌라 402호 (상도동)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 10 항

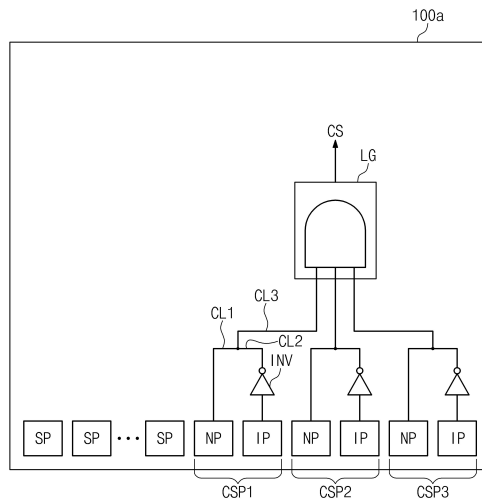
심사관 : 정구원

(54) 발명의 명칭 반도체 칩, 메모리 칩, 메모리 제어 칩, 반도체 패키지, 그리고 메모리 시스템

(57) 요약

본 발명은 반도체 칩에 관한 것이다. 본 발명의 반도체 칩은 복수의 신호 및 전원 패드들, 그리고 적어도 하나 또는 그 이상의 칩 선택 패드들로 구성된다. 칩 선택 패드들 각각은 정상 패드 및 반전 패드로 구성된다.

대표도 - 도2



명세서

청구범위

청구항 1

적층되도록 구성되는 제1 및 제2 반도체 칩들을 포함하고,

상기 제1 및 제2 메모리 칩들 중 하나의 메모리 칩은 복수의 신호 및 전원 패드들 그리고 복수의 칩 선택 패드들을 포함하고,

상기 칩 선택 패드들은 정상 패드 및 반전 패드를 포함하고,

상기 제1 메모리 칩의 제1 정상 패드 및 제1 반전 패드 중 하나는 도전 라인을 통해 외부의 장치와 연결되고, 상기 제1 메모리 칩의 상기 제1 정상 패드 및 상기 제1 반전 패드 중 다른 하나는 플로팅되는 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 메모리 칩들은 캐스케이드 형태로 적층되는 반도체 패키지.

청구항 3

제 2 항에 있어서,

상기 제1 및 제2 메모리 칩들을 제어하도록 구성되는 제어 칩을 더 포함하고,

상기 제어 칩은 상기 복수의 신호 및 전원 패드들에 대응하는 복수의 제2 신호 및 전원 패드들, 그리고 복수의 제어 칩 선택 패드들을 포함하고,

상기 도전 라인은 상기 복수의 제어 칩 선택 패드들 중 하나와 연결되고,

상기 제어 칩은 상기 복수의 제어 칩 선택 패드들의 출력 신호들을 제어하여 상기 제1 및 제2 메모리 칩들 중 하나를 선택하도록 구성되는 반도체 패키지.

청구항 4

적층되도록 구성되는 복수의 메모리 칩들; 그리고

상기 복수의 메모리 칩들을 제어하도록 구성되는 제어 칩을 포함하고,

상기 복수의 메모리 칩들 중 하나의 메모리 칩은 복수의 신호 및 전원 패드들 그리고 복수의 칩 선택 패드들을 포함하고,

상기 제어 칩은 복수의 제어 칩 선택 패드들을 포함하고,

상기 복수의 제어 칩 선택 패드들 중 제1 제어 칩 선택 패드는 상기 복수의 메모리 칩들 중 제1 메모리 칩들의 제1 칩 선택 패드들에 연결되고, 그리고

상기 복수의 제어 칩 선택 패드들 중 제2 제어 칩 선택 패드는 상기 복수의 메모리 칩들 중에서 상기 제1 메모리 칩들과 다른 제2 메모리 칩들의 제2 칩 선택 패드들과 연결되는 반도체 패키지.

청구항 5

제 4 항에 있어서,

상기 제1 제어 칩 선택 패드는 제1 도전 라인을 통해 상기 제1 칩 선택 패드들과 공통으로 연결되고,

상기 제2 제어 칩 선택 패드는 제2 도전 라인을 통해 상기 제2 칩 선택 패드들과 공통으로 연결되고,

상기 복수의 제어 칩 선택 패드들 중 제3 제어 칩 선택 패드는 상기 복수의 메모리 칩들 중 제3 메모리 칩들의

제3 칩 선택 패드들과 연결되고,

상기 제3 메모리 칩들의 제1 부분은 상기 제1 메모리 칩들 중 일부와 중복되고, 상기 제3 메모리 칩들의 제2 부분은 상기 제2 메모리 칩들의 일부와 중복되고,

상기 복수의 제어 칩 선택 패드들 중 제4 제어 칩 선택 패드는 상기 복수의 메모리 칩들 중 상기 제3 메모리 칩들과 다른 제4 메모리 칩들의 제4 칩 선택 패드들과 연결되고,

상기 제4 메모리 칩들의 제3 부분은 상기 제1 메모리 칩들의 다른 일부와 중복되고, 그리고 상기 제4 메모리 칩들의 제4 부분은 상기 제2 메모리 칩들의 다른 일부와 중복되는 반도체 패키지.

청구항 6

적층되도록 구성되는 제1 및 제2 반도체 칩들을 포함하고,

상기 제1 및 제2 메모리 칩들 중 하나의 메모리 칩은 복수의 신호 및 전원 패드들 그리고 복수의 칩 선택 패드들을 포함하고,

상기 칩 선택 패드들 중 제1 패드들은 상기 하나의 메모리 칩의 외부의 장치와 연결되고, 그리고 상기 칩 선택 패드들 중 제2 패드들은 상기 외부의 장치로부터 격리되고,

상기 제1 메모리 칩들은,

복수의 칩 선택 솔더 범프들;

상기 제1 메모리 칩의 상기 복수의 칩 선택 패드들 및 상기 복수의 칩 선택 솔더 범프들에 전기적으로 연결되는 복수의 관통 실리콘 비아들; 그리고

상기 복수의 관통 실리콘 비아들과 전기적으로 연결되는 제1 및 제2 퓨즈들을 포함하고,

상기 제2 메모리 칩은 상기 제1 메모리 칩과 동일한 구조를 갖고,

상기 제1 메모리 칩의 상기 관통 실리콘 비아와 연결된 상기 제1 및 제2 퓨즈들 중 하나는 절단되고, 그리고 상기 제1 및 제2 퓨즈들 중 다른 하나는 전기적 연결 상태를 유지하는 반도체 패키지.

청구항 7

메모리를 제어하도록 구성되는 제어 칩;

상기 제어 칩의 복수의 신호 및 전원 패드들과 전기적으로 연결되는 복수의 신호 및 전원 노드들; 그리고

상기 제어 칩의 복수의 칩 선택 패드들과 전기적으로 연결되는 복수의 칩 선택 노드들을 포함하고,

상기 복수의 칩 선택 패드들 중 하나의 칩 선택 패드는 정상 패드 및 반전 패드를 포함하고,

상기 복수의 칩 선택 노드들 중 하나의 칩 선택 노드는 정상 노드 및 반전 노드를 포함하고,

상기 정상 노드 및 상기 반전 노드 중 적어도 하나는 상기 정상 패드 및 상기 반전 패드 중 대응하는 패드에 연결되는 반도체 패키지.

청구항 8

복수의 신호 및 전원 패드들; 그리고

정상 패드 및 반전 패드의 쌍들을 포함하는 복수의 칩 선택 패드들을 포함하고,

상기 칩 선택 패드들의 상기 정상 패드 및 반전 패드의 쌍들은 논리 하이 또는 논리 로우 값을 갖도록 독립적으로 제어되고,

상기 칩 선택 패드들의 상기 정상 패드 및 반전 패드의 쌍들의 값들의 조합이 칩 선택 신호로서 출력되는 메모리 제어 칩.

청구항 9

적층되도록 구성되는 제1 및 제2 메모리 칩들; 그리고

상기 제1 및 제2 메모리 칩들을 제어하도록 구성되는 메모리 제어 칩을 포함하고,

상기 제1 및 제2 메모리 칩들 중 하나의 메모리 칩은 복수의 신호 및 전원 패드들 그리고 복수의 칩 선택 패드들을 통해 상기 메모리 제어 칩과 통신하도록 구성되고, 그리고

상기 제1 및 제2 메모리 칩들, 그리고 상기 메모리 제어 칩 중 하나는 각 칩 선택 패드로서 정상 칩 선택 패드 및 반전 칩 선택 패드를 포함하는 메모리 시스템.

청구항 10

기관;

상기 기관 상에 적층되는 복수의 메모리 칩들; 그리고

상기 기관 상에 제공되는 제어 칩을 포함하고,

상기 제어 칩은 상기 복수의 메모리 칩들의 전체 수보다 적은 수의 칩 선택 신호들을 이용하여 상기 복수의 메모리 칩들 각각을 선택하도록 구성되고,

상기 제어 칩은 정상 제1 및 제2 칩 선택 패드들을 포함하고,

상기 제1 칩 선택 패드는 상기 복수의 메모리 칩들 중 제1 메모리 칩들에 연결되고,

상기 제2 칩 선택 패드는 상기 복수의 메모리 칩들 중 제2 메모리 칩들에 연결되고,

상기 복수의 메모리 칩들 중 일부는 상기 제1 메모리 칩들과 상기 제2 메모리 칩들에 공통으로 속하고, 그리고

상기 복수의 메모리 칩들 중 다른 일부는 상기 제1 메모리 칩들과 상기 제2 메모리 칩들에 속하지 않는 메모리 시스템.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

- 청구항 20
- 삭제
- 청구항 21
- 삭제
- 청구항 22
- 삭제
- 청구항 23
- 삭제
- 청구항 24
- 삭제
- 청구항 25
- 삭제
- 청구항 26
- 삭제
- 청구항 27
- 삭제
- 청구항 28
- 삭제
- 청구항 29
- 삭제
- 청구항 30
- 삭제
- 청구항 31
- 삭제
- 청구항 32
- 삭제
- 청구항 33
- 삭제
- 청구항 34
- 삭제
- 청구항 35
- 삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

발명의 설명

기술 분야

본 발명은 반도체 칩, 메모리 칩, 메모리 제어 칩, 반도체 패키지, 그리고 메모리 시스템에 관한 것이다.

배경 기술

메모리 반도체 및 비메모리 반도체는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비소 갈륨(GaAs, gallium arsenide), 인듐 인(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현된다. 반도체 기판에 트랜지스터 또는 메모리 소자와 같은 반도체 소자들이 형성되어 반도체 칩이 구성된다. 하나 또는 그 이상의 반도체 칩들은 패키징되어 반도체 패키지를 구성할 수 있다. 하나 또는 그 이상의 반도체 패키지들이 인쇄 회로 기판(PCB, Printed Circuit Board)에 제공되어, 메모리 시스템과 같은 전자 장치가 구성될 수 있다. 메모리 시스템은 불휘발성 메모리 또는 휘발성 메모리와 같은 메모리 반도체, 그리고 메모리 제어기와 같은 비메모리 반도체를 포함할 수 있다.

하나의 메모리 제어기는 복수의 메모리들을 제어하도록 구성될 수 있다. 복수의 메모리들을 각각 선택하기 위하여, 메모리 제어기는 칩 선택 신호들을 발생할 수 있다.

발명의 내용

해결하려는 과제

본 발명의 목적은 감소된 복잡도 및 향상된 수율을 갖는 반도체 칩, 메모리 칩, 메모리 제어 칩, 반도체 패키지, 그리고 메모리 시스템을 제공하는 데에 있다.

과제의 해결 수단

본 발명의 실시 예에 따른 반도체 칩은, 수의 신호 및 전원 패드들; 그리고

복수의 칩 선택 패드들을 포함하고, 상기 복수의 칩 선택 패드들 각각은 정상 패드 및 반전 패드를 포함한다.

실시 예로서, 상기 반도체 칩은 메모리 칩이다.

실시 예로서, 상기 반도체 칩은 메모리 제어 칩이다.

실시 예로서, 상기 복수의 칩 선택 패드들 각각의 정상 패드는 제 1 도전선에 연결되고 반전 패드는 인버터를 통해 제 2 도전선에 연결되고, 상기 제 1 도전선 및 상기 제 2 도전선은 제 3 도전선에 공통으로 연결된다.

실시 예로서, 상기 복수의 칩 선택 패드들의 제 3 도전선들의 신호들을 입력받아 논리곱 연산을 수행하는 논리 게이트를 더 포함하고, 상기 논리 게이트의 출력에 따라 활성화 또는 비활성화된다.

본 발명의 실시 예에 따른 메모리 칩은, 적어도 하나의 칩 선택 솔더 범프; 상기 적어도 하나의 칩 선택 솔더 범프와 전기적으로 연결되는 적어도 하나의 관통 실리콘 비아(TSV, Through Silicon Via); 상기 적어도 하나의 관통 실리콘 비아와 전기적으로 연결되는 제 1 및 제 2 퓨즈들; 상기 제 1 및 제 2 퓨즈들과 각각 전기적으로 연결되는 정상 입력 및 반전 입력; 그리고 상기 적어도 하나의 관통 실리콘 비아와 전기적으로 연결되는 적어도 하나의 칩 선택 패드를 포함한다.

본 발명의 실시 예에 따른 메모리 칩은, 복수의 신호 및 전원 패드들; 복수의 칩 선택 패드들; 그리고 상기 복수의 칩 선택 패드들의 신호들을 입력받아 논리곱 연산을 수행하는 논리 게이트를 더 포함하고, 상기 논리 게이트의 출력에 따라 활성화 또는 비활성화된다.

본 발명의 실시 예에 따른 반도체 패키지는, 적층된 제 1 및 제 2 메모리 칩들을 포함하고, 상기 제 1 및 제 2 메모리 칩들 각각은 복수의 신호 및 전원 패드들; 그리고 복수의 칩 선택 패드들을 포함한다.

실시 예로서, 상기 복수의 칩 선택 패드들 각각은 정상 패드 및 반전 패드를 포함한다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들은 캐스케이드(cascade) 형태로 적층된다.

실시 예로서, 상기 제 1 메모리 칩의 제 1 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 제 1 도전선에 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 2 메모리 칩의 제 1 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 제 1 도전선에 연결되고, 다른 하나는 플로팅된다.

실시 예로서, 상기 제 1 메모리 칩의 제 2 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 제 1 도전선과 다른 제 2 도전선에 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들을 제어하도록 구성되는 제어칩을 더 포함하고, 상기 제어칩은 상기 복수의 신호 및 전원 패드들에 각각 대응하는 복수의 제 2 신호 및 전원 패드들; 그리고 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 제어 칩 선택 패드들을 포함하고, 상기 제 1 도전선은 상기 복수의 제어 칩 선택 패드들 중 하나에 연결된다.

실시 예로서, 상기 제어칩은 상기 복수의 제어 칩 선택 패드들의 출력 신호들을 제어하여, 상기 제 1 및 제 2 메모리 칩들을 선택하도록 구성된다.

실시 예로서, 상기 복수의 신호 및 전원 패드들에 각각 대응하는 복수의 신호 및 전원 입출력 노드들; 그리고 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 칩 선택 노드들을 더 포함하고, 상기 제 1 도전선은 상기 복수의 칩 선택 노드들 중 하나에 연결된다.

실시 예로서, 상기 복수의 칩 선택 노드들은 복수의 핀들 또는 복수의 솔더 볼들이다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들은 수직 기둥의 형태로 적층된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들을 제어하도록 구성되는 제어칩을 더 포함하고, 상기 제어칩은 상기 복수의 신호 및 전원 패드들에 각각 대응하는 복수의 제 2 신호 및 전원 패드들; 그리고 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 제어 칩 선택 패드들을 포함한다.

실시 예로서, 상기 제 1 메모리 칩의 제 1 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 복수의 제어 칩 선택 패드들 중 제 1 제어 칩 선택 패드에 전기적으로 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 2 메모리 칩의 제 1 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 제 1 제어 칩 선택 패드에 전기적으로 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 1 메모리 칩의 제 2 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 복수의 제어 칩 선택 패드들 중 상기 제 1 칩 선택 패드와 다른 제 2 제어 칩 선택 패드에 전기적으로 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 복수의 신호 및 전원 패드들에 각각 대응하는 복수의 신호 및 전원 입출력 노드들; 그리고 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 칩 선택 노드들을 더 포함한다.

실시 예로서, 상기 제 1 메모리 칩의 제 1 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 복수의 칩 선택 노드들 중 제 1 칩 선택 노드에 전기적으로 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 2 메모리 칩의 제 1 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 제 1 칩 선택 노드에 전기적으로 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 1 메모리 칩의 제 2 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 상기 복수의 칩 선택 노드들 중 상기 제 1 칩 선택 패드와 다른 제 2 칩 선택 패드에 전기적으로 연결되고 다른 하나는 플로팅된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들은 캐스케이드(cascade) 형태로 적층된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들의 제 1 칩 선택 패드들 중 일부는 제 1 도전선에 공통으로 연결되고 나머지 일부는 제 2 도전선에 공통으로 연결된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들을 제어하도록 구성되는 제어칩을 더 포함하고, 상기 제어칩은 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 제어 칩 선택 패드들을 포함하고, 상기 복수의 제어 칩 선택 패드들 각각은 정상 패드 및 반전 패드를 포함한다.

실시 예로서, 상기 제 1 도전선은 상기 복수의 제어 칩 선택 패드들 중 제 1 제어 칩 선택 패드의 정상 패드에 전기적으로 연결되고, 상기 제 2 도전선은 상기 제 1 제어 칩 선택 패드의 반전 패드에 전기적으로 연결된다.

실시 예로서, 상기 복수의 칩 선택 패드들에 대응하는 칩 선택 노드들을 더 포함하고, 상기 칩 선택 노드들 각각은 정상 노드 및 반전 노드를 포함하고, 상기 제 1 도전선은 상기 칩 선택 노드들 중 제 1 칩 선택 노드의 정상 노드에 전기적으로 연결되고 상기 제 2 도전선은 상기 제 1 칩 선택 노드의 반전 노드에 전기적으로 연결된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들은 수직 기둥의 형태로 적층된다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들을 제어하도록 구성되는 제어칩을 더 포함하고, 상기 제어칩은 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 제어 칩 선택 패드들을 포함하고, 상기 복수의 제어 칩 선택 패드들 각각은 정상 패드 및 반전 패드를 포함한다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들의 제 1 칩 선택 패드들 중 일부는 복수의 제 1 도전선들을 통해 상기 제어칩의 제 1 제어 칩 선택 패드의 정상 패드에 전기적으로 연결되고, 나머지 일부는 복수의 제 2 도전선들을 통해 상기 제 1 제어 칩 선택 패드의 반전 패드에 전기적으로 연결된다.

실시 예로서, 상기 복수의 칩 선택 패드들에 각각 대응하는 복수의 칩 선택 노드들을 더 포함하고, 상기 복수의 칩 선택 노드들 각각은 정상 노드 및 반전 노드를 포함한다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들의 제 1 칩 선택 패드들 중 일부는 복수의 제 1 도전선들을 통해

상기 칩 선택 노드들 중 제 1 칩 선택 노드의 정상 노드에 전기적으로 연결되고, 나머지 일부는 복수의 제 2 도전선들을 통해 상기 제 1 칩 선택 노드의 반전 노드에 전기적으로 연결된다.

본 발명의 실시 예에 따른 반도체 패키지는, 메모리를 제어하도록 구성되는 제어칩; 상기 제어칩의 복수의 신호 및 전원 패드들과 전기적으로 연결되는 복수의 신호 및 전원 노드들; 그리고 상기 제어칩의 복수의 칩 선택 패드들과 전기적으로 연결되는 복수의 칩 선택 노드들을 포함하고, 상기 복수의 칩 선택 패드들 중 특정 칩 선택 패드는 정상 패드 및 반전 패드를 포함하고, 상기 복수의 칩 선택 노드들 중 특정 칩 선택 노드는 상기 정상 패드 및 상기 반전 패드와 각각 연결되는 정상 노드 및 반전 노드를 포함한다.

본 발명의 실시 예에 따른 반도체 패키지는, 제 1 메모리 칩; 그리고 상기 제 1 메모리 칩 위에 적층되는 제 2 메모리 칩을 포함하고, 상기 제 1 메모리 칩은 복수의 칩 선택 솔더 범프들; 상기 복수의 칩 선택 솔더 범프들과 각각 전기적으로 연결되는 복수의 관통 실리콘 비아들(TSV, Through Silicon Via); 상기 복수의 관통 실리콘 비아들 중 특정 관통 실리콘 비아와 전기적으로 연결되는 제 1 및 제 2 퓨즈들; 상기 제 1 및 제 2 퓨즈들과 각각 전기적으로 연결되는 정상 입력 및 반전 입력; 그리고 상기 복수의 관통 실리콘 비아들과 각각 전기적으로 연결되는 복수의 칩 선택 패드들을 포함한다.

실시 예로서, 상기 제 2 메모리 칩은 상기 제 1 메모리 칩과 동일한 구조를 갖고, 상기 제 2 메모리 칩의 적어도 하나 또는 그 이상의 칩 선택 솔더 범프들은 상기 제 1 메모리 칩의 상기 적어도 하나 또는 그 이상의 칩 선택 패드들과 연결된다.

실시 예로서, 상기 제 1 메모리 칩의 상기 특정 관통 실리콘 비아에 연결된 상기 제 1 및 제 2 퓨즈들 중 하나는 커팅되고 다른 하나는 전기적 연결 상태를 유지한다.

본 발명의 실시 예에 따른 메모리 제어 칩은, 복수의 신호 및 전원 패드들; 그리고 복수의 칩 선택 패드들을 포함하고, 상기 칩 선택 패드들 각각은 독립적으로 로직 하이 또는 로직 로우 값을 갖도록 제어되고, 상기 칩 선택 패드들의 신호들의 조합을 칩 선택 신호로 출력한다.

본 발명의 실시 예에 따른 메모리 시스템은, 적층된 제 1 및 제 2 메모리 칩들; 그리고 상기 제 1 및 제 2 메모리 칩들을 제어하도록 구성되는 메모리 제어 칩을 포함하고, 상기 제 1 및 제 2 메모리 칩들 각각은 복수의 신호 및 전원 패드들과 복수의 칩 선택 패드들을 통해 상기 메모리 제어 칩과 통신하도록 구성된다.

실시 예로서, 상기 복수의 메모리들 및 상기 제어기는 메모리 카드를 구성한다.

실시 예로서, 상기 복수의 메모리들 및 상기 제어기는 솔리드 스테이트 드라이브(SSD, Solid State Drive)를 구성한다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들과 상기 메모리 제어 칩은 단일 패키지를 형성한다.

실시 예로서, 상기 제 1 및 제 2 메모리 칩들은 메모리 패키지를 형성하고, 상기 메모리 제어 칩은 제어 패키지를 형성한다.

발명의 효과

본 발명의 실시 예들에 따르면, 메모리 제어기는 메모리들의 수 보다 적은 수의 칩 선택 신호선들을 통해 메모리들을 각각 독립적으로 선택할 수 있다. 따라서, 감소된 복잡도 및 향상된 수율을 갖는 반도체 칩, 메모리 칩, 메모리 제어 칩, 반도체 패키지, 그리고 메모리 시스템이 제공된다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시 예에 따른 반도체 칩을 보여준다.

도 2는 본 발명의 제 1 예에 따른 메모리 칩을 보여준다.

도 3은 본 발명의 제 1 예에 따른 메모리 제어칩을 보여준다.

도 4는 복수의 메모리 칩들이 적층된 구조의 제 1 예를 보여준다.

도 5는 적층된 복수의 메모리 칩들과 메모리 제어칩의 연결 구조의 제 1 예를 보여준다.

도 6은 제 1 내지 제 8 메모리 칩들 및 메모리 제어칩의 측면도의 제 1 예를 보여준다.

도 7 내지 도 10은 제어 칩 선택 패드들의 출력 신호들이 '111'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지

제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 8은 제어 칩 선택 패드들의 출력 신호들이 '110'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 9는 제어 칩 선택 패드들의 출력 신호들이 '101'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 10은 제어 칩 선택 패드들의 출력 신호들이 '100'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 11은 제어 칩 선택 패드들의 출력 신호들이 '011'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 12는 제어 칩 선택 패드들의 출력 신호들이 '010'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 13은 제어 칩 선택 패드들의 출력 신호들이 '001'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 14는 제어 칩 선택 패드들의 출력 신호들이 '000'일 때, 제 1 내지 제 8 메모리 칩들의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다.

도 15는 본 발명의 제 1 실시 예에 따른 반도체 패키지를 보여준다.

도 16 및 도 17은 본 발명의 제 2 실시 예에 따른 반도체 패키지를 보여준다.

도 18은 제 1 예에 따른 노드들을 포함하는 반도체 패키지를 보여준다.

도 19는 제 2 예에 따른 노드들을 포함하는 반도체 패키지를 보여준다.

도 20 및 도 21은 본 발명의 제 3 실시 예에 따른 반도체 패키지를 보여준다.

도 22는 복수의 메모리 칩들이 적층된 구조의 제 2 예를 보여준다.

도 23은 적층된 복수의 메모리 칩들과 메모리 제어칩의 연결 구조의 제 2 예를 보여준다.

도 24는 제 1 내지 제 8 메모리 칩들 및 메모리 제어칩의 측면도의 제 2 예를 보여준다.

도 25는 본 발명의 제 4 실시 예에 따른 반도체 패키지를 보여준다.

도 26 및 도 27은 본 발명의 제 5 실시 예에 따른 반도체 패키지를 보여준다.

도 28은 본 발명의 제 2 실시 예에 따른 반도체 칩을 보여준다.

도 29는 본 발명의 제 2 예에 따른 메모리 칩을 보여준다.

도 30은 도 29의 'XXX-XXX' 선에 따른 단면도이다.

도 31은 복수의 메모리 칩들이 적층된 구조의 제 3 예를 보여준다.

도 32는 본 발명의 제 3 예에 따른 메모리 칩을 보여준다.

도 33은 본 발명의 제 2 예에 따른 메모리 제어칩을 보여준다.

도 34는 적층된 복수의 메모리 칩들과 메모리 제어칩의 연결 구조의 제 3 예를 보여준다.

도 35는 반도체 패키지를 구성하는 제 1 내지 제 8 메모리 칩들의 연결 관계의 제 1 예를 보여준다.

도 36은 제 1 내지 제 8 메모리 칩들 또는 메모리 제어칩을 포함하는 반도체 패키지의 제 1 예를 보여준다.

도 37은 제 1 내지 제 8 메모리 칩들 또는 메모리 제어칩을 포함하는 반도체 패키지의 제 2 예를 보여준다.

도 38은 적층된 복수의 메모리 칩들과 메모리 제어칩의 연결 구조의 제 4 예를 보여준다.

도 39는 반도체 패키지를 구성하는 제 1 내지 제 8 메모리 칩들의 연결 관계의 제 2 예를 보여준다.

도 40은 본 발명의 제 4 예에 따른 메모리 칩을 보여준다.

도 41은 본 발명의 제 5 예에 따른 메모리 칩을 보여준다.

도 42는 본 발명의 제 1 실시 예에 따른 메모리 카드를 보여준다.

도 43은 본 발명의 제 2 실시 예에 따른 메모리 카드를 보여준다.

발명을 실시하기 위한 구체적인 내용

이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

도 1은 본 발명의 제 1 실시 예에 따른 반도체 칩(100)을 보여준다. 도 1을 참조하면, 반도체 칩(100)에 복수의 패드들이 제공된다. 복수의 패드들은 반도체 칩(100)의 상면에 제공될 수 있다. 복수의 패드들은 반도체 칩(100)의 상면의 일부분에 제공될 수 있다. 반도체 칩(100)은 메모리 칩 또는 비메모리 칩을 포함할 수 있다. 비메모리 칩은 메모리 칩을 제어하도록 구성되는 메모리 제어칩을 포함할 수 있다.

도 2는 본 발명의 제 1 예에 따른 메모리 칩(100a)을 보여준다. 메모리 칩(100a)은 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등과 같은 휘발성 메모리 칩, 또는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등과 같은 불휘발성 메모리 칩일 수 있다.

도 2를 참조하면, 메모리 칩(100a)은 신호 및 전원 패드들(SP), 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3), 그리고 논리 게이트(LG)를 포함할 수 있다. 메모리 칩(100a)의 상면의 일부분에 패드들이 제공될 수 있다. 신호 및 전원 패드들(SP)을 통해, 메모리 칩(100a)은 외부로부터 신호 및 전원을 수신하고, 외부로 신호를 출력할 수 있다. 예를 들어, 메모리 칩(100a)은 신호 및 전원 패드들(SP)을 통해 커맨드, 어드레스, 데이터, 그리고 다양한 제어 신호들을 교환할 수 있다.

메모리 칩(100a)은 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)을 통해 외부로부터 칩 선택 신호들을 수신할 수 있다. 각 칩 선택 패드는 정상 패드(NP, Normal Pad) 및 반전 패드(IP, Inverse Pad)를 포함한다. 정상 패드(NP)는 제 1 도전선(CL1)에 연결된다. 반전 패드(IP)는 인버터(INV)를 통해 제 2 도전선(CL2)에 연결된다. 제 1 및 제 2 도전선들(CL1, CL2)은 제 3 도전선(CL3)에 공통으로 연결된다. 즉, 정상 패드(NP)와 인버터(INV)의 출력은 와이어드-오어(Wired-OR)로 연결된다.

제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)에 대응하는 제 3 도전선들은 논리 게이트(LG)에 연결된다. 논리 게이트(LG)는 제 3 도전선들의 논리곱을 연산할 수 있다. 연산 결과는 칩 선택 신호(CS)로 출력된다. 예를 들어, 칩 선택 신호(CS)가 로직 하이일 때 메모리 칩(100a)이 선택되어 활성화되고, 칩 선택 신호(CS)가 로직 로우일 때 메모리 칩(100a)이 비선택되어 비활성화될 수 있다.

메모리 칩(100a)에 제공되는 칩 선택 패드들(CSP1~CSP3)의 수는 한정되지 않는다. 설명의 편의를 위하여, 메모리 칩(100a)에 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)이 제공되는 것으로 가정된다.

도 3은 본 발명의 제 1 예에 따른 메모리 제어칩(100b)을 보여준다. 메모리 제어칩(100b)은 적어도 하나 또는 그 이상의 메모리 칩들을 제어하도록 구성될 수 있다.

도 2 및 도 3을 참조하면, 메모리 제어칩(100b)의 상면의 일부분에 패드들이 제공될 수 있다. 메모리 제어칩(100b)은 신호 및 전원 패드들(SP)과 제 a 내지 제 c 제어 칩 선택 패드들(CSPa~CSPc)을 포함할 수 있다. 신호 및 전원 패드들(SP)을 통해, 메모리 제어칩(100b)은 외부로부터 신호 및 전원을 수신하고, 외부로 신호를 출력할 수 있다. 예를 들어, 메모리 제어칩(100b)은 신호 및 전원 패드들(SP)을 통해 커맨드, 어드레스, 데이터, 그리고 다양한 제어 신호들을 교환할 수 있다.

메모리 제어칩(100b)은 제 a 내지 제 c 제어 칩 선택 패드들(CSPa~CSPc)을 통해 칩 선택 신호들을 출력할 수 있다. 하나의 제어 칩 선택 패드(CSPa, CSPb 또는 CSPc)는 메모리 칩(100a)의 하나의 칩 선택 패드(CSP1, CSP2 또는 CSP3)에 대응할 수 있다.

메모리 제어칩(100b)의 제어 칩 선택 패드들(CSPa~CSPc)의 수는 한정되지 않는다. 설명의 편의를 위하여, 메모리 제어칩(100b)에 3 개의 제어 칩 선택 패드들(CSPa~CSPc)이 제공되는 것으로 가정된다.

도 4는 복수의 메모리 칩들(100a_1~100a_8)이 적층된 구조의 제 1 예를 보여준다. 도 4를 참조하면, 메모리 칩

들(100a_1~100a_8)은 캐스케이드(cascade) 형태로 적층될 수 있다. 제 1 메모리 칩들(100a_1)의 상면의 일부분에 패드들이 제공될 수 있다. 제 1 메모리 칩들(100a_1) 위에 제 2 메모리 칩들(100a_2)이 적층된다. 제 2 메모리 칩들(100a_2)은 제 1 메모리 칩들(100a_1)의 패드들을 노출할 수 있다.

적층되는 메모리 칩들(100a_1~100a_8)의 수는 한정되지 않는다. 설명의 편의를 위하여, 8 개의 메모리 칩들(100a_1~100a_8)이 적층되는 것으로 가정된다.

메모리 칩들(100a_1~100a_8) 각각은 도 2를 참조하여 설명된 메모리 칩(100a)과 동일한 구조를 가질 수 있다. 메모리 칩들(100a_1~100a_8) 각각은 제 1 내지 제 3 칩 선택 패드들(CSP1, CSP2, CSP3)을 포함하고, 각 칩 선택 패드는 정상 패드(NP) 및 반전 패드(IP)를 포함할 수 있다.

도 5는 적층된 복수의 메모리 칩들(100a_1~100a_8)과 메모리 제어칩(100b)의 연결 구조의 제 1 예를 보여준다. 도 5를 참조하면, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 신호 및 전원 패드들(SP)과 메모리 제어칩(100b)의 신호 및 전원 패드들(SP)은 서로 전기적으로 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 각각에 제공되는 칩 선택 패드들(CSP1~CSP3)과 메모리 제어칩(100b)에 제공되는 제어 칩 선택 패드들(CSPa~CSPc)의 수는 일치할 수 있다. 각 칩 선택 패드(CSP)가 정상 패드(NP) 및 반전 패드(IP)를 포함하므로, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 각각에서 칩 선택에 이용되는 전체 패드들의 수는 메모리 제어칩에서 칩 선택에 이용되는 전체 패드들의 수의 두 배일 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 칩 선택 패드들(CSP1)은 제 4 도전선(CL4)에 전기적으로 연결되고, 제 2 칩 선택 패드들(CSP2)은 제 5 도전선(CL5)에 전기적으로 연결되고, 그리고 제 3 칩 선택 패드들(CSP3)은 제 6 도전선(CL6)에 전기적으로 연결될 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 각각에서, 각 칩 선택 패드의 정상 패드(NP) 및 반전 패드(IP) 중 하나는 도전선에 전기적으로 연결되고, 다른 하나는 플로팅될 수 있다.

예시적으로, 도 5에 도시된 바와 같이, 제 1 메모리 칩(100a_1)의 제 1 칩 선택 패드(CSP1)의 정상 패드(NP), 제 2 메모리 칩(100a_2)의 제 1 칩 선택 패드(CSP1)의 정상 패드(NP), 제 3 메모리 칩(100a_3)의 제 1 칩 선택 패드(CSP1)의 정상 패드(NP), 제 4 메모리 칩(100a_4)의 제 1 칩 선택 패드(CSP1)의 정상 패드(NP), 제 5 메모리 칩(100a_5)의 제 1 칩 선택 패드(CSP1)의 반전 패드(IP), 제 6 메모리 칩(100a_6)의 제 1 칩 선택 패드(CSP1)의 반전 패드(IP), 제 7 메모리 칩(100a_7)의 제 1 칩 선택 패드(CSP1)의 반전 패드(IP), 그리고 제 8 메모리 칩(100a_8)의 제 1 칩 선택 패드(CSP1)의 반전 패드(IP)가 제 4 도전선(CL4)에 연결될 수 있다.

제 1 메모리 칩(100a_1)의 제 2 칩 선택 패드(CSP2)의 정상 패드(NP), 제 2 메모리 칩(100a_2)의 제 2 칩 선택 패드(CSP2)의 정상 패드(NP), 제 3 메모리 칩(100a_3)의 제 2 칩 선택 패드(CSP2)의 반전 패드(IP), 제 4 메모리 칩(100a_4)의 제 2 칩 선택 패드(CSP2)의 반전 패드(IP), 제 5 메모리 칩(100a_5)의 제 2 칩 선택 패드(CSP2)의 정상 패드(NP), 제 6 메모리 칩(100a_6)의 제 2 칩 선택 패드(CSP2)의 정상 패드(NP), 제 7 메모리 칩(100a_7)의 제 2 칩 선택 패드(CSP2)의 반전 패드(IP), 그리고 제 8 메모리 칩(100a_8)의 제 2 칩 선택 패드(CSP2)의 반전 패드(IP)가 제 5 도전선(CL5)에 연결될 수 있다.

제 1 메모리 칩(100a_1)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP), 제 2 메모리 칩(100a_2)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP), 제 3 메모리 칩(100a_3)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP), 제 4 메모리 칩(100a_4)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP), 제 5 메모리 칩(100a_5)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP), 제 6 메모리 칩(100a_6)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP), 제 7 메모리 칩(100a_7)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP), 그리고 제 8 메모리 칩(100a_8)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP)가 제 6 도전선(CL6)에 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8)은 서로 다른 패턴으로 제 4 내지 제 6 도전선들(CL4~CL6)에 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8), 및 메모리 제어칩(100b)의 측면도의 제 1 예가 도 6에 도시되어 있다. 도 5 및 도 6을 참조하면, 제 6 도전선(CL6)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 3 칩 선택 패드들(CSP3)과 결합될 수 있다. 제 6 도전선(CL6)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)과의 결합에 의해 고정될 수 있다.

제 4 도전선(CL4) 및 제 5 도전선(CL5)은 제 6 도전선(CL6)과 마찬가지로 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 칩 선택 패드들(CSP1) 및 제 2 칩 선택 패드들(CSP2)에 각각 연결될 수 있다.

이하에서, 메모리 제어칩(100b)이 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)을 각각 독립적으로 선택하는 방법이 설명된다. 도 2를 참조하여 설명된 바와 같이, 특정 메모리 칩에서 칩 선택 패드들(CSP1~CSP3)로부터 출력되는 신호들의 논리곱 연산의 결과가 칩 선택 신호(CS)이다. 즉, 칩 선택 패드들(CSP1~CSP3)로부터 출력되는 신호들이 모두 로직 하이(예를 들어, '1')일 때, 칩 선택 신호(CS)가 활성화된다.

각 칩 선택 패드에서 출력되는 신호는 정상 패드(NP)의 신호 및 반전 패드(IP)의 신호가 반전된 신호가 와이어드-오어(Wired-OR)된 결과이다. 즉, 정상 패드(NP)에 로직 하이(예를 들어 '1')가 공급되고 반전 패드(IP)가 플로팅될 때, 또는 정상 패드(NP)가 플로팅되고 반전 패드(IP)에 로직 로우(예를 들어 '0')가 공급될 때, 각 칩 선택 패드에서 출력되는 신호는 로직 하이(예를 들어 '1')이다.

즉, 특정한 메모리 칩에서 정상 패드들(NP)에 '1'이 공급되거나 플로팅되고 반전 패드들에 '0'이 공급되거나 플로팅될 때, 칩 선택 신호(CS)가 활성화된다. 적어도 하나 또는 그 이상의 정상 패드(NP)에 '0'이 공급되거나 적어도 하나 또는 그 이상의 반전 패드(IP)에 '1'이 공급될 때, 칩 선택 신호(CS)는 비활성화된다.

도 7은 제어 칩 선택 패드들(CSPa~CSPc)의 출력 신호들이 '111'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 7을 참조하면, 제 1 메모리 칩(100a_1)의 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)의 정상 패드들(NP)에 '1'이 입력되고 반전 패드들(IP)은 플로팅된다. 따라서, 제 1 메모리 칩(100a_1)의 칩 선택 신호(CS)는 활성화된다.

제 2 메모리 칩(100a_2)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP)에 '1'이 공급된다. 제 3 메모리 칩(100a_3)의 제 2 칩 선택 패드(CSP2)의 반전 패드(IP)에 '1'이 공급된다. 제 4 메모리 칩(100a_4)의 제 2 및 제 3 칩 선택 패드들(CSP2, CSP3)의 반전 패드들(IP)에 '1'이 공급된다. 제 5 메모리 칩(100a_5)의 제 1 칩 선택 패드(CSP1)의 반전 패드(IP)에 '1'이 공급된다. 제 6 메모리 칩(100a_6)의 제 1 및 제 3 칩 선택 패드들(CSP1, CSP3)의 반전 패드들(IP)에 '1'이 공급된다. 제 7 메모리 칩(100a_7)의 제 1 및 제 2 칩 선택 패드들(CSP1, CSP2)의 반전 패드들(IP)에 '1'이 공급된다. 제 8 메모리 칩(100a_8)의 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)의 반전 패드들(IP)에 '1'이 공급된다. 따라서, 제 2 내지 제 8 메모리 칩(100a_2~100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 8은 제어 칩 선택 패드들(CSPa~CSPc)의 출력 신호들이 '110'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 8을 참조하면, 제 2 메모리 칩(100a_2)의 제 1 및 제 2 칩 선택 패드들(CSP1, CSP2)의 정상 패드들(NP)에 '1'이 공급되고, 제 3 칩 선택 패드(CSP3)의 반전 패드(IP)에 '0'이 공급된다. 따라서, 제 2 메모리 칩(100a_2)의 칩 선택 신호(CS)는 활성화된다.

제 1 및 제 3 메모리 칩들(100a_1, 100a_3)의 제 3 칩 선택 패드(CSP3)의 정상 패드들(NP)에 '0'이 공급된다. 제 4 메모리 칩(100a_4)의 제 2 칩 선택 패드(CSP2)의 반전 패드(IP)에 '1'이 공급된다. 제 5 내지 제 8 메모리 칩들(100a_5~100a_8)의 제 1 칩 선택 패드들(CSP1)의 반전 패드들(IP)에 '1'이 공급된다. 따라서 제 1 및 제 3 내지 제 8 메모리 칩들(100a_1, 100a_3~100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 9는 제어 칩 선택 패드들(CSPa~CSPc)의 출력 신호들이 '101'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 9를 참조하면, 제 3 메모리 칩(100a_3)의 제 1 및 제 3 칩 선택 패드들(CSP1, CSP3)의 정상 패드들(NP)에 '1'이 공급되고, 제 2 칩 선택 패드(CSP2)의 반전 패드(IP)에 '0'이 공급된다. 따라서, 제 3 메모리 칩(100a_3)의 칩 선택 신호(CS)는 활성화된다.

제 1 및 제 2 메모리 칩들(100a_1, 100a_2)의 제 2 칩 선택 패드(CSP2)의 정상 패드들(NP)에 '0'이 공급된다. 제 4 메모리 칩(100a_4)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP)에 '1'이 공급된다. 제 5 내지 제 8 메모리 칩들(100a_5~100a_8)의 제 1 칩 선택 패드들(CSP1)의 반전 패드들(IP)에 '1'이 공급된다. 따라서 제 1 및 제 2, 제 4 내지 제 8 메모리 칩들(100a_1, 100a_2, 100a_4~100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 10은 제어 칩 선택 패드들(CSPa~CSPc)의 출력 신호들이 '100'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 10을 참조하면, 제 4 메모리 칩(100a_4)의 제 1 칩 선택 패드(CSP1)의 정상 패드(NP)에 '1'이 공급되고, 제 2 및 제 3 칩 선택 패드들(CSP2, CSP3)의 반전 패드들(IP)에 '0'이 공급된다. 따라서, 제 4 메모리 칩(100a_4)의 칩 선택 신호(CS)는 활성화된다.

제 1 및 제 2 메모리 칩들(100a_1, 100a_2)의 제 2 칩 선택 패드(CSP2)의 정상 패드들(NP)에 '0'이 공급된다. 제 3 메모리 칩(100a_4)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP)에 '0'이 공급된다. 제 5 내지 제 8 메모리 칩들(100a_5~100a_8)의 제 1 칩 선택 패드들(CSP1)의 반전 패드들(IP)에 '1'이 공급된다. 따라서 제 1 내지 제 3, 제 5 내지 제 8 메모리 칩들(100a_1~100a_3, 100a_5~100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 11은 제어 칩 선택 패드들(CSPa-CSPc)의 출력 신호들이 '011'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 11을 참조하면, 제 5 메모리 칩(100a_5)의 제 1 칩 선택 패드(CSP1)의 반전 패드(IP)에 '0'이 공급되고, 제 2 및 제 3 칩 선택 패드들(CSP2, CSP3)의 정상 패드들(NP)에 '1'이 공급된다. 따라서, 제 5 메모리 칩(100a_5)의 칩 선택 신호(CS)는 활성화된다.

제 1 내지 제 4 메모리 칩들(100a_1~100a_4)의 제 1 칩 선택 패드들(CSP1)의 정상 패드들(NP)에 '0'이 공급된다. 제 6 메모리 칩(100a_6)의 제 3 칩 선택 패드(CSP3)의 반전 패드(IP)에 '1'이 공급된다. 제 7 및 제 8 메모리 칩들(100a_7, 100a_8)의 제 2 칩 선택 패드(CSP2)의 반전 패드들(IP)에 '1'이 공급된다. 따라서 제 1 내지 제 4, 제 6 내지 제 8 메모리 칩들(100a_1~100a_4, 100a_6~100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 12는 제어 칩 선택 패드들(CSPa-CSPc)의 출력 신호들이 '010'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 12를 참조하면, 제 6 메모리 칩(100a_6)의 제 1 및 제 3 칩 선택 패드들(CSP1, CSP3)의 반전 패드들(IP)에 '0'이 공급되고, 제 2 칩 선택 패드(CSP2)의 정상 패드(NP)에 '1'이 공급된다. 따라서, 제 6 메모리 칩(100a_6)의 칩 선택 신호(CS)는 활성화된다.

제 1 내지 제 4 메모리 칩들(100a_1~100a_4)의 제 1 칩 선택 패드들(CSP1)의 정상 패드들(NP)에 '0'이 공급된다. 제 5 메모리 칩(100a_5)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP)에 '0'이 공급된다. 제 7 및 제 8 메모리 칩들(100a_7, 100a_8)의 제 2 칩 선택 패드(CSP2)의 반전 패드들(IP)에 '1'이 공급된다. 따라서 제 1 내지 제 5, 제 7 및 제 8 메모리 칩들(100a_1~100a_5, 100a_7, 100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 13은 제어 칩 선택 패드들(CSPa-CSPc)의 출력 신호들이 '001'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 13을 참조하면, 제 7 메모리 칩(100a_7)의 제 1 및 제 2 칩 선택 패드들(CSP1, CSP2)의 반전 패드들(IP)에 '0'이 공급되고, 제 3 칩 선택 패드(CSP3)의 정상 패드(NP)에 '1'이 공급된다. 따라서, 제 7 메모리 칩(100a_7)의 칩 선택 신호(CS)는 활성화된다.

제 1 내지 제 4 메모리 칩들(100a_1~100a_4)의 제 1 칩 선택 패드들(CSP1)의 정상 패드들(NP)에 '0'이 공급된다. 제 5 및 제 6 메모리 칩들(100a_5, 100a_6)의 제 2 칩 선택 패드들(CSP2)의 정상 패드들(NP)에 '0'이 공급된다. 제 8 메모리 칩(100a_8)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP)에 '0'이 공급된다. 따라서 제 1 내지 제 6, 그리고 제 8 메모리 칩들(100a_1~100a_6, 100a_8)의 칩 선택 신호들(CS)은 비활성화된다.

도 14는 제어 칩 선택 패드들(CSPa-CSPc)의 출력 신호들이 '000'일 때, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 내지 제 3 칩 선택 패드들의 신호들과 칩 선택 신호들을 보여주는 테이블이다. 도 14를 참조하면, 제 8 메모리 칩(100a_8)의 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)의 반전 패드들(IP)에 '0'이 공급된다. 따라서, 제 8 메모리 칩(100a_8)의 칩 선택 신호(CS)는 활성화된다.

제 1 내지 제 4 메모리 칩들(100a_1~100a_4)의 제 1 칩 선택 패드들(CSP1)의 정상 패드들(NP)에 '0'이 공급된다. 제 5 및 제 6 메모리 칩들(100a_5, 100a_6)의 제 2 칩 선택 패드들(CSP2)의 정상 패드들(NP)에 '0'이 공급된다. 제 7 메모리 칩(100a_7)의 제 3 칩 선택 패드(CSP3)의 정상 패드(NP)에 '0'이 공급된다. 따라서 제 1 내지 제 7 메모리 칩들(100a_1~100a_7)의 칩 선택 신호들(CS)은 비활성화된다.

상술된 바와 같이, 메모리 제어칩이 n 개의 제어 칩 선택 패드들을 구비할 때, 메모리 제어칩은 제어 칩 선택 패드들을 통해 서로 다른 패턴을 갖는 2^n 개의 신호들을 출력할 수 있다. 2^n 개의 메모리 칩들은 n 개의 칩 선택 패드들(n 개의 정상 패드들과 n 개의 반전 패드들)을 통해 n 개의 도전선들과 서로 다른 패턴들로 연결될 수 있다. 메모리 제어칩이 출력하는 2^n 개의 패턴들은 2^n 개의 메모리 칩들에 각각 대응할 수 있다. 메모리 제어칩이 2^n 개의 서로 다른 패턴들을 갖는 n 개의 신호들을 출력함으로써, 2^n 개의 메모리 칩들이 각각 독립적으로 선택될 수 있다. 즉, 메모리 칩들의 수 보다 적은 수의 신호들을 이용하여, 동일한 구조를 갖는 메모리 칩들이 각각 독립적으로 선택될 수 있다.

도 15는 본 발명의 제 1 실시 예에 따른 반도체 패키지(P1)를 보여준다. 도 15를 참조하면, 반도체 패키지(P1)는 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 및 메모리 제어칩(100b)을 포함한다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)은 캐스케이드(cascade) 형태로 적층될 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 각각은 도 2의 메모리 칩(100a)과 동일한 구조를 가질 수 있다. 제어칩(100b)은 도 3의 제어칩(100b)과 동일한 구조를 가질 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 및 메모리 제어칩(100b)은 도 5 및 도 6을 참조하여 설명된 것과 동일하게 연결될 수 있다.

메모리 제어칩(100b)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 수 보다 적은 수의 신호들을 이용하여 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)을 각각 독립적으로 선택할 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)을 각각 적어도 하나 또는 그 이상의 칩 선택 패드들을 포함하고, 각 칩 선택 패드는 정상 패드 및 반전 패드를 포함할 수 있다. 각 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 도전선과 연결되고 다른 하나는 플로팅될 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 칩 선택 패드들은 하나의 도전선을 공유할 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 칩 선택 패드들과 제 2 칩 선택 패드들은 서로 다른 도전선들에 연결될 수 있다.

패키지(P1)에 복수의 노드들(미도시)이 제공될 수 있다. 예를 들어, 복수의 노드들(미도시)은 복수의 솔더 볼들(solder balls) 또는 복수의 핀들(pins)일 수 있다. 복수의 노드들(미도시)은 메모리 제어칩(100b) 또는 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)과 전기적으로 연결될 수 있다. 패키지(P1)는 복수의 노드들을 통해 외부와 신호를 교환할 수 있다.

도 16 및 도 17은 본 발명의 제 2 실시 예에 따른 반도체 패키지(P2)를 보여준다. 도 15의 반도체 패키지(P1)와 비교하면, 적층된 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)이 본 발명의 제 2 실시 예에 따른 반도체 패키지(P2)를 구성할 수 있다.

반도체 패키지(P2)에 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)이 제공될 수 있다. 제 4 내지 제 6 도전선들(CL4~CL6)은 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)과 각각 연결될 수 있다. 신호 및 전원 패드들(SP)과 도전선들(미도시)을 통해 연결되는 신호 및 전원 노드들이 더 제공될 수 있다.

도 18은 제 1 예에 따른 노드들을 포함하는 반도체 패키지(P2a)를 보여준다. 도 16 내지 도 18을 참조하면, 노드들은 핀들(pins)일 수 있다. 복수의 핀들 중 일부는 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)에 할당될 수 있다. 복수의 핀들 중 나머지는 신호 및 전원 패드들(SP)과 전기적으로 연결될 수 있다.

도 19는 제 2 예에 따른 노드들을 포함하는 반도체 패키지(P2b)를 보여준다. 도 16, 도 17, 그리고 도 19를 참조하면, 노드들은 솔더 볼들(solder balls)일 수 있다. 복수의 솔더 볼들 중 일부는 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)에 할당될 수 있다. 복수의 솔더 볼들 중 나머지는 신호 및 전원 패드들(SP)과 전기적으로 연결될 수 있다.

도 20 및 도 21은 본 발명의 제 3 실시 예에 따른 반도체 패키지(P3)를 보여준다. 도 15의 반도체 패키지(P1)와 비교하면, 메모리 제어칩(100b)이 본 발명의 제 3 실시 예에 따른 반도체 패키지(P3)를 구성할 수 있다.

반도체 패키지(P3)에 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)이 제공될 수 있다. 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)은 제 a 내지 제 c 제어 칩 선택 패드들(CSPa~CSPc)과 각각 전기적으로 연결될 수 있다. 신호 및 전원 패드들(SP)과 도전선들(미도시)을 통해 연결되는 신호 및 전원 노드들이 더 제공될 수 있다.

도 18을 참조하여 설명된 바와 같이, 반도체 패키지(P3)의 복수의 노드들은 복수의 핀들(pins)일 수 있다. 복수의 핀들 중 일부는 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)에 할당되고, 나머지는 신호 및 전원 패드들(SP)과 전기적으로 연결될 수 있다.

도 19를 참조하여 설명된 바와 같이, 반도체 패키지(P3)의 복수의 노드들은 복수의 솔더 볼들(solder balls)일 수 있다. 복수의 핀들 중 일부는 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)에 할당되고, 나머지는 신호 및 전원 패드들(SP)과 전기적으로 연결될 수 있다.

도 22는 복수의 메모리 칩들(100a_1~100a_8)이 적층된 구조의 제 2 예를 보여준다. 도 22를 참조하면, 메모리 칩들(100a_1~100a_8)은 메모리 칩들(100a_1~100a_8)과 수직인 방향을 따라 적층될 수 있다. 예를 들어, 메모리 칩들(100a_1~100a_8)은 수직 기둥의 형태로 적층될 수 있다. 하층의 메모리 칩과 상층의 메모리 칩 사이에 공간이 제공될 수 있다. 예를 들어, 하층의 메모리 칩과 상층의 메모리 칩 사이에, 절연 물질로 충전된 공간이 제공될 수 있다.

메모리 칩들(100a_1~100a_8) 각각은 도 2를 참조하여 설명된 메모리 칩(100a)과 동일한 구조를 가질 수 있다. 메모리 칩들(100a_1~100a_8) 각각은 제 1 내지 제 3 칩 선택 패드들(CSP1, CSP2, CSP3)을 포함하고, 각 칩 선택 패드(CSP)는 정상 패드(NP) 및 반전 패드(IP)를 포함할 수 있다.

적층되는 메모리 칩들(100a_1~100a_8)의 수는 한정되지 않는다. 설명의 편의를 위하여, 8 개의 메모리 칩들(100a_1~100a_8)이 적층되는 것으로 가정된다.

도 23은 적층된 복수의 메모리 칩들(100a_1~100a_8)과 메모리 제어칩(100b)의 연결 구조의 제 2 예를 보여준다. 예시적으로, 설명의 편의를 위하여, 복수의 메모리 칩들(100a_1~100a_8)은 캐스케이드(cascade) 형태인 것과 같이 도시되어 있다.

도 23을 참조하면, 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 칩 선택 패드들(CSP1)의 정상 패드들(NP) 및 반전 패드들(IP) 중 하나의 패드들은 제 4 도전선들(CL4)에 연결되고 다른 하나의 패드들은 플로팅될 수 있다. 제 1 칩 선택 패드들(CSP1)은 도 5를 참조하여 설명된 것과 동일한 패턴들로 제 4 도전선들(CL4)과 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 2 칩 선택 패드들(CSP2)의 정상 패드들(NP) 및 반전 패드들(IP) 중 하나의 패드들은 제 5 도전선들(CL5)에 연결되고 다른 하나의 패드들은 플로팅될 수 있다. 제 2 칩 선택 패드들(CSP2)은 도 5를 참조하여 설명된 것과 동일한 패턴들로 제 5 도전선들(CL5)과 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 3 칩 선택 패드들(CSP3)의 정상 패드들(NP) 및 반전 패드들(IP) 중 하나의 패드들은 제 6 도전선들(CL6)에 연결되고 다른 하나의 패드들은 플로팅될 수 있다. 제 3 칩 선택 패드들(CSP3)은 도 5를 참조하여 설명된 것과 동일한 패턴들로 제 6 도전선들(CL6)과 연결될 수 있다.

제 4 도전선들(CL4)은 메모리 제어칩(100b)의 제 a 제어 칩 선택 패드(CSPa)에 공통으로 연결될 수 있다. 제 5 도전선들(CL5)은 메모리 제어칩(100b)의 제 b 제어 칩 선택 패드(CSPb)에 공통으로 연결될 수 있다. 제 6 도전선들(CL6)은 메모리 제어칩(100b)의 제 c 제어 칩 선택 패드(CSPc)에 공통으로 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8)은 도 7 내지 도 14를 참조하여 설명된 것과 동일한 방법으로 각각 독립적으로 선택될 수 있다.

제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 및 메모리 제어칩(100b)의 측면도의 제 2 예가 도 24에 도시되어 있다. 도 23 및 도 24를 참조하면, 제 6 도전선들(CL6)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 3 칩 선택 패드들(CSP3)과 각각 결합될 수 있다.

제 6 도전선들(CL6)과 마찬가지로, 제 4 도전선들(CL4)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 1 칩 선택 패드들(CSP1)과 각각 연결될 수 있다. 제 5 도전선들(CL5)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 제 2 칩 선택 패드들(CSP2)과 각각 연결될 수 있다.

도 25는 본 발명의 제 4 실시 예에 따른 반도체 패키지(P4)를 보여준다. 도 25를 참조하면, 반도체 패키지(P4)는 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 및 메모리 제어칩(100b)을 포함한다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 각각은 도 2의 메모리 칩(100a)과 동일한 구조를 가질 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)은 수직 기둥 형태로 적층될 수 있다. 제어칩(100b)은 도 3의 제어칩(100b)과 동일한 구조를 가질 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8) 및 메모리 제어칩(100b)은 도 23 및 도 24를 참조하여 설명된 것과 동일하게 연결될 수 있다.

메모리 제어칩(100b)은 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)의 수 보다 적은 수의 신호들을 이용하여 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)을 각각 독립적으로 선택할 수 있다. 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)을 각각 적어도 하나 또는 그 이상의 칩 선택 패드들을 포함하고, 각 칩 선택 패드는 정상 패드 및 반전 패드를 포함할 수 있다. 각 칩 선택 패드의 정상 패드 및 반전 패드 중 하나는 도전선과 연결되고 다른 하나는 플로팅될 수 있다.

패키지(P4)에 복수의 노드들(미도시)이 제공될 수 있다. 예를 들어, 복수의 노드들(미도시)은 복수의 솔더 볼들(solder balls) 또는 복수의 핀들(pins)일 수 있다. 복수의 노드들(미도시)은 메모리 제어칩(100b) 또는 제 1 내지 제 8 메모리 칩들(100a_1~100a_8)과 전기적으로 연결될 수 있다. 패키지(P4)는 복수의 노드들을 통해 외부와 신호를 교환할 수 있다.

도 26 및 도 27은 본 발명의 제 5 실시 예에 따른 반도체 패키지(P5)를 보여준다. 도 25의 반도체 패키지(P4)와

비교하면, 적층된 제 1 내지 제 8 메모리 칩들(100a₁~100a₈)이 본 발명의 제 5 실시 예에 따른 반도체 패키지(P5)를 구성할 수 있다.

반도체 패키지(P5)에 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)이 제공될 수 있다. 제 4 도전선들(CL4)은 제 1 칩 선택 노드(CSN1)와 연결되고, 제 5 도전선들(CL5)은 제 2 칩 선택 노드(CSN2)와 연결되고, 그리고 제 6 도전선들(CL6)은 제 3 칩 선택 노드(CSN3)와 연결될 수 있다. 신호 및 전원 패드들(SP)과 도전선들(미도시)을 통해 연결되는 신호 및 전원 노드들이 더 제공될 수 있다.

도 18을 참조하여 설명된 바와 같이, 반도체 패키지(P5)의 복수의 노드들은 복수의 핀들(pins)일 수 있다. 복수의 핀들 중 일부는 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)에 할당되고, 나머지는 신호 및 전원 패드들(SP)과 전기적으로 연결될 수 있다.

도 19를 참조하여 설명된 바와 같이, 반도체 패키지(P5)의 복수의 노드들은 복수의 솔더 볼들(solder balls)일 수 있다. 복수의 핀들 중 일부는 제 1 내지 제 3 칩 선택 노드들(CSN1~CSN3)에 할당되고, 나머지는 신호 및 전원 패드들(SP)과 전기적으로 연결될 수 있다.

도 28은 본 발명의 제 2 실시 예에 따른 반도체 칩(100c)을 보여준다. 도 25를 참조하면, 반도체 칩(100c)에 복수의 패드들이 제공된다. 복수의 패드들은 반도체 칩(100c)의 상면 전체에 걸쳐 제공될 수 있다. 반도체 칩(100c)은 메모리 칩 또는 비메모리 칩을 포함할 수 있다. 비메모리 칩은 메모리 칩을 제어하도록 구성되는 메모리 제어칩을 포함할 수 있다.

도 29는 본 발명의 제 2 예에 따른 메모리 칩(100d)을 보여준다. 도 30은 도 29의 'XXX-XXX' 선에 따른 단면도이다. 도 29 및 도 30을 참조하면, 메모리 칩(100d)에 제 1 내지 제 3 칩 선택 입력들(CSI1~CSI3)이 제공된다.

제 2 칩 선택 입력(CSI2)은 메모리 칩(100d)의 상면에 제공되는 제 2 칩 선택 패드(CSP2), 메모리 칩(100d)의 하면에 제공되는 제 2 칩 선택 솔더 범프(CSB2, solder bump), 메모리 칩(100d)을 관통하여 제 2 칩 선택 패드(CSP2)와 제 2 칩 선택 솔더 범프(CSB2)를 전기적으로 연결하는 제 2 관통 실리콘 비아(TSV2), 메모리 칩(100d)의 상면에 제공되고 제 2 관통 실리콘 비아(TSV2)와 각각 전기적으로 연결되는 제 1 및 제 2 퓨즈들(F1, F2), 제 1 및 제 2 퓨즈들(F1, F2)과 각각 전기적으로 연결되는 정상 입력(NI) 및 반전 입력(II)을 포함한다.

제 1 및 제 3 칩 선택 입력들(CSI1, CSI3)은 제 2 칩 선택 입력(CSI2)과 동일한 구조를 가질 수 있다.

제 1 및 제 2 퓨즈들(F1, F2)은 레이저 퓨즈 또는 전기 퓨즈일 수 있다. 제 1 및 제 2 퓨즈들(F1, F2)은 메모리 칩(100d)에 매립되어 상면을 노출하도록 형성될 수 있다. 제 1 및 제 2 퓨즈들(F1, F2)은 메모리 칩(100d) 내부에 매립되도록 형성될 수 있다.

제 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3) 및 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)은 제 1 내지 제 3 관통 실리콘 비아들(TSV1~TSV3)을 통해 직접 연결되지 않을 수 있다. 예시적으로, 제 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3)과 제 1 내지 제 3 관통 실리콘 비아들(TSV1~TSV3)은 도전선들을 통해 각각 전기적으로 연결될 수 있다. 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)과 제 1 내지 제 3 관통 실리콘 비아들(TSV1~TSV3)은 도전선들을 통해 각각 전기적으로 연결될 수 있다.

메모리 칩(100d)의 상면에, 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3) 외의 다른 패드들이 제공될 수 있다. 패드들은 메모리 칩(100d)의 상면 전체에 걸쳐 제공될 수 있다.

메모리 칩(100d)의 하면에, 제 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3) 외의 다른 솔더 범프들이 제공될 수 있다. 솔더 범프들은 메모리 칩(100d)의 하면 전체에 걸쳐 제공될 수 있다.

메모리 칩(100d)에 제공되는 칩 선택 입력들(CSI1~CSI3)의 수는 한정되지 않는다.

도 31은 복수의 메모리 칩들(100d₁~100d₈)이 적층된 구조의 제 3 예를 보여준다. 도 31을 참조하면, 복수의 메모리 칩들(100d₁~100d₈)은 수직 기둥 형태로 적층될 수 있다. 예를 들어, 제 1 내지 제 8 메모리 칩들(100d₁~100d₈)이 적층될 수 있다. 적층되는 메모리 칩들의 수는 한정되지 않는다.

제 1 내지 제 8 메모리 칩들(100d₁~100d₈) 각각은 도 30의 메모리 칩(100d)과 동일한 구조를 가질 수 있다. 하층의 메모리 칩의 칩 선택 패드들(CSP1~CSP3)은 상층의 메모리 칩의 칩 선택 솔더 범프들(CSB1~CSB3)과 각각 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100d_1~100d_8)의 제 1 칩 선택 솔더 범프들(CSB1), 제 1 관통 실리콘 비아들(TSV1), 그리고 제 1 칩 선택 패드들(CSP1)은 서로 전기적으로 연결될 수 있다. 제 1 내지 제 8 메모리 칩들(100d_1~100d_8)의 제 2 칩 선택 솔더 범프들(CSB2), 제 2 관통 실리콘 비아들(TSV2), 그리고 제 2 칩 선택 패드들(CSP2)은 서로 전기적으로 연결될 수 있다. 제 1 내지 제 8 메모리 칩들(100d_1~100d_8)의 제 3 칩 선택 솔더 범프들(CSB3), 제 3 관통 실리콘 비아들(TSV3), 그리고 제 3 칩 선택 패드들(CSP3)은 서로 전기적으로 연결될 수 있다.

각 메모리 칩에서, 제 1 및 제 2 퓨즈들(F1, F2) 중 하나는 커팅되고 다른 하나는 연결 상태를 유지할 수 있다. 각 메모리 칩에서 제 1 퓨즈(F1)가 커팅될 수 있다. 이때, 각 메모리 칩의 정상 입력(NI)은 플로팅되고 반전 입력(II)에 신호가 전달될 수 있다. 각 메모리 칩에서 제 2 퓨즈(F2)가 커팅될 수 있다. 이때, 각 메모리 칩의 정상 입력(NI)에 신호가 전달되고 반전 입력(II)이 플로팅될 수 있다.

즉, 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3), 제 1 내지 제 3 관통 실리콘 비아들(TSV1~TSV3), 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3), 그리고 제 1 및 제 2 퓨즈들(F1, F2)은 도 5의 제 4 내지 제 6 도전선들(CL4~CL6)에 대응할 수 있다. 정상 입력들(NI) 및 반전 입력들(II)은 도 5의 정상 패드들(NP) 및 반전 패드들(IP)에 대응할 수 있다.

도 2를 참조하여 설명된 바와 같이, 각 칩 선택 입력의 정상 입력(NI)은 제 1 도전선(CL1)에 연결되고, 반전 입력(II)은 인버터(INV)를 통해 제 2 도전선(CL2)에 연결될 수 있다. 제 1 및 제 2 도전선들(CL1, CL2)은 제 3 도전선(CL3)에 연결될 수 있다. 각 메모리 칩의 제 3 도전선들(CL3)은 논리 게이트(LG)에 입력될 수 있다. 논리 게이트(LG)의 출력은 칩 선택 신호(CS)일 수 있다.

도 7 내지 도 14를 참조하여 설명된 것과 같이, 제 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3), 제 1 내지 제 3 관통 실리콘 비아들(TSV1~TSV3), 그리고 제 1 내지 제 3 칩 선택 패드들(CSP1~CSP3)을 통해 다양한 패턴들을 갖는 신호들이 전송될 수 있다. 신호들의 패턴들에 따라, 제 1 내지 제 8 메모리 칩들(100d_1~100d_8)이 각각 독립적으로 선택될 수 있다.

도 25를 참조하여 설명된 것과 같이, 제 1 내지 제 8 메모리 칩들(100d_1~100d_8)은 메모리 제어칩(100b)과 함께 반도체 패키지를 구성할 수 있다. 메모리 제어칩(100b)의 제어 칩 선택 패드들(CSPa~CSPc)은 제 1 메모리 칩(100d_1)의 제 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3)과 각각 전기적으로 연결될 수 있다.

도 26을 참조하여 설명된 것과 같이, 제 1 내지 제 8 메모리 칩들(100d_1~100d_8)은 반도체 패키지를 구성할 수 있다. 반도체 패키지의 칩 선택 노드들은 제 1 메모리 칩(100d_1)의 제 1 내지 제 3 칩 선택 솔더 범프들(CSB1~CSB3)과 각각 전기적으로 연결될 수 있다.

도 32는 본 발명의 제 3 예에 따른 메모리 칩(100e)을 보여준다. 도 32를 참조하면, 도 1을 참조하여 설명된 바와 같이, 메모리 칩(100e)의 상면의 일부분에 패드들이 제공될 수 있다.

메모리 칩(100e)은 복수의 신호 및 전원 패드들(SP), 그리고 복수의 칩 선택 패드들(CSPd~CSPf), 그리고 논리 게이트(LG)를 포함한다. 논리 게이트(LG)는 복수의 칩 선택 패드들(CSPd~CSPf)의 신호들의 논리곱을 계산하도록 구성된다. 논리 게이트(LG)의 출력은 칩 선택 신호(CS)일 수 있다.

도 33은 본 발명의 제 2 예에 따른 메모리 제어칩(100f)을 보여준다. 도 33을 참조하면, 메모리 제어칩(100f)은 복수의 신호 및 전원 패드들(SP)과 복수의 제어 칩 선택 패드들(CSP4~CSP6)을 포함한다. 각 제어 칩 선택 패드는 정상 패드(NP) 및 반전 패드(IP)를 포함할 수 있다. 각 제어 칩 선택 패드의 정상 패드(NP) 및 반전 패드(IP)를 통해 차동 신호(differential signal)가 출력될 수 있다.

도 34는 적층된 복수의 메모리 칩들(100e_1~100e_8)과 메모리 제어칩(100f)의 연결 구조의 제 3 예를 보여준다. 예시적으로, 도 4를 참조하여 설명된 것과 같이, 복수의 메모리 칩들(100e_1~100e_8)은 캐스케이드(cascade) 형태로 적층될 수 있다.

도 34를 참조하면, 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)의 특정한 칩 선택 패드들은 메모리 제어칩(100f)의 특정한 제어 칩 선택 패드에 전기적으로 연결될 수 있다. 특정한 칩 선택 패드들 중 일부는 특정한 제어 칩 선택 패드의 정상 패드(NP)에 전기적으로 연결되고 나머지 일부는 반전 패드(IP)에 전기적으로 연결될 수 있다. 정상 패드(NP)에 연결되는 칩 선택 패드들은 하나의 도전선을 통해 정상 패드(NP)에 공통으로 연결될 수 있다. 반전 패드(IP)에 연결되는 칩 선택 패드들은 하나의 도전선을 통해 반전 패드(IP)에 공통으로 연결될 수 있다. 즉, 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)과 메모리 제어칩(100f)을 연결하는 도전선들은 제 1 내

지 제 8 메모리 칩들(100e_1~100e_8)에 의해 고정될 수 있다.

제 1 내지 제 8 메모리 칩들(100e_1~100e_8)은 서로 다른 패턴들을 통해 메모리 제어칩(100f)의 정상 패드들(NP) 및 반전 패드들(IP)을 포함하는 제 4 내지 제 6 제어 칩 선택 패드들(CSP4~CSP6)에 전기적으로 연결될 수 있다.

각 메모리 칩은 칩 선택 패드들(CSPd~CSPf)의 신호들의 논리값을 칩 선택 신호(CS)로 출력한다. 칩 선택 패드들(CSPd~CSPf) 중 적어도 하나에 '0'이 입력되면, 칩 선택 신호(CS)는 비활성화된다.

메모리 제어칩(100f)은 제 4 내지 제 6 제어 칩 선택 패드들(CSP4~CSP6)의 정상 패드들(NP)을 통해 다양한 패턴들을 갖는 신호들을 출력할 수 있다. 정상 패드들(NP)을 통해 출력되는 신호들의 반전 신호들이 반전 패드들(IP)을 통해 출력될 수 있다.

제 1 내지 제 8 메모리 칩들(100e_1~100e_8)은 도 7 내지 도 14를 참조하여 설명된 것과 동일한 방법으로 각각 독립적으로 선택될 수 있다. 예시적으로, 제 4 내지 제 6 제어 칩 선택 패드들(CSP4~CSP6)의 정상 패드들(NP)을 통해 '111'이 공급될 때, 제 1 메모리 칩(100e_1)이 선택될 수 있다. 정상 패드들(NP)을 통해 '110', '101', '100', '011', '010', '001', '000'이 공급될 때, 제 2 내지 제 8 메모리 칩들(100e_2~100e_8)이 각각 독립적으로 선택될 수 있다.

n 개의 신호들은 서로 다른 2^n 개의 패턴들을 갖는다. n 개의 신호선들을 이용하여, 2^n 개의 메모리 칩들이 각각 독립적으로 선택될 수 있다. 즉, 메모리 칩들의 수 보다 적은 수의 신호들을 이용하여, 메모리 칩들이 각각 독립적으로 선택될 수 있다.

도 15를 참조하여 설명된 것과 같이, 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)은 메모리 제어칩(100f)과 함께 반도체 패키지를 구성할 수 있다. 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)과 메모리 제어칩(100f)은 도 34에 도시된 바와 같이 서로 연결될 수 있다.

도 16에 도시된 바와 같이, 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)은 반도체 패키지를 구성할 수 있다. 도 20에 도시된 바와 같이, 메모리 제어칩(100f)은 반도체 패키지를 구성할 수 있다.

도 35는 반도체 패키지를 구성하는 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)의 연결 관계의 제 1 예를 보여준다. 도 35를 참조하면, 제 1 내지 제 8 메모리 칩들(100e_1~100e_8)의 칩 선택 패드들(CSPd~CSPf)은 제 3 내지 제 6 칩 선택 노드들(CSN3~CSN6)에 전기적으로 연결된다. 각 칩 선택 노드는 정상 노드(NN) 및 반전 노드(IN)를 포함할 수 있다. 도 34와 비교하면, 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)의 정상 노드들(NN) 및 반전 노드들(IN)은 메모리 제어칩(100f)의 제어 칩 선택 패드들(CSP4~CSP6)의 정상 패드들(NP) 및 반전 패드들(IP)에 각각 대응할 수 있다.

도 36은 제 1 내지 제 8 메모리 칩들(100e_1~100e_8) 또는 메모리 제어칩(100f)을 포함하는 반도체 패키지의 제 1 예를 보여준다. 도 34 내지 도 35를 참조하면, 반도체 패키지(P6a)는 복수의 노드들을 포함한다. 복수의 노드들은 복수의 핀들(pins)일 수 있다.

제 1 내지 제 8 메모리 칩들(100e_1~100e_8)이 반도체 패키지(P6a)를 구성할 때, 복수의 핀들 중 일부는 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)의 정상 노드들(NN) 및 반전 노드들(IN)일 수 있다.

메모리 제어칩(100f)이 반도체 패키지(P6a)를 구성할 때, 복수의 핀들 중 일부는 제 4 내지 제 6 제어 칩 선택 패드들(CSP4~CSP6)의 정상 패드들(NP) 및 반전 패드들(IP)과 연결될 수 있다.

도 37은 제 1 내지 제 8 메모리 칩들(100e_1~100e_8) 또는 메모리 제어칩(100f)을 포함하는 반도체 패키지의 제 1 예를 보여준다. 도 34 내지 도 35를 참조하면, 반도체 패키지(P6b)는 복수의 노드들을 포함한다. 복수의 노드들은 복수의 솔더 볼들(solder balls)일 수 있다.

제 1 내지 제 8 메모리 칩들(100e_1~100e_8)이 반도체 패키지(P6b)를 구성할 때, 복수의 솔더 볼들 중 일부는 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)의 정상 노드들(NN) 및 반전 노드들(IN)일 수 있다.

메모리 제어칩(100f)이 반도체 패키지(P6b)를 구성할 때, 복수의 솔더 볼들 중 일부는 제 4 내지 제 6 제어 칩 선택 패드들(CSP4~CSP6)의 정상 패드들(NP) 및 반전 패드들(IP)과 연결될 수 있다.

도 38은 적층된 복수의 메모리 칩들(100e_1~100e_8)과 메모리 제어칩(100f)의 연결 구조의 제 4 예를 보여준다. 예시적으로, 도 22를 참조하여 설명된 것과 같이, 복수의 메모리 칩들(100e_1~100e_8)은 수직 기둥의 형태로 적

층될 수 있다.

도 38을 참조하면, 제 1 내지 제 8 메모리 칩들(100e₁~100e₈)의 특정한 칩 선택 패드들은 메모리 제어칩(100f)의 특정한 제어 칩 선택 패드에 전기적으로 연결될 수 있다. 특정한 칩 선택 패드들 중 일부는 특정한 제어 칩 선택 패드의 정상 패드(NP)에 전기적으로 연결되고 나머지 일부는 반전 패드(IP)에 전기적으로 연결될 수 있다. 정상 패드(NP)에 연결되는 칩 선택 패드들은 복수의 도전선들을 통해 정상 패드(NP)에 각각 연결될 수 있다. 반전 패드(IP)에 연결되는 칩 선택 패드들은 복수의 도전선들을 통해 반전 패드(IP)에 각각 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100e₁~100e₈)은 서로 다른 패턴들을 통해 메모리 제어칩(100f)의 정상 패드들(NP) 및 반전 패드들(IP)을 포함하는 제 4 내지 제 6 제어 칩 선택 패드들(CSP4~CSP6)에 전기적으로 연결될 수 있다.

제 1 내지 제 8 메모리 칩들(100e₁~100e₈)은 도 7 내지 도 14를 참조하여 설명된 것과 동일한 방법으로 각각 독립적으로 선택될 수 있다. 메모리 칩들의 수 보다 적은 수의 신호들을 이용하여, 메모리 칩들이 각각 독립적으로 선택될 수 있다.

도 25를 참조하여 설명된 것과 같이, 제 1 내지 제 8 메모리 칩들(100e₁~100e₈)은 메모리 제어칩(100f)과 함께 반도체 패키지를 구성할 수 있다. 제 1 내지 제 8 메모리 칩들(100e₁~100e₈)과 메모리 제어칩(100f)은 도 38에 도시된 바와 같이 서로 연결될 수 있다.

도 26에 도시된 바와 같이, 제 1 내지 제 8 메모리 칩들(100e₁~100e₈)은 반도체 패키지를 구성할 수 있다.

도 39는 반도체 패키지를 구성하는 제 1 내지 제 8 메모리 칩들(100e₁~100e₈)의 연결 관계의 제 2 예를 보여준다. 도 39를 참조하면, 제 1 내지 제 8 메모리 칩들(100e₁~100e₈)의 칩 선택 패드들(CSPd~CSPf)은 제 3 내지 제 6 칩 선택 노드들(CSN3~CSN6)에 전기적으로 연결된다. 각 칩 선택 노드는 정상 노드(NN) 및 반전 노드(IN)를 포함할 수 있다. 도 38과 비교하면, 제 4 내지 제 6 칩 선택 노드들(CSN4~CSN6)의 정상 노드들(NN) 및 반전 노드들(IN)은 메모리 제어칩(100f)의 제어 칩 선택 패드들(CSP4~CSP6)의 정상 패드들(NP) 및 반전 패드들(IP)에 각각 대응할 수 있다.

반도체 패키지의 노드들은 도 36 또는 도 37과 같이 구성될 수 있다.

도 40은 본 발명의 제 4 예에 따른 메모리 칩(100a')을 보여준다. 도 2의 메모리 칩(100a)과 비교하면, 논리 게이트(LG)는 노어(NOR) 연산을 수행할 수 있다. 즉, 칩 선택 패드들(CSP1~CSP3)의 정상 패드들(NP)에 '0'이 입력되거나 반전 패드들(IP)에 '1'이 입력될 때, 칩 선택 신호(CS)는 활성화될 수 있다. 도 1 내지 도 39를 참조하여 설명된 바와 같이, 메모리 칩(100a')은 다양한 형태의 패키지를 형성할 수 있다.

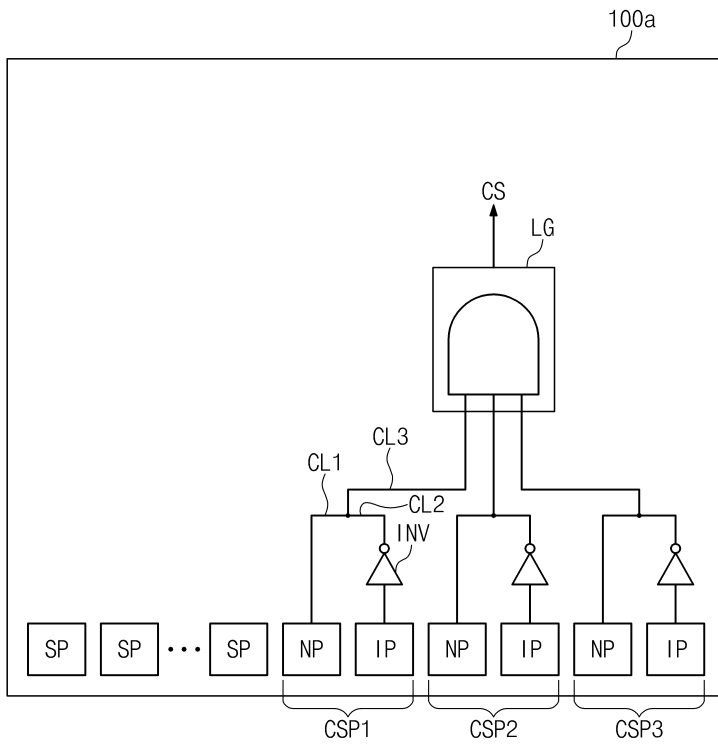
도 41은 본 발명의 제 5 예에 따른 메모리 칩(100e')을 보여준다. 도 32의 메모리 칩(100e)과 비교하면, 논리 게이트(LG)는 노어(NOR) 연산을 수행할 수 있다. 즉, 칩 선택 패드들(CSPd~CSPf)에 '0'이 입력될 때, 칩 선택 신호(CS)는 활성화될 수 있다. 도 1 내지 도 39를 참조하여 설명된 바와 같이, 메모리 칩(100e')은 다양한 형태의 패키지를 형성할 수 있다.

도 42는 본 발명의 제 1 실시 예에 따른 메모리 카드를 보여준다. 메모리 카드는 기관, 메모리 및 제어기 패키지, 그리고 커넥터를 포함할 수 있다. 메모리 및 제어기 패키지는 메모리 칩들 및 제어 칩을 포함할 수 있다. 제어 칩은 메모리 칩들의 수 보다 적은 수의 신호들을 이용하여 메모리 칩들을 각각 독립적으로 선택할 수 있다. 메모리 및 제어기 패키지는 도 1 내지 도 41을 참조하여 설명된 메모리 칩들 및 제어칩을 포함할 수 있다. 메모리 및 제어기 패키지는 커넥터를 통해 외부와 통신할 수 있다.

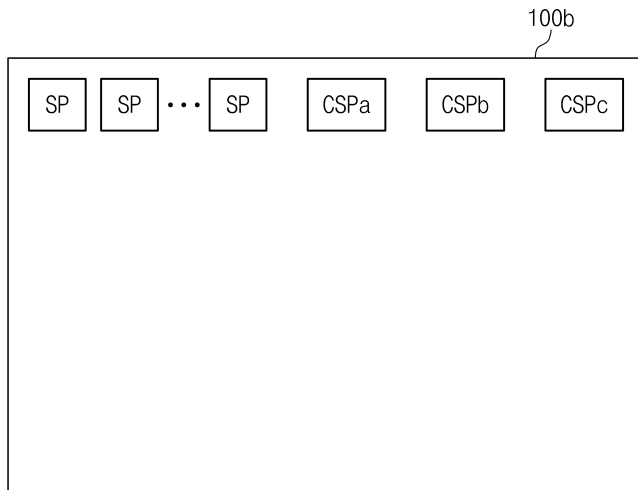
도 43은 본 발명의 제 2 실시 예에 따른 메모리 카드를 보여준다. 메모리 카드는 기관, 메모리 패키지, 제어기 패키지, 그리고 커넥터를 포함할 수 있다. 메모리 패키지는 메모리 칩들을 포함할 수 있다. 메모리 패키지는 도 1 내지 도 41을 참조하여 설명된 메모리 칩들을 포함할 수 있다. 제어기 패키지는 제어칩을 포함할 수 있다. 제어기 패키지는 도 1 내지 도 41을 참조하여 설명된 제어칩을 포함할 수 있다. 제어기 패키지는 메모리 패키지의 메모리 칩들의 수 보다 적은 수의 신호들을 이용하여, 메모리 패키지의 메모리 칩들을 각각 독립적으로 선택할 수 있다. 메모리 패키지 또는 제어기 패키지는 커넥터를 통해 외부와 통신할 수 있다.

도 42 또는 도 43의 메모리 카드는 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC,

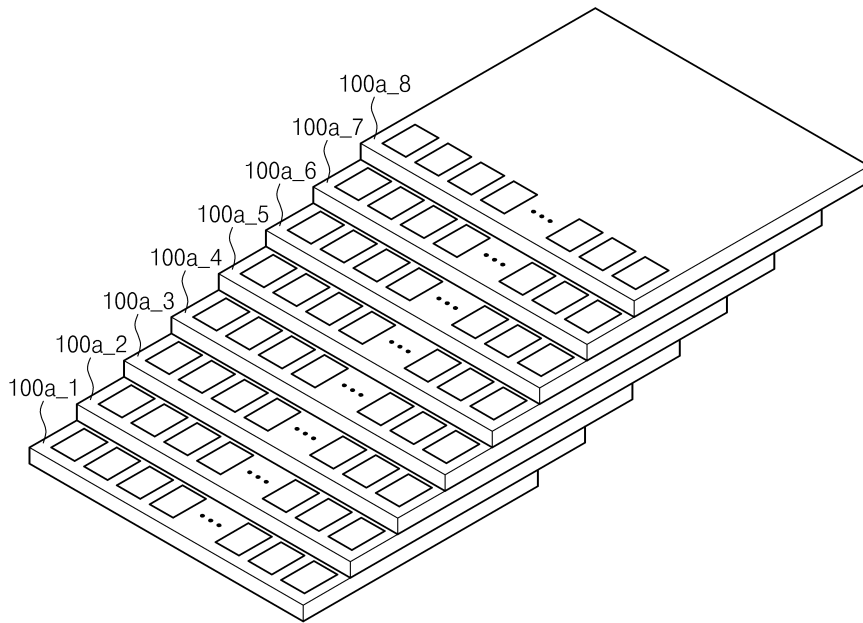
도면2



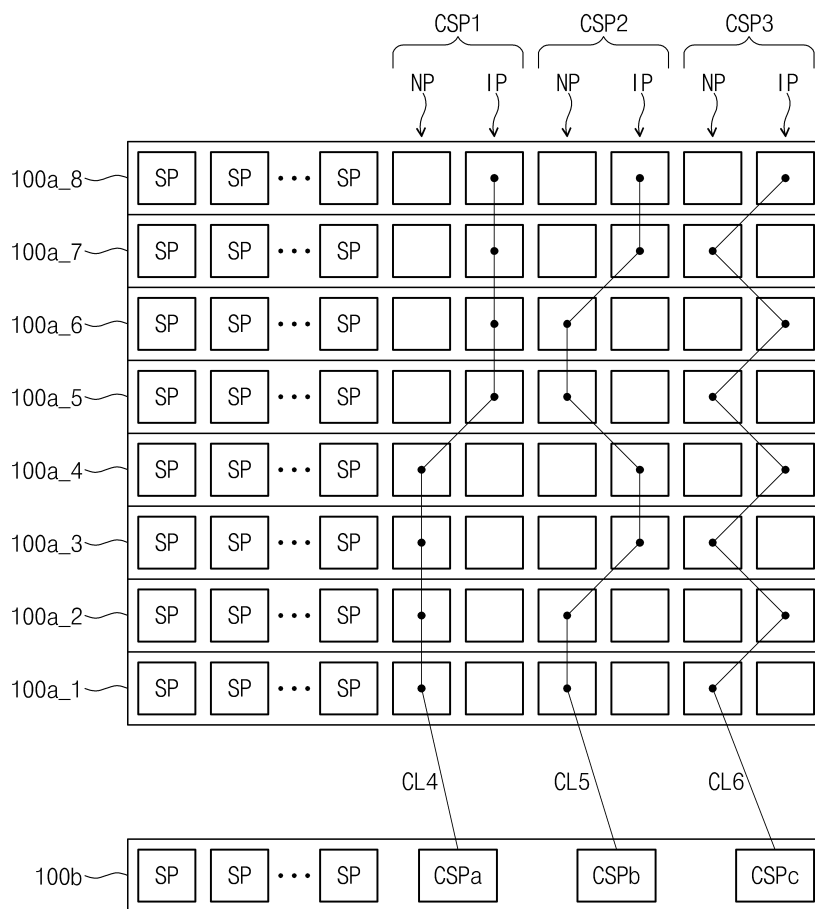
도면3



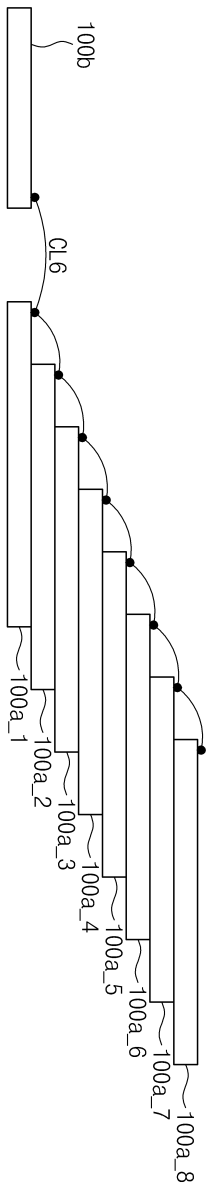
도면4



도면5



도면6



도면7

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	1	F	1	F	1	0
100a_7	F	1	F	1	1	F	0
100a_6	F	1	1	F	F	1	0
100a_5	F	1	1	F	1	F	0
100a_4	1	F	F	1	F	1	0
100a_3	1	F	F	1	1	F	0
100a_2	1	F	1	F	F	1	0
100a_1	1	F	1	F	1	F	1

(CSPa, CSPb, CSPc)=(1, 1, 1)

도면8

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	1	F	1	F	0	0
100a_7	F	1	F	1	0	F	0
100a_6	F	1	1	F	F	0	0
100a_5	F	1	1	F	0	F	0
100a_4	1	F	F	1	F	0	0
100a_3	1	F	F	1	0	F	0
100a_2	1	F	1	F	F	0	1
100a_1	1	F	1	F	0	F	0

(CSPa, CSPb, CSPc)=(1, 1, 0)

도면9

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	1	F	0	F	1	0
100a_7	F	1	F	0	1	F	0
100a_6	F	1	0	F	F	1	0
100a_5	F	1	0	F	1	F	0
100a_4	1	F	F	0	F	1	0
100a_3	1	F	F	0	1	F	1
100a_2	1	F	0	F	F	1	0
100a_1	1	F	0	F	1	F	0

(CSPa, CSPb, CSPc)=(1, 0, 1)

도면10

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	1	F	0	F	0	0
100a_7	F	1	F	0	0	F	0
100a_6	F	1	0	F	F	0	0
100a_5	F	1	0	F	0	F	0
100a_4	1	F	F	0	F	0	1
100a_3	1	F	F	0	0	F	0
100a_2	1	F	0	F	F	0	0
100a_1	1	F	0	F	0	F	0

(CSPa, CSPb, CSPc)=(1, 0, 0)

도면11

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	0	F	1	F	1	0
100a_7	F	0	F	1	1	F	0
100a_6	F	0	1	F	F	1	0
100a_5	F	0	1	F	1	F	1
100a_4	0	F	F	1	F	1	0
100a_3	0	F	F	1	1	F	0
100a_2	0	F	1	F	F	1	0
100a_1	0	F	1	F	1	F	0

(CSPa, CSPb, CSPc)=(0, 1, 1)

도면12

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	0	F	1	F	0	0
100a_7	F	0	F	1	0	F	0
100a_6	F	0	1	F	F	0	1
100a_5	F	0	1	F	0	F	0
100a_4	0	F	F	1	F	0	0
100a_3	0	F	F	1	0	F	0
100a_2	0	F	1	F	F	0	0
100a_1	0	F	1	F	0	F	0

(CSPa, CSPb, CSPc)=(0, 1, 0)

도면13

	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	0	F	0	F	1	0
100a_7	F	0	F	0	1	F	1
100a_6	F	0	0	F	F	1	0
100a_5	F	0	0	F	1	F	0
100a_4	0	F	F	0	F	1	0
100a_3	0	F	F	0	1	F	0
100a_2	0	F	0	F	F	1	0
100a_1	0	F	0	F	1	F	0

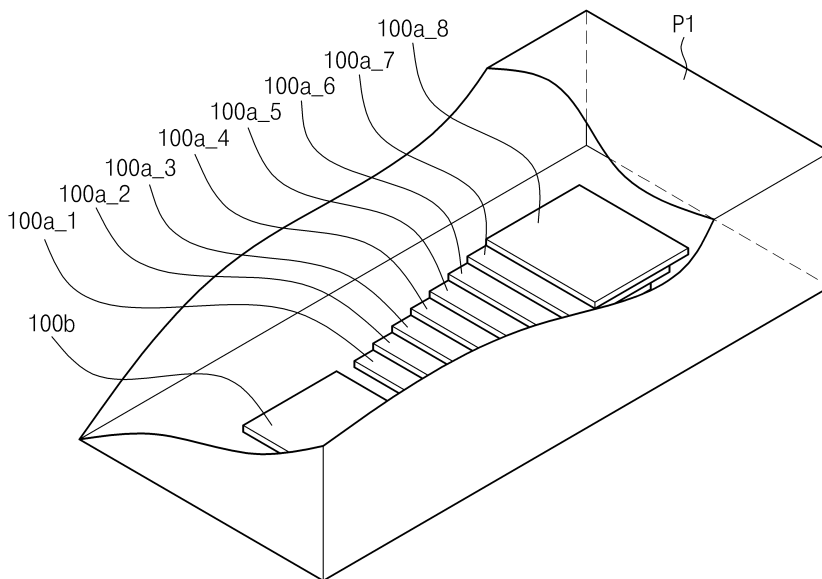
(CSPa, CSPb, CSPc)=(0, 0, 1)

도면14

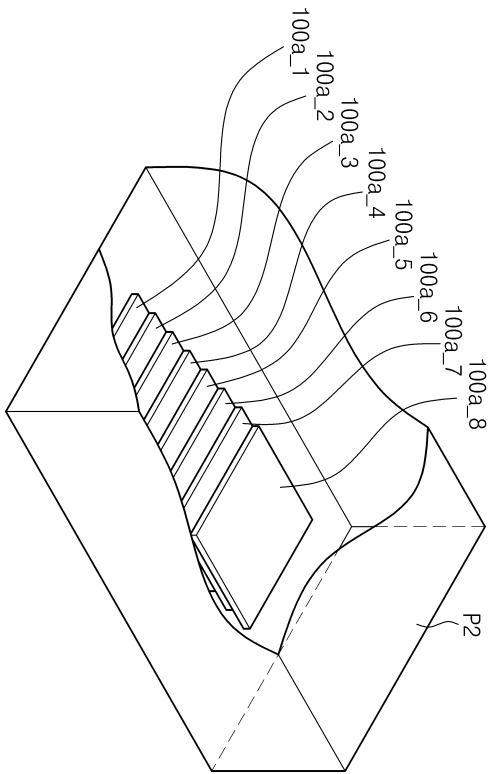
	CSP1		CSP2		CSP3		CS
	NP	IP	NP	IP	NP	IP	
100a_8	F	0	F	0	F	0	1
100a_7	F	0	F	0	0	F	0
100a_6	F	0	0	F	F	0	0
100a_5	F	0	0	F	0	F	0
100a_4	0	F	F	0	F	0	0
100a_3	0	F	F	0	0	F	0
100a_2	0	F	0	F	F	0	0
100a_1	0	F	0	F	0	F	0

(CSPa, CSPb, CSPc)=(0, 0, 0)

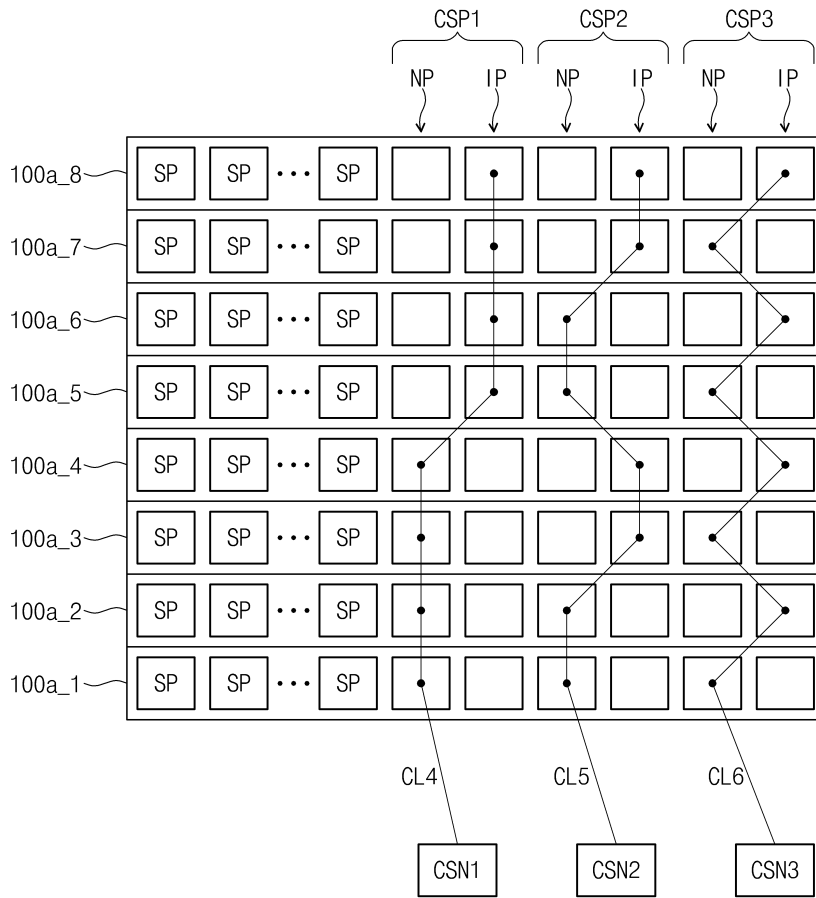
도면15



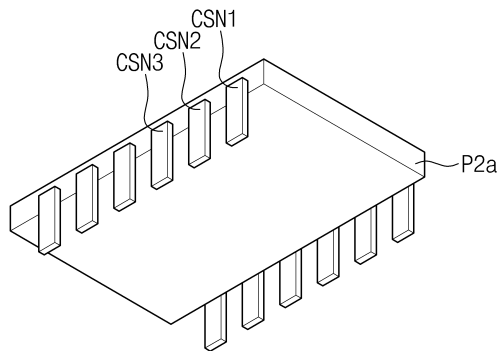
도면16



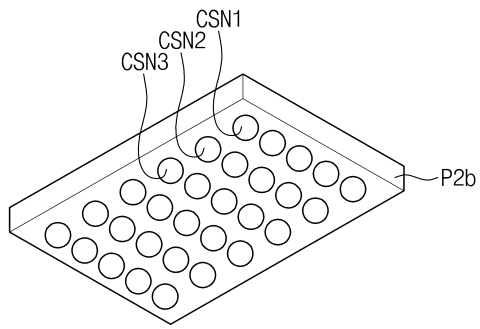
도면17



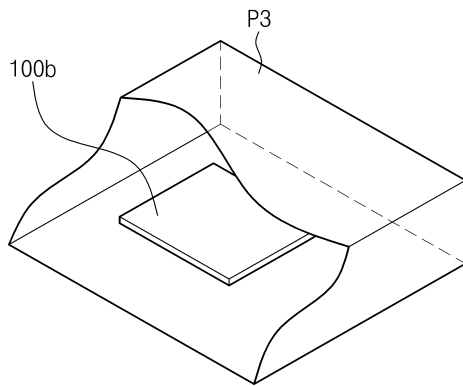
도면18



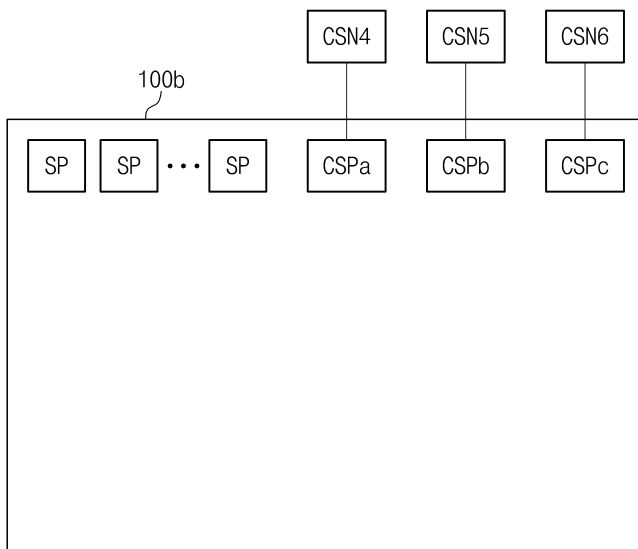
도면19



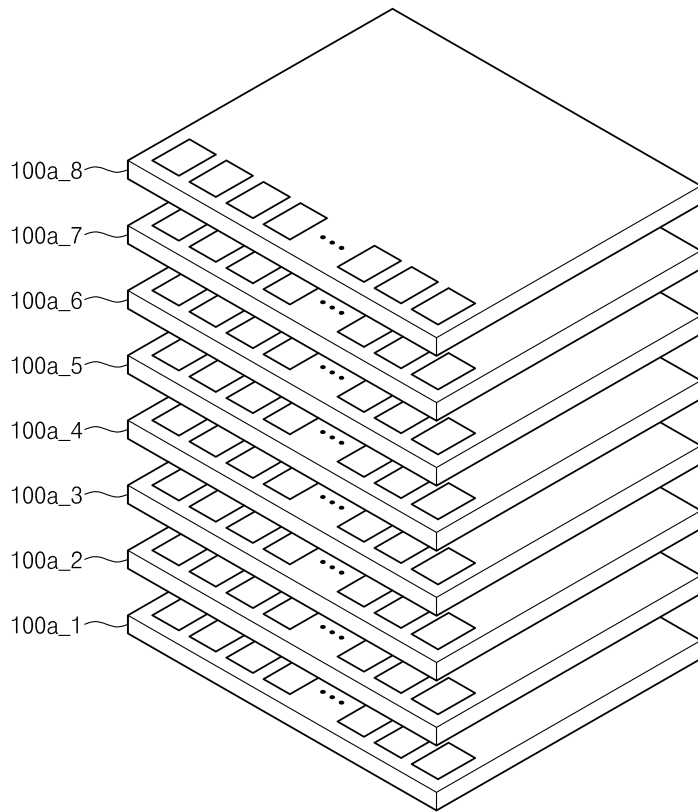
도면20



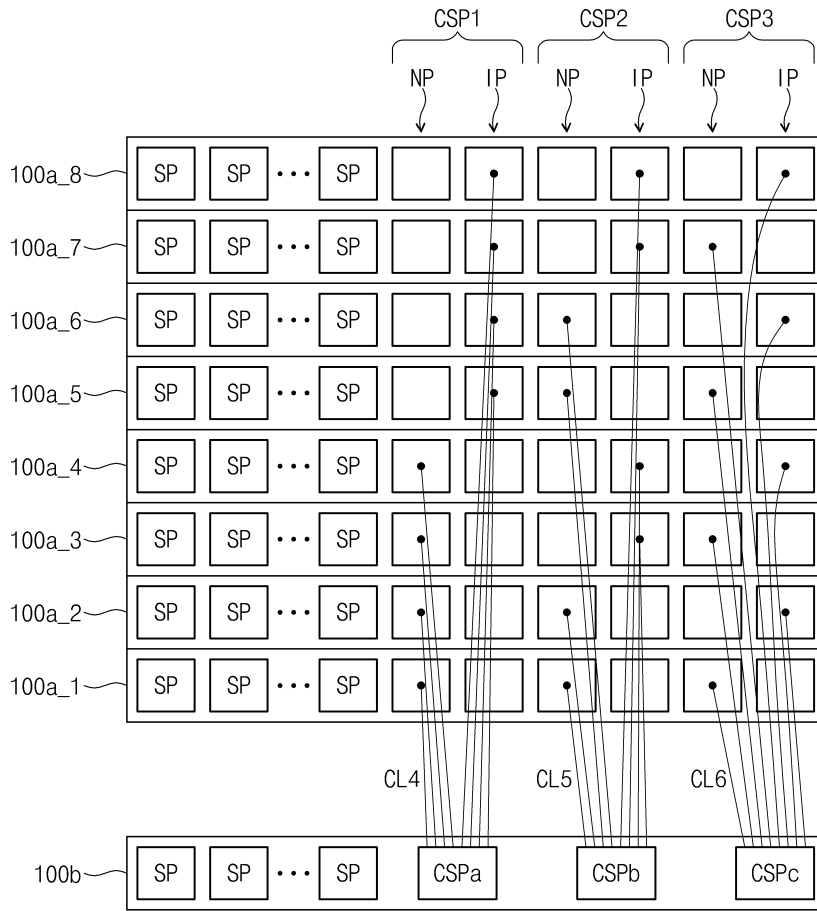
도면21



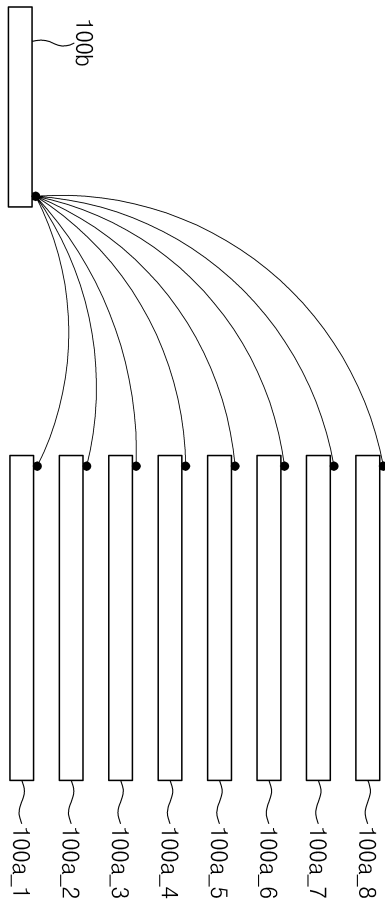
도면22



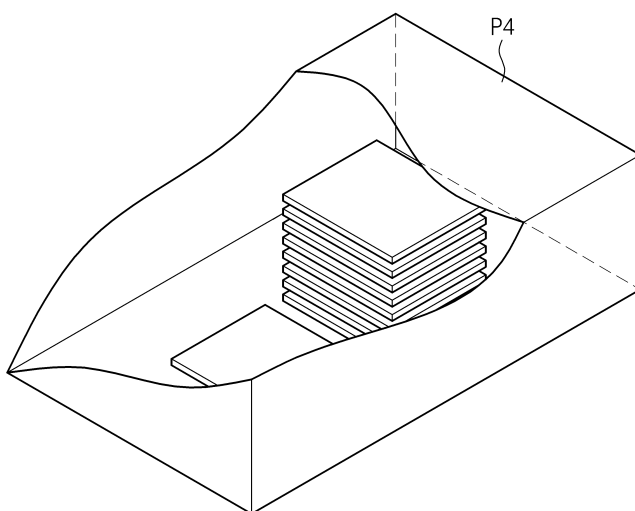
도면23



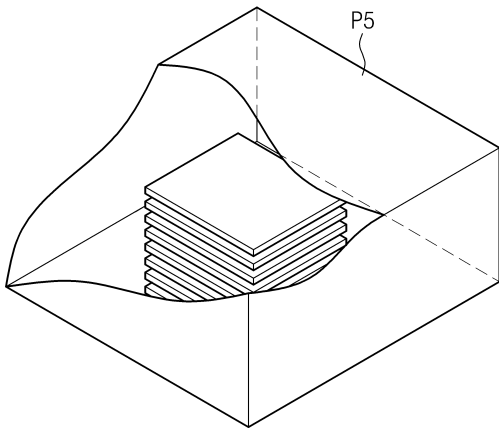
도면24



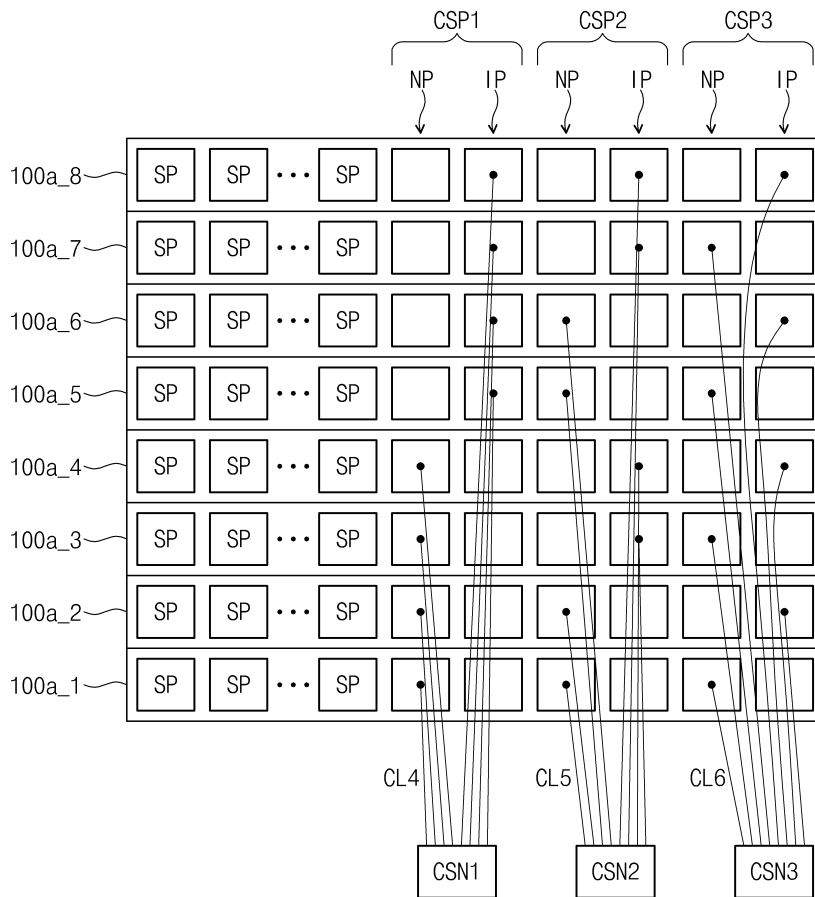
도면25



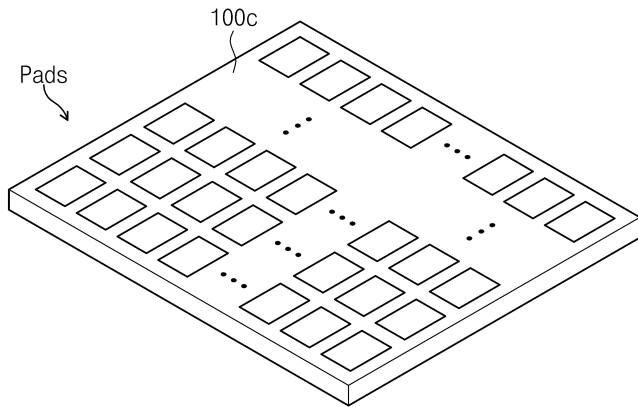
도면26



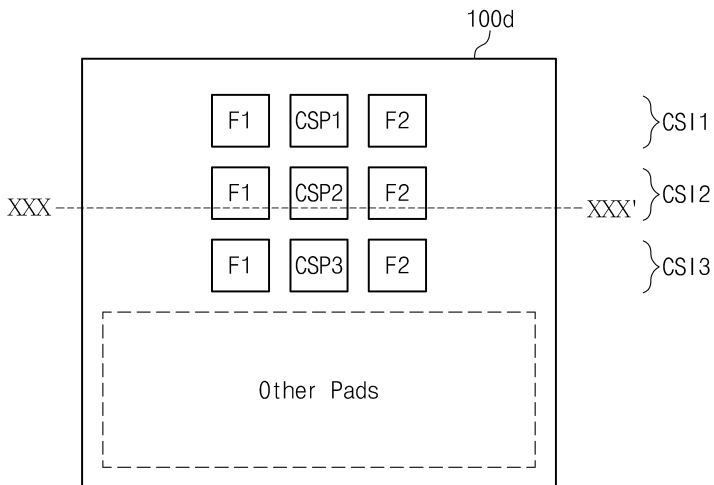
도면27



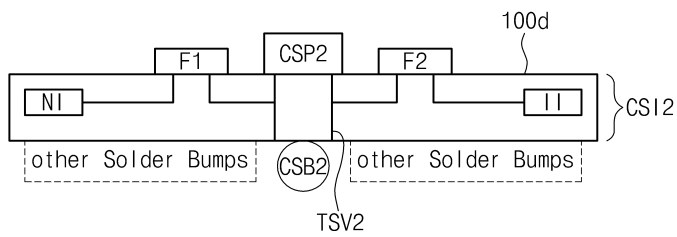
도면28



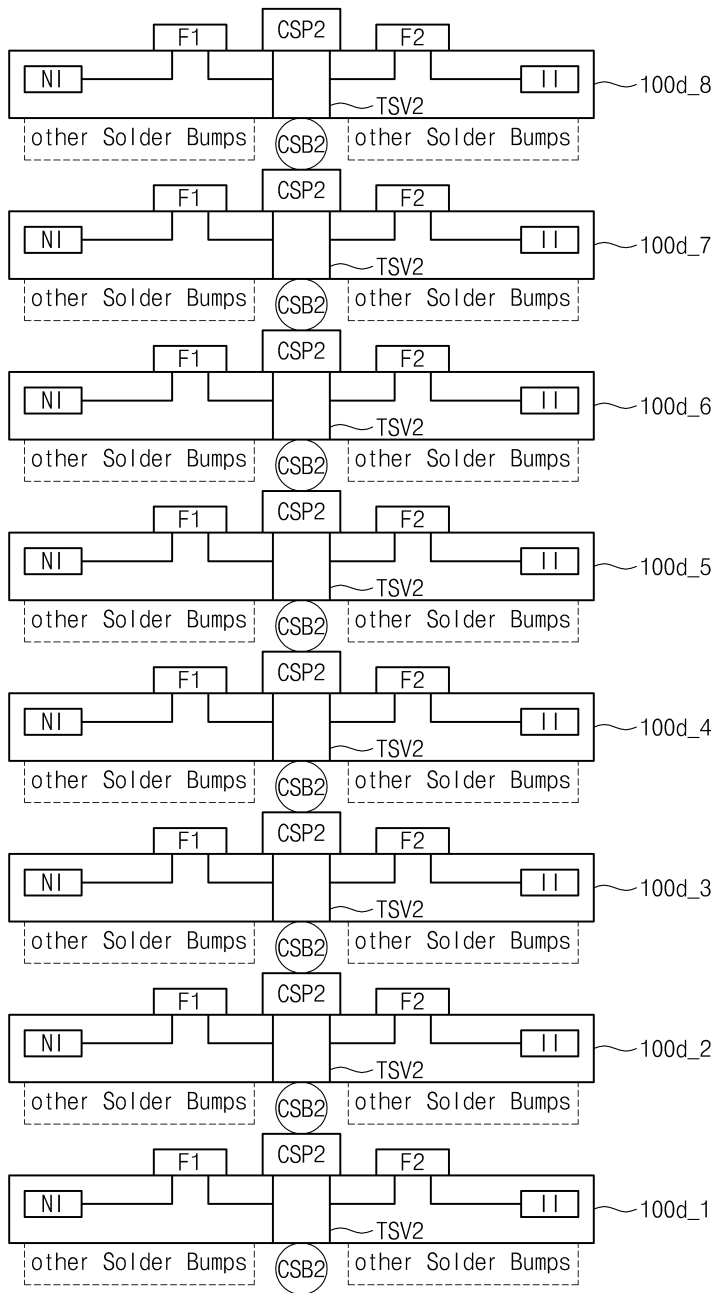
도면29



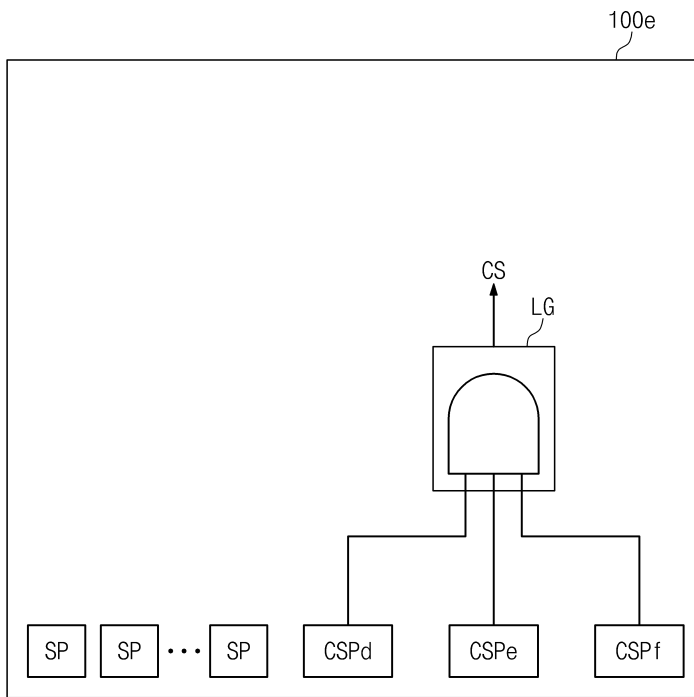
도면30



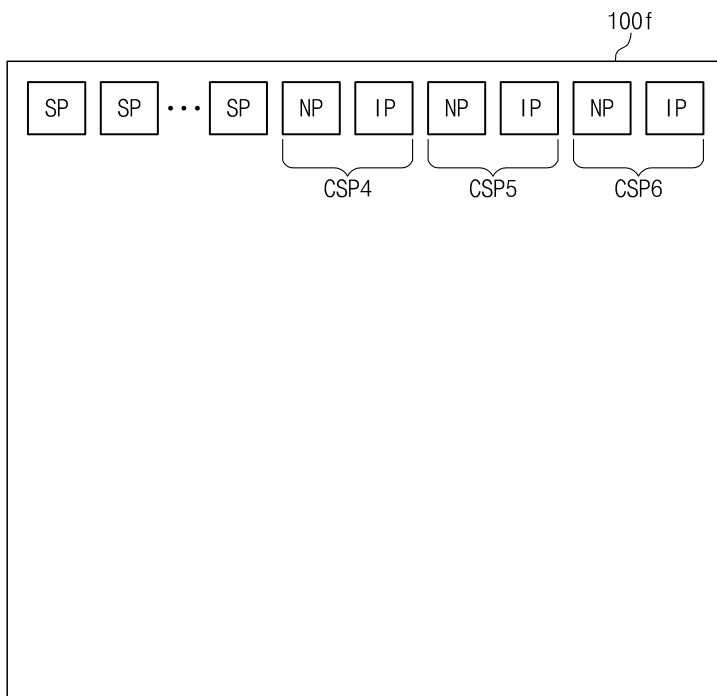
도면31



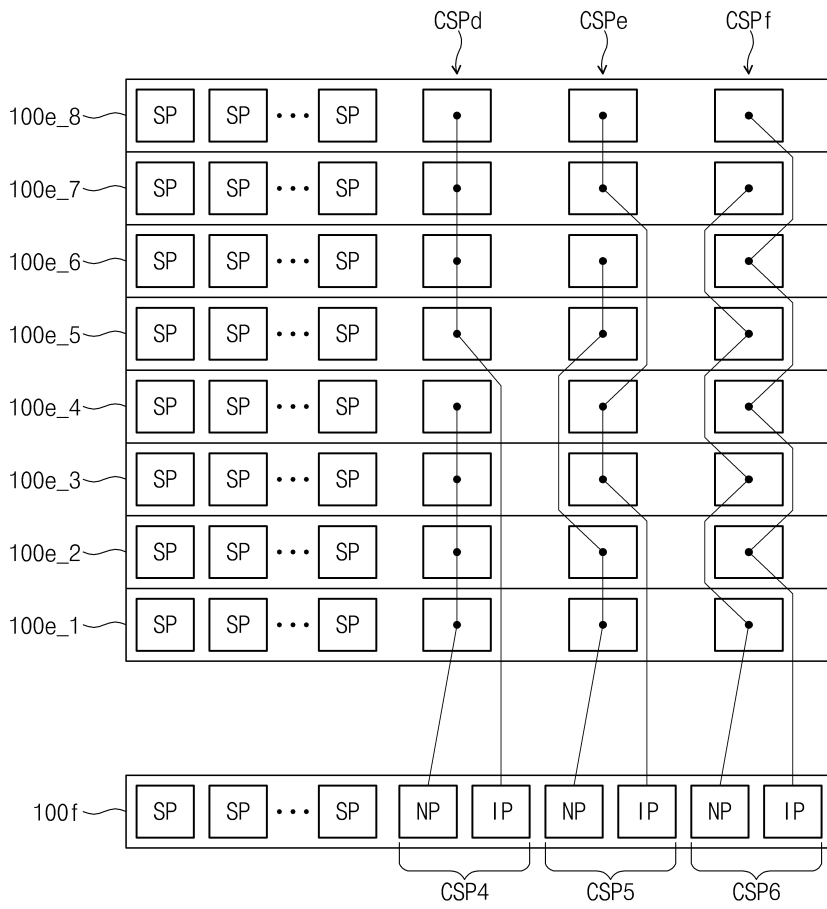
도면32



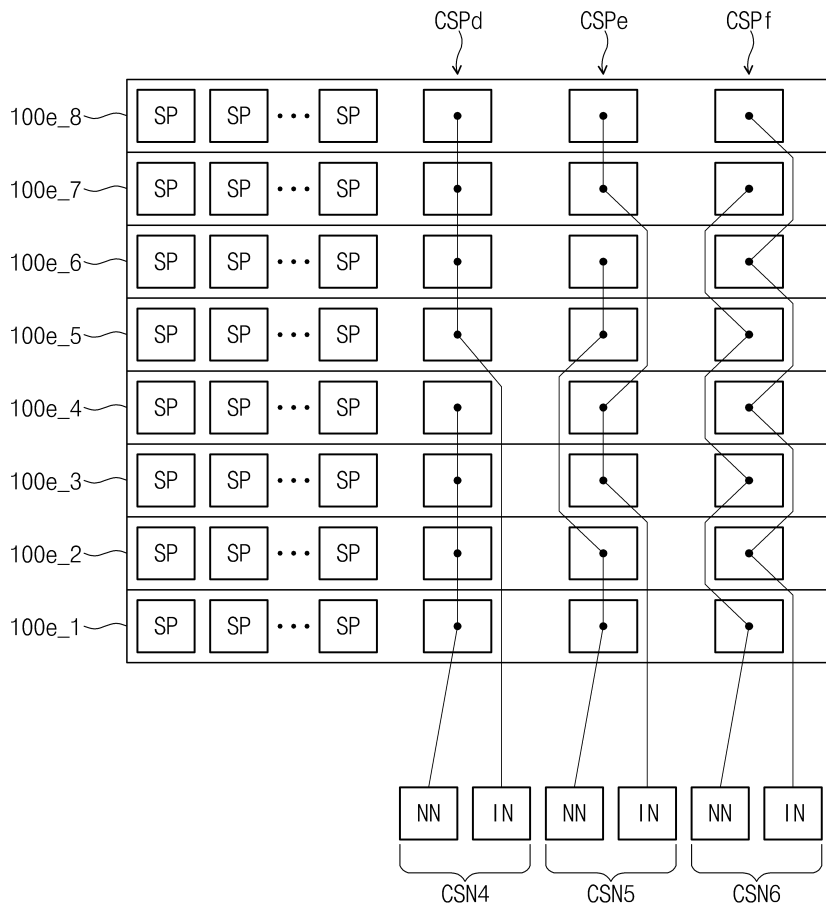
도면33



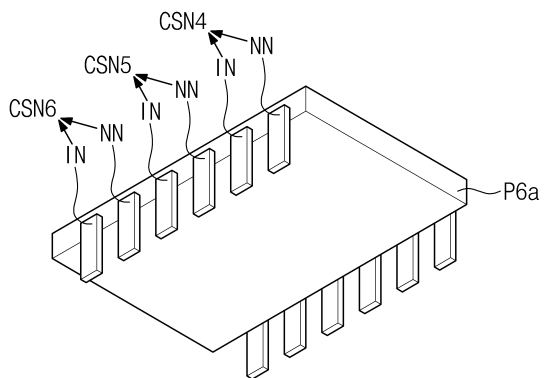
도면34



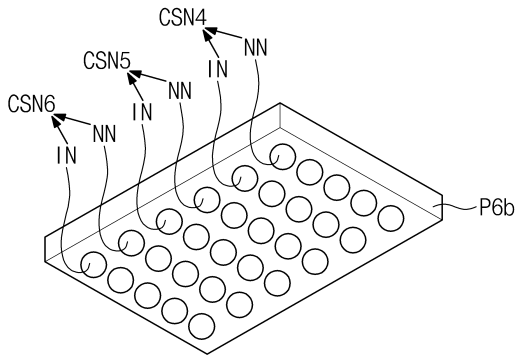
도면35



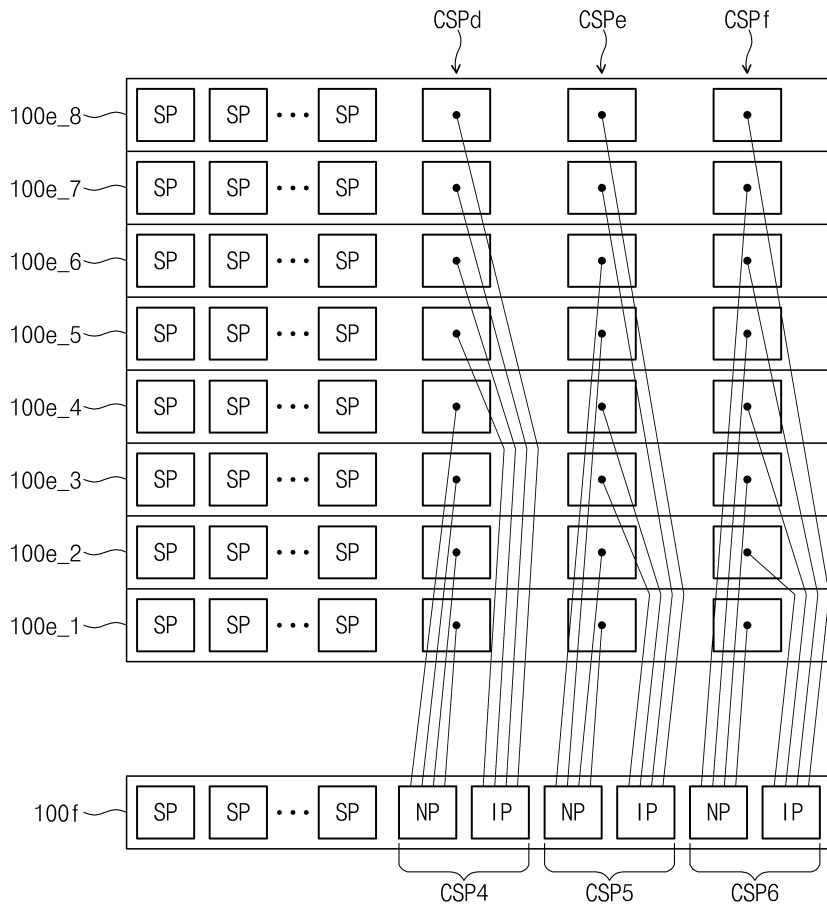
도면36



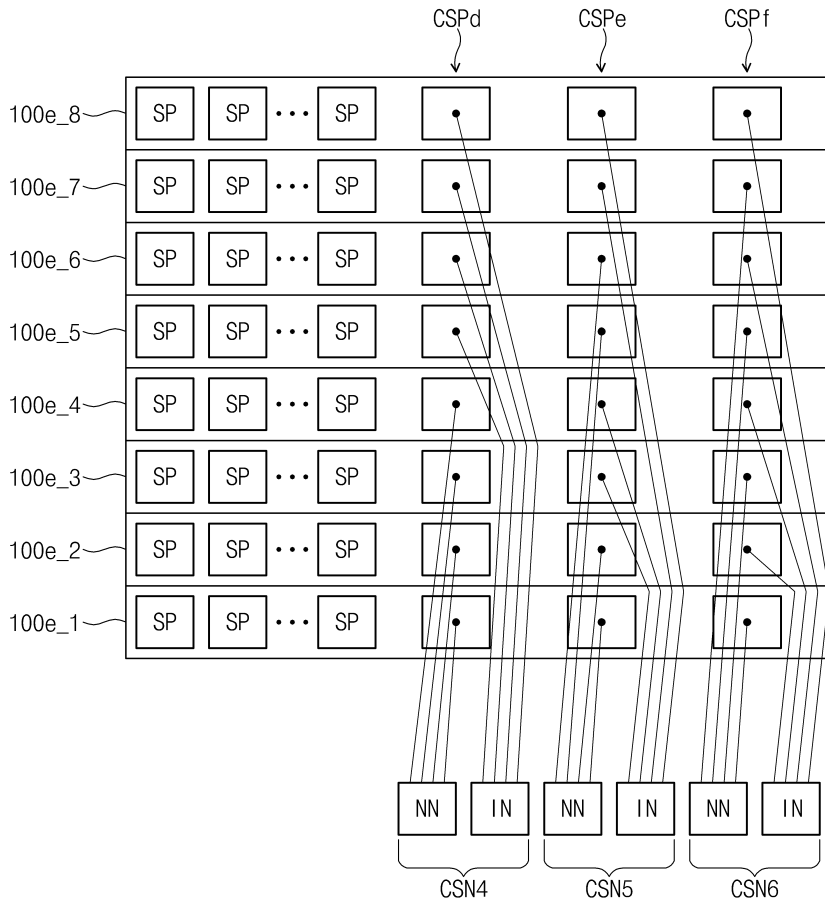
도면37



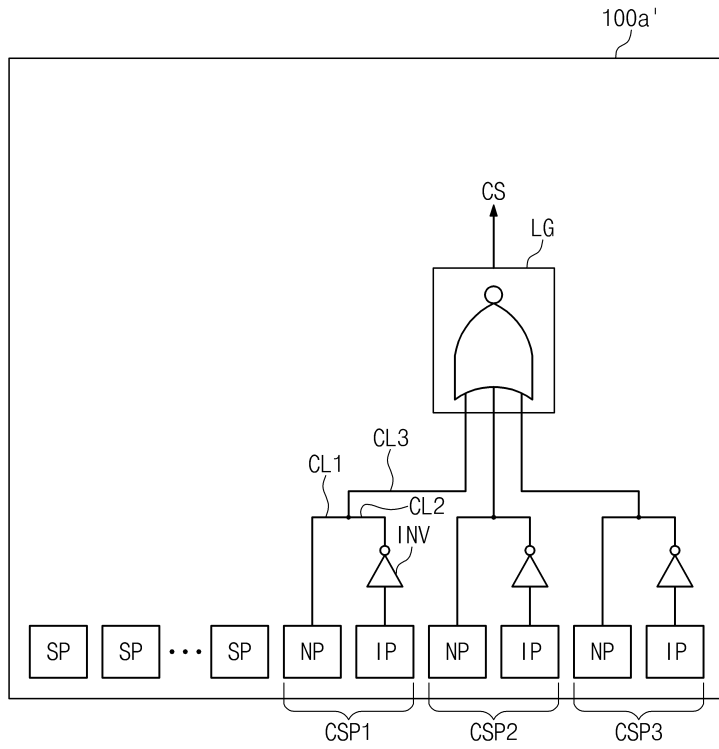
도면38



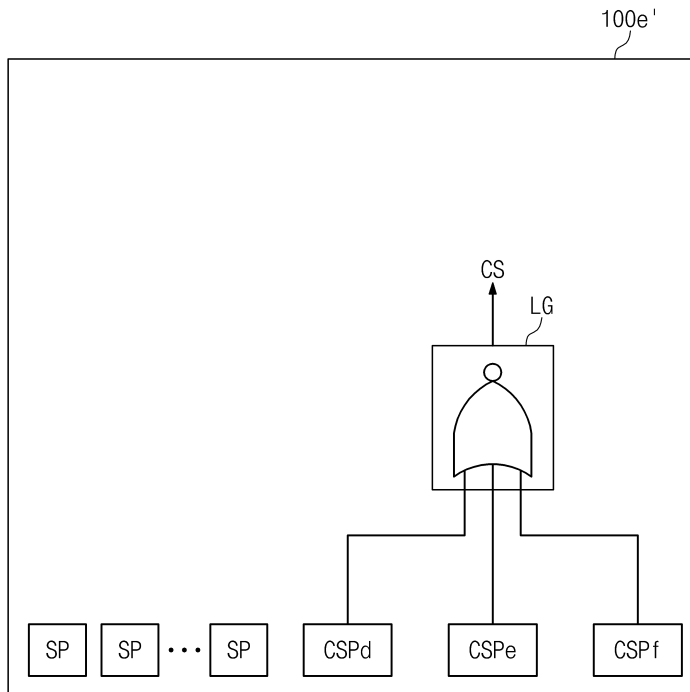
도면39



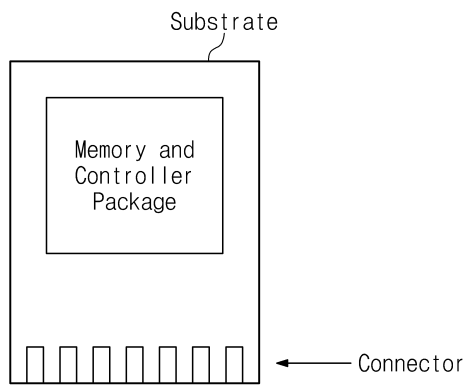
도면40



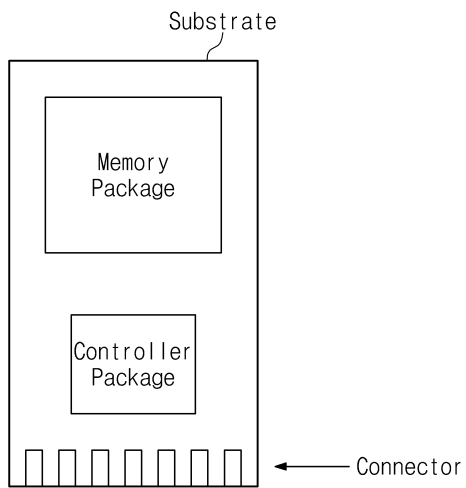
도면41



도면42



도면43



도면44

