

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5416460号
(P5416460)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int. Cl. F I
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 8 E
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 8 A

請求項の数 15 (全 58 頁)

(21) 出願番号	特願2009-97672 (P2009-97672)	(73) 特許権者	000153878
(22) 出願日	平成21年4月14日 (2009.4.14)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2009-278075 (P2009-278075A)		神奈川県厚木市長谷398番地
(43) 公開日	平成21年11月26日 (2009.11.26)	(72) 発明者	山崎 舜平
審査請求日	平成24年3月21日 (2012.3.21)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2008-109629 (P2008-109629)		半導体エネルギー研究所内
(32) 優先日	平成20年4月18日 (2008.4.18)	(72) 発明者	恵木 勇司
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	半導体エネルギー研究所内
		(72) 発明者	笹川 慎也
			神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	半導体エネルギー研究所内
		(72) 発明者	倉田 求
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよび薄膜トランジスタの作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板と、
前記基板上に設けられたゲート電極を覆うゲート絶縁層と、
前記ゲート絶縁層上に接し、複数の結晶領域を含む第1の半導体層と、
 絶縁層を間に介在して前記第1の半導体層上に積層され、非晶質構造を有する第2の半導体層と、

前記第2の半導体層上に設けられた、ソース領域及びドレイン領域を形成する一導電型の不純物半導体層と、

前記一導電型の不純物半導体層上に設けられたソース電極及びドレイン電極と、を有し

10

、
前記絶縁層は前記第1の半導体層の上面及び前記第2の半導体層の下面に接して設けられていることを特徴とする薄膜トランジスタ。

【請求項2】

絶縁表面を有する基板と、
前記基板上に設けられたゲート電極を覆うゲート絶縁層と、
前記ゲート絶縁層上に接し、第1の領域及び前記第1の領域上の複数の結晶領域を含む第2の領域を有する第1の半導体層と、

絶縁層を間に介在して前記第1の半導体層上に積層され、非晶質構造を有する第2の半導体層と、

20

前記第2の半導体層上に設けられた、ソース領域及びドレイン領域を形成する一導電型の不純物半導体層と、

前記一導電型の不純物半導体層上に設けられたソース電極及びドレイン電極と、を有し、

前記絶縁層は前記第1の半導体層の上面及び前記第2の半導体層の下面に接して設けられ、

前記第1の半導体層の前記第2の領域は、下面から上面に向かって逆錐形状の結晶を有することを特徴とする薄膜トランジスタ。

【請求項3】

請求項2において、

前記第1の半導体層において、二次イオン質量分析法によって計測される窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上 $3 \times 10^{20} / \text{cm}^3$ 未満の領域に、前記逆錐形状の結晶の頂点が位置していることを特徴とする薄膜トランジスタ。

10

【請求項4】

請求項1乃至3のいずれか一において、

前記第1の半導体層における酸素濃度は、前記第1の半導体層における窒素濃度より低いことを特徴とする薄膜トランジスタ。

【請求項5】

請求項1乃至4のいずれか一において、

前記第1の半導体層において、前記第1半導体層の下面から上面の方向に向けて、窒素濃度は減少していることを特徴とする薄膜トランジスタ。

20

【請求項6】

請求項1乃至5のいずれか一において、

前記第1の半導体層は、二次イオン質量分析法によって計測される酸素濃度が、 $5 \times 10^{18} / \text{cm}^3$ 以下であり、窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 乃至 $1 \times 10^{21} / \text{cm}^3$ であることを特徴とする薄膜トランジスタ。

【請求項7】

請求項1乃至6のいずれか一において、

前記第1の半導体層における窒素濃度は、前記ゲート絶縁層と前記第1の半導体層との界面近傍において、二次イオン質量分析法によって計測されるピーク濃度が $3 \times 10^{20} / \text{cm}^3$ 乃至 $1 \times 10^{21} / \text{cm}^3$ であることを特徴とする薄膜トランジスタ。

30

【請求項8】

請求項1乃至7のいずれか一において、

前記結晶領域は単結晶であることを特徴とする薄膜トランジスタ。

【請求項9】

請求項8において、

前記単結晶は双晶を含むことを特徴とする薄膜トランジスタ。

【請求項10】

請求項1乃至請求項9のいずれか一において、

前記絶縁層は一原子層であることを特徴とする薄膜トランジスタ。

40

【請求項11】

絶縁表面を有する基板上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を形成し、

前記ゲート絶縁層上に、プラズマを生成して複数の結晶領域を含む第1の半導体層を形成し、

前記第1の半導体層の上面を変質処理して絶縁層を形成し、

前記絶縁層上に、非晶質構造を有する第2の半導体層を形成し、

前記第2の半導体層上にソース領域及びドレイン領域を形成する一導電型の不純物半導体層を形成し、

前記一導電型の不純物半導体層上に、ソース電極及びドレイン電極を形成することを特

50

徴とする薄膜トランジスタの作製方法。

【請求項 1 2】

絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁層を形成し、
前記ゲート絶縁層上に、プラズマを生成して複数の結晶領域を含む第 1 の半導体層を形成し、

プラズマ処理または大気に曝す酸化処理により、前記第 1 の半導体層の上面を変質処理して絶縁層を形成し、

前記絶縁層上に、非晶質構造を有する第 2 の半導体層を形成し、
前記第 2 の半導体層上にソース領域及びドレイン領域を形成する一導電型の不純物半導体層を形成し、

前記一導電型の不純物半導体層上に、ソース電極及びドレイン電極を形成することを特徴とする薄膜トランジスタの作製方法。

10

【請求項 1 3】

請求項 1 2 において、
H₂O プラズマにより前記プラズマ処理を行うことを特徴とする薄膜トランジスタの作製方法。

【請求項 1 4】

請求項 1 1 乃至 1 3 のいずれか一において、
前記ゲート絶縁層を形成後、前記第 1 の半導体層形成前に、前記ゲート絶縁層の表面に窒素を供給すること特徴とする薄膜トランジスタの作製方法。

20

【請求項 1 5】

請求項 1 1 乃至 1 3 のいずれか一において、
前記第 1 の半導体層の形成は、窒素を含む雰囲気で行うこと特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ、薄膜トランジスタを用いた半導体装置、および表示装置、並びにそれらの作製方法に関する。

30

【背景技術】

【0002】

既に液晶ディスプレイの技術分野において、薄膜トランジスタ（以下、「TFT」とも記す。）は広く用いられている。TFTは電界効果トランジスタの一種であり、チャンネル形成領域を形成する半導体が薄膜で形成されることからこのような命名がされている。現在では、半導体の薄膜に非晶質シリコン若しくは多結晶シリコンを用いてTFTを製造する技術が実用化されている。

【0003】

ところで、非晶質シリコン若しくは多結晶シリコンと並び、微結晶シリコンと呼ばれる半導体材料が古くから知られており、電界効果トランジスタに関するものについての報告もある（例えば、特許文献 1 参照）。しかしながら、今日に至るまで微結晶シリコンを用いたTFTは、非晶質シリコントランジスタと多結晶シリコントランジスタの間に埋もれて実用化が遅れ、学会レベルで報告が散見されるのが実情である（例えば、非特許文献 1 参照）。

40

【0004】

微結晶シリコン膜は、プラズマCVD法とよばれる方法により、原料ガスをプラズマ（弱電離プラズマ）により分解してガラス等の基板に形成することが可能であるが、非平衡状態で反応が進むため、結晶核生成や結晶成長を制御することが難しいと考えられていた。

【0005】

50

勿論、さまざまな研究が進められ、一部の説によると、微結晶シリコンの成長メカニズムは、まず、基板の上に原子がランダムに配向したアモルファス（非晶質）相が成長し、その後、結晶の核成長がおこると考えられている（非特許文献2参照）。この場合、微結晶シリコンの核成長が起こるときには、特異なシリコン-水素結合がアモルファス表面に観測されることから、微結晶シリコンの核密度を膜形成時の水素ガス濃度により制御できると考えられている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第5,591,987号

10

【非特許文献】

【0007】

【非特許文献1】トシアキ・アライ (Toshiaki Arai) 他、エス・アイ・ディー 07 ダイジェスト (SID 07 DIGEST)、2007、p.1370-1373

【非特許文献2】ヒロユキ・フジワラ (Hiroyuki Fujiwara) 他、ジャパニーズ・ジャーナル・オブ・アプライド・フィジックス (Jpn. J. Appl. Phys.) Vol. 41、2002、p.2821-2828

【発明の概要】

【発明が解決しようとする課題】

20

【0008】

チャンネル形成領域を形成する半導体薄膜に非晶質シリコンを用いた薄膜トランジスタは、電界効果移動度を $0.4 \text{ cm}^2 / \text{V} \cdot \text{sec} \sim 0.8 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度しか得ることができず、オン電流が低いといった問題がある。一方、チャンネル形成領域を形成する半導体薄膜に微結晶シリコンを用いた薄膜トランジスタは、非晶質シリコンを用いた薄膜トランジスタと比較して、電界効果移動度は向上するもののオフ電流が高くなってしまふといった問題がある。

【0009】

チャンネル形成領域を形成する半導体薄膜に多結晶シリコンを用いた薄膜トランジスタは、非晶質シリコン又は微結晶シリコンを用いた薄膜トランジスタと比較して電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。このような特性により、多結晶シリコンを用いた薄膜トランジスタは、画素部に設けられるスイッチング用のトランジスタのみならず、高速動作が要求されるドライバ回路を構成する素子として適用することができる。しかし、多結晶シリコンを用いた薄膜トランジスタは、非晶質シリコンを用いた薄膜トランジスタの製造工程と比較して、半導体膜の結晶化工程が必要である。そのため、製造コストが増大することが問題となっている。例えば、多結晶シリコンの製造に必要な所謂レーザアニール技術は、レーザビームの照射面積が小さく大画面の表示パネルを効率良く生産することができないといった問題がある。

30

【0010】

また、上述の非特許文献1のように、非晶質シリコン膜を成膜した後に、金属材料でなる光熱変換層を設けレーザビームを照射して微結晶シリコン膜を形成する方法は、結晶性を向上させ、電界効果移動度の向上を図ることはできる。しかし、生産性の観点から、レーザアニール技術を利用して作製される多結晶シリコン膜と比較して優位性が見いだせない。

40

【0011】

そこで、本発明の一態様は、薄膜トランジスタのオフ電流を低減させ、オン電流を向上させることを目的の一とする。また、TFTに代表される半導体素子間、基板間、ロット間の電気特性のばらつきを低減することを目的の一とする。また、本発明の一態様は、表示装置の画質の向上を図ることを目的の一とする。

【課題を解決するための手段】

50

【0012】

本発明の一態様は、薄膜トランジスタのチャンネル形成領域を形成する半導体層の構成として、ゲート絶縁層側に複数の結晶領域を含む第1の半導体層を配置し、ソース領域およびドレイン領域側に非晶質構造を有する第2の半導体層を配置し、第1の半導体層と第2の半導体層との間にキャリアの流れを遮断しない厚さで絶縁層を配置する。ゲート絶縁層側に設けられ結晶領域を含む第1の半導体層は、薄膜トランジスタのオン電流を向上させるように作用する。第1の半導体層上の絶縁層は、第2の半導体層中に、第1の半導体層の結晶領域の影響を受けて結晶が成長しないように作用する。非晶質構造を有する第2の半導体層は、絶縁層と共に、ソース領域及びドレイン領域と第1の半導体層との間に存在することにより、オフ電流を低減する作用がある。

10

【0013】

第1の半導体層は、複数の結晶領域を含む半導体、代表的には微結晶半導体の生成が可能な混合比で半導体材料ガスと希釈ガスを反応ガスとして用いて形成される。当該反応ガスは、反応空間内に導入され、所定の圧力を維持してプラズマ、代表的にはグロー放電プラズマを生成する。これにより、反応空間内に置かれた基板に被膜が成膜される。

【0014】

また、本発明の一態様は、第1の半導体層として、非晶質構造の中に複数の結晶領域を含む半導体層を用い、該半導体層において結晶核の生成位置と生成密度を制御することで、膜質を制御する。非晶質構造の中に複数の結晶領域を含み、薄膜トランジスタのチャンネル形成領域を構成する半導体層において、結晶核の生成位置と生成密度を、キャリアが流れる領域に合わせて制御する。

20

【0015】

第1の半導体層である非晶質構造の中に複数の結晶領域を含む半導体層は、複数の結晶領域を含む半導体の生成が可能な混合比で半導体材料ガスと希釈ガスを反応ガスとして用いて形成される。当該反応ガスは、酸素濃度を低減させた超高真空処理室内に導入され、所定の圧力を維持してプラズマ、代表的にはグロー放電プラズマを生成する。これにより処理室内に置かれた基板に被膜が成膜されるが、成膜初期段階においては結晶核の生成を妨害する不純物元素を処理室中に含ませて被膜の成膜を開始し、当該不純物元素の濃度を低減させていくことで結晶核を生成させ、結晶核を基に結晶領域を形成する。

【0016】

結晶核の生成を妨害する不純物としては、窒素若しくは窒化物が好ましい。半導体層に窒素を含ませる場合には、該半導体層において、二次イオン質量分析法によって計測される窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 乃至 $1 \times 10^{21} / \text{cm}^3$ とする。該窒素濃度は、ゲート絶縁層と半導体層との界面近傍において、二次イオン質量分析法によって計測されるピーク濃度が $3 \times 10^{20} / \text{cm}^3$ 乃至 $1 \times 10^{21} / \text{cm}^3$ であり、該界面近傍から半導体層の厚さ方向に向けて窒素濃度を減少させることで、結晶領域の成長端となる核生成位置と核生成密度を制御する。

30

【0017】

なお、シリコン中において、シリコンの配位数を減らし、ダングリングボンドを生成する不純物、例えば酸素のような不純物元素の濃度は低減させる。すなわち、二次イオン質量分析法によって計測される酸素濃度を $5 \times 10^{18} / \text{cm}^3$ 以下とすることが好ましい。

40

【0018】

発明の一態様に係る薄膜トランジスタは、複数の結晶領域を含む第1の半導体層を有し、該第1の半導体層上に絶縁層を間に介在して非晶質構造を有する第2の半導体層を有する。絶縁層は、第1の半導体層と第2の半導体層との間に接して設けられ、第1の半導体層界面を覆うように設けられる。好ましくは、第1の半導体層表面を変質処理して絶縁層を形成する。第2の半導体層は、第1の半導体層がゲート絶縁層と接する面とは反対側に設けられ、所謂バックチャンネル側に配設される。すなわち、第2の半導体層および絶縁層は、ソース領域及びドレイン領域を形成する一対の一導電型の不純物半導体層の間に設け

50

られ、第1の半導体層の該結晶領域を埋設し、該第1の半導体層がバックチャネル側において露出しないように設けられる。

【0019】

本発明の一態様は、絶縁表面を有する基板の上に、ゲート電極を覆うゲート絶縁層と、ゲート絶縁層に接し、複数の結晶領域を含む第1の半導体層と、ソース領域及びドレイン領域を形成する一導電型の不純物半導体層と、第1の半導体層と一導電型の不純物半導体層との間の非晶質構造を有する第2の半導体層と、第1の半導体層と第2の半導体層との間に接して設けられ、第1の半導体層界面を覆う絶縁層と、を有する。

【0020】

本発明の一態様は、絶縁表面を有する基板の上に、ゲート電極を覆うゲート絶縁層と、ゲート絶縁層に接する第1の半導体層と、絶縁層を間に介在して第1の半導体層に積層される第2の半導体層と、ソース領域及びドレイン領域を形成する一導電型の不純物半導体層とを有し、絶縁層が第1の半導体層の界面を覆って設けられている。

10

【0021】

上記構成において、第1の半導体層は、ゲート絶縁層と第1の半導体層との界面から離れた位置から、第1の半導体層が堆積される方向に向けて、一導電型の不純物半導体層に達しない領域内において略放射状に成長した逆錐形状の構造を有していてもよい。また、このときの第1の半導体層は、二次イオン質量分析法によって計測される酸素濃度が、 $5 \times 10^{18} / \text{cm}^3$ 以下であり、窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 乃至 $1 \times 10^{21} / \text{cm}^3$ であることが好ましい。また、窒素濃度は、ゲート絶縁層と半導体層との界面近傍において、二次イオン質量分析法によって計測されるピーク濃度が $3 \times 10^{20} / \text{cm}^3$ 乃至 $1 \times 10^{21} / \text{cm}^3$ であり、該界面近傍から第1の半導体層の厚さ方向に向けて窒素濃度が減少していることが好ましい。また、第1の半導体層において、窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上 $3 \times 10^{20} / \text{cm}^3$ 未満の領域に、結晶領域の成長端が位置することができる。また、結晶領域は単結晶または双晶を含む単結晶とすることができる。

20

【0022】

また、上記構成において、絶縁層は一原子層としてもよい。

【0023】

本発明の一態様は、複数の結晶領域を含む第1の半導体層と、非晶質構造を有する第2の半導体層と、第1の半導体層及び第2の半導体層に接し、第1の半導体層の界面を覆う絶縁層と、絶縁層に接する前記第1の半導体層の面とは反対側において、第1の半導体層に接するゲート絶縁層と、第1の半導体層に接するゲート絶縁層の面とは反対側の面において、ゲート絶縁層に接するゲート電極と、を有する。

30

【0024】

本発明の一態様は、ゲート電極が設けられた絶縁表面を有する基板の上にゲート絶縁層を形成し、ゲート絶縁層上に、複数の結晶領域を含む半導体の生成が可能な混合比で半導体材料ガスと希釈ガスとを処理室内に導入し、プラズマを生成して複数の結晶領域を含む第1の半導体層を形成し、第1の半導体層の一表面側を変質処理して絶縁層を形成し、絶縁層上に、非晶質構造を有する第2の半導体層を形成し、第2の半導体層上にソース領域及びドレイン領域を形成する一導電型の不純物半導体層を形成し、一導電型の不純物半導体層上に、ソース電極及びドレイン電極を形成する。

40

【0025】

上記構成において、絶縁層を形成する第1の半導体層の変質処理は、プラズマ処理または大気に曝す酸化処理が好ましい。また、プラズマ処理は、 H_2O プラズマで行うことが好ましい。

【0026】

上記構成において、半導体材料ガスは、水素化シリコンガス、フッ化シリコンガス又は塩化シリコンガスであり、前記希釈ガスは水素ガスとすることができる。

【0027】

また、上記構成において、半導体材料ガスと希釈ガスとは、酸素濃度を低減させた処理

50

室内に導入し、プラズマを生成し、成膜初期段階において結晶核の生成を妨害する不純物元素を含ませて被膜の成膜を開始し、該被膜が5 nm乃至20 nm成膜された後に結晶核を生成させて、非晶質構造の中に複数の結晶領域を含む第1の半導体層を形成することもできる。

【0028】

上記構成において、半導体材料ガスと希釈ガスとを処理室に導入する前に、結晶核の生成を妨害する不純物元素が残留するように、不純物元素を含む気体を一時的に該処理室に導入し、その後排気する処理を行ってもよい。また、ゲート絶縁層として、結晶核の生成を妨害する不純物元素を含む絶縁層を形成してもよい。また、結晶核の生成を妨害する不純物元素を含む膜を、処理室内に予め被着させておいてもよい。上記構成において、結晶核の生成を妨害する不純物元素として窒素を用いることができる。

10

【発明の効果】

【0029】

本発明の一態様は、薄膜トランジスタのチャネル形成領域を形成する半導体層の構成として、第1の半導体層と第2の半導体層との間にキャリアの流れを遮断しない厚さで絶縁層を配置することで、素子間、基板間、およびロット間の電気特性のばらつきを低減させることができる。また、ゲート絶縁層側に複数の結晶領域を含む第1の半導体層を配置し、ソース領域およびドレイン領域側に非晶質構造を有する第2の半導体層を配置することで、オフ電流を低減させ、電気特性を向上させることができる。

【図面の簡単な説明】

20

【0030】

【図1】薄膜トランジスタの構成を示す断面図および上面図。

【図2】薄膜トランジスタの作製方法を説明する断面図。

【図3】薄膜トランジスタの作製方法を説明する断面図。

【図4】薄膜トランジスタの作製方法を説明する断面図。

【図5】薄膜トランジスタの作製に適用可能な多階調マスクを説明する図。

【図6】本発明の一態様に係る半導体層を説明する模式図。

【図7】別形態の薄膜トランジスタの構成を示す断面図。

【図8】薄膜トランジスタの作製に適用可能な装置を説明する図。

【図9】薄膜トランジスタの作製方法の一例を説明する図。

30

【図10】薄膜トランジスタの作製方法の一例を説明する図。

【図11】薄膜トランジスタの作製方法の一例を説明する図。

【図12】薄膜トランジスタの作製方法の一例を説明する図。

【図13】別形態の薄膜トランジスタの構成を示す断面図および上面図。

【図14】別形態の薄膜トランジスタの作製方法を説明する断面図。

【図15】別形態の薄膜トランジスタの作製方法を説明する断面図。

【図16】別形態の薄膜トランジスタの作製方法を説明する断面図。

【図17】別形態の薄膜トランジスタの作製方法を説明する断面図。

【図18】本発明の一態様に係る薄膜トランジスタを適用可能な表示装置の一例を示す断面図。

40

【図19】本発明の一態様に係る薄膜トランジスタを適用可能な表示装置の一例を示す図。

【図20】本発明の一態様に係る薄膜トランジスタを適用可能な表示装置の一例を示す図。

【図21】本発明の一態様に係る薄膜トランジスタを適用可能な表示装置の一例を示す平面図および断面図。

【図22】本発明の一態様に係る薄膜トランジスタを適用可能な表示装置の一例を示す図。

【図23】本発明の一態様に係る薄膜トランジスタを適用可能な電子機器等の一例を示す斜視図。

50

【図24】本発明の一態様に係る薄膜トランジスタを適用可能な電子機器等の一例を示すブロック図。

【図25】本発明の一態様に係る薄膜トランジスタを適用可能な電子機器等の一例を示す図。

【図26】実施例1により得られた試料の断面を示すSTEM図である。

【図27】実施例1により得られた試料の断面を示すSTEM図、及び酸素、窒素、シリコン、水素、及びフッ素濃度を示す図である。

【図28】実施例2により得られた試料の断面を示すSTEM図である。

【図29】水プラズマの効果を検証するためのモデル図。

【図30】水プラズマの効果を検証するための計算結果を示す図。

10

【図31】水プラズマの効果を検証するためのモデル図。

【発明を実施するための形態】

【0031】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

20

【0032】

また、本明細書において、「オン電流」とは、トランジスタがオン状態の時に、ソースとドレインとの間に流れる電流である。「オフ電流」とは、トランジスタがオフ状態の時にソースとドレインとの間に流れる電流である。例えば、nチャネル型のトランジスタの場合、閾値電圧より低いゲート電圧のときにソースとドレインとの間に流れる漏れ電流である。

【0033】

また、本明細書において、「膜」とは、全面に形成され、パターン形成されていないものをいう。そして、「層」とは、レジストマスク等により所望の形状にパターン形成されたものをいう。なお、前述のような「膜」と「層」の区別は便宜的に行うものであり、膜と層を特に区別することなく用いることがある。また、積層膜の各層についても、膜と層を特に区別することなく用いることがある。

30

【0034】

また、本明細書における酸素濃度および窒素濃度は、二次イオン質量分析法によって計測される濃度である。

【0035】

(実施の形態1)

本実施の形態では、薄膜トランジスタの一形態について、図面を参照して説明する。

【0036】

図1は、本形態に係る薄膜トランジスタの上面図及び断面図を示す。図1に示す薄膜トランジスタは、基板100上に設けられたゲート電極層101と、該ゲート電極層101を被覆するゲート絶縁層102と、該ゲート絶縁層102上に設けられた第1の半導体層104と、該第1の半導体層104上に接して設けられた絶縁層106と、該絶縁層106上に接して設けられた第2の半導体層108と、該第2の半導体層108上に接し、離間して設けられた一对の不純物半導体層110と、一对の不純物半導体層110に接し、離間して設けられた一对の配線層112と、で構成される、所謂逆スタガ型の薄膜トランジスタである。第1の半導体層104は複数の結晶領域を含む半導体層である。第2の半導体層108は非晶質構造を有する半導体層である。一对の不純物半導体層110は、一導電型を付与する不純物元素が添加された一導電型の不純物半導体層であり、ソース領域およびドレイン領域を構成する。また、一对の配線層112は、ソース電極およびドレイ

40

50

ン電極を構成する。離間して設けられた一对の不純物半導体層 110 に対応して、一对の配線層 112 が離間して設けられている。つまり、一对の不純物半導体層 110 の一方の上層に一对の配線層 112 の一方が設けられており、一对の不純物半導体層 110 の他方の上層に一对の配線層 112 の他方が設けられている。配線層 112 上には、保護層として機能する絶縁層 114 が設けられている。また、各層は所望の形状にパターン形成されている。

【0037】

本形態に係る薄膜トランジスタは、オン状態の場合は第1の半導体層 104 をキャリアが流れる。複数の結晶領域を含む第1の半導体層 104 は、非晶質構造を有する第2の半導体層 108 よりも高い電気伝導度を有するため、非晶質半導体でチャネル形成領域を構成する薄膜トランジスタよりも高いオン電流を発生させるように作用する。また、本形態に係る薄膜トランジスタは、オフ状態の場合は第2の半導体層 108 をリーク電流が流れる。非晶質構造を有する第2の半導体層 108 は、結晶領域を含む第1の半導体層 104 よりも低い電気伝導度を有するため、微結晶半導体でチャネル形成領域を構成する薄膜トランジスタよりもオフ電流を低減させるように作用する。つまり、本形態に係る薄膜トランジスタのように、ゲート絶縁層側に第1の半導体層を配置し、ソース領域およびドレイン領域を構成する不純物半導体層側に第2の半導体層を配置することで、オフ電流を低減させるとともにオン電流の向上を両立させることができる。

【0038】

ゲート電極層 101 上に形成されたゲート絶縁層 102 と、離間して設けられた一对の不純物半導体層 110 との間に、ゲート絶縁層 102 側から第1の半導体層 104、絶縁層 106、第2の半導体層 108 が、順に積層して設けられている。第1の半導体層 104、絶縁層 106、および第2の半導体層 108 の積層構造は、ゲート絶縁層 102 を間に介して、ゲート電極層 101 と重なる領域を有する。また、第1の半導体層 104、絶縁層 106、および第2の半導体層 108 の積層構造は、一对の不純物半導体層 110 および一对の配線層 112 と重なる領域を有する。第1の半導体層 104、絶縁層 106、および第2の半導体層 108 の積層構造は、少なくとも薄膜トランジスタのチャネル長方向に延在している。ここでは、第1の半導体層 104、絶縁層 106 および第2の半導体層 108 の積層構造は、離間して設けられた一对の不純物半導体層 110 の一方から他方へ連続して設けられている。また、離間して設けられた一对の配線層 112 の一方から他方へ連続して設けられているともいえる。

【0039】

本発明の一態様は、ゲート絶縁層 102 側に第1の半導体層 104 が配置し、ソース領域およびドレイン領域を構成する一对の不純物半導体層 110 側に第2の半導体層 108 が配置する構成を特徴の一つとする。また、第1の半導体層 104 表面にキャリアの流れを遮断しない厚さで絶縁層 106 が設けられた構成を特徴の一つとする。第2の半導体層 108 は、絶縁層 106 を間に介在して、第1の半導体層 104 上に積層されている。少なくとも、チャネル形成領域となる領域及びその近傍では、第1の半導体層 104 と第2の半導体層 108 との間に絶縁層 106 が設けられているものとする。

【0040】

第1の半導体層 104 は、複数の結晶領域を含む半導体層である。複数の結晶領域を含む第1の半導体層 104 は、代表的には微結晶半導体で形成され、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウムなどで形成される。

【0041】

本形態に示す微結晶半導体とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む層である。微結晶半導体は、自由エネルギー的に安定な第3の状態を有する半導体である。例示的には、結晶粒径が 2 nm 以上 200 nm 以下、好ましくは 10 nm 以上 80 nm 以下、より好ましくは 20 nm 以上 50 nm 以下である半導体を含む層である。微結晶半導体の代表例である微結晶シリコンのラマンスペクトルは、単結晶シリコンを示す 520 / cm よりも低波数側にシフトしている。即ち、単結晶シリコンを

10

20

30

40

50

示す520/cmと非晶質シリコンを示す480/cmの間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。このような微結晶半導体層に関する記述は、例えば、米国特許4,409,134号で開示されている。尤も、微結晶半導体の概念は前記した結晶粒径のみに固定されるものではない。また、同等の物性値を有するものであれば他の半導体材料に置換することもできる。

【0042】

ここで、本形態に係る複数の結晶領域を含む第1の半導体層104の様子を図6(A)に示す。第1の半導体層104は、ゲート絶縁層102の界面から膜の堆積方向に拡がっていく結晶粒を有している。第1の半導体層104は、微細な結晶の集合体である。結晶と結晶のすきまには、非晶質構造が存在する。

10

【0043】

第1の半導体層104上に接して絶縁層106が設けられ、該絶縁層106上に接して非晶質構造を有する第2の半導体層108が設けられている。絶縁層106は、第1の半導体層104表面に設けられており、第1の半導体層104と非晶質構造を有する第2の半導体層108との層の分離を行っている。そして、絶縁層106は、第1の半導体層104に存在する結晶領域から、非晶質構造を有する第2の半導体層108へ結晶成長が進行するのを防ぐ役割を果たす。

20

【0044】

第1の半導体層104の厚さは、2nm以上60nm以下、好ましくは10nm以上30nm以下とする。

【0045】

絶縁層106は、第1の半導体層104と第2の半導体層108との間のキャリアの流れを遮断しない厚さで形成する。また、絶縁層106は、複数の結晶領域を含む第1の半導体層104表面を変質して形成し、好ましくは第1の半導体層104表面を酸化して形成する。例えば、絶縁層106は、プラズマ処理層、自然酸化層などで形成し、酸化シリコン、窒化シリコン、酸化窒化シリコン、または窒化酸化シリコンなどで形成する。また、絶縁層106は、一原子層としても好ましい。絶縁層106の厚さは0nmより厚く5nm以下、0nmより厚く3nm以下、または0nmより厚く2nm以下、より好ましくは0nmより厚く0.5nm以下程度とする。

30

【0046】

第2の半導体層108は、非晶質構造を有する半導体層である。非晶質構造を有する第2の半導体層108は、代表的には非晶質半導体で形成され、非晶質シリコン、またはゲルマニウムを含む非晶質シリコンなどで形成される。第2の半導体層108の厚さは、30nm以上200nm以下、好ましくは50nm以上150nm以下とする。

【0047】

薄膜トランジスタは、ゲート電極に印加する電圧によって、ソース領域およびドレイン領域の間を流れるキャリア(電子又は正孔)を制御する。ここでは、ソース領域およびドレイン領域を構成する一对の不純物半導体層110間(一对の不純物半導体層110が離間されてできる間隙)において、ゲート電極層101と重なる領域の第1の半導体層104、絶縁層106および第2の半導体層108をキャリアが流れる。

40

【0048】

ゲート絶縁層102および第1の半導体層104の界面付近において、多くのキャリアが誘起される。そして、本形態に係る薄膜トランジスタがオン状態となると、第1の半導体層104に誘起されていた多数のキャリアが、一对の配線層112の一方から他方へ流れる。本形態に係る薄膜トランジスタがオフ状態の場合は、ソース領域およびドレイン領域間を繋ぐ層の表面(バックチャネル)をオフ電流が流れる。

【0049】

50

また、本形態に係る薄膜トランジスタは、第1の半導体層104と第2の半導体層108との間に、絶縁層106が設けられている。絶縁層106は、複数の結晶領域を含む第1の半導体層104と、非晶質構造を有する第2の半導体層108が接することを防いでいる。複数の結晶領域を含む半導体（代表的には微結晶半導体）と接して非晶質構造を有する半導体（代表的には非晶質半導体）を形成する場合、非晶質構造を有する半導体の形成条件や、非晶質構造を有する半導体形成後のプロセス条件によっては、複数の結晶領域を含む半導体から非晶質構造を有する半導体へ結晶成長する恐れが生じる。結晶成長としては、非晶質構造を有する半導体が微結晶化或いは多結晶化する、または針状或いは柱状のような結晶が複数の結晶領域を含む半導体から非晶質構造を有する半導体表面に向かって成長する恐れがある。非晶質構造を有する半導体に結晶成長が進行すれば、電気伝導度が向上してしまい、オフ電流の上昇につながってしまう。そこで、複数の結晶領域を含む半導体と非晶質構造を有する半導体の界面に、キャリアの流れを遮断しない厚さの絶縁層を形成することで、複数の結晶領域を含む半導体と非晶質構造を有する半導体の層の分離を行うことができ、非晶質構造を有する半導体に結晶成長が進行することを防止することができる。その結果、薄膜トランジスタの電気特性のばらつきを抑制することができる。絶縁層106は酸化膜で形成してもよいし、窒化膜で形成してもよいが、好ましくは酸化膜（代表的には酸化シリコン膜）を形成することで、界面準位など形成することなく、層の分離を行うことができる。また、絶縁層106は、第1の半導体層104表面をプラズマ処理または酸化処理を行い形成することで、絶縁層106と第1の半導体層104とで良好な界面を形成することができる。このようにすることで、キャリアの流れを遮断することなく、第1の半導体層104と第2の半導体層108との層の分離を行うことができる。

10

20

【0050】

なお、複数の結晶領域を含む第1の半導体層104は、キャリアとして電子を供給する不純物元素であるドナーが添加された半導体（代表的には微結晶半導体）、または、キャリアとして正孔を供給する不純物元素であるアクセプターが添加された半導体（代表的には微結晶半導体）で形成することもできる。ドナーとなる不純物元素は、代表的には周期表第15族元素であるリン、砒素、またはアンチモンなどが挙げられる。アクセプターとなる不純物元素は、代表的には周期表第13族元素であるボロンまたはアルミニウムなどが挙げられる。

30

【0051】

なお、図1に示す薄膜トランジスタは、ソース領域およびドレイン領域を構成する一对の不純物半導体層110間に位置する半導体層に凹部を有する例を示している。このような薄膜トランジスタは、チャンネルエッチング型ともいわれる。本薄膜トランジスタは、第2の半導体層108に凹部を有するものとし、凹部には第2の半導体層108が存在するものとする。もちろん、本発明の一態様に係る薄膜トランジスタはチャンネル保護膜型とすることもできる。

【0052】

また、図1に示す薄膜トランジスタは、液晶表示装置またはEL表示装置に代表される表示装置の画素部に設けられる画素トランジスタに適用することができる。そのため、図示した例では、絶縁層114に開口部が設けられ、絶縁層114上に画素電極層116が設けられ、絶縁層114に設けられた開口部を介して、画素電極層116と、一对の配線層112の一方と、が接続されている。

40

【0053】

また、ソース電極及びドレイン電極の一方は、U字型（またはコの字型、馬蹄型ともいう）の形状で設けられ、該U字型の形状であるソース電極及びドレイン電極の一方が、ソース電極及びドレイン電極の他方を囲い込んでいる。ソース電極とドレイン電極との距離はほぼ一定に保たれている（図1を参照）。

【0054】

薄膜トランジスタを上記の形状とすることで、薄膜トランジスタのチャンネル幅を大きく

50

することができ、電流量が増大する。また、電気特性のばらつきを低減することができる。更には、作製工程におけるマスクパターンのずれによる信頼性の低下を抑制することができる。ただし、本発明はこれに限定されず、薄膜トランジスタのソース電極及びドレイン電極の一方が、必ずしもU字型でなくともよい。

【0055】

次に、図1に示す薄膜トランジスタの作製方法について説明する。微結晶半導体を有する薄膜トランジスタではpチャネル型薄膜トランジスタよりもnチャネル型薄膜トランジスタの方が、キャリアの移動度が高い。また、同一の基板上に形成する薄膜トランジスタを全て同じ極性に統一すると、工程数を抑えることができ、好ましい。そのため、本実施の形態では、nチャネル型の薄膜トランジスタの作製方法について説明する。

10

【0056】

まず、基板100上にゲート電極層101を形成する(図2(A)を参照)。

【0057】

基板100としては、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐える程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。基板100がマザーガラスの場合には、第1世代(例えば、320mm×400mm)から第7世代(1870mm×2200mm)、第8世代(例えば、2200mm×2400mm)のものを用いることができるのみならず、第9世代(例えば、2400mm×2800mm)、第10世代(例えば、2950mm×3400mm)のものをも用いることができる。

20

【0058】

ゲート電極層101は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層構造又は積層構造として形成することができる。また、ゲート電極層101は、基板100上に、スパッタリング法又は真空蒸着法を用いて導電膜を形成し、該導電膜上にフォトリソグラフィ法又はインクジェット法等によりマスクを形成し、該マスクを用いて導電膜をエッチングして形成することができる。また、銀、金又は銅等の導電性ナノペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。ここでは、基板100上に導電膜を形成し、フォトマスクを用いて形成したレジストマスクを用いて導電膜をエッチングして、ゲート電極層101を形成する。

30

【0059】

ゲート電極層101としてアルミニウムを用いる場合には、タンタルを添加して合金化したAl-Ta合金を用いるとヒロックが抑制されるため、好ましい。また、ネオジウムを添加して合金化したAl-Nd合金を用いると、ヒロックが抑制されるだけでなく、抵抗の低い配線を形成することができるため、更に好ましい。また、ゲート電極層101として、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体やAgPdCu合金を用いてもよい。例えば、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造とすることが好ましい。電氣的抵抗が低い層上にバリア層として機能する金属層が積層されることで、電氣的抵抗が低くなり、且つ金属層から上層に形成される半導体層への金属元素の拡散を防止することができる。または、窒化チタン層とモリブデン層とから構成される二層の積層構造、または膜厚50nmのタングステン層と膜厚500nmのアルミニウムとシリコンの合金層と膜厚30nmの窒化チタン層とを積層した三層の積層構造としてもよい。また、上述のように三層の積層構造とする場合には、ゲート電極層101を構成する第1の導電膜のタングステンに代えて窒化タングステンをを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金に代えてアルミニウムとチタンの合金を用いてもよいし、第3の導電膜の窒化チタンに代え

40

50

てチタンを用いてもよい。例えば、Al-Nd合金層上にモリブデン層を積層して形成すると、耐熱性に優れ、且つ電氣的に低抵抗な導電膜を形成することができる。なお、上記の金属材料の窒化物層を、基板100と、ゲート電極層101との間に設けてもよい。

【0060】

なお、ゲート電極層101の側面は、テーパ形状とすることが好ましい。ゲート電極層101上には、後の工程で絶縁層、半導体層及び配線層を形成するので、段差の箇所における配線切れ防止のためである。ゲート電極層101の側面をテーパ形状にするためには、レジストマスクを後退させつつエッチングを行えばよい。例えば、エッチングガスに酸素ガスを含ませることでレジストを後退させつつエッチングを行うことが可能である。

10

【0061】

また、ゲート電極層101を形成する工程によりゲート配線（走査線）も同時に形成することができる。更には、画素部が有する容量線も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方又は双方と、ゲート電極層101とは別に設けてもよい。

【0062】

次に、ゲート電極層101を覆ってゲート絶縁層102を形成する（図2（B）を参照）。ゲート絶縁層102は、CVD法又はスパッタリング法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜又は窒化酸化シリコン膜を単層で又は積層して形成することができる。また、ゲート絶縁層102は、高周波数（1GHz程度）のマイクロ波プラズマCVD装置を用いて形成してもよい。マイクロ波プラズマCVD装置を用いて高い周波数によりゲート絶縁層102を形成すると、緻密な層を形成することができる。ゲート絶縁層102を緻密に形成すると、ゲート電極と、ドレイン電極及びソース電極と、の間の耐圧を向上させることができるため、信頼性の高い薄膜トランジスタを得ることができる。また、ゲート絶縁層102を酸化窒化シリコンにより形成することで、トランジスタの閾値電圧の変動を抑制することができる。

20

【0063】

なお、本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）及び水素前方散乱法（HFS：Hydrogen Forward Scattering）を用いて測定した場合に、濃度範囲として酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上30原子%以下の範囲で含まれるものをいう。ただし、酸化窒化シリコン又は窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

30

40

【0064】

次に、ゲート絶縁層102上に複数の結晶領域を含む第1の半導体膜103を形成する（図2（C）を参照）。第1の半導体膜103は、複数の結晶領域を含む半導体、代表的には微結晶半導体の生成が可能な混合比で、半導体材料ガスと希釈ガスを反応ガスとし、プラズマを生成して成膜する。具体的には、シランに代表される半導体材料ガスを水素などで希釈した反応ガス（材料ガスともいう）を反応空間内に導入し、所定の圧力を維持してプラズマ、代表的にはグロー放電プラズマを生成し、反応空間内に置かれた被処理基板上に被膜（複数の結晶領域を含む半導体膜）が成膜される。半導体材料ガスとしては、シラン、ジシランに代表される水素化シリコンを用いることができる。水素は希釈ガスの代

50

表例であり、水素化シリコン及び水素に加え、ヘリウム、アルゴン、クリプトン及びネオンから選ばれた一種または複数種の希ガス元素で希釈し、第1の半導体膜103を成膜することもできる。希釈は、水素化シリコンに対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。例えば、第1の半導体膜103は、プラズマCVD装置の処理室(チャンバー、反応室、成膜室、反応空間ともいう)内において、シランに代表される半導体材料ガスを水素などで希釈し、グロー放電プラズマにより形成することができる。なお、水素化シリコンの代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 等の塩化シリコン又は SiF_4 等のフッ化シリコンを用いることができる。グロー放電プラズマの生成は、1MHzから30MHz、代表的には13.56MHz、27.12MHzの高周波電力、または30MHzより大きく300MHz程度までのVHF帯の高周波電力、代表的には60MHzを印加することで行われる。また、周波数が1GHz以上のマイクロ波の高周波電力を印加しても良い。周波数が1GHz以上のマイクロ波プラズマにより形成した膜は電子密度が高く、またマイクロ波プラズマを利用することで水素化シリコンの解離が容易となる。このため、マイクロ波プラズマを用いた複数の結晶領域を含む半導体膜の形成は、周波数が数十MHz以上数百MHz以下の高周波プラズマCVD法により形成した場合と比較して、複数の結晶領域を含む半導体膜の作製が容易であり、成膜速度を高めることができ、生産性を向上させることができる。

【0065】

複数の結晶領域を含む第1の半導体膜103は、2nm以上60nm以下、好ましくは10nm以上30nm以下の厚さで形成するとよい。また、複数の結晶領域を含む半導体膜が微結晶半導体膜である場合、微結晶半導体膜の成膜速度は、非晶質半導体膜の成膜速度の $1/10 \sim 1/100$ と遅いため、薄く形成し、スループットを向上させることが好ましい。

【0066】

次に、第1の半導体膜103上に絶縁膜105を形成する(図2(D)を参照)。絶縁膜105は、完成する薄膜トランジスタにおいてキャリアの流れを遮断しない厚さとするため、第1の半導体膜103表面を変質して形成することが好ましく、プラズマ処理または酸化処理などにより形成することが好ましい。例えば、絶縁膜105は、自然酸化膜、プラズマ処理膜、一原子層などの極薄膜を形成することが好ましく、酸化シリコン、窒化シリコン、酸化窒化シリコン、または窒化酸化シリコンなどで形成する。絶縁膜105の厚さは0nmより厚く5nm以下、0nmより厚く3nm以下、又は0nmより厚く2nm以下、より好ましくは0nmより厚く0.5nm以下程度の膜を形成する。絶縁膜105は、上層に形成する非晶質構造を有する第2の半導体層に結晶成長が進行するのを防ぐ役割を果たすが、キャリアを流す必要があるため、オン電流を下げないように極薄く形成することが好ましい。そのため、CVD法やスパッタリング法などの物理的或いは化学的な成長法を用いて絶縁膜を形成するよりも、半導体膜表面を変質させて絶縁膜を形成する方が好ましい。

【0067】

例えば、複数の結晶領域を含む第1の半導体膜103を成膜した後、大気に曝して形成される自然酸化膜を絶縁膜105に適用する。第1の半導体膜103を成膜後、該成膜を行った装置から第1の半導体膜103が形成された基板を大気雰囲気下に移動することで、第1の半導体膜103上に自然酸化膜が形成される。また、酸素を含む雰囲気下又は窒素を含む雰囲気下でプラズマを生成し、酸素ラジカル又は窒素ラジカルの反応により絶縁膜105を形成する。その他、オゾン処理を行う、酸化性の薬液によりケミカルオキシドを形成するなどの酸化処理により形成することもできる。また、水或いは水蒸気を含む雰囲気下でプラズマを生成する、所謂水プラズマ(H_2O プラズマ)により、絶縁膜105を形成することもできる。また、酸化処理(或いは窒化処理)とプラズマ処理を組み合わせることもできる。例えば、大気に曝した後、水プラズマ処理を行って絶縁膜105を形成してもよい。

10

20

30

40

50

【0068】

ここで、絶縁膜105の形成方法は、上述の通りキャリアの流れを遮断しない厚さの極薄い絶縁膜が形成できる方法であれば特に限定されないが、水プラズマを用いることが好ましい。

【0069】

複数の結晶領域を含む半導体の一である微結晶半導体は、複数の微細な結晶粒が集合して構成されることにより歪みが内在する。それにより、例えば、減圧下で100乃至300に加熱された状態で形成された微結晶半導体膜を、室温、大気圧の状態に戻すと、微結晶半導体膜に内部応力が作用する。これにより、微細な結晶粒間にナノスケールの亀裂(所謂ナノクラック)が生じ、欠陥が生成されることとなる。微結晶半導体膜に生成される欠陥は、キャリアトラップとなるので、オン電流の低下など電気特性に悪影響を及ぼす。

10

【0070】

そこで、複数の結晶領域を含む第1の半導体膜103を形成した後、水或いは水蒸気を含む雰囲気下で生成するプラズマ、所謂水プラズマ(H_2O プラズマ)を用いたプラズマ処理を行い、絶縁膜105を形成する。または、第1の半導体膜103を形成し、装置から一旦第1の半導体膜103が形成された基板を移動させて大気に曝した後、水プラズマを用いたプラズマ処理を行う。このようにすることで、第1の半導体膜103上層に形成する非晶質構造を有する第2の半導体層の結晶化を防ぐ絶縁膜を形成できるとともに、第1の半導体膜103の欠陥を補償することができる。また、第1の半導体膜103と絶縁膜105の界面を良質にすることができる。例えば、第1の半導体膜103として微結晶シリコンを適用する場合、水プラズマ処理を行う、或いは大気に曝した後に水プラズマ処理を行うことで、絶縁膜105を形成することができる。

20

【0071】

水プラズマは、反応空間に水蒸気(H_2O 蒸気)に代表される水を主成分とするガスを導入してプラズマを生成することで発生させることができる。プラズマ発生法は、特に限定はなく、誘導結合型プラズマ(ICP: Inductively Coupled Plasma)方式、容量結合型(平行平板型)プラズマ(CCP: Capacitively Coupled Plasma)方式、電子サイクロトロン共鳴プラズマ(ECR: Electron Cyclotron Resonance)方式、ヘリコン方式などを適用することができる。第1の半導体膜103を形成した後、水プラズマによりプラズマ処理を行うことで、第1の半導体膜103表面に絶縁膜105を形成するとともに、水酸基(OH基)が作用して微結晶半導体中、微結晶半導体表面または微結晶半導体近傍の欠陥を補償することができる。水プラズマを利用することで、非晶質半導体との層の分離を行うとともに、微結晶半導体の膜質改善を図ることができ、薄膜トランジスタの電気特性向上につなげることができる。

30

【0072】

ここで、絶縁膜105を形成するプラズマ処理の条件の一例としては、 H_2O ガスの流量を300sccm、チャンパー内の圧力を66.5Paとし、コイル型の電極に1800WのRF(13.56MHz)電力を投入してプラズマを生成し、基板側には電力を投入せず0Wとして、第1の半導体膜103に180秒間のプラズマ処理を行う。なお、0Wとする基板側とは、ここでは第1の半導体膜103が形成された基板側である。 H_2O ガスは、例えば、ペーパライザーに代表される気化機構を通して純水を気化させ、チャンパーに導入すればよい。

40

【0073】

次に、絶縁膜105上に非晶質構造を有する第2の半導体膜107を形成する(図2(E)を参照)。非晶質構造を有する第2の半導体膜107、代表的には非晶質半導体膜は、シランに代表される半導体材料ガスを用いて、プラズマを生成して成膜する。半導体材料ガスは、第1の半導体膜103と同様の材料を用いることができ、シラン、ジシランに代表される水素化シリコン、フッ化シリコンまたは塩化シリコンに、ヘリウム、アルゴン

50

、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して、プラズマ CVD 法により形成することができる。または、水素化シリコンの流量の 1 倍以上 10 倍以下、好ましくは 1 倍以上 5 倍以下の流量の水素を用いて希釈し、水素を含む非晶質半導体を形成することができる。また、上記水素を含む非晶質半導体に、フッ素、塩素などのハロゲン元素を添加してもよい。

【0074】

また、非晶質構造を有する第 2 の半導体膜 107 は、ターゲットにシリコン、ゲルマニウム等の半導体ターゲットを用い、水素または希ガスでスパッタリングして、非晶質半導体を形成することができる。つまり、第 2 の半導体膜 107 をスパッタリング法により形成することができる。

10

【0075】

次に、第 2 の半導体膜 107 上に一導電型を付与する不純物元素が添加された一導電型の不純物半導体膜 109 を形成する（図 2（E）を参照）。

【0076】

ここでは、n チャネル型の薄膜トランジスタを形成するため、不純物半導体膜 109 は、ドナーとなる一導電型を付与する不純物元素（n 型を付与する不純物元素ともよぶ。）を含む半導体膜（不純物半導体膜）を形成する。不純物半導体膜 109 を後にエッチングすることで、ソース領域およびドレイン領域を構成する一対の一導電型の不純物半導体層を形成する。n チャネル型の薄膜トランジスタを形成する場合には、ドナーとなる不純物元素としてリンを添加して不純物半導体膜 109 を形成すればよく、シランに代表される半導体材料ガスにフォスフィン（ PH_3 ）等の n 型を付与する不純物元素を含む気体を加えて形成することができる。不純物半導体膜 109 は、非晶質半導体により形成することができる。非晶質半導体中には結晶粒を含んでいてもよい。または、微結晶半導体であってもよい。不純物半導体膜 109 は 30 nm 以上 100 nm 以下程度の厚さで形成すればよい。

20

【0077】

なお、p チャネル型の薄膜トランジスタを形成する場合には、不純物半導体膜 109 として、アクセプターとなる一導電型を付与する不純物元素（p 型を付与する不純物元素ともよぶ。）を含む半導体膜（不純物半導体膜）を形成する。代表的なアクセプターとなる不純物元素としてはボロンを添加すれば良く、シランに代表される半導体材料ガスにジボロン（ B_2H_6 ）等の p 型を付与する不純物元素を含む気体を加えれば良い。

30

【0078】

次に、不純物半導体膜 109 上に導電膜 111 を形成する（図 3（A）を参照）。

【0079】

導電膜 111 は、アルミニウム、銅、チタン、ネオジム、スカンジウム、モリブデン、クロム、タンタル若しくはタングステン等により単層で、又は積層して形成することができる。または、ヒロック防止元素が添加されたアルミニウム合金（ゲート電極層 101 に用いることができる Al - Nd 合金等）により形成してもよい。一導電型を付与する不純物元素を添加した結晶性シリコンを用いてもよい。不純物半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン又はこれらの元素の窒化物により形成し、その上にアルミニウム又はアルミニウム合金を形成した積層構造としても良い。更には、アルミニウム又はアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン又はこれらの元素の窒化物で挟んだ積層構造としてもよい。例えば、導電膜 111 として、アルミニウム膜をモリブデン膜で挟んだ三層の積層構造とするとよい。

40

【0080】

導電膜 111 は、CVD 法、スパッタリング法又は真空蒸着法を用いて形成する。また、導電膜 111 は、銀、金又は銅等の導電性ペーストを用いてスクリーン印刷法又はインクジェット法等を用いて吐出し、焼成することで形成しても良い。

【0081】

次に、導電膜 111 上に第 1 のレジストマスク 131 を形成する（図 3（B）を参照）

50

。第1のレジストマスク131は厚さの異なる二の領域を有し、多階調マスクを用いて形成することができる。多階調マスクを用いることで、使用するフォトマスクの枚数が低減され、作製工程数が減少するため好ましい。本実施の形態において、複数の結晶領域を含む第1の半導体膜103、絶縁膜105および非晶質構造を有する第2の半導体膜107のパターンを形成する工程と、不純物半導体膜を分離してソース領域およびドレイン領域を構成する一対の不純物半導体層を形成する工程において、多階調マスクを用いることができる。

【0082】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行う。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

10

【0083】

図5(A-1)及び図5(B-1)は、代表的な多階調マスクの断面図を示す。図5(A-1)にはグレートーンマスク180を示し、図5(B-1)にはハーフトーンマスク185を示す。

【0084】

図5(A-1)に示すグレートーンマスク180は、透光性を有する基板181上に遮光層により形成された遮光部182、及び遮光層のパターンにより設けられた回折格子部183で構成されている。

20

【0085】

回折格子部183は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドット又はメッシュ等を有することで、光の透過量を制御する。なお、回折格子部183に設けられるスリット、ドット又はメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【0086】

透光性を有する基板181としては、石英等を用いることができる。遮光部182及び回折格子部183を構成する遮光層は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

30

【0087】

グレートーンマスク180に露光するための光を照射した場合、図5(A-2)に示すように、遮光部182に重畳する領域における透光率は0%となり、遮光部182および回折格子部183が設けられていない領域における透光率は100%となる。また、回折格子部183における透光率は、概ね10%~70%の範囲であり、回折格子のスリット、ドット又はメッシュの間隔等により調整可能である。

【0088】

図5(B-1)に示すハーフトーンマスク185は、透光性を有する基板186上に半透光層により形成された半透光部187、及び遮光層により形成された遮光部188で構成されている。

40

【0089】

半透光部187は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の層を用いて形成することができる。遮光部188は、グレートーンマスクの遮光層と同様の金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【0090】

ハーフトーンマスク185に露光するための光を照射した場合、図5(B-2)に示すように、遮光部188に重畳する領域における透光率は0%となり、遮光部188および半透光部187が設けられていない領域における透光率は100%となる。また、半透光部187における透光率は、概ね10%~70%の範囲であり、形成する材料の種類又は

50

形成する膜厚等により、調整可能である。

【0091】

多階調マスクを用いて露光して現像を行うことで、膜厚の異なる領域を有するレジストマスクを形成することができる。

【0092】

次に、第1のレジストマスク131を用いて導電膜111、不純物半導体膜109、第2の半導体膜107、絶縁膜105、および第1の半導体膜103をエッチングする。この工程により、第1の半導体膜103、絶縁膜105、第2の半導体膜107、不純物半導体膜109、導電膜111を素子毎に分離する(図3(C)を参照)。素子毎の分離により、所望の形状にパターン形成された第1の半導体層104、絶縁層106が得られる。

10

【0093】

次に、第1のレジストマスク131を後退させて第2のレジストマスク132を形成する。レジストマスクの後退には、酸素プラズマによるアッシングを用いればよい。

【0094】

次に、第2のレジストマスク132を用いて導電膜111をエッチングし、ソース電極およびドレイン電極を構成する一対の配線層112を形成する(図4(A)を参照)。導電膜111のエッチングは、ウエットエッチングを用いることが好ましい。ウエットエッチングにより、導電膜111が選択的にエッチングされ、導電膜111は第2のレジストマスク132よりも内側に後退し、離間した一対の配線層112が形成される。したがって、配線層112の側面と、下層の不純物半導体膜109の側面は一致せず、配線層112の側面の外側に、後にソース領域及びドレイン領域を構成する不純物半導体膜109の側面が位置する。配線層112は、ソース電極及びドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、信号線を構成する配線層と、ソース電極およびドレイン電極を構成する配線層と、は別に設けてもよい。

20

【0095】

次に、第2のレジストマスク132が形成された状態で、不純物半導体膜109をエッチングする(図4(B)を参照)。このエッチングで、所望の形状にパターン形成された一対の不純物半導体層110が得られる。一対の不純物半導体層110は分離しており、ソース領域およびドレイン領域を構成する。

30

【0096】

また、ソース領域およびドレイン領域を構成する一対の不純物半導体層110を形成するエッチングで、第2の半導体膜107の一部がエッチングされて凹部が形成され、第2の半導体層108が形成される。ここで、凹部には第2の半導体膜107の一部が残存するように、不純物半導体膜109のエッチングを制御することが好ましい。不純物半導体膜109のエッチング後、凹部に残存する第2の半導体膜107の膜厚(第2の半導体層108の凹部の膜厚)は、前記エッチング前の膜厚の半分程度とすることが好ましい。つまり、エッチングによる一対の不純物半導体層110形成後、不純物半導体層110下の第2の半導体層において、不純物半導体層110と重なる領域と、不純物半導体層110と重ならない領域(不純物半導体層110の離間された間隙に重なる領域)と、で、膜厚に差が生じている。これは、ソース領域およびドレイン領域を構成する不純物半導体層110の形成プロセスにおいて、不純物半導体層110と重なる領域の第2の半導体層はエッチングされず、不純物半導体層110と重ならない領域の第2の半導体層はエッチングされるからである。

40

【0097】

第2のレジストマスク132を除去し、本実施の形態に係る薄膜トランジスタを作製することができる(図4(C)を参照)。本形態では、多階調マスクを用いて、チャンネルエッチング型である逆スタガ型の薄膜トランジスタを形成する例について説明した。多階調マスクを用いることで使用するフォトマスクの枚数が低減される。したがって、作製工程を減少させることができる。

50

【0098】

本実施の形態に係る薄膜トランジスタは、液晶表示装置または発光表示装置に代表される表示装置の画素におけるスイッチングトランジスタに適用することができる。そのため、この薄膜トランジスタを覆って、開口部を有する絶縁層114を形成し、該開口部において一对の配線層112により構成されるソース電極又はドレイン電極と接続されるように画素電極層116を形成する。この開口部は、フォトリソグラフィ法により形成することができる。その後、当該開口部を介して接続されるように、絶縁層114上に画素電極層116を設ける(図4(C)を参照)。このようにして図1に示す表示装置の画素におけるスイッチングトランジスタを作製することができる。

【0099】

なお、絶縁層114は、ゲート絶縁層102と同様に形成することができる。絶縁層114は、大気中に浮遊する有機物、金属又は水蒸気等の汚染源となりうる不純物元素の侵入を防ぐことができるよう、緻密な窒化シリコンにより設けることが好ましい。

【0100】

なお、画素電極層116は、透光性を有する導電性高分子(導電性ポリマーともいう。)を含む導電性組成物を用いて形成することができる。画素電極層116は、シート抵抗が $10000 \text{ } \Omega / \text{cm}^2$ 以下であって、且つ波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0101】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又はこれらの2種以上の共重合体等が挙げられる。

【0102】

画素電極層116は、例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、または酸化シリコンを添加したインジウム錫酸化物等を用いて形成することができる。

【0103】

画素電極層116は、配線層112等と同様に、フォトリソグラフィ法を用いてエッチングを行い、パターン形成すればよい。

【0104】

なお、図示していないが、絶縁層114と画素電極層116との間に、スピンコーティング法等により形成した有機樹脂からなる絶縁層を有していても良い。

【0105】

本形態に係る薄膜トランジスタは、複数の結晶領域を含む半導体(代表的には微結晶半導体)と非晶質構造を有する半導体(代表的には非晶質半導体)を積層させることで、好適なオフ電流とオン電流の両立を図っている。また、複数の結晶領域を含む半導体と非晶質構造を有する半導体との間にキャリアの流れを遮断しない厚さで絶縁層を設けた構成とすることで、適切な層の分離を行うことができ、電気特性のばらつきを抑制することができる。したがって、良好な電気特性を有する薄膜トランジスタを得ることができる。

【0106】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0107】

(実施の形態2)

本形態では、上記実施の形態と異なる薄膜トランジスタの例について説明する。具体的には、上記実施の形態1で説明した第1の半導体層104とは異なる特徴を有する複数の結晶領域を含む半導体層を形成する。

【0108】

本形態で説明する複数の結晶領域を含む半導体層は、本薄膜トランジスタのチャネル形成領域として機能する。また、図1に示す薄膜トランジスタにおいて、第1の半導体層104として適用する半導体層である。本形態に係る複数の結晶領域を含む半導体層には、結晶質半導体により構成される結晶粒が、非晶質構造を含む半導体層中に離散して存在する。この様子を図6(B)に示す。

【0109】

第1の半導体層154は複数の結晶領域を含む。ここで、第1の半導体層154は、第1の領域150及び第2の領域152を有する。第1の領域150は、非晶質半導体を含む。第2の領域152は、離散的に存在する複数の結晶粒151と、複数の結晶粒151の間に非晶質構造を含む半導体層を有する。第1の領域150は、ゲート絶縁層102上に接して、ゲート絶縁層102との界面から厚さ t_1 となる位置まで存在する。第2の領域152は、第1の領域150上に接して、厚さ t_2 となる位置まで存在する。即ち、結晶粒151の核生成位置は、ゲート絶縁層102の界面から t_1 の位置となるよう第1の半導体層154の厚さ方向において制御されている。結晶粒151の核生成位置は、第1の半導体層154に含まれる窒素濃度により制御されている。

【0110】

結晶粒151の形状は、逆錐形である。ここで、逆錐形とは、多数の平面から構成される面の閉じた曲線または折れ線の周上を一周する点の集合とこの多数の平面から構成される面の外に存在する頂点とを結ぶ線によって作られる単数もしくは複数の面と、で囲まれた立体的形状であって、該頂点が基板側に存在するものをいう。離散的に形成された結晶核のそれぞれが結晶の方位に沿って成長することで、結晶粒は、結晶核を起点として結晶の成長方向と垂直な面の面内方向に広がるように成長する。また、結晶粒151内には単結晶、または双晶を含む。ここで、逆錐形の結晶粒151では、側面は面方位が揃っており、側面の断面形状(図6(B)を参照)は一直線である。そのため、結晶粒151は複数の結晶を含んでいる形態よりも単結晶または双晶を含む形態に近いと考えられる。双晶を含む場合には、複数の結晶を含む場合と比較して、ダングリングボンドが少ないため欠陥数が少なく、オフ電流が小さい。また、複数の結晶を含む場合と比較して、粒界が少なく、オン電流が大きい。なお、結晶粒151には、複数の結晶を含んでいてもよい。

【0111】

なお、双晶とは、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることをいう。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する領域は実質的に結晶粒界が存在しないと見なすことができる。

【0112】

なお、結晶核の生成を抑制或いは妨害する不純物元素として酸素、窒素等があるが、半導体(代表的にはシリコン)中にあってキャリアトラップを生成せず、半導体(代表的にはシリコン)の配位数を減らし、ダングリングボンドを生成する不純物元素(例えば酸素のような不純物元素)の濃度は低減させる。従って、窒素濃度を低減させずして酸素濃度を低減させるとよい。具体的には、酸素濃度は $5 \times 10^{18} / \text{cm}^3$ 以下とするとよい。

【0113】

また、本形態では、ゲート絶縁層102の表面に窒素を存在させて第1の半導体層154を形成する。ここで、窒素濃度は核生成位置を決定するため重要である。窒素が存在するゲート絶縁層102上に第1の半導体層154を形成すると、まず、第1の領域150が形成され、その後、第2の領域152が形成される。ここで、第1の領域150と第2の領域152との界面の位置は窒素濃度により決定される。窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{20} / \text{cm}^3$ 以上 $7 \times 10^{20} / \text{cm}^3$ 以下のときに結晶核を生成し、第2の領域152が形成されることとなる。すなわち、結晶粒151の成長の起点となる結晶核の生成位置において、窒素濃度は $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{20} / \text{cm}^3$ 以上 $7 \times 10^{20} / \text{cm}^3$ 以下となる。換言すると、逆錐形を有する結晶粒151の頂点における

窒素濃度は $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{20} / \text{cm}^3$ 以上 $7 \times 10^{20} / \text{cm}^3$ 以下である。

【0114】

また、窒素濃度は、ゲート絶縁層102から離れるにつれて徐々に低下する。窒素濃度は、25nm以上40nm以下の範囲で一桁低下するとよく、30nm以上35nm以下で一桁低下することがより好ましい。

【0115】

なお、上記したように結晶核の生成を抑制する不純物元素が高濃度（概ね $1 \times 10^{20} / \text{cm}^3$ 以上）に存在すると、結晶成長も抑制するため、第1の半導体層154に含まれる窒素は、半導体層の被成膜面にのみ添加し、または半導体層の成膜初期にのみ導入する。

10

【0116】

第1の半導体層154上に接して絶縁層106が設けられ、該絶縁層106上に接して非晶質構造を有する第2の半導体層108が設けられている。絶縁層106は、非晶質構造を含む半導体層中に逆錐形の結晶粒が離散して存在する第1の半導体層154表面に設けられており、第1の半導体層154と非晶質構造を有する第2の半導体層108との層の分離を行っている。そして、絶縁層106は、第1の半導体層154に存在する逆錐形の結晶粒から、非晶質構造を有する第2の半導体層108へ結晶成長が進行するのを防ぐ役割を果たす。

【0117】

20

次に、図1に示す第1の半導体層104と代えて、図6(B)に示す第1の半導体層154を用いた薄膜トランジスタの構成および作製方法について説明する。

【0118】

図7(A)に、本形態に係る薄膜トランジスタの断面図を示す。図7(A)に示す薄膜トランジスタは、図1に示す薄膜トランジスタの第1の半導体層104と代えて第1の半導体層154が適用されている。

【0119】

本形態に係る薄膜トランジスタにおいて、第1の半導体層154、絶縁層106、および第2の半導体層108の積層構造は、少なくともチャネル長方向に延在しており、ソース電極およびドレイン電極を構成する一对の配線層112の一方から他方へ連続している。第1の半導体層154はゲート絶縁層102側に位置し、第2の半導体層108はソース領域およびドレイン領域を構成する一对の不純物半導体層110側に位置している。第1の半導体層154と第2の半導体層108の間には、絶縁層106が設けられている。

30

【0120】

本形態の薄膜トランジスタも、オン状態の場合は第1の半導体層154をキャリアが流れ、オフ状態の場合は第2の半導体層108をリーク電流が流れる。第1の半導体層154には、結晶質半導体により構成される結晶粒が存在しており、非晶質構造を有する第2の半導体層108よりも高い電気伝導度を有するため、非晶質半導体でチャネル形成領域を構成する薄膜トランジスタよりも高いオン電流を発生させるように作用する。また、非晶質構造を有する第2の半導体層108は、結晶質半導体により構成される結晶粒が存在する第1の半導体層154よりも低い電気伝導度を有するため、微結晶半導体でチャネル形成領域を構成する薄膜トランジスタよりもオフ電流を低減させるように作用する。つまり、本形態に係る薄膜トランジスタのように、ゲート絶縁層側に第1の半導体層154を配置し、ソース領域およびドレイン領域を構成する不純物半導体層側に第2の半導体層108を配置することで、オフ電流を低減させるとともにオン電流の向上を両立させることができる。

40

【0121】

以下、本形態に係る薄膜トランジスタの作製方法を説明する。ここでは、本形態の特徴の一つである第1の半導体層154の形成方法について詳細に説明するため、図7(B)

50

に示すように、ゲート絶縁層102、第1の半導体層154（第1の半導体膜153）、絶縁膜105、第2の半導体膜107および不純物半導体膜109を形成する方法について説明する。その他の構成は、上記実施の形態1で示した作製工程を用いるものとする。

【0122】

複数の結晶領域を含む第1の半導体層154は、2nm以上60nm以下、好ましくは10nm以上30nm以下の厚さで形成するとよい。また、上記したように、第1の半導体層154は、逆錐形の結晶粒を有する。逆錐形の結晶粒は、例えば、第1の半導体層154の酸素濃度を低くし、窒素濃度を酸素濃度よりも高くし、窒素濃度が結晶粒の成長方向に従って低下していくことで、結晶粒の核生成を制御しつつ形成することができる。ここで、窒素濃度は酸素濃度よりも一桁以上高いことが好ましい。より具体的には、ゲート絶縁層102と第1の半導体層154の界面における酸素濃度を $5 \times 10^{18} / \text{cm}^3$ 以下とし、窒素の濃度を $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下とする。また、酸素濃度を低く抑えて、窒素濃度を酸素濃度よりも高くして形成する手段としては、代表的には以下に示す(1)~(4)が挙げられる。

10

【0123】

酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする手段の一は、(1)第1の半導体層154に接するゲート絶縁層102に、高濃度に窒素を含ませることである。従って、ゲート絶縁層102を窒化シリコンにより形成することである。

【0124】

酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする異なる手段の一は、(2)第1の半導体層154の形成前に、ゲート絶縁層102の表面に多量の窒素を存在させることである。ゲート絶縁層102の表面に多量の窒素を存在させるためには、ゲート絶縁層102の形成後、第1の半導体層154の形成前に、ゲート絶縁層102の表面を、窒素を含むガスによって生成されるプラズマにより処理すればよい。ここで、窒素を含むガスとしては、例えばアンモニアが挙げられる。

20

【0125】

酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする異なる手段の一は、(3)第1の半導体層154の形成に用いる処理室(チャンバー)の内壁を、高濃度に窒素を含む膜により覆うことである。高濃度に窒素を含む材料として、例えば窒化シリコンが挙げられる。なお、処理室(チャンバー)内壁を覆う高濃度に窒素を含む膜は、ゲート絶縁層102と同時に形成してもよく、工程の簡略化ができるため好ましい。また、この場合には、ゲート絶縁層102の形成に用いる処理室(チャンバー)と第1の半導体層154の形成に用いる処理室(チャンバー)が同一のものとなるため、装置が小型化される。

30

【0126】

酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする異なる手段の一は、(4)第1の半導体層154の形成に用いるガスに含まれる酸素の濃度を低く抑え、窒素の濃度を高くすることである。このとき、窒素は第1の半導体層154の成膜初期に用いるガスにのみ導入し、または導入する窒素の量を減少させていけばよい。

【0127】

なお、本形態では第1の半導体層154の形成に際して上記手段(1)~(4)のいずれか一を用いてもよいし、上記手段(1)~(4)を適宜組み合わせ用いてもよい。

40

【0128】

ここで、ゲート絶縁層102、第1の半導体膜153（第1の半導体層154）、絶縁膜105（絶縁層106）、第2の半導体膜107（第2の半導体層108）、並びに不純物半導体膜109（ソース領域及びドレイン領域を構成する一対の不純物半導体層110）を作製する一例について詳細に説明する。これらの層はCVD法等を用いて形成する。また、ゲート絶縁層102は、窒化シリコン膜上に酸化窒化シリコン膜を設けた積層構造とする。このような構造とすることで、窒化シリコン膜により基板中に含まれる電気特性に影響を及ぼす元素（基板がガラスである場合にはナトリウム等の元素）が、第1の半導体層154等に侵入することを防止することができる。図8は、これらを形成するに際

50

して用いるCVD装置の模式図を示す。

【0129】

図8に示すプラズマCVD装置621は、ガス供給手段610及び排気手段611に接続されている。

【0130】

図8に示すプラズマCVD装置621は、処理室601と、ステージ602と、ガス供給部603と、シャワープレート604と、排気口605と、上部電極606と、下部電極607と、交流電源608と、温度制御部609と、を具備する。

【0131】

処理室601は剛性のある素材で形成され、内部を真空排気できるように構成されている。処理室601には、上部電極606と下部電極607が備えられている。なお、図8では、容量結合型(平行平板型)の構成を示しているが、異なる二以上の高周波電力を印加して処理室601の内部にプラズマを生成できるものであれば、誘導結合型など他の構成を適用してもよい。

【0132】

図8に示すプラズマCVD装置により処理を行う際には、所定のガスをガス供給部603から供給する。供給されたガスは、シャワープレート604を通過して、処理室601に導入される。上部電極606と下部電極607に接続された交流電源608により、高周波電力が印加されて処理室601内のガスが励起され、プラズマが生成される。また、真空ポンプに接続された排気口605によって、処理室601内のガスが排気されている。また、温度制御部609によって、被処理物を加熱しながらプラズマ処理することができる。

【0133】

ガス供給手段610は、反応ガスが充填されるシリンダ612、圧力調整弁613、ストップバルブ614、マスフローコントローラ615などで構成されている。処理室601内において、上部電極606と下部電極607の間には板状に加工され、複数の細孔が設けられたシャワープレート604を有する。上部電極606に供給される反応ガスは、内部の中空構造を経て、この細孔から処理室601内に供給される。

【0134】

処理室601に接続される排気手段611は、真空排気と、反応ガスを流す場合において処理室601内を所定の圧力に保持するように制御する機能が含まれている。排気手段611の構成としては、バタフライバルブ616、コンダクタンスバルブ617、ターボ分子ポンプ618、ドライポンプ619などが含まれる。バタフライバルブ616とコンダクタンスバルブ617を並列に配置する場合には、バタフライバルブ616を閉じてコンダクタンスバルブ617を動作させることで、反応ガスの排気速度を制御して処理室601の圧力を所定の範囲に保つことができる。また、コンダクタンスの大きいバタフライバルブ616を開くことで高真空排気が可能となる。

【0135】

なお、処理室601を 10^{-5} Paよりも低い圧力まで超高真空排気する場合には、クライオポンプ620を併用することが好ましい。その他、到達真空度として超高真空まで排気する場合には、処理室601の内壁を鏡面加工し、内壁からのガス放出を低減するためにベーキング用のヒータを設けても良い。

【0136】

なお、図8に示すように、処理室601内壁の全体を覆って膜が形成されるようにプリコート処理を行うと、処理室(チャンバー)内壁に付着した不純物元素、または処理室(チャンバー)内壁を構成する不純物元素が素子に混入することを防止することができる。本実施の形態では、プリコート処理はシリコンを主成分とする膜を形成すればよく、例えば、非晶質シリコン等を形成すればよい。ただし、この膜には酸素が含まれないことが好ましい。

【0137】

次に、上記手段(2)を用いた、ゲート絶縁層102の形成から不純物半導体膜109の形成までについて、図9を参照して以下に説明する。ここでは、ゲート絶縁層102は窒化シリコン上に酸化窒化シリコンを積層した構造とし、ゲート絶縁層102をアンモニアに曝すことで、ゲート絶縁層102表面に窒素を供給する。

【0138】

まず、ゲート電極層101が形成された基板100をCVD装置の処理室601内にて加熱し、窒化シリコン膜を形成するために、窒化シリコンの成膜に用いる材料ガスを処理室601内に導入する(図9の予備処理)。ここでは、一例として、 SiH_4 の流量を40sccm、 H_2 の流量を500sccm、 N_2 の流量を550sccm、 NH_3 の流量を140sccmとして材料ガスを導入して安定させ、処理室内の圧力を100Pa、基板の温度を280とし、370Wのプラズマ放電を行うことで、約110nmの窒化シリコン膜を形成する。その後、 SiH_4 の供給のみを停止して数秒後にプラズマの放電を停止させる(図9のSiN成膜)。処理室内に SiH_4 が存在する状態でプラズマの放電を停止させると、シリコンを主成分とする粒状物又は粉状物が形成され、歩留まりを低下させる原因となるためである。

10

【0139】

次に、窒化シリコンの成膜に用いた材料ガスの導入を止めて、酸化窒化シリコンの成膜に用いる材料ガスを処理室601内に導入する(図9のガス置換)。ここでは、一例として、 SiH_4 の流量を30sccm、 N_2O の流量を1200sccmとし、材料ガスを導入して安定させ、処理室内の圧力を40Pa、基板の温度を280として50Wのプラズマ放電を行うことで、約110nmの酸化窒化シリコン膜を形成する。その後、窒化シリコン膜と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図9のSiON成膜)。

20

【0140】

上記の工程により、ゲート絶縁層102を形成することができる。ゲート絶縁層102の形成後、基板100を処理室601から搬出する(図9のunload)。

【0141】

基板100を処理室601から搬出した後、処理室601に、例えば NF_3 ガスを導入し、処理室601内をクリーニングする(図9のクリーニング処理)。その後、処理室内壁に保護膜を形成する処理を行う。ここでは、一例として、 SiH_4 の流量を300sccmとして材料ガスを導入して安定させ、処理室内の圧力を160Pa、基板の温度を280とし、120Wの出力によりプラズマ放電を行うことで、保護膜として非晶質シリコン膜を形成する。その後、 SiH_4 の供給を停止して数秒後にプラズマの放電を停止させる(図9のプレコート処理)。

30

【0142】

なお、当該プレコート処理において、非晶質シリコン膜の代わりに、図9の破線で示すように、ゲート絶縁層として形成した窒化シリコン膜と同様の条件で、保護膜として窒化シリコン膜を形成してもよい。

【0143】

その後、基板100を処理室601内に搬入し、アンモニアガスを処理室601内に導入する(図9のload)。

40

【0144】

次に、ゲート絶縁層102の表面に窒素を供給する。ここでは、ゲート絶縁層102の表面をアンモニアガスに曝すことで窒素を供給する(図9のフラッシュ処理)。また、アンモニアガスには水素を含ませてもよい。ここでは、一例として、処理室601内の圧力は概ね20Pa~30Pa、基板の温度は280とし、処理時間は60秒間とするとよい。なお、本工程の処理ではゲート絶縁層102が形成された基板100をアンモニアガスに曝すのみであるが、プラズマ処理を行ってもよい。その後、上記処理に用いたガスの導入を止めて、第1の半導体層154を形成する第1の半導体膜153の成膜に用いる材料ガスを処理室601内に導入する(図9のガス置換)。

50

【 0 1 4 5 】

次に、窒素が供給されたゲート絶縁層 1 0 2 上の全面に第 1 の半導体膜 1 5 3 を形成する。第 1 の半導体膜 1 5 3 は、後の工程でパターン形成されて第 1 の半導体層 1 5 4 となるものである。まず、第 1 の半導体膜 1 5 3 の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を 10 sccm 、 H_2 の流量を 1500 sccm として半導体材料ガスを導入して安定させ、処理室内の圧力を 280 Pa 、基板の温度を 280 とし、 50 W のプラズマ放電を行うことで、約 50 nm の半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図 9 の半導体膜成膜）。

【 0 1 4 6 】

上記の例において、第 1 の半導体膜 1 5 3 の形成に用いられる材料ガスでは、 SiH_4 の流量に対する H_2 の流量を 150 倍としている。そのため、シリコンは徐々に堆積される。

【 0 1 4 7 】

本実施の形態におけるゲート絶縁層 1 0 2 の表面には窒素が供給されている。上記したように、窒素はシリコンの結晶核の生成を抑制する。そのため、成膜の初期段階ではシリコンの結晶核が生成されない。成膜初期段階で形成されるこの層が、図 6 (B) に示す第 1 の領域 1 5 0 となる。第 1 の半導体膜 1 5 3 は一条件により形成するため、第 1 の領域 1 5 0 と第 2 の領域 1 5 2 は同一の成膜条件により形成されるものである。上記したようにゲート絶縁層 1 0 2 の表面に窒素を供給し、該表面上に第 1 の半導体膜 1 5 3 を形成することで、窒素を含む半導体膜（図 6 (B) に示す第 1 の領域 1 5 0 ）を形成する。第 1 の半導体膜 1 5 3 の形成は窒素の濃度を低下させつつ進み、窒素の濃度が一定の値以下となると、結晶核が生成される。その後、その結晶核が成長し、結晶粒 1 5 1 が形成される。

【 0 1 4 8 】

次に、第 1 の半導体膜 1 5 3 の成膜に用いた材料ガスの導入を止めて、基板 1 0 0 を処理室 6 0 1 から大気雰囲気下に搬出する（図 9 の unload の絶縁膜形成）。第 1 の半導体膜 1 5 3 が形成された基板 1 0 0 は大気に曝され、第 1 の半導体膜 1 5 3 上に自然酸化膜が形成され、絶縁膜 1 0 5 を形成することができる。

【 0 1 4 9 】

基板 1 0 0 を処理室 6 0 1 から搬出した後、処理室 6 0 1 に、例えば NF_3 ガスを導入し、処理室 6 0 1 内をクリーニングする（図 9 のクリーニング処理）。

【 0 1 5 0 】

次に、基板 1 0 0 を処理室 6 0 1 に搬入し（図 9 の load ）、第 1 の半導体膜 1 5 3 上に形成された絶縁膜 1 0 5 上の全面に第 2 の半導体膜 1 0 7 を形成する。第 2 の半導体膜 1 0 7 は、後の工程でパターン形成されて第 2 の半導体層 1 0 8 となるものである。まず、第 2 の半導体膜 1 0 7 の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を 280 sccm 、 H_2 の流量を 300 sccm として材料ガスを導入して安定させ、処理室内の圧力を 170 Pa 、基板の温度を 280 とし、 60 W のプラズマ放電を行うことで、約 150 nm の半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図 9 の a-Si 膜成膜）。その後、上記処理に用いたガスの導入を止めて、不純物半導体膜 1 0 9 の成膜に用いるガスを導入する（図 9 のガス置換）。

【 0 1 5 1 】

第 2 の半導体膜 1 0 7 上の全面に不純物半導体膜 1 0 9 を形成する。不純物半導体膜 1 0 9 は、後の工程でパターン形成されてソース領域及びドレイン領域を構成する一対の不純物半導体層 1 1 0 となるものである。まず、不純物半導体膜 1 0 9 の成膜に用いる材料ガスを処理室 6 0 1 内に導入する。ここでは、一例として、 SiH_4 の流量を 100 sccm 、 PH_3 を H_2 により $0.5\text{ vol}\%$ に希釈した混合ガスの流量を 170 sccm と

10

20

30

40

50

して材料ガスを導入して安定させる。処理室601内の圧力を280Pa、基板の温度を280とし、60Wのプラズマ放電を行うことで、約50nmの半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、SiH₄の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図9の不純物半導体膜成膜)。その後、これらのガスを排気する(図9の排気)。

【0152】

以上説明したように、図2(E)に示す構成と類似の、不純物半導体膜109までを形成することができる。本形態では、第1の半導体膜103と代えて、第1の半導体膜153が形成される。

【0153】

次に、逆錐形の形状を有する結晶粒を含む第1の半導体層154(第1の半導体膜153)を形成する他の手段として、上記手段(1)を用いる例を説明する。

【0154】

ここでは、半導体層に接するゲート絶縁層を窒化シリコンにより形成することで、半導体層の窒素濃度を制御し、逆錐形の形状を有する結晶粒を含む半導体層を形成する。ゲート絶縁層102から不純物半導体膜109の形成までについて、図10を参照して以下に説明する。

【0155】

まず、ゲート電極層101が形成された基板100をCVD装置の処理室(チャンバー)内にて加熱し、窒化シリコン膜を形成するために、窒化シリコンの成膜に用いる材料ガスを処理室内に導入する(図10の予備処理)。ここでは、一例として、SiH₄の流量を40sccm、H₂の流量を500sccm、N₂の流量を550sccm、NH₃の流量を140sccmとして材料ガスを導入して安定させ、処理室内の圧力を100Pa、基板の温度を280とし、370Wのプラズマ放電を行うことで、約300nmの窒化シリコンを形成する。その後、SiH₄の供給のみを停止して数秒後にプラズマの放電を停止させる(図10のSiN成膜)。

【0156】

次に、窒化シリコンの成膜に用いる材料ガスの導入を止めて、第1の半導体膜153の成膜に用いる材料ガスを処理室内に導入する(図10のガス置換)。

【0157】

次に、ゲート絶縁層102上の全面に第1の半導体膜153を形成する。第1の半導体膜153は、後の工程でパターン形成されて第1の半導体層154となるものである。まず、第1の半導体膜153の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、SiH₄の流量を10sccm、H₂の流量を1500sccmとして材料ガスを導入して安定させ、処理室内の圧力を280Pa、基板の温度を280とし、60Wのプラズマ放電を行うことで、約50nmの半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、SiH₄の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図10の半導体膜成膜)。

【0158】

上記の例において、第1の半導体膜153の形成に用いられる材料ガスでは、SiH₄の流量に対するH₂の流量を150倍としており、シリコンは徐々に堆積される。

【0159】

ここで、ゲート絶縁層102において、少なくとも第1の半導体膜153に接する最上層は窒化シリコンで形成されているため、ゲート絶縁層102の表面には多量の窒素が存在する。上記したように、窒素はシリコンの結晶の核生成を抑制する。そのため、成膜の初期段階ではシリコンの結晶核が生成されない。成膜初期段階で形成されるこの層が、図6(B)に示す第1の領域150となる。第1の半導体膜153は一の条件により形成するため、第1の領域150と第2の領域152は同じ条件により形成されるものである。上記したようにゲート絶縁層102の表面に窒素を供給し、該表面上に第1の半導体膜153を形成することで、窒素を含む半導体膜(図6(B)に示す第1の領域150)を形

10

20

30

40

50

成する。該半導体膜の形成は窒素の濃度を低下させつつ進み、窒素の濃度が一定の値以下となると、結晶核が生成される。その後、その結晶核が成長し、結晶粒151が形成される。なお、ここで結晶粒151の成長の起点となる結晶核の生成位置において、窒素濃度は $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{20} / \text{cm}^3$ 以上 $7 \times 10^{20} / \text{cm}^3$ 以下となる。

【0160】

なお、結晶核の生成を抑制する不純物元素として酸素、窒素等があるが、シリコン中においてキャリアトラップを生成せず、シリコンの配位数を減らすが、ダングリングボンドを生成する不純物元素（例えば酸素のような不純物）の濃度は低減させる。従って、窒素濃度を低減させずして酸素濃度を低減させるとよい。具体的には、酸素濃度は $5 \times 10^{18} / \text{cm}^3$ 以下とするとよい。

10

【0161】

次に、第1の半導体膜153の成膜に用いた材料ガスの導入を止めて、基板100を処理室601から大気雰囲気下に搬出する（図10のunloadの絶縁膜形成）。第1の半導体膜153が形成された基板100は大気に曝され、第1の半導体膜153上に自然酸化膜が形成され、絶縁膜105を形成することができる。

【0162】

基板100を処理室601から搬出した後、処理室601に、例えば NF_3 ガスを導入し、処理室601内をクリーニングする（図10のクリーニング処理）。

【0163】

20

次に、基板100を処理室601に搬入し（図10のload）、第1の半導体膜153上に形成された絶縁膜105上の全面に第2の半導体膜107を形成する。第2の半導体膜107は、後の工程でパターン形成されて第2の半導体層108となるものである。まず、第2の半導体膜107の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を 280 sccm 、 H_2 の流量を 300 sccm として材料ガスを導入して安定させ、処理室内の圧力を 170 Pa 、基板の温度を 280 とし、 60 W のプラズマ放電を行うことで、約 150 nm の半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図10のa-Si膜成膜）。その後、上記処理に用いたガスの導入を止めて、不純物半導体膜109の成膜に用いるガスを導入する（図10のガス置換）。

30

【0164】

第2の半導体膜107上の全面に不純物半導体膜109を形成する。不純物半導体膜109は、後の工程でパターン形成されて、ソース領域及びドレイン領域を構成する一対の不純物半導体層110となるものである。まず、不純物半導体膜109の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を 100 sccm 、 PH_3 を H_2 により流量で $0.5 \text{ vol}\%$ に希釈した混合ガスの流量を 170 sccm として材料ガスを導入して安定させ、処理室内の圧力を 280 Pa 、基板の温度を 280 とし、 60 W のプラズマ放電を行うことで、約 50 nm の半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図10の不純物半導体膜成膜）。その後、これらのガスを排気する（図10の排気）。

40

【0165】

上記説明したように、少なくとも半導体膜（半導体層）に接するゲート絶縁層を窒化シリコンにより形成することで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くすることができ、逆錐形の形状を有する結晶粒を含む第1の半導体膜153（第1の半導体層154）を形成することができる。

【0166】

次に、逆錐形の形状を有する結晶粒を含む第1の半導体層154（第1の半導体膜153）を形成する他の手段として、上記手段（3）を用いる例を説明する。

50

【0167】

ここでは、半導体膜（半導体層）の成膜前に処理室内をクリーニングし、その後窒化シリコン膜によりチャンパー内壁を覆うことで半導体層に窒素を含ませて、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする。ゲート絶縁層102の形成から不純物半導体膜109の形成までについて、図11を参照して以下に説明する。

【0168】

まず、ゲート電極層101が形成された基板100をCVD装置の処理室内（チャンパー内）にて加熱し、窒化シリコン膜を形成するために、窒化シリコンの成膜に用いる材料ガスを処理室内に導入する（図11の予備処理）。ここでは、一例として、 SiH_4 の流量を40sccm、 H_2 の流量を500sccm、 N_2 の流量を550sccm、 NH_3 の流量を140sccmとして材料ガスを導入して安定させ、処理室内の圧力を100Pa、基板の温度を280とし、370Wのプラズマ放電を行うことで、約110nmの窒化シリコンを形成する。その後、 SiH_4 の供給のみを停止して数秒後にプラズマの放電を停止させる（図11のSiN成膜）。

10

【0169】

次に、窒化シリコンの成膜に用いる材料ガスの導入を止めて、酸化窒化シリコンの成膜に用いる材料ガスを処理室内に導入する（図11のガス置換）。ここでは、一例として、 SiH_4 の流量を30sccm、 N_2O の流量を1200sccmとし、材料ガスを導入して安定させ、処理室内の圧力を40Pa、基板の温度を280として50Wのプラズマ放電を行うことで、約110nmの酸化窒化シリコンを形成する。その後、窒化シリコン膜と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図11のSiON成膜）。

20

【0170】

上記の工程により、ゲート絶縁層102を形成することができる。ゲート絶縁層102の形成後、基板100を処理室601から搬出する（図11のunload）。

【0171】

次に、ゲート絶縁層102が形成された基板100を処理室601から搬出後、処理室601に NF_3 ガスを導入し、処理室内をクリーニングする（図11のクリーニング処理）。その後、ゲート絶縁層102と同様に窒化シリコン膜を形成する処理を行う（図11のプレコート処理）。この処理により、処理室601の内壁に窒化シリコン膜が形成される。その後、基板100を処理室601に搬入し、第1の半導体膜153の成膜に用いる材料ガスを処理室内に導入する（図11のload）。

30

【0172】

次に、ゲート絶縁層102上の全面に第1の半導体膜153を形成する。第1の半導体膜153は、後の工程でパターン形成されて第1の半導体層154となるものである。まず、第1の半導体膜153の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を10sccm、 H_2 の流量を1500sccmとして材料ガスを導入して安定させ、処理室内の圧力を280Pa、基板の温度を280とし、60Wのプラズマ放電を行うことで、約50nmの半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図11の半導体膜成膜）。

40

【0173】

上記の例において、第1の半導体膜153の形成に用いられる材料ガスでは、 SiH_4 の流量に対する H_2 の流量を150倍としており、シリコンは徐々に堆積される。

【0174】

本実施の形態におけるゲート絶縁層102の表面には窒素が存在する。上記したように、窒素はシリコンの結晶の核生成を抑制する。そのため、成膜の初期段階ではシリコンの結晶核が生成されない。成膜初期段階で形成されるこの層が、図6(B)に示す第1の領域150となる。第1の半導体膜153は一の条件により形成するため、第1の領域150と第2の領域152は同じ条件により形成されるものである。上記したようにゲート絶

50

縁層102の表面に窒素を供給し、該表面上に第1の半導体膜153を形成することで、窒素を含む半導体膜(図6(B)に示す第1の領域150)を形成する。該半導体膜の形成は窒素の濃度を低下させつつ進み、窒素の濃度が一定の値以下となると、結晶核が生成される。その後、その結晶核が成長し、結晶粒151が形成される。

【0175】

次に、第1の半導体膜153の成膜に用いた材料ガスの導入を止めて、基板100を処理室601から大気雰囲気下に搬出する(図11のunloadの絶縁膜形成)。第1の半導体膜153が形成された基板100は大気に曝され、第1の半導体膜153上に自然酸化膜が形成され、絶縁膜105を形成することができる。

【0176】

基板100を処理室601から搬出した後、処理室601に、例えば NF_3 ガスを導入し、処理室601内をクリーニングする(図11のクリーニング処理)。

【0177】

次に、基板100を処理室601に搬入し(図11のload)、第1の半導体膜153上に形成された絶縁膜105上の全面に第2の半導体膜107を形成する。第2の半導体膜107は、後の工程でパターン形成されて第2の半導体層108となるものである。まず、第2の半導体膜107の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を 280 sccm 、 H_2 の流量を 300 sccm として材料ガスを導入して安定させ、処理室内の圧力を 170 Pa 、基板の温度を 280 とし、 60 W のプラズマ放電を行うことで、約 150 nm の半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図11のa-Si膜成膜)。その後、上記処理に用いたガスの導入を止めて、不純物半導体膜109の成膜に用いるガスを導入する(図11のガス置換)。

【0178】

第2の半導体膜107上の全面に不純物半導体膜109を形成する。不純物半導体膜109は、後の工程でパターン形成されてソース領域及びドレイン領域を構成する一対の不純物半導体層110となるものである。まず、不純物半導体膜109の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を 100 sccm 、 PH_3 を H_2 により流量で $0.5\text{ vol}\%$ に希釈した混合ガスの流量を 170 sccm として材料ガスを導入して安定させ、処理室内の圧力を 280 Pa 、基板の温度を 280 とし、 60 W のプラズマ放電を行うことで、約 50 nm の半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図11の不純物半導体膜成膜)。その後、これらのガスを排気する(図11の排気)。

【0179】

上記説明したように、少なくとも半導体膜を形成する直前に処理室の内壁を窒化シリコン膜により覆うことで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くすることが可能であり、逆錐形の形状を有する結晶粒を含む半導体膜(半導体層)を形成することができる。

【0180】

また、処理室の内壁を窒化シリコンにより覆うことで、処理室の内壁を構成する元素等が半導体膜(半導体層)に混入することをも防ぐことができる。

【0181】

なお、上記の説明では、窒化シリコン膜上に酸化窒化シリコン膜を積層してゲート絶縁層102を形成したため、ゲート絶縁層102の形成後にクリーニング処理とプレコート処理を行う形態について説明したが、手段(1)と組み合わせて実施してもよい。すなわち、ゲート絶縁層102を窒化シリコンにより形成し、ゲート絶縁層102の形成がプレコート処理を兼ねていてもよい。ゲート絶縁層102の形成がプレコート処理を兼ねることによって、工程が簡略化し、スループットを向上させることができる。

10

20

30

40

50

【0182】

次に、逆錐形の形状を有する結晶粒を含む第1の半導体層154（第1の半導体膜153）を形成する他の手段として、上記手段（4）を用いる例を説明する。

【0183】

ここでは、半導体膜（半導体層）の成膜初期のガスに窒素を混入させることで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする。ゲート絶縁層102から不純物半導体膜109の形成までについて、図12を参照して以下に説明する。

【0184】

まず、ゲート電極層101が形成された基板100をCVD装置の処理室内（チャンバー内）にて加熱し、窒化シリコン膜を形成するために、窒化シリコンの成膜に用いる材料ガスを処理室内に導入する（図12の予備処理）。ここでは、一例として、 SiH_4 の流量を40 sccm、 H_2 の流量を500 sccm、 N_2 の流量を550 sccm、 NH_3 の流量を140 sccmとして材料ガスを導入して安定させる。処理室内の圧力を100 Pa、基板の温度を280 とし、370 Wのプラズマ放電を行うことで、約110 nmの窒化シリコンを形成する。その後、 SiH_4 の供給のみを停止して数秒後にプラズマの放電を停止させる（図12のSiN成膜）。

【0185】

次に、窒化シリコンの成膜に用いる材料ガスの導入を止めて、酸化窒化シリコンの成膜に用いる材料ガスを処理室内に導入する（図12のガス置換）。ここでは、一例として、 SiH_4 の流量を30 sccm、 N_2O の流量を1200 sccmとし、材料ガスを導入して安定させる。処理室内の圧力を40 Pa、基板の温度を280 とし、50 Wのプラズマ放電を行うことで、約110 nmの酸化窒化シリコンを形成する。その後、窒化シリコン膜と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図12のSiON成膜）。

【0186】

次に、ゲート絶縁層102上の全面に第1の半導体膜153を形成する。第1の半導体膜153は、後の工程でパターン形成されて第1の半導体層154となるものである。酸化窒化シリコンの成膜に用いる材料ガスの導入を止めて（図12のガス置換）、第1の半導体膜153の成膜に用いる材料ガスに窒素を含ませて処理室内に導入する。ここでは、一例として、 SiH_4 の流量を10 sccm、 H_2 の流量を1500 sccm、 N_2 の流量を1000 sccmとして材料ガスを導入して安定させ、処理室内の圧力を280 Pa、基板の温度を280 とし、50 Wのプラズマ放電を行う。その後、 N_2 の流量のみを0として半導体膜を成長させて、約50 nmの半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる（図12の半導体膜成膜）。

【0187】

上記の例において、第1の半導体膜153の形成に用いられる材料ガスでは、 SiH_4 の流量に対する H_2 の流量を150倍としており、シリコンは徐々に堆積される。

【0188】

本実施の形態における第1の半導体膜153の成膜初期のガスには窒素が含まれている。上記したように、窒素はシリコンの結晶の核生成を抑制する。そのため、成膜初期の段階ではシリコンの結晶核が生成されない。成膜初期の段階で形成されるこの層が、図6（B）に示す第1の領域150となる。第1の半導体膜153は一の条件により形成するため、第1の領域150と第2の領域152は同じ条件により形成されるものである。上記したように、成膜初期のガスに窒素を含ませて第1の半導体膜153を形成することで、窒素を含む半導体膜（図6（B）に示す第1の領域150）を形成する。該半導体膜の形成は窒素の濃度を低下させつつ進み、窒素の濃度が一定の値以下となると、結晶核が生成される。その後、その結晶核が成長し、結晶粒151が形成される。

【0189】

次に、第1の半導体膜153の成膜に用いた材料ガスの導入を止めて、基板100を処

10

20

30

40

50

理室601から大気雰囲気下に搬出する(図12のunloadの絶縁膜形成)。第1の半導体膜153が形成された基板100は大気に曝され、第1の半導体膜153上に自然酸化膜が形成され、絶縁膜105を形成することができる。

【0190】

基板100を処理室601から搬出した後、処理室601に、例えば NF_3 ガスを導入し、処理室601内をクリーニングする(図12のクリーニング処理)。

【0191】

次に、基板100を処理室601に搬入し(図12のload)、第1の半導体膜153上に形成された絶縁膜105上の全面に第2の半導体膜107を形成する。第2の半導体膜107は、後の工程でパターン形成されて第2の半導体層108となるものである。まず、第2の半導体膜107の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を280sccm、 H_2 の流量を300sccmとして材料ガスを導入して安定させ、処理室内の圧力を170Pa、基板の温度を280とし、60Wのプラズマ放電を行うことで、約150nmの半導体層を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図12のa-Si膜成膜)。その後、上記処理に用いたガスを止めて、不純物半導体膜109の成膜に用いるガスを導入する(図12のガス置換)。

【0192】

第2の半導体膜107上の全面に不純物半導体膜109を形成する。不純物半導体膜109は、後の工程でパターン形成されてソース領域及びドレイン領域を構成する一対の不純物半導体層110となるものである。まず、不純物半導体膜109の成膜に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を100sccm、 PH_3 を H_2 により流量で0.5vol%に希釈した混合ガスの流量を170sccmとして材料ガスを導入して安定させる。処理室内の圧力を280Pa、基板の温度を280とし、60Wのプラズマ放電を行うことで、約50nmの半導体膜を形成することができる。その後、上記した窒化シリコン膜等の形成と同様に、 SiH_4 の供給のみを停止し、その数秒後にプラズマの放電を停止させる(図12の不純物半導体膜成膜)。その後、これらのガスを排気する(図12の排気)。

【0193】

上記説明したように、半導体膜(半導体層)の成膜初期のガスに窒素を含ませることで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くすることが可能であり、逆錐形の形状を有する結晶粒を含む半導体膜(半導体層)を形成することができる。

【0194】

以上、説明したように、一つの手段或いは複数の手단을組み合わせて用いることで、逆錐形の形状を有する結晶粒を含む半導体層を形成することができる。本形態のように、ゲート絶縁層側に逆錐形の形状を有する結晶粒を含む半導体層を設け、ソース領域およびドレイン領域側に第2の半導体層を設けることで、オフ電流を低減し、オン電流を高めることが可能となる。また、逆錐形の形状を有する結晶粒を含む半導体層上に絶縁層を設けることで、上層に形成される第2の半導体層との層の分離ができ、電気特性のばらつきを低減することができる。

【0195】

なお、上記説明では、第1の半導体層154と第2の半導体層108との間に設けられる絶縁層106を、大気に曝して形成する例を説明したが、もちろん、上記実施の形態1に示した水プラズマ処理などのプラズマ処理や酸化処理などを用いて形成することもできる。水プラズマ処理を用いることで、下層の第1の半導体層154の膜質改善を図ることができる。また、本形態のように、逆錐形の結晶粒が離散的に存在する第1の半導体層154を形成することで、微結晶半導体よりも粒界が少ないことが考えられ、その結果、水プラズマによる欠陥補償の効果を高めることができる。

【0196】

10

20

30

40

50

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0197】

(実施の形態3)

本形態では、上記実施の形態と異なる薄膜トランジスタの作製工程について説明する。

【0198】

図13に、本形態に係る薄膜トランジスタの上面図及び断面図を示す。図13に示す薄膜トランジスタは、図1に示す薄膜トランジスタと類似の構成を有している。図13に示す薄膜トランジスタと、図1に示す薄膜トランジスタの主要な相違点は、ソース電極およびドレイン電極を構成する配線層が、第1の半導体層、絶縁層、第2の半導体層、およびソース領域およびドレイン領域を構成する不純物半導体層の側面を覆うように形成されている点にある。

10

【0199】

図13に示す薄膜トランジスタは、基板200上に設けられたゲート電極層201と、該ゲート電極層201を被覆するゲート絶縁層202と、該ゲート絶縁層202上に設けられた第1の半導体層204と、該第1の半導体層204上に接して設けられた絶縁層206と、該絶縁層206上に接して設けられた第2の半導体層208と、該第2の半導体層208上に接し、離間して設けられた一对の不純物半導体層210と、一对の不純物半導体層210に接し、離間して設けられた一对の配線層212と、で構成される、所謂逆スタガ型の薄膜トランジスタである。一对の不純物半導体層210は、ソース領域およびドレイン領域を構成する。また、一对の配線層212は、ソース電極およびドレイン電極を構成する。離間して設けられた一对の不純物半導体層210に対応して、一对の配線層212が離間して設けられている。配線層212上には、保護層として機能する保護絶縁層214が設けられている。また、各層は所望の形状にパターン形成されている。

20

【0200】

本形態に係る薄膜トランジスタにおいても、第1の半導体層204、絶縁層206、および第2の半導体層208の積層構造は、少なくともチャネル長方向に延在している。また、ソース電極およびドレイン電極を構成する一对の配線層212の一方から他方へ連続して、第1の半導体層204、絶縁層206、および第2の半導体層208の積層構造が設けられている。

【0201】

第1の半導体層204は複数の結晶領域を含み、第2の半導体層208は非晶質構造を有し、第1の半導体層204と第2の半導体層208との間にキャリアの流れを遮断しない厚さで絶縁層206が設けられている。第1の半導体層204がゲート絶縁層202側に位置し、ソース領域およびドレイン領域を構成する一对の不純物半導体層210側に第2の半導体層208が位置している。したがって、電気特性のばらつきが低減され、好適なオフ電流とオン電流が両立された、良好な電気特性を有する薄膜トランジスタを得ることができる。

30

【0202】

次に、図13に示す薄膜トランジスタの作製方法について説明する。本実施の形態では、nチャネル型の薄膜トランジスタの作製方法について説明する。なお、図1に示す薄膜トランジスタの作製方法と重複する部分に関しては、省略或いは簡略化して説明する。

40

【0203】

上記実施の形態1の図2(A)~図2(E)までと同様の工程を行い、基板200上にゲート電極層201を間に介して、ゲート絶縁層202、第1の半導体膜203、絶縁膜205、第2の半導体膜207、および一導電型の不純物半導体膜209を形成する(図14(A)を参照)。各構成の材料および作製方法は、基板200は基板100、ゲート電極層201はゲート電極層101、ゲート絶縁層202はゲート絶縁層102、第1の半導体膜203は第1の半導体膜103、絶縁膜205は絶縁膜105、第2の半導体膜207は第2の半導体膜107、不純物半導体膜209は不純物半導体膜109に準じる。

50

【0204】

なお、第1の半導体膜203は、上記実施の形態2の第1の半導体膜153を適用してもよい。

【0205】

また、絶縁膜205は、第1の半導体膜203表面を変質して形成することが好ましく、上記実施の形態1の絶縁膜105と同様、水プラズマ処理を用いる、或いは自然酸化膜を形成した後に水プラズマ処理を行い形成することが好ましい。水プラズマ処理を用いることで、第1の半導体膜203から第2の半導体膜207への結晶成長の進行を防ぐ酸化膜を形成できるとともに、第1の半導体膜203の欠陥補償を行うことができる。その結果、薄膜トランジスタの電気特性向上につなげることができる。もちろん、自然酸化膜や、その他のプラズマ処理により形成する絶縁膜を適用することもできる。

10

【0206】

次に、不純物半導体膜209上に第1のレジストマスク231を形成する(図14(B)を参照)。第1のレジストマスク231は、フォトマスクを用いてレジストマスクを形成する。

【0207】

次に、第1のレジストマスク231を用いて不純物半導体膜209、第2の半導体膜207、絶縁膜205、および第1の半導体膜203をエッチングする。この工程により、第1の半導体膜203、絶縁膜205、第2の半導体膜207、不純物半導体膜209を素子毎に分離する(図14(C)を参照)。素子毎の分離により、所望の形状にパターン形成された第1の半導体層204、絶縁層206が得られる。この後、第1のレジストマスク231を除去する(図15(A)を参照)。

20

【0208】

次に、ゲート絶縁層202および不純物半導体膜209上に、導電膜211を形成する。導電膜211は、不純物半導体膜209、第2の半導体膜207、絶縁層206および第1の半導体層204の側面を覆うように形成する(図15(B)を参照)。導電膜211の材料及び作製方法は、上記実施の形態1の導電膜111に準じる。

【0209】

次に、導電膜211上に第2のレジストマスク232を形成する(図15(C)を参照)。第2のレジストマスク232は、第1のレジストマスク231と同様に、フォトマスクを用いて形成する。

30

【0210】

次に、第2のレジストマスク232を用いて導電膜211をエッチングし、一对の配線層212を形成する(図16(A)を参照)。一对の配線層212は、ソース電極及びドレイン電極を構成する。導電膜211のエッチングは、上述の導電膜111のエッチングと同様、ウエットエッチングを用いることが好ましい。ウエットエッチングにより、導電膜211が選択的にエッチングされ、導電膜211は第2のレジストマスク232よりも内側に後退し、分離した一对の配線層212が形成される。ウエットエッチングを適用することで、離間して設けられた一对の配線層212の間において、対向する一对の配線層212の側面と、後に形成される対向する一对の不純物半導体層の側面は一致せず、配線層212の側面の外側に、ソース領域及びドレイン領域を構成する一对の不純物半導体層の側面が形成される。配線層212は、ソース電極及びドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、信号線を構成する配線層と、ソース電極及びドレイン電極を構成する配線層とは別に設けてもよい。

40

【0211】

次に、第2のレジストマスク232が形成された状態で、不純物半導体膜209をエッチングする(図16(B)を参照)。このエッチングで、所望の形状にパターン形成された一对の不純物半導体層210が得られる。一对の不純物半導体層210は離間しており、ソース領域および領域を構成する。

【0212】

50

また、上記実施の形態1の図4(B)と同様、不純物半導体膜を分離し、ソース領域およびドレイン領域を構成する一対の不純物半導体層210を形成するエッチングで、第2の半導体膜207の一部がエッチングされて凹部が形成され、第2の半導体層208が形成される。凹部には第2の半導体膜207の一部が残存するように、不純物半導体膜209のエッチングを制御することが好ましい。

【0213】

第2のレジストマスク232を除去し、本実施の形態に係る薄膜トランジスタを作製することができる。なお、本実施の形態に係る薄膜トランジスタも、上記実施の形態1と同様に液晶表示装置またはEL表示装置に代表される表示装置の画素におけるスイッチングトランジスタに適用することができる。図16(C)では、薄膜トランジスタを覆って保護絶縁層214が形成する例を示している。該保護絶縁層に形成された開口部を介して、画素電極層216と、ソース電極及びドレイン電極を構成する一対の配線層212のうち一方と、が接続している。保護絶縁層214は絶縁層114、画素電極層216は画素電極層116の説明に準じる。このようにして図13に示す表示装置の画素におけるスイッチングトランジスタを作製することができる。

10

【0214】

以上により、電気特性のばらつきが低減され、オフ電流とオン電流の好適な特性を両立させた、良好な電気特性を有する薄膜トランジスタを得ることができる。

【0215】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

20

【0216】

(実施の形態4)

本形態では、上記実施の形態と異なる薄膜トランジスタの作製方法の例について説明する。具体的には、不純物半導体膜をエッチングして、ソース領域およびドレイン領域を形成する一対の不純物半導体層を形成するとともに、該一対の不純物半導体層の下層に位置する半導体層の一部がエッチングされた後の処理について説明する。

【0217】

ここでは、上記実施の形態1で示した作製工程を用いて説明する。図4(B)に示すように、第2のレジストマスク132が形成された状態で、不純物半導体膜109をエッチングし、所望の形状にパターン形成された一対の不純物半導体層110を得る。このとき、一対の不純物半導体層110下に位置する第2の半導体膜107の一部がエッチングされ凹部が形成された、第2の半導体層108が得られている(図17(A)参照)。

30

【0218】

次に、第2のレジストマスク132が形成された状態で、ドライエッチングを行う。ドライエッチング条件は、露出している第2の半導体層108にダメージが入らず、且つ該第2の半導体層108に対するエッチングレートが低い条件を用いる。つまり、露出している第2の半導体層108表面にほとんどダメージを与えず、且つ露出している第2の半導体層108の膜厚がほとんど減少しない条件を用いる。露出している第2の半導体層108は、第2の半導体層108に形成された凹部の表面に相当する。エッチングガスとしては、塩素系ガスを用い、代表的には Cl_2 ガスを用いる。また、エッチング方法については特に限定はなく、ICP方式の他、CCP方式、ECR方式、反応性イオンエッチング(RIE: Reactive Ion Etching)方式等を用いることができる。

40

【0219】

ここで、上記ドライエッチング条件の一例としては、 Cl_2 ガスの流量を100 sccm、チャンパー内の圧力を0.67 Pa、下部電極温度を-10とし、上部電極のコイルに2000 WのRF(13.56 MHz)電力を投入してプラズマを生成し、基板100(第2の半導体層108が形成された基板)側には電力を投入せず0 Wとして、30秒間のエッチングを行う。チャンパー内壁の温度は約80 とすることが好ましい。

【0220】

50

また、上記ドライエッチングは、エッチングガスに CF_4 ガスを用いた条件で行うことができる。一例としては、 CF_4 ガスの流量を 100 sccm 、チャンバー内の圧力を 0.67 Pa 、下部電極を -10 とし、上部電極のコイルに 1000 W のRF(13.56 MHz)電力を投入してプラズマを生成し、基板 100 (第2の半導体層 108 が形成された基板)側には電力を投入せず 0 W として、 30 秒間のエッチングを行う。

【0221】

次に、第2のレジストマスク 132 が形成された状態で、水プラズマ処理を行い(図17(B)参照)、第2のレジストマスク 132 を除去する(図17(C)を参照)。

【0222】

水プラズマ処理は、反応空間に水蒸気(H_2O 蒸気)に代表される水を主成分とするガスを導入し、プラズマを生成して、行うことができる。水プラズマにより第2のレジストマスク 132 を除去することができる。また、水プラズマ処理、あるいは、大気に曝した後に水プラズマ処理を行うことで、露出している半導体層上に酸化膜(一原子層を含む)が形成される場合もある。

10

【0223】

上述のように、一対の不純物半導体層 110 を形成した後、第2の半導体層 108 にダメージを与えない条件で更なるドライエッチングを行うことで、露出した第2の半導体層 108 上に存在する残渣などの不純物を除去することができる。また、ドライエッチングに続けて水プラズマ処理を行うことで、レジストマスクを除去することができる。本形態で示す処理を適用することで、ソース領域とドレイン領域との間の絶縁を確実なものにすることができ、完成する薄膜トランジスタのオフ電流を低減し、電気特性のばらつきを低減することができる。

20

【0224】

以下、図4(C)に示すように、保護絶縁層を形成し、該保護絶縁層に形成された開口を埋めるように画素電極層を形成してもよい。

【0225】

なお、本形態では、上記実施の形態1に示した作製工程で説明したが、もちろん上記実施の形態2、実施の形態3に示す作製工程に適用することもできる。

【0226】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

30

【0227】

(実施の形態5)

本実施の形態では、表示装置の一形態として、実施の形態3で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。ここでは、VA(Vertical Alignment)型の液晶表示装置について、図18乃至図20を用いて説明する。VA型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

40

【0228】

図18と図19は、VA型液晶パネルの画素構造を示している。図19は本形態で示す画素構造の平面図であり、図19中に示す切断線Y-Zに対応する断面構造を図18に表している。以下の説明ではこの両図を参照して説明する。

【0229】

本形態で示す画素構造は、基板 500 上に設けられた一つの画素に複数の画素電極があり、それぞれの画素電極に平坦化膜 522 およびパッシベーション膜 520 を介して薄膜トランジスタが接続されている。各薄膜トランジスタは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素

50

電極に印加する信号を、独立して制御する構成を有している。

【0230】

画素電極524は、コンタクトホール523において、配線518で薄膜トランジスタ528と接続している。また、画素電極526は、コンタクトホール527において、配線519で薄膜トランジスタ529と接続している。薄膜トランジスタ528のゲート配線502と、薄膜トランジスタ529のゲート配線503には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線516は、薄膜トランジスタ528と薄膜トランジスタ529で共通に用いられている。薄膜トランジスタ528及び薄膜トランジスタ529は実施の形態3で示す方法を用いて作製することができる。もちろん、薄膜トランジスタ528及び薄膜トランジスタ529は他の実施の形態で示す方法を用いて作製することもできる。

10

【0231】

画素電極524と画素電極526の形状は異なっており、スリット525によって分離されている。V字型に広がる画素電極524の外側を囲むように画素電極526が形成されている。画素電極524と画素電極526に印加する電圧のタイミングを、薄膜トランジスタ528及び薄膜トランジスタ529により異ならせることで、液晶の配向を制御している。ゲート配線502とゲート配線503は異なるゲート信号を与えることで、薄膜トランジスタ528と薄膜トランジスタ529の動作タイミングを異ならせることができる。また、画素電極524、526上に配向膜548が形成されている。

【0232】

20

対向基板501には、遮光膜532、着色膜536、対向電極540が形成されている。また、着色膜536と対向電極540の間には平坦化膜537が形成され、液晶の配向乱れを防いでいる。また、対向電極540上に配向膜546が形成される。図20に対向基板501側の画素構造を示す。対向電極540は異なる画素間で共通化されている電極であり、該対向電極540にはスリット541が形成されている。スリット541と、画素電極524及び画素電極526側のスリット525とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。その結果、液晶が配向する方向を場所によって異ならせることができ、視野角を広げることができる。

【0233】

30

画素電極524と液晶層550と対向電極540が重なり合うことで、第1の液晶素子が形成されている。また、画素電極526と液晶層550と対向電極540が重なり合うことで、第2の液晶素子が形成されている。また、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造である。

【0234】

なお、ここでは、液晶表示装置として、VA型の液晶表示装置を示したが、本発明に係る薄膜トランジスタを用いて形成した素子基板を、FFS型の液晶表示装置、IPS型の液晶表示装置、TN型の液晶表示装置、その他の液晶表示装置に用いることができる。

【0235】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、素子間の電気特性のばらつきが低減されているため、輝度のばらつきが低減され、画質の向上した液晶表示装置を作製することができる。

40

【0236】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0237】

(実施の形態6)

本実施の形態では、表示装置の一形態として、実施の形態3で示す薄膜トランジスタを有する発光表示装置について、以下に示す。ここでは、発光表示装置が有する画素の構成について説明する。図21(A)に、画素の平面図の一形態を示し、図21(B)に図21(A)中の切断線A-Bに対応する断面構造の一形態を示す。

50

【 0 2 3 8 】

発光装置としては、本形態ではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E L 素子、後者は無機 E L 素子と呼ばれている。また、ここでは、薄膜トランジスタの作製工程として実施の形態 3 を用いる例を示す。もちろん、本形態で示す薄膜トランジスタは、他の実施の形態に示す薄膜トランジスタを用いることができる。

【 0 2 3 9 】

有機 E L 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

【 0 2 4 0 】

無機 E L 素子は、素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。分散型無機 E L 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらに発光層を誘電体層で挟み込んだものを電極で挟んだ構造であり、発光メカニズムは金属原子の内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。また、画素電極への信号の入力を制御するためのスイッチング用の薄膜トランジスタ、及び発光素子の駆動を制御する薄膜トランジスタとして、チャンネルエッチ型の薄膜トランジスタを用いて示すが、チャンネル保護型の薄膜トランジスタを適宜用いることができる。

20

【 0 2 4 1 】

図 2 1 (A) 及び図 2 1 (B) において、第 1 の薄膜トランジスタ 2 8 1 a は画素電極への信号の入力を制御するためのスイッチング用の薄膜トランジスタであり、第 2 の薄膜トランジスタ 2 8 1 b は発光素子 2 8 2 への電流または電圧の供給を制御するための駆動用の薄膜トランジスタに相当する。

【 0 2 4 2 】

第 1 の薄膜トランジスタ 2 8 1 a のゲート電極は走査線 2 8 3 a に、ソース電極またはドレイン電極の一方は信号線 2 8 4 a に接続され、ソース電極またはドレイン電極の他方は配線 2 8 4 b を介して第 2 の薄膜トランジスタ 2 8 1 b のゲート電極 2 8 3 b に接続する。第 2 の薄膜トランジスタ 2 8 1 b のソース電極またはドレイン電極の一方は電源線 2 8 5 a に接続され、ソース電極またはドレイン電極の他方は配線 2 8 5 b を介して表示装置の画素電極（陰極 2 8 8 ）に接続される。第 2 の薄膜トランジスタ 2 8 1 b のゲート電極、ゲート絶縁膜、及び電源線 2 8 5 a で容量素子を構成し、第 1 の薄膜トランジスタ 2 8 1 a のソース電極またはドレイン電極の他方は容量素子に接続される。

30

【 0 2 4 3 】

なお、容量素子は、第 1 の薄膜トランジスタ 2 8 1 a がオフ状態のときに第 2 の薄膜トランジスタ 2 8 1 b のゲート電極およびソース電極間の電圧、またはゲート電極およびドレイン電極間電圧（以下、ゲート電圧とする）を保持するための容量素子に相当し、必ずしも設ける必要はない。

40

【 0 2 4 4 】

本実施の形態では、第 1 の薄膜トランジスタ 2 8 1 a 及び第 2 の薄膜トランジスタ 2 8 1 b を実施の形態 3 の薄膜トランジスタを用いて形成することができる。また、第 1 の薄膜トランジスタ 2 8 1 a 及び第 2 の薄膜トランジスタ 2 8 1 b はここでは n チャンネル型の薄膜トランジスタで形成するが、第 1 の薄膜トランジスタ 2 8 1 a を n チャンネルの型薄膜トランジスタで形成し、第 2 の薄膜トランジスタ 2 8 1 b を p チャンネル型の薄膜トランジスタで形成してもよい。さらには、第 1 の薄膜トランジスタ 2 8 1 a 及び第 2 の薄膜トラン

50

ンジスタ 281b を p チャンネル型の薄膜トランジスタで形成してもよい。

【0245】

第1の薄膜トランジスタ 281a 及び第2の薄膜トランジスタ 281b 上に絶縁膜 286 を形成し、絶縁膜 286 上に平坦化膜 287 を形成し、平坦化膜 287 及び絶縁膜 286 に形成されるコンタクトホールにおいて、配線 285b に接続する陰極 288 が形成される。平坦化膜 287 は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンポリマーを用いて形成することが好ましい。コンタクトホールにおいては、陰極 288 が凹凸を有するため、当該領域を覆い、且つ開口部を有する隔壁 291 を設ける。隔壁 291 の開口部において陰極 288 と接するように、発光層 289 が形成され、発光層 289 を覆うように陽極 290 が形成され、陽極 290 及び隔壁 291 を覆うように保護絶縁膜 292 が形成される。

10

【0246】

ここでは、発光素子として上面射出構造の発光素子 282 を示す。上面射出構造の発光素子 282 は、第1の薄膜トランジスタ 281a、第2の薄膜トランジスタ 281b 上でも発光することが可能であるため、発光面積を増大することが可能である。しかしながら、発光層 289 の下地膜が凹凸を有すると、当該凹凸において膜厚分布が不均一となり陽極 290 及び陰極 288 がショートし、表示欠陥となってしまう。このため、平坦化膜 287 を設けることが好ましい。

【0247】

陰極 288 及び陽極 290 で発光層 289 を挟んでいる領域が発光素子 282 に相当する。図 21 (A) に示した画素の場合、発光素子 282 から発せられる光は、図 21 (B) に白抜きの矢印で示すように陽極 290 側に射出する。

20

【0248】

陰極 288 は仕事関数が小さく、且つ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。発光層 289 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 288 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、発光層以外の層、例えば電子注入層、電子輸送層、ホール輸送層、ホール注入層を全て設ける必要はなく、実施者が適宜選択することができる。陽極 290 は、光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、ITO、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

30

【0249】

ここでは、基板とは逆側の面から発光を取り出す上面射出構造の発光素子について示したが、基板側の面から発光を取り出す下面射出構造の発光素子や、基板側及び基板とは逆側の面から発光を取り出す両面射出構造の発光素子を適宜適用することができる。

【0250】

また、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

40

【0251】

なお、本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用薄膜トランジスタ）と発光素子が電氣的に接続されている例を示したが、駆動用薄膜トランジスタと発光素子との間に電流制御用薄膜トランジスタが接続されている構成であってもよい。

【0252】

以上の工程により、発光表示装置を作製することができる。本実施の形態の発光装置は、素子間の電気特性ばらつきが低減されており、輝度のばらつきが少なく、画質の向上した発光表示装置を作製することができる。

50

【 0 2 5 3 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 2 5 4 】

(実施の形態 7)

次に、本発明の一態様である表示装置の表示パネルの構成について、以下に示す。

【 0 2 5 5 】

図 2 2 (A) に、信号線駆動回路 6 0 1 3 のみを別途形成し、基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している表示パネルの形態を示す。画素部 6 0 1 2、保護回路 6 0 1 6、及び走査線駆動回路 6 0 1 4 が形成された素子基板は、上記実施の形態に示す薄膜トランジスタを用いて形成する。素子間の特性ばらつきが低減されているため、表示パネルをばらつきなく安定に動作させることができる。信号線駆動回路 6 0 1 3 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、または S O I を用いたトランジスタであっても良い。S O I を用いたトランジスタにおいては、ガラス基板上に設けられた単結晶半導体層を用いたトランジスタを含む。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。保護回路 6 0 1 6 は、上記実施の形態で示す薄膜トランジスタで形成された保護回路の代わりに、他の構造の薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成される保護回路を設けてもよい。

10

【 0 2 5 6 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

20

【 0 2 5 7 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば F P C 上に貼り合わせるようにしても良い。図 2 2 (B) に、信号線駆動回路 6 0 2 3 のみを別途形成し、基板 6 0 2 1 上に形成された画素部 6 0 2 2、保護回路 6 0 2 6、及び走査線駆動回路 6 0 2 4 が形成された素子基板と F P C 6 0 2 5 が接続している表示装置パネルの形態を示す。画素部 6 0 2 2、保護回路 6 0 2 6、及び走査線駆動回路 6 0 2 4 は、上記実施の形態に示す薄膜トランジスタを用いて形成する。信号線駆動回路 6 0 2 3 は、F P C 6 0 2 5 及び保護回路 6 0 2 6 を介して、画素部 6 0 2 2 と接続されている。画素部 6 0 2 2 と、信号線駆動回路 6 0 2 3 と、走査線駆動回路 6 0 2 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 2 5 を介して供給される。保護回路 6 0 2 6 は、上記実施の形態で示す薄膜トランジスタで形成された保護回路の代わりに、他の構造の薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成される保護回路を設けてもよい。

30

【 0 2 5 8 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、上記実施の形態に示す薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 2 2 (C) に、信号線駆動回路が有するアナログスイッチ 6 0 3 3 a を、画素部 6 0 3 2、走査線駆動回路 6 0 3 4 と同じ基板 6 0 3 1 上に形成し、信号線駆動回路が有するシフトレジスタ 6 0 3 3 b を別途異なる基板に形成して貼り合わせる表示装置パネルの形態を示す。画素部 6 0 3 2、保護回路 6 0 3 6、及び走査線駆動回路 6 0 3 4 は、上記実施の形態に示す薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6 0 3 3 b は、F P C 6 0 3 5 及び保護回路 6 0 3 6 を介して画素部 6 0 3 2 と接続されている。画素部 6 0 3 2 と、信号線駆動回路と、走査線駆動回路 6 0 3 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 3 5 を介して供給される。保護回路 6 0 3 6 は、上記実施の形態で示す薄膜トランジスタで形成された保護回路の代わりに、薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成される保護回路を設けてもよい。

40

50

【0259】

図22(A)~図22(C)に示すように、本実施の形態の表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、上記実施の形態に示す薄膜トランジスタを用いて形成することができる。なお、表示装置の構成は上記説明に限定されない。例えば、特に必要のない場合には、保護回路は設けなくてもよい。

【0260】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図22(A)~図22(C)に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

10

【0261】

なお、本発明の一態様で用いる信号線駆動回路は、シフトレジスタとアナログスイッチ有する。または、シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0262】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

20

【0263】

(実施の形態8)

本実施の形態では、薄膜トランジスタで構成される素子基板、及びそれを用いた表示装置等を、アクティブマトリクス型表示装置パネルに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0264】

本発明の一態様に係る薄膜トランジスタ、表示装置などを用いた電子機器としては、ビデオカメラ及びデジタルカメラ等のカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図23に示す。

30

【0265】

図23(A)はテレビジョン装置である。表示パネルを、図23(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。表示パネルにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0266】

図23(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン操作機2006にも出力する情報を表示する表示部2007が設けられていても良い。

40

【0267】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れた液晶表示パネルで形成し、サブ画面2008を低消費電力で表示可能な発光表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を発光表示パネルで形成し、サブ画面2008を発光表示

50

パネルで形成し、サブ画面 2 0 0 8 は点滅可能とする構成としても良い。

【 0 2 6 8 】

図 2 4 はテレビ装置の主要な構成を示すブロック図を示している。表示パネルには、画素部 9 2 1 が形成されている。信号線駆動回路 9 2 2 と走査線駆動回路 9 2 3 は、表示パネルに COG 方式により実装されていても良い。

【 0 2 6 9 】

その他の外部回路の構成として、映像信号の入力側では、チューナ 9 2 4 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 9 2 5 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 9 2 6 と、その映像信号をドライバ IC の入力仕様に変換するためのコントロール回路 9 2 7 などを有している。コントロール回路 9 2 7 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 9 2 8 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

10

【 0 2 7 0 】

チューナ 9 2 4 で受信した信号のうち、音声信号は、音声信号増幅回路 9 2 9 に送られ、その出力は音声信号処理回路 9 3 0 を経てスピーカ 9 3 3 に供給される。制御回路 9 3 1 は受信局（受信周波数）や音量の制御情報を入力部 9 3 2 から受け、チューナ 9 2 4 や音声信号処理回路 9 3 0 に信号を送出する。

【 0 2 7 1 】

勿論、本発明の一態様はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

20

【 0 2 7 2 】

主画面 2 0 0 3、サブ画面 2 0 0 8 において、上記実施の形態で説明した薄膜トランジスタを有する素子基板、及びそれを有する表示装置を適用することで、画質の向上したテレビ装置を提供することができる。

【 0 2 7 3 】

図 2 3 (B) は携帯電話機 2 3 0 1 の一例を示している。この携帯電話機 2 3 0 1 は、表示部 2 3 0 2、操作部 2 3 0 3 などを含んで構成されている。表示部 2 3 0 2 においては、上記実施の形態で説明した薄膜トランジスタを有する素子基板、及びそれを有する表示装置を適用することで、画質の向上した携帯電話を提供することができる。

30

【 0 2 7 4 】

また、図 2 3 (C) に示す携帯型のコンピュータは、本体 2 4 0 1、表示部 2 4 0 2 等を含んでいる。表示部 2 4 0 2 に、上記実施の形態に示す薄膜トランジスタを有する素子基板、及びそれを有する表示装置を適用することにより、画質の向上したコンピュータを提供することができる。

【 0 2 7 5 】

図 2 3 (D) は卓上照明器具であり、照明部 2 5 0 1、傘 2 5 0 2、可変アーム 2 5 0 3、支柱 2 5 0 4、台 2 5 0 5、電源 2 5 0 6 を含む。上記実施の形態で説明した発光装置を照明部 2 5 0 1 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す薄膜トランジスタを有する素子基板、及びそれを有する表示装置を適用することにより、生産性が良好であり安価な照明器具を提供することができる。

40

【 0 2 7 6 】

図 2 5 はスマートフォン携帯電話機の構成の一例を示しており、例えば表示部に、上記実施の形態で示した薄膜トランジスタを有する素子基板及びそれを有する表示装置が適用される。図 2 5 (A) が正面図、図 2 5 (B) が背面図、図 2 5 (C) が展開図である。スマートフォン携帯電話機は、筐体 1 1 1 1 及び筐体 1 0 0 2 二つの筐体で構成されている。スマートフォン携帯電話機は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能であり、スマートフォ

50

ンとも呼ばれている。

【0277】

筐体1111においては、表示部1101、スピーカ1102、マイクロフォン1103、操作キー1104、ポインティングデバイス1105、表面カメラ用レンズ1106、外部接続端子ジャック1107、イヤホン端子1108等を備え、筐体1002においては、キーボード1201、外部メモリスロット1202、裏面カメラ1203、ライト1204などにより構成されている。また、アンテナは筐体1111内部に内蔵されている。

【0278】

また、上記構成に加えて、非接触ICチップ、小型記録装置等を内蔵していてもよい。

10

【0279】

図25(A)では筐体1111と筐体1002が重なり合っており、図25(A)の状態から筐体1111と筐体1002がスライドし、図25(C)のように展開する。表示部1101には、上記実施の形態に示される表示装置を組み込むことが可能であり、使用形態に応じて表示の方向が適宜変化する。表示部1101と同一面上に及び表面カメラ用レンズ1106を同一の面に備えているため、テレビ電話が可能である。また、表示部1101をファインダーとし裏面カメラ1203及びライト1204で静止画及び動画の撮影が可能である。

【0280】

スピーカ1102及びマイクロフォン1103は音声通話に限らず、テレビ電話、録音、再生等の用途に使用できる。操作キー1104では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール、カーソル移動等が可能である。

20

【0281】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード1201を用いると便利である。重なり合った筐体1111と筐体1002(図25(A))はスライドでき、図25(C)のように展開して携帯情報端末として使用できる。また、キーボード1201、ポインティングデバイス1105を用い円滑な操作でカーソルの操作が可能である。外部接続端子ジャック1107はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット1202に記録媒体を挿入し大量のデータ保存及び移動に対応できる。

30

【0282】

筐体1002の裏面(図25(B))には、裏面カメラ1203及びライト1204を備えており、表示部1101をファインダーとし静止画及び動画の撮影が可能である。

【0283】

また、上記機能構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ、イヤホンジャック等を備えたものであってもよい。

【0284】

上記実施の形態に示す表示装置を適用することにより、画質の向上したスマートフォンを提供することができる。

40

【0285】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【実施例1】

【0286】

本実施例では、ゲート絶縁層、複数の結晶領域を含む第1の半導体層(第1の半導体膜)、絶縁層(絶縁膜)、および非晶質構造を有する第2の半導体層(第2の半導体膜)が積層された試料の作製工程、および作製した試料を測定した結果について、以下に示す。

【0287】

まず、試料の作製方法について説明する。

【0288】

50

基板上に、ゲート絶縁層、第1の半導体膜、絶縁膜、及び第2の半導体膜を、同一チャンバー（処理室）内で形成した。

【0289】

基板としては、ガラス基板を用いた。

【0290】

プラズマCVD装置のチャンバーに基板を搬入し、基板上にゲート絶縁層として、厚さ300nmの酸化窒化シリコン膜を形成した。ここでは、RF電源周波数を13.56MHz、RF電源の電力を50W、成膜温度を280℃、シラン流量：一酸化二窒素流量の比を1：40、圧力40Paとして酸化窒化シリコン膜を成膜した。

【0291】

基板をチャンバーからロードロック室へ搬出し、フッ素ラジカルでチャンバー内をクリーニングした。

【0292】

次に、チャンバーの内壁に保護膜を形成した。ここでは、RF電源周波数を13.56MHz、RF電源の電力を120W、成膜温度を280℃、シラン流量を300sccm、圧力160Paとし、保護膜として非晶質シリコン膜を成膜した。

【0293】

次に、ロードロック室からチャンバーへ基板を移動した。

【0294】

次に、チャンバー内に窒素導入処理を行った。チャンバー内への窒素導入処理としては、流量1000sccmのNH₃を60秒チャンバー内に流し、チャンバー内壁にNH₃を付着させた。なお、NH₃は100vol%のNH₃を使用した。

【0295】

次に、ゲート絶縁層上に第1の半導体膜として、厚さ50nmのシリコン膜を形成した。ここでは、RF電源周波数を13.56MHz、RF電源の電力を60W、成膜温度を280℃、シラン流量：水素流量の比を1：150、圧力280Paとして、微結晶シリコン膜を成膜した。

【0296】

次に、第1の半導体膜上に絶縁膜として酸化シリコン膜を形成した。ここでは、基板をプラズマCVD装置の外へ移動し、大気に曝すことによって、絶縁膜として酸化シリコン膜を形成した。

【0297】

チャンバー内をフッ素ラジカルでクリーニングした後、プラズマCVD装置のチャンバー内に上記基板を搬入し、第1の半導体膜表面に形成された絶縁膜上に、第2の半導体膜として厚さ100nmの非晶質シリコン膜を形成した。ここでは、RF電源周波数を13.56MHz、RF電源の電力を60W、成膜温度を280℃、シラン流量：水素流量の比を14：15、圧力170Paとし、非晶質シリコン膜を成膜した。

【0298】

この後、走査透過電子顕微鏡（Scanning Transmission Electron Microscope；STEM）の測定において試料にダメージが入るのを防ぐために、第2の半導体膜上に導電膜を形成した。ここでは、導電膜として、炭素膜を形成した。

【0299】

以上のように作製した試料の断面を、STEMにより観察した。図26に、試料の断面を走査透過電子顕微鏡により撮影した断面STEM像を示す。

【0300】

ゲート絶縁層403上に第1の半導体膜405が形成される。第1の半導体膜405の表面に、白い線で示されるように絶縁膜407が形成される。絶縁膜407上に第2の半導体膜409が形成される。また、第1の半導体膜405には、破線410で囲まれた領域に、頂点がゲート絶縁層403側にあり、第2の半導体膜409へ向かって幅が広がっ

10

20

30

40

50

ている逆錐形状のシリコン結晶粒が形成される。

【0301】

また、上記試料の酸素濃度、窒素濃度、フッ素濃度、シリコン濃度、及び水素濃度をSIMSで測定した。図27に、上記試料の断面をSTEMにより撮影した断面STEM像に、上記試料のSIMSプロファイルを重ねた図を示す。深さが50nm～約80nmの領域には、導電膜が形成される。深さが約80nm～約120nmの領域には第2の半導体膜が形成される。深さが約120nm～約170nmの領域には、第1の半導体膜が形成される。深さが約170nm～200nmの領域にはゲート絶縁層が形成される。

【0302】

図26、図27から、試料の第1の半導体膜405表面に白い線（極めて膜厚の薄い白い膜）が観察される。また、図27から、試料の第1の半導体膜表面に白い線が観察される領域及びその近傍で、SIMSの酸素濃度がピーク値を有している。以上のことから、第1の半導体膜表面に絶縁膜として酸化膜が形成されていることがわかった。

10

【0303】

また、図27から、ゲート絶縁層上から成長方向10nm程度の半導体膜は、窒素濃度が $1 \times 10^{21} / \text{cm}^3$ 以上となっていることがわかる。また、半導体層の窒素濃度がおよそ $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下となる領域から、頂点がゲート絶縁層側にあり、第2の半導体膜へ向かって幅が広がる錐形状のシリコン結晶粒が観察される。以上のことから、半導体膜において、窒素濃度をある濃度まで低減する（ $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{20} / \text{cm}^3$ 以上 $7 \times 10^{20} / \text{cm}^3$ 以下）ことで、結晶核を生成することができることがわかった。

20

【0304】

（比較例1）

本比較例では、実施例1の比較例として、第1の半導体膜及び第2の半導体膜の間に絶縁膜が形成されず、ゲート絶縁層、第1の半導体膜、および第2の半導体膜が積層された試料の作製工程、および作製した試料を測定した結果について、以下に示す。

【0305】

まず、試料の作製方法について説明する。

【0306】

基板上に、ゲート絶縁層、複数の結晶領域を含む第1の半導体膜（第1の半導体層）、及び非晶質構造を有する第2の半導体膜（第2の半導体層）を、同一チャンバー内で連続成膜した。

30

【0307】

基板としては、ガラス基板を用いた。

【0308】

ゲート絶縁層として、窒化シリコン膜及び酸化窒化シリコン膜を形成した。プラズマCVD装置のチャンバーに基板を搬入し、基板上に厚さ110nmの窒化シリコン膜及び酸化窒化シリコン膜を形成した。ここでは、RF電源周波数を27MHz、RF電源の電力を100W、成膜温度を280℃、シラン流量：アンモニア流量：アルゴン流量の比を1：80：10、圧力40Paとして窒化シリコン膜を成膜した。次に、RF電源周波数を27MHz、RF電源の電力を100W、成膜温度を280℃、シラン流量：一酸化二窒素流量の比を1：125、圧力40Paとして酸化窒化シリコン膜を成膜した。

40

【0309】

第1の半導体膜として、厚さ30nmのシリコン膜を形成した。ここでは、RF電源周波数を60MHz、RF電源の電力を15W、成膜温度を280℃、シラン流量：水素流量の比を1：50、圧力100Paとして、微結晶シリコン膜を成膜した。

【0310】

第2の半導体膜として、非晶質シリコン膜を形成した。ここでは、RF電源周波数を13.56MHz、RF電源の電力を30W、成膜温度を280℃、シラン流量：水素流量の比を1：20、圧力66.6Paとして、非晶質シリコン膜を成膜した。

50

【0311】

次に、第2の半導体膜の表面をエッチングした後、第2の半導体膜上に保護膜を形成した。

【0312】

ここでは、ソースパワー2000W、圧力0.67Pa、エッチングガスに流量100sccmnの塩素を用い、エッチング時間を30秒としたエッチング条件で第2の半導体膜の表面をドライエッチングした。

【0313】

次に、保護膜として厚さ300nmの窒化シリコン膜を形成した。ここでは、RF電源周波数を13.56MHz、RF電源の電力を150W、成膜温度を280、シラン流量：アンモニア流量：窒素流量：水素流量の比を2：22：45：45、圧力160Paとして、窒化シリコン膜を成膜した。

10

【0314】

以上のように作製した試料の断面を、STEMにより撮影した断面STEM像図28に示す。

【0315】

図28において、ゲート絶縁層の窒化シリコン膜411上にゲート絶縁層の酸化窒化シリコン膜413が形成される。酸化窒化シリコン膜413上に第1の半導体膜415としてシリコン膜が形成される。第1の半導体膜415上に第2の半導体膜417として非晶質シリコン膜が形成される。第2の半導体膜417上に保護膜419として、窒化シリコン膜が形成される。

20

【0316】

また、第2の半導体膜417には、破線421で示すように、針状に成長した結晶粒が見られる。これは、非晶質シリコン膜の成膜中に、第1の半導体膜415中に含まれる結晶領域を結晶核として、結晶質シリコンが針状に成長したものである。

【0317】

以上のことから、第1の半導体膜415及び第2の半導体膜417の界面に絶縁層を形成しないと、非晶質シリコン膜で形成した第2の半導体層に結晶粒が形成される場合があることがわかる。

【実施例2】

30

【0318】

本実施例では、水プラズマ処理による効果について検証した結果を示す。水プラズマ処理では、H原子、OH基が主な生成種である。そこで、H原子及びOH基がSi原子（シリコン原子）のダングリングボンド（欠陥）へ作用する様子について検証した。

【0319】

まず、水プラズマ処理による効果の検証に用いたモデル図について、図29(A)～(C)に示す。図29(A)に示すモデル1、図29(B)に示すモデル2、図29(C)に示すモデル3は、64個のSi原子を繰り返し単位とするシリコンの格子構造からSi原子を1個抜き取った構造を模式的に示している。

【0320】

40

具体的には、図29(A)に示すモデル1は、Si原子が1個抜き取られてダングリングボンドが形成されたシリコンの格子構造のモデル図である。図29(B)に示すモデル2は、Si原子が1個抜き取られてダングリングボンドが形成され、該ダングリングボンドを4つのH原子で終端したシリコンの格子構造のモデル図である。図29(C)に示すモデル3は、Si原子が1個抜き取られてダングリングボンドが形成され、該ダングリングボンドを1つのOH基と3つのH原子で終端したシリコンの格子構造のモデル図である。なお、図29では、Si原子3001、H原子3003およびOH基3005（なおOH基3005は、O原子3004とH原子3003で構成される）を示し、実線は結合手または結合を示している。

【0321】

50

第一原理計算を用いて効果の検証を行った。計算には、ソフトウェアとしてAccelrys社製のCASTEP（密度汎関数理論を用いた第一原理計算ソフトウェア）を用いた。

【0322】

図29(A)～図29(C)に示すモデル1～モデル3のそれぞれにおける、第一原理計算による計算結果を図30に示す。図30の横軸は、真空準位を原点にとったときの電子のエネルギーを示し、縦軸は電子の状態密度を示す。また、破線でモデル1、細い実線でモデル2、太い実線でモデル3の計算結果を示す。

【0323】

電子のエネルギーが -5.0 eV 以下は価電子帯（図30ではVBとする）を示し、電子のエネルギーが -4.1 eV 以上は伝導帯（図30ではCBとする）を示す。また、電子のエネルギーが $-5.0\text{ eV} < \text{電子のエネルギー} < -4.1\text{ eV}$ の範囲は、バンドギャップ（図30ではEgとする）を示す。なお、図30に示す計算結果においては、バンドギャップは 0.9 eV であり、実験値の 1.2 eV よりも小さくなった。しかし、バンドギャップが小さくなることは、密度汎関数理論に共通する問題であり、今回の計算が適切であることを示すものではない。

【0324】

モデル1（ダングリングボンドが終端されていない場合）は、バンドギャップ中において電子の状態密度を有することが確認できる。これは、ダングリングボンドに起因する欠陥準位である。

【0325】

一方、モデル2（ダングリングボンドがH原子で終端されている場合）と、モデル3（ダングリングボンドが1つのOH基と3つのH原子で終端されている場合）は、バンドギャップ中において、電子の状態密度が0であることから、欠陥準位が含まれていないことが確認できる。このことから、欠陥が含まれるシリコン膜に、H原子またはOH基を曝すことでダングリングボンドをH原子またはOH基で終端することにより、シリコン膜の欠陥準位を低減できることがわかる。つまり、水プラズマ処理により、シリコン膜の欠陥を補償できることがわかる。よって、例えば、上記図2(D)に示すように第1の半導体膜103上に絶縁膜105を形成する際、第1の半導体膜103を水プラズマ処理して絶縁膜105を形成することで、第1の半導体膜103の欠陥を補償できることがわかる。

【0326】

次に、水プラズマ処理と水素プラズマ処理の効果について、考察した。図31(A)、(B)にシリコン膜の格子構造を模式的に示したモデル図を示し、図31(C)、(D)にシリコン膜の結合を模式的に示したモデル図を示す。

【0327】

図31(A)、(C)に示すように、Si原子3001と結合するH原子3003にOH基3005が近づく。すると、OH基3005がSi原子3001と結合し、Si原子3001と結合していたH原子3003は解離する。一方、解離したH原子3003は、図31(B)、(D)に示すように、シリコン膜中へと移動する。ここで、Si原子とOH基の結合エネルギーは 3.03 eV であり、Si原子とH原子の結合エネルギーは 1.94 eV である。このため、Si原子とH原子の結合よりもSi原子とOH基の結合の方が安定である。したがって、H原子よりもOH基の方が、シリコン膜中のダングリングボンドの終端が進みやすいといえる。

【0328】

また、図29、図30を用いて説明したように、H原子もOH基もシリコン膜の欠陥準位を低減する。しかし、Si原子とH原子の結合は、Si原子とOH基の結合と比較して結合エネルギーが小さいため、容易に解離しやすく、再び欠陥準位を発生させやすい。これに対して、Si原子とOH基の結合は、Si原子とH原子の結合と比較して結合エネルギーが大きいため、解離しにくく、欠陥準位を発生しにくいといえる。

【0329】

以上のことから、欠陥を有するシリコン膜にOH基を曝すことにより、シリコン膜中の欠陥を低減（補償）することが可能であると考察できる。また、OH基を生成する水プラズマ処理は、効果的にシリコン膜中の欠陥を補償できると考察できる。

【符号の説明】

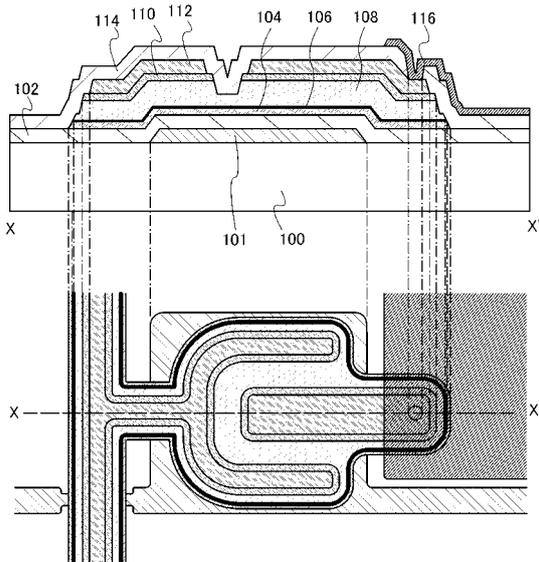
【0330】

- 100 基板
- 101 ゲート電極層
- 102 ゲート絶縁層
- 103 第1の半導体膜
- 104 第1の半導体層
- 105 絶縁膜
- 106 絶縁層
- 107 第2の半導体膜
- 108 第2の半導体層
- 109 不純物半導体膜
- 110 不純物半導体層
- 111 導電膜
- 112 配線層
- 114 絶縁層
- 116 画素電極層
- 131 レジストマスク
- 132 レジストマスク

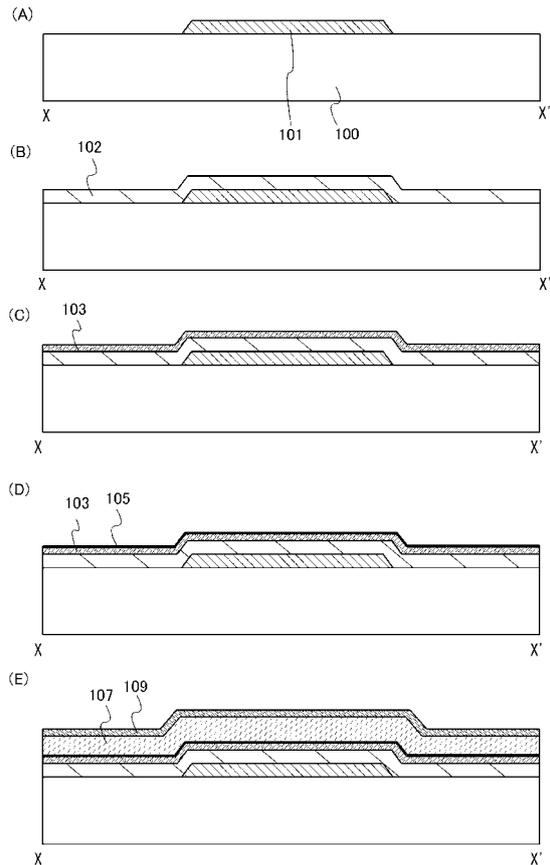
10

20

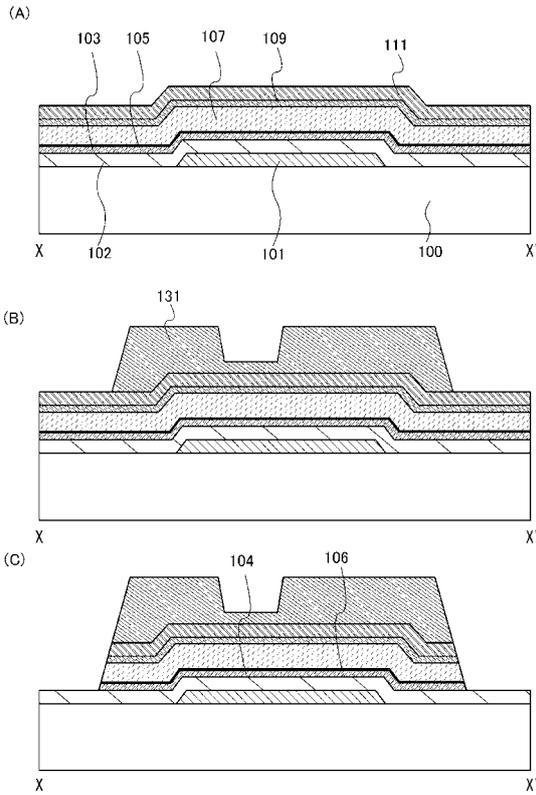
【図1】



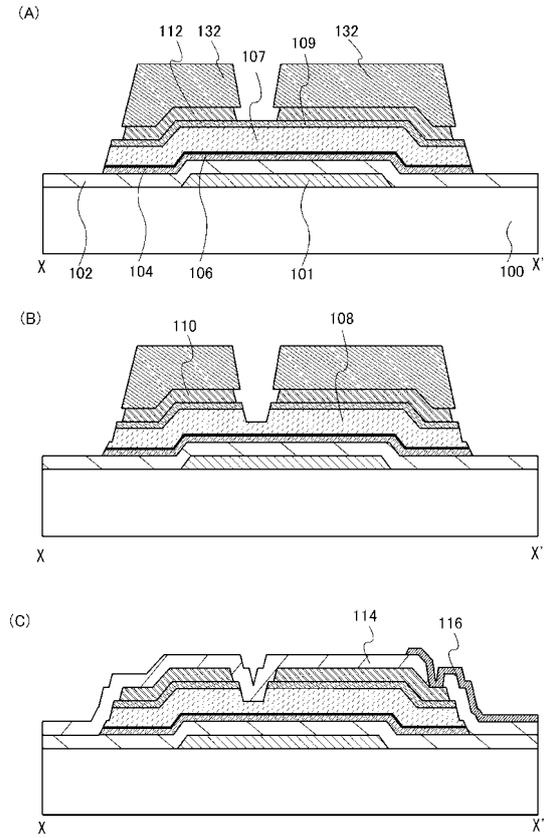
【図2】



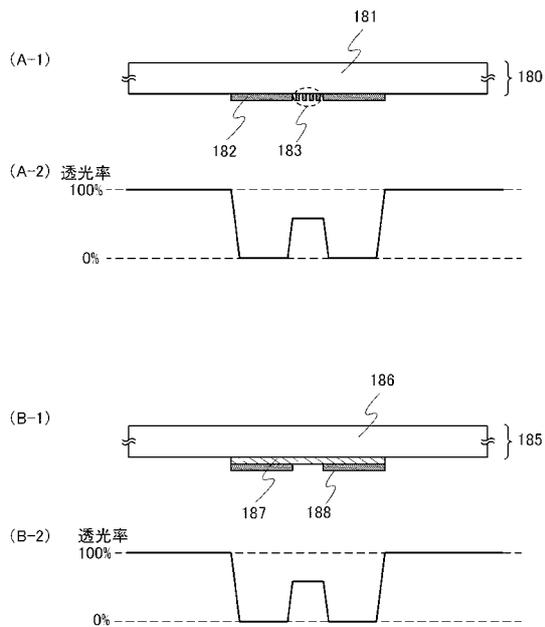
【図3】



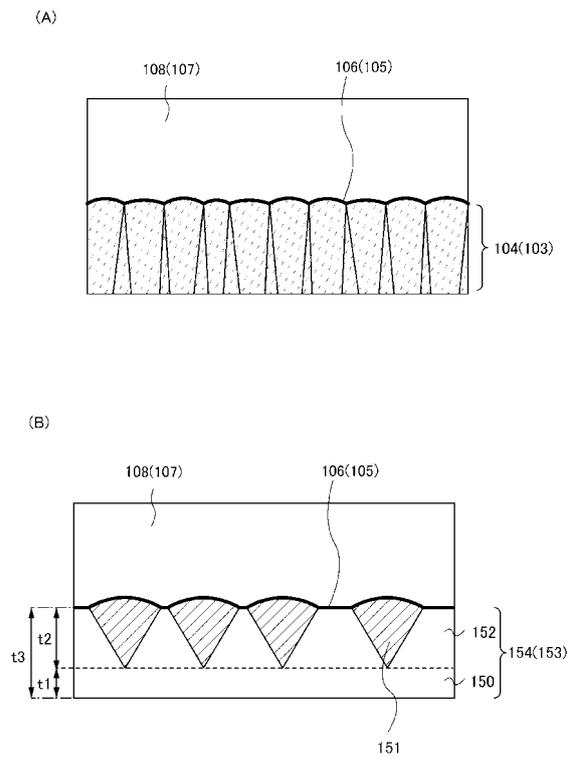
【図4】



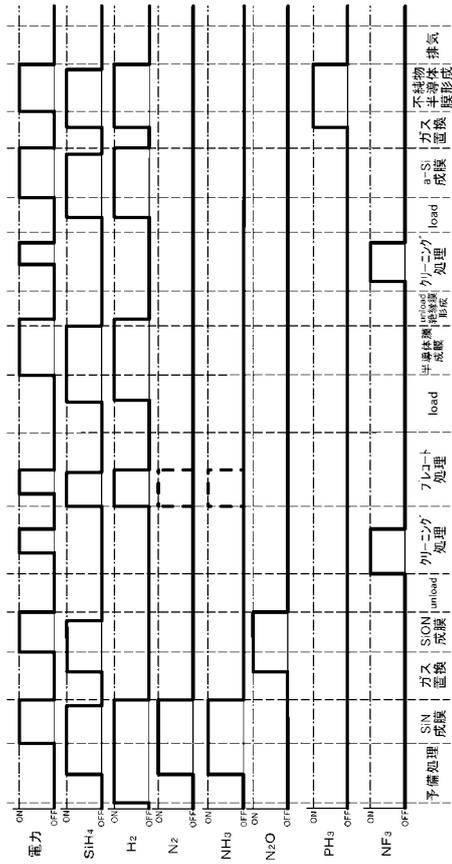
【図5】



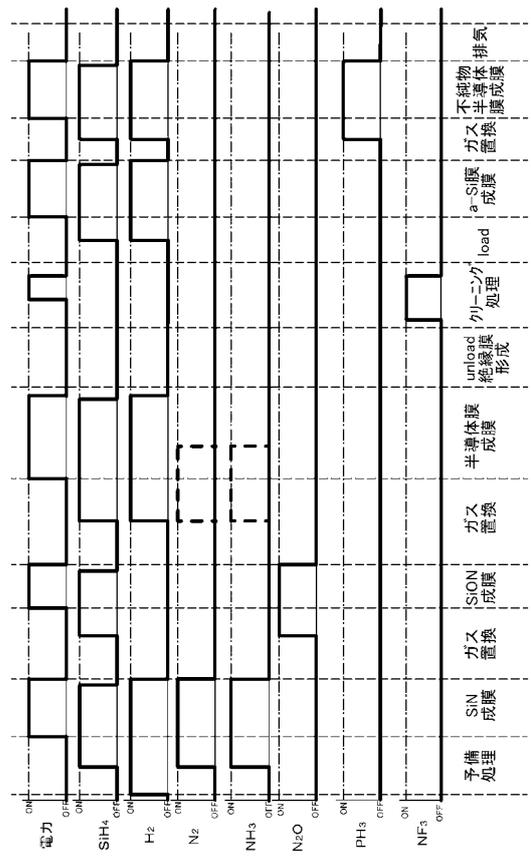
【図6】



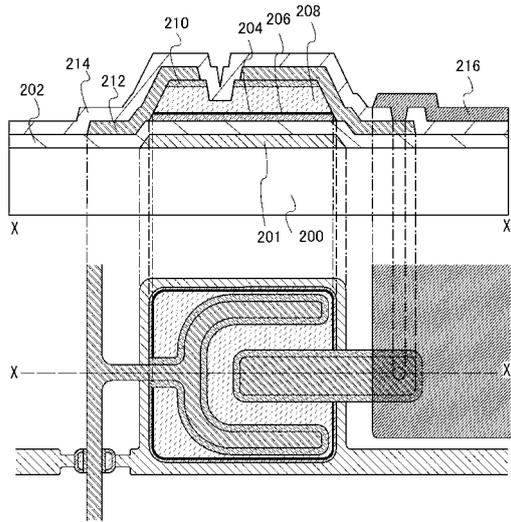
【図 1 1】



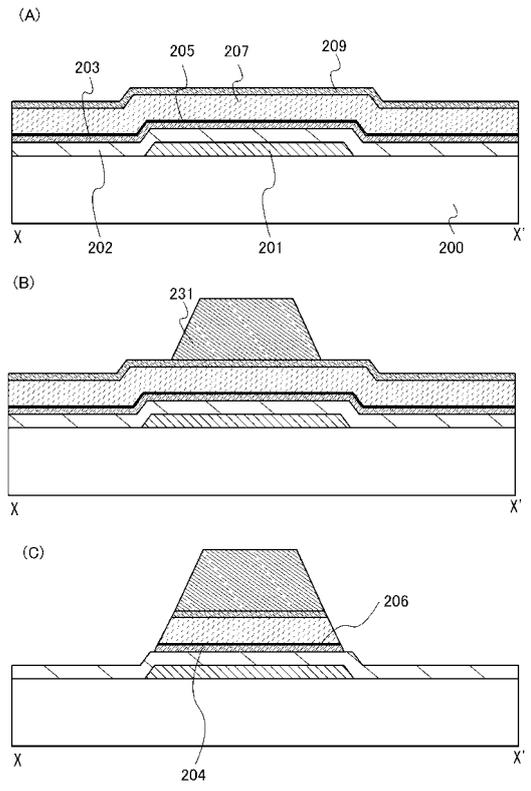
【図 1 2】



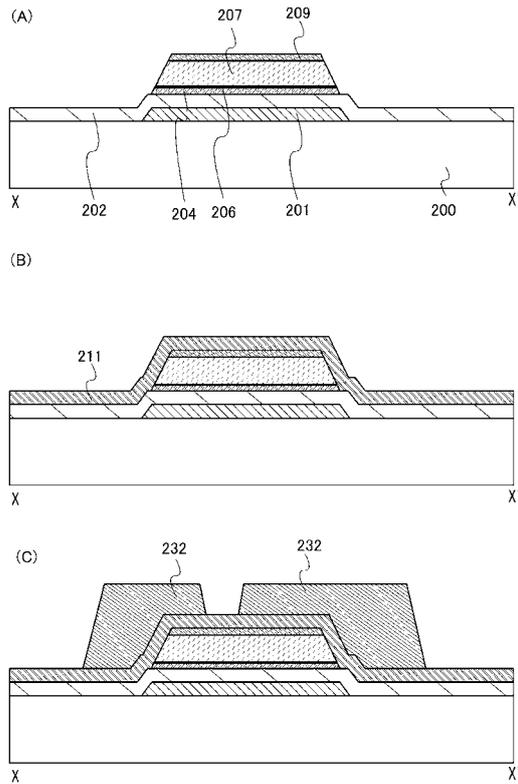
【図 1 3】



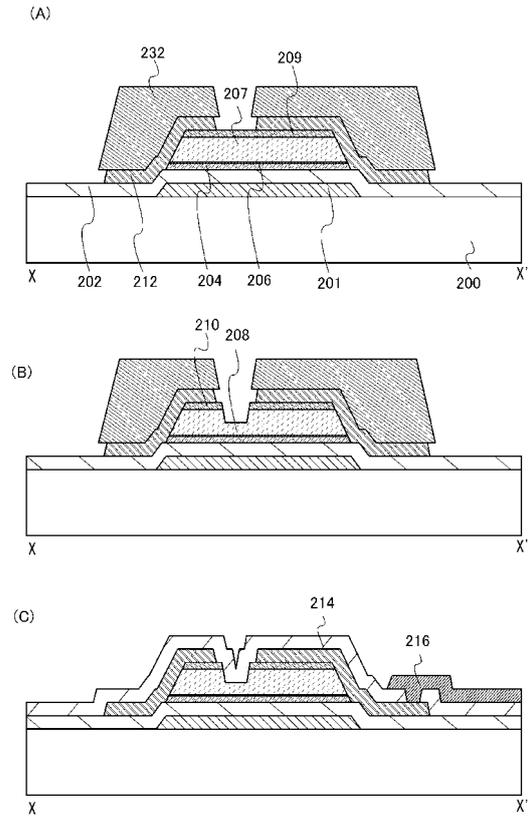
【図 1 4】



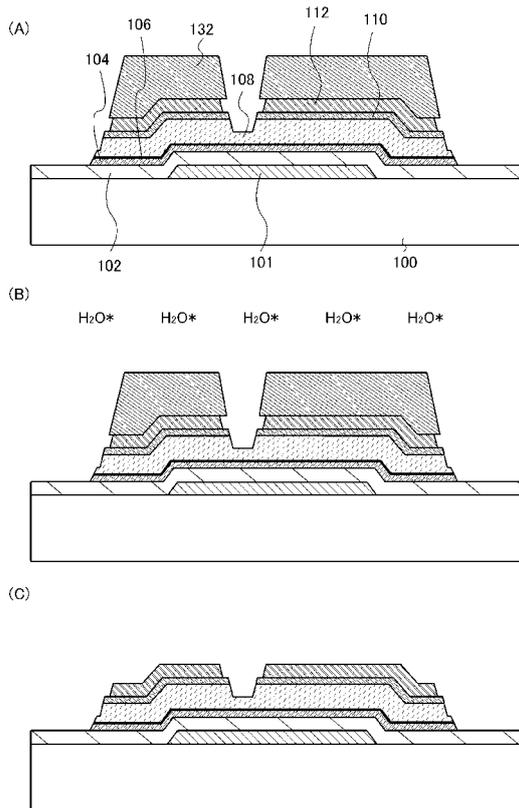
【 図 15 】



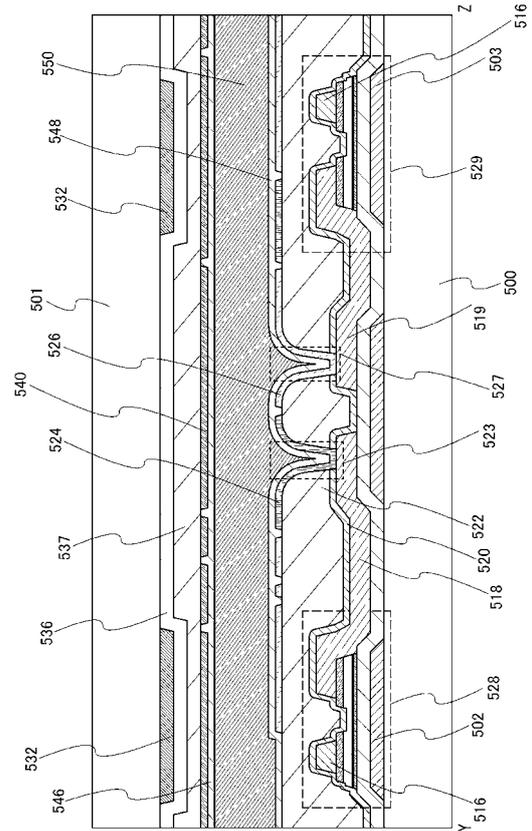
【 図 16 】



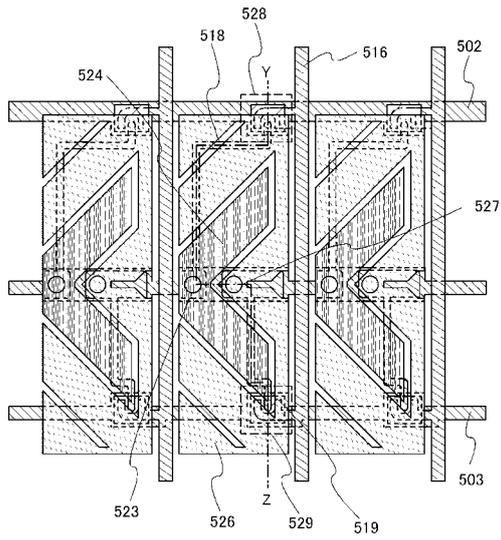
【 図 17 】



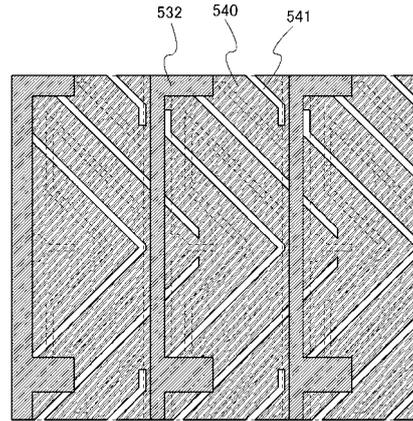
【 図 18 】



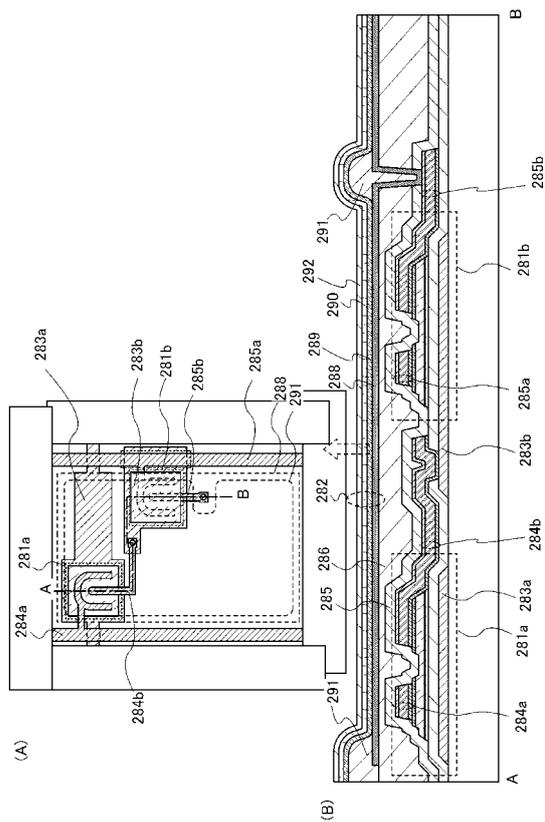
【図19】



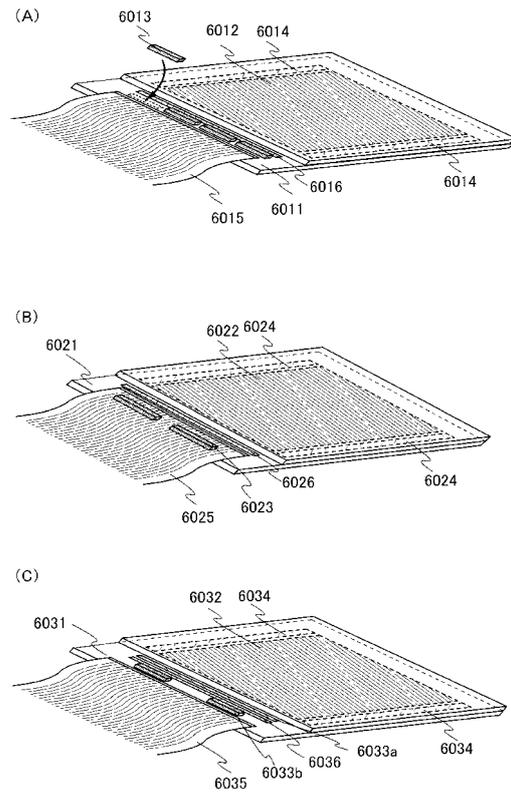
【図20】



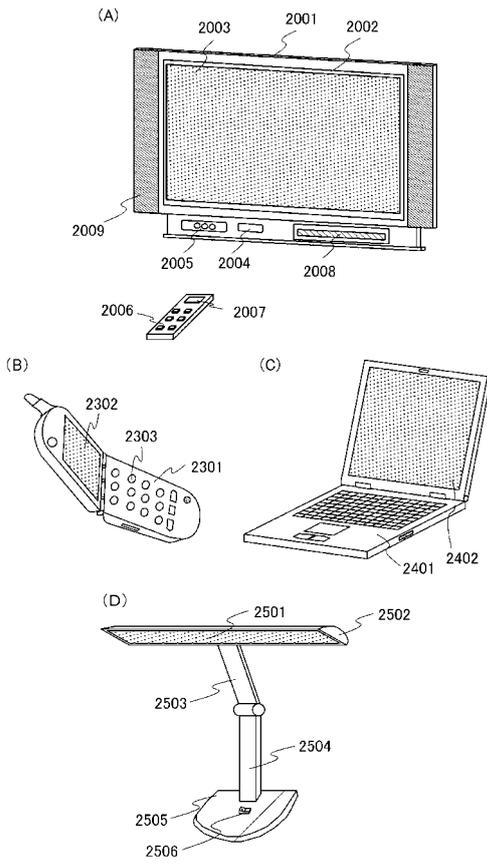
【図21】



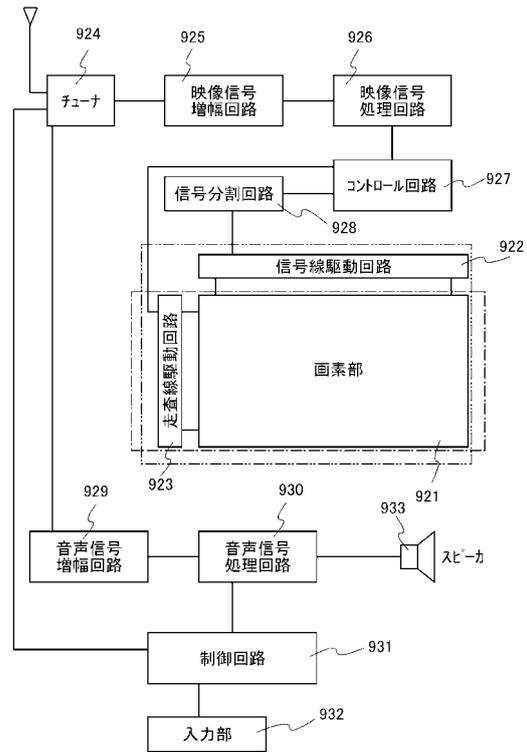
【図22】



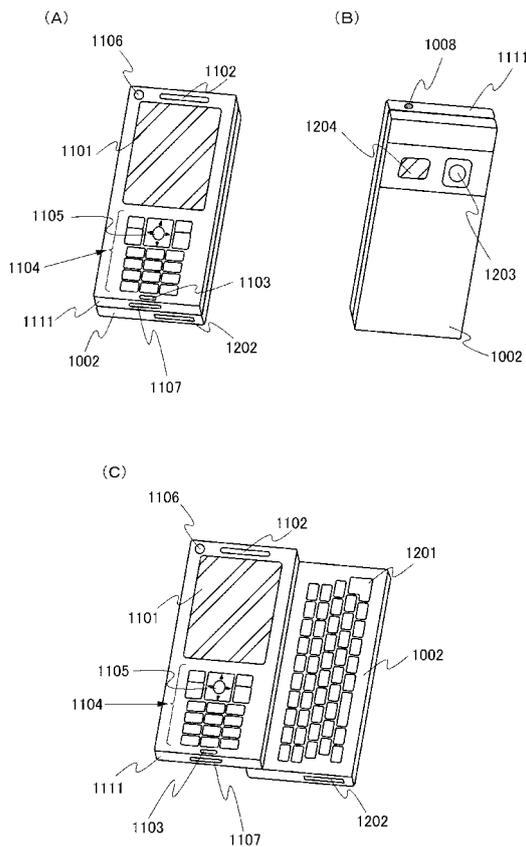
【図23】



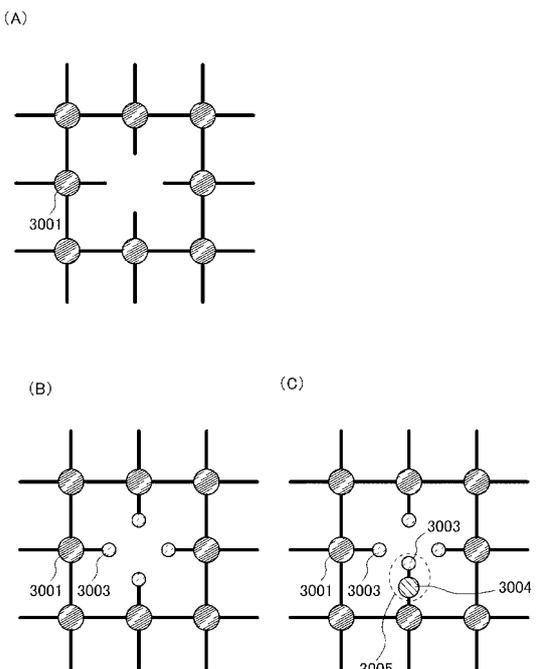
【図24】



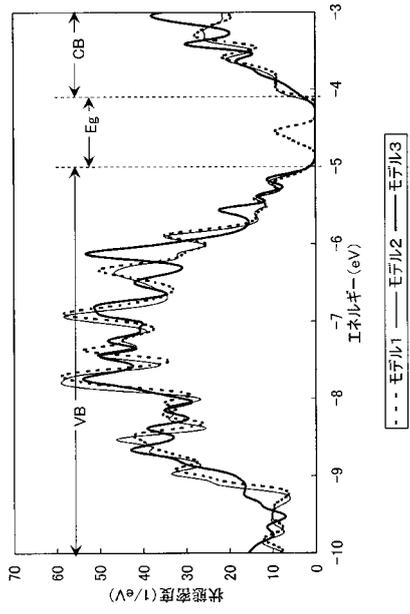
【図25】



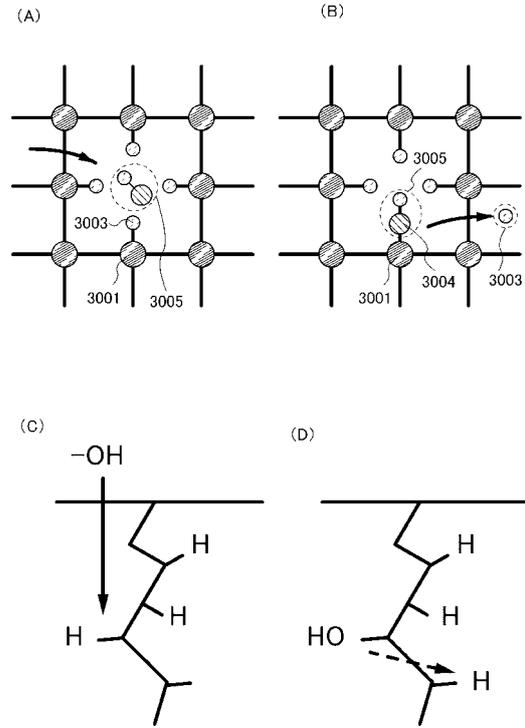
【図29】



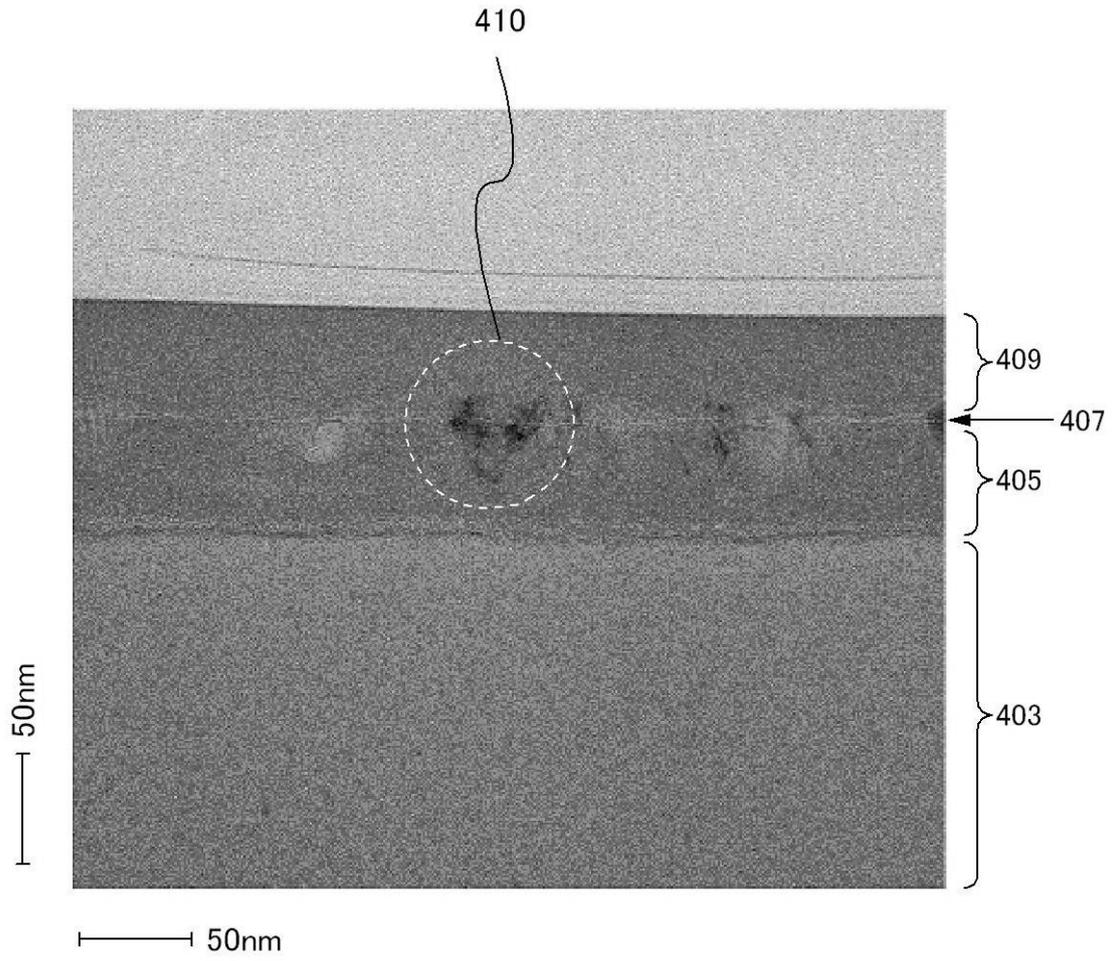
【図30】



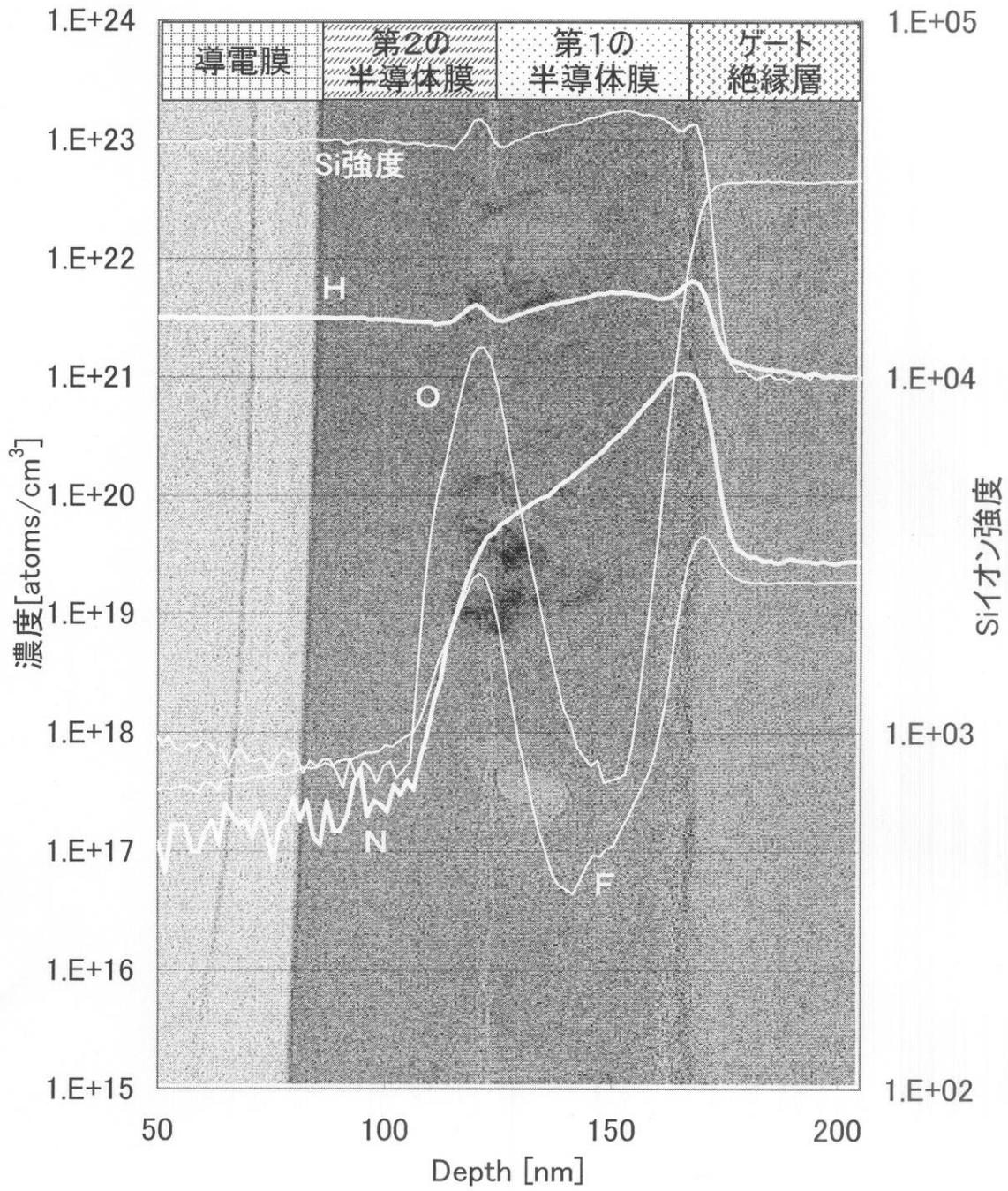
【図31】



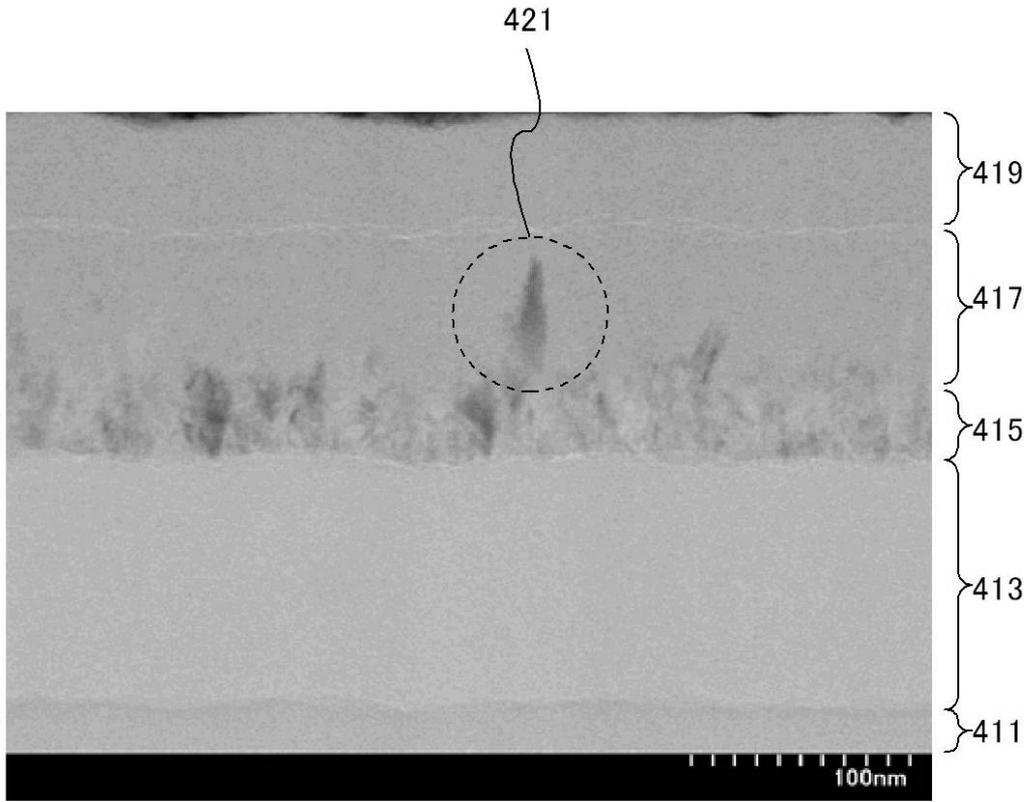
【 図 26 】



【図 27】



【 図 28 】



フロントページの続き

審査官 竹口 泰裕

(56)参考文献 特開2005-322845(JP,A)
特開平02-260661(JP,A)
特開2001-102587(JP,A)
特表2004-504721(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/336、29/786