

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6510165号  
(P6510165)

(45) 発行日 令和1年5月8日(2019.5.8)

(24) 登録日 平成31年4月12日(2019.4.12)

(51) Int.Cl. F I  
**H03F 3/45 (2006.01)** H03F 3/45 220  
**H03F 3/347 (2006.01)** H03F 3/347

請求項の数 4 (全 36 頁)

(21) 出願番号	特願2013-205375 (P2013-205375)	(73) 特許権者	308033711
(22) 出願日	平成25年9月30日(2013.9.30)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2015-70552 (P2015-70552A)		神奈川県横浜市港北区新横浜二丁目4番地
(43) 公開日	平成27年4月13日(2015.4.13)		8
審査請求日	平成28年9月1日(2016.9.1)	(74) 代理人	100079049
			弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	大森 鉄男
			神奈川県横浜市港北区新横浜二丁目4番地
			8 ラピスセミコンダクタ株式会社内
		審査官	鬼塚 由佳

最終頁に続く

(54) 【発明の名称】 オペアンプ

(57) 【特許請求の範囲】

【請求項1】

主差動増幅回路の外部信号を入力する一方の入力端子に非反転入力端子が接続され、前記主差動増幅回路の外部信号を入力する他方の入力端子に反転入力端子が接続されて、前記主差動増幅回路の出力電圧の低下に伴う入力差に応じた電圧を出力する第1の差動増幅回路を含む第1のコンパレータと、

前記主差動増幅回路の前記一方の入力端子に反転入力端子が接続され、前記主差動増幅回路の前記他方の入力端子に非反転入力端子が接続されて、前記主差動増幅回路の出力電圧の上昇に伴う入力差に応じた電圧を出力する第2の差動増幅回路を含む第2のコンパレータと、

前記第1のコンパレータ、または、前記第2のコンパレータの各々から出力された電圧に応じて前記主差動増幅回路の電流源トランジスタに流れる電流を増加させ、前記主差動増幅回路の動作速度を速くする高速機能部と、

前記主差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能な、出力に対するオフセット電圧の調整回路と、

前記第1の差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能な、アンダーシュート検知に対するオフセット電圧の調整回路と、

前記第2の差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能な、オーバーシュート検知に対するオフセット電圧の調整回路と、

を備えたオペアンプ。

## 【請求項 2】

前記高速機能部は、

ゲートが前記第 1 のコンパレータの出力端子に接続され、ソースが正電源に接続され、かつドレインが前記電流源トランジスタのゲートに接続された第 1 のトランジスタと、ゲートが前記第 2 のコンパレータの出力端子に接続され、ソースが前記正電源に接続され、かつドレインが前記電流源トランジスタのゲートに接続された第 2 のトランジスタと、を備えた、

請求項 1 記載の オペアンプ。

## 【請求項 3】

前記高速機能部は、

前記第 1 のトランジスタのドレイン及び前記第 2 のトランジスタのドレインの各々と負電源との間に、ソースが前記負電源に接続され、ドレイン及びゲートが前記第 1 のトランジスタのドレイン及び前記第 2 のトランジスタの各々のドレインと前記電流源トランジスタのゲートに接続された NMOS トランジスタを備えた、

請求項 2 記載の オペアンプ。

## 【請求項 4】

前記主差動増幅回路は、Nch 差動回路と Pch 差動回路との少なくともいずれか一方を備えた 差動増幅型の回路 であり、かつ前記第 1 のコンパレータ及び前記第 2 のコンパレータの各々は、前記主差動増幅回路と同じ導電型の 差動増幅型の回路 を含む

請求項 1 から請求項 3 のいずれか 1 項に記載の オペアンプ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、オペアンプ に係り、特に、差動増幅回路の動作を安定させるのに好適な差動増幅回路制御装置を含む オペアンプ に関するものである。

## 【背景技術】

## 【0002】

差動増幅回路を含むオペアンプ及び電圧レギュレータにおける、出力信号の応答速度（過渡応答性）の低下、出力負荷変動に対する出力安定時間（出力セットリング時間）の長期化、並びに出力オーバーシュート及びアンダーシュートの発生といった問題の対策として、従来は、回路全体の電流、特に差動増幅回路の動作電流を増加させ、回路動作を早くさせることで対応していた。

## 【0003】

しかしながら、近年の社会における低消費電力化の要求に伴い、半導体集積回路であるオペアンプ、及び電圧レギュレータにおいても低消費電力化が要求されている。このような要求に対応して消費電流を低減させた場合には、オペアンプ自体の動作速度が遅くなり、出力信号の応答速度（過渡応答性）の低下、出力負荷変動に対する出力安定時間（出力セットリング時間）の長期化、及び出力オーバーシュート、アンダーシュートが大きくなるといった問題が生じる。

## 【0004】

このように、消費電流を増加させる対応では、近年の低消費電力化に相反することとなり、これらを踏まえての低消費電力化は困難であった。

## 【0005】

特許文献 1 には、必要なときだけに定電圧回路の消費電流を増加させて応答特性を改善する技術が記載されている。特許文献 1 の技術では、誤差増幅回路を用いた定電圧回路において、出力電圧が上昇して分圧電圧が閾値を超えた場合、オペアンプのバイアス電流を増加させてオペアンプの動作速度を上げることにより、出力電圧の上昇をすばやく元の定格出力電圧に戻すことができる。

## 【0006】

しかし、特許文献 1 の技術では、出力電圧のオーバーシュートに対応しているだけであ

10

20

30

40

50

り、定電圧回路の立ち上がり時間を短くすること、及び、負荷電流が突然増加したり入力電圧が突然低下したりした場合に発生する出力電圧のアンダーシュートには対応できていない。

【0007】

このような特許文献1の問題点を解決するための技術が下記特許文献2に記載されている。この特許文献2の技術では、誤差増幅回路を用いた定電圧回路において、出力端子と接地との間にコンデンサを設け、当該コンデンサと接地間に抵抗を設けると共に、コンデンサと抵抗との接続点にプラス端子が接続されて抵抗の接地側にマイナス端子が接続された第1のコンパレータ、及び、コンデンサと抵抗との接続点にマイナス端子が接続されて抵抗の接地側にプラス端子が接続された第2のコンパレータを設け、第1、第2のコンパレータの出力に応じて誤差増幅回路のバイアス電流を増減させる構成となっている。

10

【0008】

例えば、出力電圧が安定している状態において、電源電圧の上昇もしくは負荷電流の減少が発生して出力電圧が上昇してコンデンサに充電電流が流れると、第1のコンパレータの出力がハイレベルとなり、誤差増幅回路のバイアス電流を増加させ、短時間で元の定格出力電圧に戻し、また、電源電圧の低下もしくは負荷電流の増加が発生して出力電圧が下降してコンデンサの放電電流が流れると、第2のコンパレータの出力がハイレベルとなり、誤差増幅回路のバイアス電流を増加させ、短時間で元の定格出力電圧に戻すことができ、オーバーシュート、アンダーシュートを抑えることができる。

【先行技術文献】

20

【特許文献】

【0009】

【特許文献1】特開2004-164411号公報

【特許文献2】特開2007-310521号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、上記特許文献2の技術は、コンデンサの充電電流及び放電電流に伴う抵抗の両端における電位差を第1、第2のコンパレータで検出する構成であり、電位差が微小であっても、第1、第2のコンパレータのいずれかの出力がハイレベルとなり、誤差増幅回路のバイアス電流が増加される状態が頻発して動作が安定しない。その結果、消費電力を安定的に抑えることができない。

30

【0011】

本発明は、上記問題点を解決するためになされたものであり、電圧レギュレータ及びオペアンプにおける出力安定時の消費電流を増加させることなく、入力信号に対する出力信号の過度応答性、出力負荷変動に対する出力セットリング時間、及びオーバーシュート、アンダーシュートを安定的に改善することが可能な差動増幅回路制御装置を提供することである。

【課題を解決するための手段】

【0012】

40

上記目的を達成するため、本発明のオペアンプは、主差動増幅回路の外部信号を入力する一方の入力端子に非反転入力端子が接続され、前記主差動増幅回路の外部信号を入力する他方の入力端子に反転入力端子が接続されて、前記主差動増幅回路の出力電圧の低下に伴う入力差に応じた電圧を出力する第1の差動増幅回路を含む第1のコンパレータと、前記主差動増幅回路の前記一方の入力端子に反転入力端子が接続され、前記主差動増幅回路の前記他方の入力端子に非反転入力端子が接続されて、前記主差動増幅回路の出力電圧の上昇に伴う入力差に応じた電圧を出力する第2の差動増幅回路を含む第2のコンパレータと、前記第1のコンパレータ、または、前記第2のコンパレータの各々から出力された電圧に応じて前記主差動増幅回路の電流源トランジスタに流れる電流を増加させ、前記主差動増幅回路の動作速度を速くする高速機能部と、前記主差動増幅回路の双方の負荷であっ

50

てトリミングにより抵抗値が調整可能な、出力に対するオフセット電圧の調整回路と、前記第1の差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能な、アンダーシュート検知に対するオフセット電圧の調整回路と、前記第2の差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能な、オーバーシュート検知に対するオフセット電圧の調整回路と、を備えている。

【発明の効果】

【0013】

本発明によれば、第1の差動増幅回路を含む第1のコンパレータは、主差動増幅回路の外部信号を入力する一方の入力端子に非反転入力端子が接続され、前記主差動増幅回路の外部信号を入力する他方の入力端子に反転入力端子が接続されて、前記主差動増幅回路の出力電圧の低下に伴う入力差に応じた電圧を出力し、第2の差動増幅回路を含む第2のコンパレータは、前記差動増幅回路の前記一方の入力端子に反転入力端子が接続され、前記主差動増幅回路の前記他方の入力端子に非反転入力端子が接続されて、前記主差動増幅回路の出力電圧の上昇に伴う入力差に応じた電圧を出力し、高速機能部は、前記第1のコンパレータ、または、前記第2のコンパレータの各々から出力された電圧に応じて前記主差動増幅回路の電流源トランジスタに流れる電流を増加させ、前記主差動増幅回路の動作速度を速くするので、オペアンプにおける出力安定時の消費電流を増加させることなく、入力信号に対する出力信号の過度応答性、出力負荷変動に対する出力セットリング時間、及びオーバーシュート、アンダーシュートを安定的に改善することが可能である。

また、出力に対するオフセット電圧の調整回路は、前記主差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能であり、アンダーシュート検知に対するオフセット電圧の調整回路は、前記第1の差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能であり、オーバーシュート検知に対するオフセット電圧の調整回路は、前記第2の差動増幅回路の双方の負荷であってトリミングにより抵抗値が調整可能であるので、各々のオフセット調整は、独立して行うことができる。

【図面の簡単な説明】

【0014】

【図1】本発明に係る差動増幅回路制御装置を備えた電圧レギュレータの構成例（第1の実施形態）を示す回路図である。

【図2】図1における差動増幅回路制御装置の動作例を示すタイムチャートである。

【図3】従来の電圧レギュレータの構成例を示す回路図である。

【図4】図1における基準電圧回路の構成例を示す回路図である。

【図5】図1におけるバイアス発生回路の構成例を示す回路図である。

【図6】図3における電圧レギュレータの動作例を示すタイミングチャートである。

【図7】アンダーシュートを低減させた電圧レギュレータの構成例を示す回路図である。

【図8】図7におけるアンダーシュートを低減させた電圧レギュレータの動作例を示すタイミングチャートである。

【図9】図7におけるアンダーシュートを低減させた電圧レギュレータにオフセット電圧調整用回路を設けた構成例を示す回路図である。

【図10】図1における電圧レギュレータにオフセット電圧調整用回路を設けた構成例（第2の実施形態）を示す回路図である。

【図11】図10におけるオーバーシュート及びアンダーシュート検知のオフセット調整回路の構成例を示す回路図である。

【図12】図10におけるレギュレータ出力のオフセット調整回路の構成例を示す回路図である。

【図13】従来のA級増幅Pch+Nch入力オペアンプの構成例を示す回路図である。

【図14】従来のA級増幅Pch入力オペアンプの構成例を示す回路図である。

【図15】本発明に係る差動増幅回路制御装置を備えたA級増幅Pch+Nch入力オペアンプの構成例（第3の実施形態）を示す回路図である。

【図16】本発明に係る差動増幅回路制御装置を備えたA級増幅Pch入力オペアンプの

10

20

30

40

50

構成例（第4の実施形態）を示す回路図である。

【図17】図16におけるオフセット調整回路の構成例を示す回路図である。

【図18】図15におけるA級増幅Pch+Nch入力オペアンプに位相補償回路を設けた構成例を示す回路図である。

【図19】消費電流測定用のボルテージフォロワ回路の接続構成例を示す回路図である。

【図20】パルス応答・Sin波応答測定用のボルテージフォロワ回路の接続構成例を示す回路図である。

【図21】負荷過度応答測定用のボルテージフォロワ回路の接続構成例を示す回路図である。

【図22】図15におけるA級増幅Pch+Nch入力オペアンプの消費電流特性例を示す図である。

10

【図23】図15におけるA級増幅Pch+Nch入力オペアンプのパルス応答特性例を示す図である。

【図24】図15におけるA級増幅Pch+Nch入力オペアンプの負荷過度応答特性例を示す図である。

【図25】図16におけるA級増幅Pch入力オペアンプと従来のA級増幅Pch入力オペアンプの各々の消費電流特性例を示す図である。

【図26】図16におけるA級増幅Pch入力オペアンプと従来のA級増幅Pch入力オペアンプの各々のパルス応答特性例を示す図である。

【図27】従来のA級増幅Nch入力オペアンプの構成例を示す回路図である。

20

【図28】本発明に係る差動増幅回路制御装置を備えたA級増幅Nch入力オペアンプの構成例（第5の実施形態）を示す回路図である。

【図29】図28におけるA級増幅Nch入力オペアンプと従来のA級増幅Nch入力オペアンプの各々の消費電流特性例を示す図である。

【図30】図28におけるA級増幅Nch入力オペアンプと従来のA級増幅Nch入力オペアンプの各々のパルス応答特性例を示す図である。

【図31】本発明に係る差動増幅回路制御装置を備えたAB級オペアンプの構成例（第6の実施形態）を示す回路図である。

【図32】図31におけるAB級オペアンプと従来のAB級オペアンプの各々の消費電流特性例を示す図である。

30

【図33】図31におけるAB級オペアンプと従来のAB級オペアンプの各々のSin波応答特性例を示す図である。

【図34】図31におけるAB級オペアンプと従来のAB級オペアンプの各々のパルス応答特性例を示す図である。

【発明を実施するための形態】

【0015】

以下、図を用いて本発明に係る実施の形態について説明する。まず、図3を用いて、本発明に係る差動増幅回路制御装置を設けた電圧レギュレータとの比較に用いる電圧レギュレータについて説明する。

【0016】

40

図3における電圧レギュレータ300は、差動増幅回路10、基準電圧回路（「VREF」とも記載する）11、ドライバトランジスタPH1を備えた出力回路12、及び分圧回路13を備えている。

【0017】

差動増幅回路10は、バイアス発生回路（「BIAS」とも記載する）14、差動段のNMOSTランジスタNH1、NH2、NH3、PMOSTランジスタPH2、PH7、出力段のPMOSTランジスタPH3、PH8、NMOSTランジスタNH5等を備えている。なお、MOSTランジスタはMOSFETとする。

【0018】

図4に基準電圧回路11の構成例を示す。基準電圧回路11において、抵抗R41は、

50

一定の電流を供給する定電流源を構成している。また、NMOSトランジスタNH41は、ダイオード接続されているので一定電流を流すと両端には一定の電圧が発生し、定電圧源として作用する。基準電圧回路11で発生した一定の電圧が差動増幅回路10の非反転入力端子に正入力VRとして入力される。

【0019】

図5にバイアス発生回路14の構成例を示す。PMOSトランジスタPH51, PH52とNMOSトランジスタNH51, NH52は、それぞれ、カレントミラー回路を構成している。カレントミラー回路は、飽和領域で動作し、ドレイン・ソース間電圧の変化に対しては感度が低いので、より電源電圧に依存しにくい定電圧源・定電流源として作用する。

10

【0020】

また、バイアス発生回路14のNMOSトランジスタNH52と図3の差動増幅回路10における差動段のNMOSトランジスタNH3とが、カレントミラー回路を構成しているので、差動段のNMOSトランジスタNH3に、バイアス発生回路14のNMOSトランジスタNH52に流れる電流と同等な一定の電流を流すことができる。

【0021】

図3の差動増幅回路10は負帰還増幅回路を構成しており、その出力は、出力回路12のドライバトランジスタPH1及び分圧回路13を通り、再び、差動増幅回路10の反転入力端子に負入力FBとして入力される。負帰還増幅回路では、非反転入力端子と反転入力端子は仮想接地となり、非反転入力端子の正入力VRと反転入力端子の負入力FBは、

20

【0022】

このように、差動増幅回路10では、基準電圧回路11の基準電圧(正入力VR)の電圧が、負入力FBの電圧となるように作用するので、電圧レギュレータ300の出力VOUTとして、分圧回路13の分圧比の逆数倍「 $(R1 + R2) / R1$ 」された電圧が発生する。

【0023】

例えば、基準電圧回路11の基準電圧(正入力VR)の電圧が「0.933V」の場合、本電圧レギュレータ300では、「 $0.933V \times (933 + 267) / 933 = 1.2V$ 」となり1.2Vの電圧を供給することができる。

30

【0024】

出力回路12のドライバトランジスタPH1は、大きな駆動能力を持つよう、十分に大きなサイズのトランジスタとなっており、本電圧レギュレータ300では、0mA~150mAの負荷電流でも安定して1.2Vの電圧を供給することができる回路である。

【0025】

しかしながら、図6のタイムチャートを示すように、本電圧レギュレータ300では、動作時に負荷電流が急激に変化した場合にはレギュレータ出力に大きなオーバーシュート及びアンダーシュートが発生する。

【0026】

負荷電流は、レギュレータ出力を電源電圧とする回路の動作率により変動するので、負荷電流の変化はやむ得ないことであり、例えばCPU(Central Processing Unit)やDSP(Digital signal Processing)など、大電流を必要とする負荷側の回路が、オン・オフするときは、特に急激な変化が生じる。

40

【0027】

レギュレータ出力のオーバーシュート及びアンダーシュートは、レギュレータ出力を電源電圧とする回路の誤動作の要因となるため、レギュレータ出力が安定するまで、演算結果を無効化するなどの処理・待機が必要となり、回路の複雑化、無駄な待機時間の発生という問題点があった。

【0028】

また、オーバーシュート及びアンダーシュートは電圧レギュレータの消費電流を増加さ

50

せれば改善させることが可能であるが、近年の省電力化とは相反する。

【0029】

例えば、特開2003-8369号公報に開示されているアイドル電流を低減した差動増幅回路(多入力差動増幅回路)を用いて、アンダーシュートを低減した電源レギュレータが実現されている。

【0030】

図7において、このようなアンダーシュートを低減した電圧レギュレータ700の構成を示す。PMOSトランジスタPH6、及びNMOSトランジスタNH4を備えたインバータ20を追加し、差動増幅回路の差動段に一つの負入力を増やした多入力差動増幅回路としている。

10

【0031】

また、追加した負入力(インバータ20)の出力を入力とする電流変換回路21(PMOSトランジスタPH10)を追加し、PMOSトランジスタPH10のソースはVDD電源に接続され、ドレインは差動増幅回路の差動段の電流源トランジスタNH3のゲートに接続される。

【0032】

このような構成において、例えば、負荷電流が急激に増加した場合、ドライバトランジスタPH1に流れる電流が急激に増加することになるが、ドライバトランジスタPH1のゲート・ソース間電圧が、その電流量に応じた電圧になるまでは、レギュレータ出力VOUTに電圧降下が生じる。また、差動増幅回路の負入力FBも、分圧回路(R1, R2)で分圧された分、同様に電位が低下する。

20

【0033】

この結果、差動増幅回路に入力差 $|VR - FB|$ が発生し、増幅された電圧が、追加した電流変換回路21(PMOSトランジスタPH10)の駆動電流を増加させ、差動増幅回路の差動段の電流源NH3の供給電流を大きくする。

【0034】

これにより、差動増幅回路は一次的に動作速度が速くなり、より速くドライバトランジスタPH1のゲート・ソース間電圧を負荷電流に応じた電圧にすることにより、アンダーシュートを低減し、負荷電流の変動の無いアイドル時に低消費電流となり、近年の省電力化に適している。

30

【0035】

しかしながら、このようにしてアンダーシュートを低減した電圧レギュレータ700では、負荷電流が急激に減少した場合、ドライバトランジスタPH1に流れる電流が急激に減少することになるが、ドライバトランジスタPH1のゲート・ソース間電圧が、その電流量に応じた電圧になるまでは、レギュレータ出力VOUTに電圧上昇が生じる。それに伴って、差動増幅回路の負入力FBも、分圧回路で分圧された分、同様に電位が上昇する。

【0036】

このようにして差動増幅回路に入力差 $|VR - FB|$ が発生し、増幅された電圧は、追加した電流変換回路21(PMOSトランジスタPH10)の駆動電流を増加させる方向ではないため、差動増幅回路の動作速度を速くすることはできず、オーバーシュートを低減することができないという問題点があった。

40

【0037】

図8は、このようにアンダーシュートを低減した電圧レギュレータ700の動作例を示すタイムチャートであり、アンダーシュートは発生していないが、オーバーシュートが発生している。

【0038】

このような問題を解決するための本発明に係る差動増幅回路制御装置の第1の実施形態を、以下、説明する。

【0039】

50

第1の実施形態として、図1を用いて、本発明に係る差動増幅回路制御装置を設けた電圧レギュレータについて説明する。

【0040】

図1は、本発明に係る差動増幅回路制御装置を設けた電圧レギュレータの構成例を示しており、本実施形態の電圧レギュレータ100は、図3で示した電圧レギュレータ300に、本発明に係る差動増幅回路制御装置15を追加したものであり、差動増幅回路制御装置15は、本発明に係る第1のコンパレータとしてのコンパレータ30、本発明に係る第2のコンパレータとしてのコンパレータ31、及び、電圧レギュレータ300に備えられた差動増幅回路10の動作を高速化する本発明に係る高速機能部としての高速化機能回路32とを備えている。

10

【0041】

コンパレータ30は、差動段のNMOSトランジスタNH14, 15, 16、PMOSトランジスタPH16, 17を備え、図3の電圧レギュレータ300における基準電圧回路11の出力VRが正入力として非反転入力端子に入力されるよう接続され、分圧回路13の出力FBが負入力として反転入力端子に入力されるように接続されている。

【0042】

また、コンパレータ31は、差動段のNMOSトランジスタNH5, 6, 7、PMOSトランジスタPH11, 12を備え、コンパレータ30とは反対に、分圧回路13の出力FBが正入力として非反転入力端子に入力されるよう接続され、基準電圧回路11の出力VRが負入力として反転入力端子に入力されるよう接続されている。

20

【0043】

高速化機能回路32は、コンパレータ30, 31のそれぞれの出力を入力とするPMOSトランジスタPH18, PH6を備えており、PMOSトランジスタPH18, PH6のソース、ドレインはそれぞれ、VDD電源、差動増幅回路10の差動段の電流源NH3のゲートに接続されている。

【0044】

このような構成により、本実施の形態の電圧レギュレータ100において、コンパレータ30は、差動増幅回路10の一方の入力端子に非反転入力端子が接続され、差動増幅回路10の出力が帰還される他方の入力端子に反転入力端子が接続されて、差動増幅回路10の出力電圧の低下に伴う入力差に応じた電圧を出力し、コンパレータ31は、差動増幅回路10の一方の入力端子に反転入力端子が接続され、差動増幅回路10の出力が帰還される他方の入力端子に非反転入力端子が接続されて、差動増幅回路10の出力電圧の上昇に伴う入力差に応じた電圧を出力する。

30

【0045】

そして、高速化機能回路32は、コンパレータ30, 31から出力された電圧に応じて差動増幅回路10の電流源トランジスタNH3のゲート電流を増加させ、差動増幅回路10の動作速度を速くする。

【0046】

より詳細には、コンパレータ30は、電圧レギュレータ100の出力回路13から出力され、分圧回路13により分圧された出力電圧FBを負入力とし、入力側の電圧として基準電圧回路11から出力された出力電圧VRを正入力として入力差を増幅した電圧を出力し、コンパレータ31は、電圧レギュレータ100の出力回路13から出力され、分圧回路13により分圧された出力電圧FBを正入力とし、入力側の電圧として基準電圧回路11から出力された出力電圧VRを負入力として入力差を増幅した電圧を出力する。

40

【0047】

そして、高速化機能回路32は、ゲートがコンパレータ30の出力に、ソースが正電源Vddに、及びドレインが差動増幅回路10の電流源トランジスタであるNMOSトランジスタNH3のゲートに接続された本発明に係る第1のトランジスタとしてのPMOSトランジスタPH18と、ゲートがコンパレータ31の出力に、ソースが正電源Vddに、及びドレインがNMOSトランジスタNH3のゲートに接続された第2のトランジスタと

50

してのPMOSトランジスタPH6とを有し、電圧レギュレータ100における差動増幅回路10の出力電圧の低下に伴いコンパレータ30から出力された電圧によりPMOSトランジスタPH18の駆動電流を増加させ、また、電圧レギュレータ100における差動増幅回路10の出力電圧の上昇に伴いコンパレータ31から出力された電圧によりPMOSトランジスタPH6の駆動電流を増加させることで、NMOSトランジスタNH3の供給電流を大きくして差動増幅回路10の動作速度を速くする。

【0048】

以下、このような図1に示す電圧レギュレータ100の動作に関して、具体的に説明する。

【0049】

負荷電流が急激に増加した場合、出力回路12におけるドライバトランジスタPH1に流れる電流が急激に増加することになるが、ドライバトランジスタPH1のゲート・ソース間電圧が、増加した電流量に応じた電圧になるまでは、レギュレータ出力VOUTに電圧降下が生じる。また、差動増幅回路10の負入力FBも、分圧回路13で分圧された分、同様に電位が低下する。

【0050】

この状態ではコンパレータ30に入力差 $|VR - FB|$ が発生し、コンパレータ30で増幅された電圧が、高速化機能回路32のPMOSトランジスタPH18の駆動電流を増加させ、差動増幅回路10の差動段の電流源であるNMOSトランジスタNH3のゲート電位を引き上げることから、電流源としてのNMOSトランジスタNH3の供給電流が大きくなる。

【0051】

その結果、差動増幅回路10は、一次的に動作速度が速くなり、より速くドライバトランジスタPH1のゲート・ソース間電圧を負荷電流に応じた電圧にすることができ、アンダーシュートを低減することができる。

【0052】

同様に負荷電流が急激に減少した場合、出力回路12におけるドライバトランジスタPH1に流れる電流が急激に減少することになるが、ドライバトランジスタPH1のゲート・ソース間電圧が、その電流量に応じた電圧になるまでは、レギュレータ出力VOUTに電圧上昇が生じる。また、差動増幅回路10の負入力FBも、分圧回路13で分圧された分、同様に電位が上昇する。

【0053】

この状態ではコンパレータ31に入力差 $|VR - FB|$ が発生し、コンパレータ31で増幅された電圧が、高速化機能回路32のPMOSトランジスタPH6の駆動電流を増加させ、差動増幅回路10の差動段の電流源であるNMOSトランジスタNH3のゲート電位を引き上げることから、電流源としてのNMOSトランジスタNH3の供給電流が大きくなる。

【0054】

その結果、差動増幅回路10は、一次的に動作速度が速くなり、より速くドライバトランジスタPH1のゲート・ソース間電圧を負荷電流に応じた電圧にすることができ、オーバーシュートを低減することができる。

【0055】

なお、高速化機能回路32のNMOSトランジスタNH10は、PMOSトランジスタPH18、PH6がスイッチングしたときにバイアス電圧VBが過度に変動してしまうのを抑えるためのものである。差動増幅回路10のバイアス回路14の構成等によれば、付加した方がよい場合がある。

【0056】

図1の例では、高速機能回路32の、PMOSトランジスタPH18及びPMOSトランジスタPH6のドレインと負電源Vssとの間に、ソースが負電源Vssに接続され、ドレイン及びゲートがPMOSトランジスタPH18、6のドレインと電流源としてのN

10

20

30

40

50

M O S トランジスタ N H 3 のゲートに接続された N M O S トランジスタ N H 1 0 を備えている。

【 0 0 5 7 】

本第 1 の実施形態の電圧レギュレータ 1 0 0 では、分圧された電圧 F B が基準電圧 V R 以上または以下となった場合にのみ、差動増幅回路 1 0 の差動段の電流源である N M O S トランジスタ N H 3 のゲート電位を引き上げて、差動増幅回路 1 0 の動作を一次的に速くしている。

【 0 0 5 8 】

これにより、前述した特許文献 2 の問題点（電位差が微小であっても、第 1 , 第 2 のコンパレータのいずれかの出力がハイレベルとなり、誤差増幅回路のバイアス電流が増加される状態が頻発して動作が安定しないといった）を回避でき、消費電力の低減、及び、オーバーシュート及びアンダーシュートの低減を安定的に行うことができる。

10

【 0 0 5 9 】

以上のように、第 1 の実施形態によれば、負荷電流が急激に変化した場合のレギュレータ出力のオーバーシュート、及びアンダーシュートを安定して低減する効果が得られる。また、負荷電流の変動の無いアイドル時には低消費電流であり、近年の省電力化に適している。

【 0 0 6 0 】

図 2 のタイムチャートでは第 1 の実施形態の電圧レギュレータ 1 0 0 の動作を示している。本発明に係る作動増幅回路制御装置を備えた電圧レギュレータ 1 0 0 においては、アンダーシュート、オーバーシュートのいずれも抑えられていることが示されている。

20

【 0 0 6 1 】

次に、第 2 の実施形態として、差動増幅回路において重要なパラメータであるオフセット電圧の調整機能を設けた構成について説明する。

【 0 0 6 2 】

差動増幅回路では、オフセット電圧の調整機能を行う必要があり、オフセット電圧の調整は、一般的にフューズを使ったレーザートリミング技術が用いられる。

【 0 0 6 3 】

図 7 で示したアンダーシュートを低減した電源レギュレータにおいて、レギュレータ出力のオフセット調整とアンダーシュートを検知するオフセット調整を行う回路を図 9 に示す。

30

【 0 0 6 4 】

図 9 に示す電源レギュレータ 9 0 0 において、差動増幅回路の P M O S トランジスタ P H 7 のソースに接続されているアンダーシュートを検知するオフセット電圧を調整するためのオフセット電圧調整用回路におけるフューズを切断すると、レギュレータ出力 V O U T に影響を及ぼす。

【 0 0 6 5 】

従って、レギュレータ出力のオフセット調整は、アンダーシュートを検知する回路のオフセット調整を考慮する必要がある。また、L S I の製造工程では、アンダーシュートの検知テスト工程・アンダーシュートを検知するオフセット調整回路のレーザートリミング工程と、レギュレータ出力のテスト工程・レギュレータ出力のオフセット調整回路のレーザートリミング工程が必要であり、レーザートリミング工程を 2 回に分ける必要が生じる。

40

【 0 0 6 6 】

あるいは、工程を増やさないためには、オフセット調整の正確さを妥協する必要が生じ、レギュレータ仕様のスペックダウン、または、歩留りの低下を余儀なくされる。

【 0 0 6 7 】

このような問題に対応するために、本第 2 の実施形態の電源レギュレータにおいては、図 1 0 に示す電源レギュレータ 1 0 0 0 のように、差動増幅回路 1 0 の出力回路 1 3 に、出力に対するオフセット電圧を調整するためのオフセット電圧調整用回路 1 1 1 を設け、

50

コンパレータ30に、アンダーシュート検知に対するオフセット電圧を調整するためのオフセット電圧調整用回路112, 113を設け、コンパレータ31に、オーバーシュート検知に対するオフセット電圧を調整するためのオフセット電圧調整用回路114, 115を設けている。

【0068】

図11においては、コンパレータ30及びコンパレータ31に設ける、オーバーシュート検知及びアンダーシュート検知に対するオフセット電圧を調整するためのオフセット電圧調整用回路の構成例を示し、図12においては、差動増幅回路10に設ける、出力に対するオフセット電圧を調整するためのオフセット電圧調整用回路の構成を示している。

【0069】

図11に示すオーバーシュート/アンダーシュート検知のオフセット電圧の調整回路は、抵抗とレーザートリミング用のフューズで構成される。差動段のPMOSトランジスタに流れる電流が抵抗に流れることになるので、数十MVステップで電位が変化するように抵抗値を決定すればよい。

【0070】

図12に示すレギュレータ出力のオフセット電圧の調整回路は、分圧回路の抵抗部に盛り込み、分圧回路の出力FBが数十MVステップで電位が変化するように抵抗値を決定すればよい。

【0071】

図10に示す電圧レギュレータ1000では、オーバーシュート及びアンダーシュートを検知する各々のオフセット調整回路を調整するためにどのフューズを切断しても、レギュレータ出力に影響することなく、各々のオフセット調整(レギュレータ出力のオフセット調整とアンダーシュートを検知するオフセット調整、オーバーシュートを検知するオフセット調整)は、独立して行うことができる。

【0072】

従って、各々のオフセット調整を容易に実施することができ、また、LSIの製造工程は、オーバーシュート・アンダーシュートの検知テスト工程/レギュレータ出力のテスト工程・オーバーシュート・アンダーシュートを検知するオフセット調整回路のレーザートリミング工程/レギュレータ出力のオフセット調整回路のレーザートリミング工程とレーザートリミング工程を今まで通り、ひとまとめで実施することができる。

【0073】

一般的には、テスト工程とレーザートリミング工程では、処理する装置がLSIテスター、レーザートリマーと異なり、製造するLSIウェハを装置にセットする必要があり、テスト工程・レーザートリミング工程・テスト工程・レーザートリミング工程を繰り返すと工数が大きく増加する。

【0074】

第2の実施形態の電圧レギュレータ1000では、レギュレータ出力のオフセット調整と、アンダーシュートを検知するオフセット調整及びオーバーシュートを検知するオフセット調整とが、独立して行うことができるため、製造工程に掛かる工数の増加を抑え、また、各々のオフセット調整を容易に実施することができる。

【0075】

なお、このような技術は、負荷電流の変化時にレギュレータ出力電圧のオーバーシュート、アンダーシュートを低減及び低消費電流化をさせたい回路やLSI等に使用することができる。

【0076】

次に、第3の実施形態として、本発明に係る差動増幅回路制御装置を設けたオペアンプについて説明する。

【0077】

まず、図13及び図14を用いて、従来のオペアンプについて説明する。

【0078】

10

20

30

40

50

図13に示すオペアンプは、従来のPch入力差動増幅回路とNch入力差動増幅回路で構成されたA級増幅オペアンプ（以下、A級PN入力アンプともいう）1300である。以下、図13の記載を含め、Pch入力差動増幅回路及びNch入力差動増幅回路をPch入力差動回路、Nch入力差動回路ともいう。

【0079】

なお、A級増幅PN入力オペアンプは、入力と出力の関係が直線的（比例関係）になるようにしたもので、B級、C級と比べて最も歪みが少ない出力が得られる。しかしながら、一定のバイアス電流が常時流れているので消費電力が大きく、入力信号が無い時でも増幅素子には直流電流がながれるため電力を消費する。ちなみに、B級差動増幅回路は、交流の入力のうち片側（正）の極性のみが増幅されるようにバイアスを与える方式であり、C級差動増幅回路は、バイアスを遮断値よりも素子がオフになる側にかけて、入力信号の電圧が十分に高い場合にのみ出力電圧が得られるようにした方式である。

【0080】

A級PN入力アンプ1300は、バイアス電流源回路1301とメインアンプ部1302とを備え、メインアンプ部1302は、Nch入力差動増幅回路1303、Pch入力差動増幅回路1304、及び出力回路1305を備えている。

【0081】

Pch入力差動増幅回路1304により、出力回路1305のNch出力MOSトランジスタN5を制御し、Nch入力差動増幅回路1303により、出力回路1305のPch出力MOSトランジスタP5を制御している。

【0082】

バイアス電流回路1301については多種多様な既存の回路が適応可能であり、理想電流源を用いて簡略化した回路としている。

【0083】

図14に示すオペアンプは、従来のPch入力差動増幅回路で構成されたA級増幅オペアンプ（以下、A級P入力アンプともいう）1400である。

【0084】

A級P入力アンプ1400は、バイアス電流源回路1401とメインアンプ部1402とを備え、メインアンプ部1402は、Pch入力差動増幅回路1404及び出力回路1405を備えている。

【0085】

Pch入力差動増幅回路1404により、出力回路1405のNch出力MOSトランジスタN5を制御しており、出力回路1405のPch出力MOSトランジスタP5は、ゲート電圧をバイアス電流源回路1401から供給され、定電流源として機能している。

【0086】

従来のオペアンプにおいては、入力信号に対する出力信号の過渡応答性と出力負荷変動に対する出力セットリング時間、オーバーシュート及びアンダーシュートを改善させるためには、消費電流を増加させることにより特性を改善させていた。

【0087】

しかしながら、近年社会の低消費電力化するに伴い、電圧レギュレータと同様に、オペアンプに関しても低消費電流化の傾向に向かいつつある。

【0088】

例えば、電流を低減させるということはオペアンプ自体の動作速度が遅くなることであり、その結果、出力信号の応答速度の低下や出力負荷変動に対する出力安定時間（出力セットリング時間）がかかる。また、出力オーバーシュート、アンダーシュートが大きくなるといった問題が生じる。この対策としては、前述のように、回路全体の電流、特に差動増幅回路の電流を増加させ、回路動作を早くさせることで対応していた。

【0089】

このように、駆動電流を増加させることは消費電流が増加する為、近年の低消費電力化に相反することとなり、これらを踏まえての低消費電流化は困難であった。

10

20

30

40

50

## 【0090】

このような問題に対応した本発明に係る差動増幅回路制御装置を設けたオペアンプについて図15, 16を用いて説明する。

## 【0091】

図15においては、第3の実施形態として、本発明に係る差動増幅回路制御装置を設けたオペアンプの回路を示している。

## 【0092】

図15に示すオペアンプは、Pch入力差動増幅回路とNch入力差動増幅回路で構成されたA級PN入力アンプ1500である。

## 【0093】

A級PN入力アンプ1500は、バイアス電流源回路と本発明に係る高速機能部としてのバイアス電流増減回路1501aとを備えたバイアス電流源回路1501、本発明に係る差動増幅回路としてのメインアンプ部1502、本発明に係る第1のコンパレータとしてのハイサイド電流制御回路1510、及び、本発明に係る第2のコンパレータとしてのロウサイド電流制御回路1520を備えている。

## 【0094】

メインアンプ部1502は、図13におけるA級PN入力アンプ1300と同様のものであり詳細な構成の説明は省略する。

## 【0095】

このように、本A級PN入力アンプ1500は、図13に示すA級PN入力アンプ1300に、ハイサイド電流制御回路1510、ロウサイド電流制御回路1520、及び、バイアス電流源回路1501内のバイアス電流増減回路1501aを設けた構成となっている。

## 【0096】

ハイサイド電流制御回路1510は、NchMOSトランジスタN16, N17からなるNch入力差動増幅回路を備え、メインアンプ部1502のハイレベル(H)の出力レベル(以下、ハイサイドともいう)を制御する。ロウサイド電流制御回路1520は、PchMOSトランジスタP16, P17からなるPch入力差動増幅回路を備え、メインアンプ部1502のロウレベル(L)の出力レベル(以下、ロウサイドともいう)を制御する。バイアス電流源回路1501は、バイアス電流増減回路1501aにより、ハイサイド電流制御回路1510とロウサイド電流制御回路1520からの出力に応じて、バイアス電流源回路1501から出力されるバイアス電流を増加させる。

## 【0097】

ハイサイド電流制御回路1510のNch入力差動増幅回路の入力端子、及びロウサイド電流制御回路1520のPch入力差動増幅回路の入力端子は、各々、一方がメインアンプ部1502の差動増幅回路の反転入力端子に接続され、もう一方が非反転入力端子に接続されている。

## 【0098】

ハイサイド電流制御回路1510の出力はバイアス電流増減回路1501aのPchMOSトランジスタP6, P7のゲートとソースに接続されている。ロウサイド電流制御回路1520の出力は、バイアス電流源回路1501のNchMOSトランジスタN7及びバイアス電流増減回路1501aのNchMOSトランジスタN8のゲートとドレインに接続されている。

## 【0099】

また、A級PN入力アンプ1500においては、メインアンプ部1502、ハイサイド電流制御回路1510、及びロウサイド電流制御回路1520の各々に、図17に構成例が示されるオフセット電圧調整用回路1502a, 1502b、1510a、1520aを設けている。

## 【0100】

なお、A級PN入力アンプ1500においては、回路特性によって発生する出力発振対

10

20

30

40

50

策の為に、メインアンプ部 1502、ハイサイド電流制御回路 1510、及びロウサイド電流制御回路 1520 の各々に、その特性・仕様に応じた位相補償回路を接続することでも良い。図 18 に示す A 級 P N 入力アンプ 1800 は、図 15 に示す A 級 P N 入力アンプ 1500 に、このような位相補償回路 1802a、1802b、1810a、1820a を設けたものである。

【0101】

以下、図 15 の A 級 P N 入力アンプ 1500 の動作について説明する。

【0102】

一般的に、オペアンプ（差動増幅回路）では、反転入力端子（以下、「IN-」ともいう）と、非反転入力端子（以下、「IN+」ともいう）との間に電位差が無いように動作する、もしくは、接地電位を基準とすると両端子が同じ電圧になる様に動作する、所謂「バーチャルショート」の現象が見られる。

10

【0103】

図 15 の A 級 P N 入力アンプ 1500 の動作を如実に説明する為、測定回路として図 19 ~ 図 21 に示すボルテージフォロワ回路を使用する。

【0104】

ボルテージフォロワ回路は、IN- と OUT を接続した反転増幅回路の一種であり、「増幅率 = 1 倍」であることから、「IN+ 入力 (VIN)」に対し「VOUT = VIN」の関係が成り立ち、「バーチャルショート」の現象が明確にわかる。

【0105】

ここで、出力応答において、入力信号に対しハイサイド側の出力立ち上がりが遅れた場合、ハイサイド電流制御回路 1510 の差動増幅回路の「バーチャルショート」が成立しない為、ハイサイド電流制御回路 1510 は、バイアス電流増減回路 1501a に、出力が「バーチャルショート」になるまで回路電流を増加させるように動作する。

20

【0106】

ロウサイドも同様で、入力信号に対しロウサイドの出力立ち下りが遅れた場合、今度はロウサイド電流制御回路 1520 の差動増幅回路の「バーチャルショート」が成立しない為、ロウサイド電流制御回路 1520 は、バイアス電流増減回路 1501a に、出力が「バーチャルショート」になるまで回路電流を増加させるように動作する。

【0107】

このような動作により、出力が「バーチャルショート」に到達すると、A 級 P N 入力アンプ 1500 は安定状態となる、その結果、出力安定時には少ない電流で動作させることができる。

30

【0108】

次に、A 級 P N 入力アンプ 1500 の特性例を用いて、従来技術との比較を説明する。

【0109】

図 22 では、図 13 に示す従来の A 級 P N 入力アンプ 1300 と図 15 に示す本発明に係る A 級 P N 入力アンプ 1500 との消費電流特性例の比較をグラフで示している。

【0110】

図 22 においては、電源電圧は  $V_{DD} = 3V$  として一般的なオペアンプの消費電流測定条件である「 $V_{iN} = 1/2 \times V_{DD} = 1.5V$ 」の電流値を比較した例を示している。

40

【0111】

図 22 における「特性例 1（従来）」は、従来の A 級 P N 入力アンプ 1300 における回路電流を増やし、消費電流を  $200 \mu A$  とした際の消費電流特性例を電圧（横軸）・電流（縦軸）で示している。

【0112】

また、「特性例 2（従来）」は、従来の A 級 P N 入力アンプ 1300 における回路電流を減らして  $3.88 \mu A$  とした際の消費電流特性例を電圧（横軸）・電流（縦軸）で示している。

【0113】

50

そして、「特性例 3 (本発明)」は、本発明に係る A 級 P N 入力アンプ 1 5 0 0 における回路電流を  $3.92 \mu\text{A}$  として、「特性例 2 (従来)」と同等の消費電流となる様にした際の電圧・電流特性例を示している。

【0114】

このような特性で、出力負荷「 $C_L = 10000\text{PF}$ 」という高負荷でのパルス応答特性例を、図 2 3 に示す。

【0115】

図 2 3 において、「特性例 1 (従来)」では、回路電流が多い分、回路動作が速く、出力のハイサイドとロウサイドの遅れがほとんど無く、スルーレート特性も良好である。

【0116】

また、「特性例 2 (従来)」では、回路電流が少ない為、回路動作が遅く、出力のハイサイドとロウサイドの遅れが大きい。結果的にスルーレート特性が劣化してしまう。

【0117】

これに対して、「特性例 3 (本発明)」では、前述した通り、出力の立ち上がり、及び、立ち下がり時にハイサイド電流制御回路 1 5 1 0 及びロウサイド電流制御回路 1 5 2 0 によって回路電流を増加させることから回路動作が速く、スルーレート特性も、回路電流を増やした「特性例 1 (従来)」と何ら遜色も無い良好な特性が得られおり、かつ出力安定時には少ない電流で動作することができることが示されている。

【0118】

次に、図 2 4 においては、負荷過渡応答特性例の比較例を示している。入力を「 $V_{iN} = 1.5\text{V}$ 」に固定し、出力を「 $V_{oUT} = 1.5\text{V}$ 」にした場合に、出力負荷電流 ( $40\text{MA} \sim 50\text{MA}$ ) を変動させた際の出力安定性 (出力セットリング時間、オーバーシュート、アンダーシュート) の比較例を示している。

【0119】

図 2 4 において、「特性例 1 (従来)」では出力セットリング時間が  $0.76 \mu\text{S}$ 、オーバーシュート・アンダーシュートが  $340\text{MV}$  である。

【0120】

また、「特性例 2 (従来)」では、出力セットリング時間が  $22 \mu\text{S}$ 、アンダーシュート・オーバーシュートが  $587\text{MV}$  で、明らかに回路電流の少ない「特性例 2 (従来)」の特性が劣化している。

【0121】

これに対して、「特性例 3 (本発明)」では、出力セットリング時間が  $0.67 \mu\text{S}$ 、オーバーシュート・アンダーシュートが  $204\text{MV}$  であり、この特性に関しても同様に、「特性例 1 (従来)」と何ら遜色も無い良好な特性が得られおり、かつ出力安定時には少ない電流で動作することができることが示されている。

【0122】

このように、図 1 5 に示す本発明に係る A 級 P N 入力アンプ 1 5 0 0 によれば、出力安定時の消費電流を増加させること無く、入力信号に対する出力信号の過渡応答性と出力負荷変動に対する出力セットリング時間及び出力オーバーシュート、アンダーシュートを改善することができる。

【0123】

なお、本実施の形態例の動作の説明では、消費電流は、最低  $4 \mu\text{A}$  程度としているが、 $n\text{A}$  オーダーの設定も可能であり、超低消費電流のオペアンプを構成することも可能である。

【0124】

また、オペアンプで問題となる差動増幅回路のオフセット電圧に関しても、メインアンプ部 1 5 0 2 の差動増幅回路、ハイサイド電流制御回路 1 5 1 0 及びロウサイド電流制御回路 1 5 2 0 の各差動増幅回路は、各々独立して、各々に設けられたオフセット電圧調整回路 1 5 0 2 a, 1 5 0 2 b, 1 5 1 0 a, 1 5 2 0 a におけるフューズのトリミング等で調整することができる。

10

20

30

40

50

## 【 0 1 2 5 】

例えば、メインアンプ部 1 5 0 2 の差動増幅回路は、入力オフセット電圧をオフセット電圧調整用回路 1 5 0 2 a , 1 5 0 2 b のトリミングで調整し、ハイサイド電流制御回路 1 5 1 0 の差動増幅回路は、ハイサイド制御電流量及び入力オフセット電圧をオフセット電圧調整用回路 1 5 1 0 a のトリミングで調整し、ロウサイド電流制御回路 1 5 2 0 の差動増幅回路は、ロウサイド制御電流量及び入力オフセット電圧をオフセット電圧調整用回路 1 5 2 0 a のトリミングで調整する。

## 【 0 1 2 6 】

次に、図 1 6 における本発明に係る A 級 P 入力アンプ 1 6 0 0 について説明する。

## 【 0 1 2 7 】

図 1 6 においては、第 4 の実施形態として、本発明に係る差動増幅回路制御装置を設けたオペアンプの回路を示している。

## 【 0 1 2 8 】

図 1 6 に示すオペアンプは、P c h 入力差動増幅回路で構成された A 級 P 入力アンプ 1 6 0 0 である。

## 【 0 1 2 9 】

本 A 級 P 入力アンプ 1 6 0 0 は、本発明に係る高速機能部としてのバイアス電流増減回路 1 6 0 1 a を備えたバイアス電流源回路 1 6 0 1、本発明に係る差動増幅回路としてのメインアンプ部 1 6 0 2、本発明に係る第 1 のコンパレータとしてのハイサイド電流制御回路 1 6 1 0、及び、本発明に係る第 2 のコンパレータとしてのロウサイド電流制御回路 1 6 2 0 を備えている。

## 【 0 1 3 0 】

A 級 P 入力アンプ 1 6 0 0 では、バイアス電流源回路 1 6 0 1 とメインアンプ部 1 6 0 2 における P c h 入力差動増幅回路とにより、メインアンプ部 1 6 0 2 における出力回路の N c h 出力 MOS トランジスタ N 5 を制御しており、メインアンプ部 1 6 0 2 における P c h 出力 MOS トランジスタ P 5 は、ゲート電圧がバイアス電流源回路 1 6 0 1 から供給された定電流源として機能する。

## 【 0 1 3 1 】

なお、A 級 P 入力アンプ 1 6 0 0 において、ハイサイド電流制御回路 1 6 1 0 とロウサイド電流制御回路 1 6 2 0 は、P c h MOS トランジスタ P 1 3 , P 1 4 , P 2 0 , P 2 1 からなる P c h 入力差動増幅回路で構成されている。これは、メインアンプ部 1 6 0 2 の差動増幅回路が P c h 入力差動増幅回路で構成されている為、その同相入力範囲に入力レンジをあわせる必要があり、そのために、ハイサイド電流制御回路 1 6 1 0 とロウサイド電流制御回路 1 6 2 0 は P c h 入力差動増幅回路で構成されている。

## 【 0 1 3 2 】

このように、本 A 級 P 入力アンプ 1 6 0 0 は、図 1 4 に示す A 級 P 入力アンプ 1 4 0 0 に、ハイサイド電流制御回路 1 6 1 0、ロウサイド電流制御回路 1 6 2 0、及び、バイアス電流源回路 1 6 0 1 内のバイアス電流増減回路 1 6 0 1 a を設けた構成となっている。

## 【 0 1 3 3 】

そして、ハイサイド電流制御回路 1 6 1 0 は、P c h 入力差動増幅回路を備え、メインアンプ部 1 6 0 2 のハイレベル ( H ) 出力 ( 以下、ハイサイドともいう ) を制御する。ロウサイド電流制御回路 1 6 2 0 は、P c h 入力差動増幅回路を備え、メインアンプ部 1 6 0 2 のロウレベル ( L ) 出力 ( 以下、ロウサイドともいう ) を制御する。

## 【 0 1 3 4 】

また、バイアス電流源回路 1 6 0 1 は、バイアス電流増減回路 1 6 0 1 a により、ハイサイド電流制御回路 1 6 1 0 とロウサイド電流制御回路 1 6 2 0 からの出力に応じて、バイアス電流源回路 1 6 0 1 から出力されるバイアス電流を増加させる。

## 【 0 1 3 5 】

ハイサイド電流制御回路 1 6 1 0 の P c h 入力差動増幅回路の入力端子、及びロウサイド電流制御回路 1 6 2 0 の P c h 入力差動増幅回路の入力端子は、各々、一方がメインア

10

20

30

40

50

ンプ部 1602 の差動増幅回路の反転入力端子に接続され、もう一方が非反転入力端子に接続されている。

【0136】

ハイサイド電流制御回路 1610 の出力はバイアス電流増減回路 1601a における PchMOS トランジスタ P7 のゲートとソース、及び、NchMOS トランジスタ N7 のゲートとドレインに接続されている。ロウサイド電流制御回路 1620 の出力も、同様に、バイアス電流増減回路 1601a に接続されている。

【0137】

さらに、本 A 級 P 入力アンプ 1600 においては、メインアンプ部 1602、ハイサイド電流制御回路 1610、及びロウサイド電流制御回路 1620 の各々に、図 17 に構成例が示されるオフセット電圧調整用回路 1602a、1610a、1620a が設けられている。

10

【0138】

なお、本 A 級 P 入力アンプ 1600 においても、図 15 における A 級 PN 入力アンプ 1500 と同様に、回路特性によって発生する出力発振対策の為に、メインアンプ部 1602、ハイサイド電流制御回路 1610、及びロウサイド電流制御回路 1620 の各々に、その特性・仕様に応じた位相補償回路を接続することでも良い。

【0139】

本 A 級 P 入力アンプ 1600 の動作については、図 15 における A 級 PN 入力アンプ 1500 の動作と同様であり、ここでの説明は行わず、図 25、26 を用いて、A 級 P 入力アンプ 1600 の動作特性例を説明する。

20

【0140】

図 25 は、図 14 に示す従来の A 級 P 入力アンプ 1400 と図 16 に示す本発明に係る A 級 P 入力アンプ 1600 との消費電流特性例の比較を示したグラフである。

【0141】

図 25 においては、電源電圧は  $V_{DD} = 3V$  として一般的なオペアンプの消費電流測定条件である「 $V_{iN} = 1/2 \times V_{DD} = 1.5V$ 」の電流値を比較した例を示している。

【0142】

図 25 における「特性例 1 (従来)」と「特性例 2 (本発明)」は、消費電流を同じ  $5\mu A$  とした際の、図 14 に示す従来の A 級 P 入力アンプ 1400 と図 16 に示す本発明に係る A 級 P 入力アンプ 1600 の消費電流特性例を電圧 (横軸)・電流 (縦軸) で示している。

30

【0143】

このような消費電流特性における、出力負荷「 $C_L = 100PF$ 」でのパルス応答特性例を、図 26 に示す。

【0144】

図 26 において、「特性例 1 (従来)」では、回路電流が少ない為、回路動作が遅く、出力のハイサイド・ロウサイドの遅れが大きく、結果的にスルーレート特性が劣化していることが示されている。

【0145】

これに対して、「特性例 2 (本発明)」では、出力の立ち上がり、及び、立ち下がり時にハイサイド電流制御回路 1610、ロウサイド電流制御回路 1620 によって回路電流を増加させることから回路動作が速く、スルーレート特性は良好であり、かつ出力安定時には少ない電流で動作することができることが示されている。

40

【0146】

なお、このような特性の改善に伴い負荷過度適応特性例に関しても改善されることは明確である。

【0147】

このように、図 16 に示す A 級 P 入力アンプ 1600 においても、図 15 に示す A 級 PN 入力アンプ 1500 と同様に、出力安定時の消費電流を増加させること無く、入力信号

50

に対する出力信号の過渡応答性と出力負荷変動に対する出力セットリング時間及び出力オーバーシュート、アンダーシュートを改善することができる。

【0148】

なお、消費電流に関して本例の動作の説明では最低5 $\mu$ A程度としているがnAオーダーの設定も可能であり、超低消費電流のオペアンプを構成することも可能である。

【0149】

また、オペアンプで問題となる差動増幅回路のオフセット電圧に関しても、メインアンプの差動増幅回路、ハイサイド電流制御回路及びロウサイド電流制御回路の各差動増幅回路は、独立したオフセット電圧調整用回路1602a、1610a、1620aを備えており、トリミング等で各々個別に調整することができる。

10

【0150】

次に、図27、図28を用いて、本発明に係る第5の実施形態について説明する。

【0151】

図27及び図28は、A級N入力アンプの構成を示し、図27は、従来のA級N入力アンプ2700の構成を示し、図28は、本発明に係る差動増幅回路制御装置を設けたA級N入力アンプ2800の構成を示している。

【0152】

図27、図28の各々で示す構成については、図13、図15で示すA級PN入力アンプをもとに、図14、図16で示すA級P入力アンプにおけるPch入力差動増幅回路のアンプを、Nch入力差動増幅回路のアンプに置き換えたものである。

20

【0153】

すなわち、図27に示すオペアンプ2700は、Nch入力差動増幅回路で構成されたA級N入力アンプである。

【0154】

この従来のA級N入力アンプ2700は、バイアス電流源回路2701とメインアンプ部2702とを備え、メインアンプ部2702は、NchMOSトランジスタN1、N2からなるNch入力差動増幅回路2704及び出力回路2705を備えている。

【0155】

Pch入力差動増幅回路2704で、出力回路2705のPch出力MOSトランジスタP5を制御しており、出力回路2705のNch出力MOSトランジスタN5は、ゲート電圧がバイアス電流源回路2701から供給され、定電流源として機能している。

30

【0156】

従来のA級N入力アンプ2700においても、近年社会の低消費電力化するに伴い、電圧レギュレータと同様に、オペアンプに関しても低消費電流化の傾向に向かいつつある。

【0157】

しかしながら、電流を低減させるということはオペアンプ自体の動作速度が遅くなることであり、その結果、出力信号の応答速度の低下や出力負荷変動に対する出力安定時間(出力セットリング時間)がかかる。また、出力オーバーシュート、アンダーシュートが大きくなるといった問題が生じる。この対策として従来は、回路全体の電流、特に差動増幅回路の電流を増加させ、回路動作を早くさせることで対応していた。

40

【0158】

しかし、このように、駆動電流を増加させることは消費電流が増加する為、近年の低消費電力化に相反することとなり、これらを踏まえての低消費電流化は困難であった。

【0159】

このような問題に対応した本発明に係る差動増幅回路制御装置を設けたオペアンプとしての図28に示すA級N入力アンプ2800について説明する。

【0160】

図28におけるA級N入力アンプ2800は、第4の実施形態として、本発明に係る差動増幅回路制御装置を設けたオペアンプの回路を示している。

【0161】

50

本A級N入力アンプ2800は、本発明に係る高速機能部としてのバイアス電流増減回路2801aを備えたバイアス電流源回路2801、本発明に係る差動増幅回路としてのメインアンプ部2802、本発明に係る第1のコンパレータとしてのハイサイド電流制御回路2810、及び、本発明に係る第2のコンパレータとしてのロウサイド電流制御回路2820を備えている。

【0162】

本A級N入力アンプ2800では、バイアス電流源回路2801とメインアンプ部2802におけるNchMOSトランジスタN1、N2からなるNch入力差動増幅回路とにより、メインアンプ部2802における出力回路のPch出力MOSトランジスタP5を制御しており、メインアンプ部2802におけるNch出力MOSトランジスタN5は、ゲート電圧がバイアス電流源回路2801から供給された定電流源として機能する。

10

【0163】

なお、本A級N入力アンプ2800において、ハイサイド電流制御回路2810とロウサイド電流制御回路2820は、NchMOSトランジスタN13、N14、N20、N21からなるNch入力差動増幅回路で構成されている。これは、メインアンプ部2802の差動増幅回路がNch入力差動増幅回路で構成されている為、その同相入力範囲に入力レンジをあわせる必要があり、そのために、ハイサイド電流制御回路2810とロウサイド電流制御回路2820はNch入力差動増幅回路で構成されている。

【0164】

このように、本A級N入力アンプ2800は、図27に示すA級N入力アンプ2700に、ハイサイド電流制御回路2810、ロウサイド電流制御回路2820、及び、バイアス電流増減回路2801内のバイアス電流増減回路2801aを設けた構成となっている。

20

【0165】

そして、ハイサイド電流制御回路2810は、Nch入力差動増幅回路を備え、メインアンプ部2802のハイレベル(H)出力(以下、ハイサイドともいう)を制御する。ロウサイド電流制御回路2820は、Nch入力差動増幅回路を備え、メインアンプ部2802のロウレベル(L)出力(以下、ロウサイドともいう)を制御する。

【0166】

また、バイアス電流源回路2801は、バイアス電流増減回路2801aにより、ハイサイド電流制御回路2810とロウサイド電流制御回路2820からの出力に応じて、バイアス電流源回路2801から出力されるバイアス電流を増加させる。

30

【0167】

ハイサイド電流制御回路2810のNch入力差動増幅回路の入力端子、及びロウサイド電流制御回路2820のNch入力差動増幅回路の入力端子は、各々、一方がメインアンプ部2802の差動増幅回路の反転入力端子に接続され、もう一方が非反転入力端子に接続されている。

【0168】

ハイサイド電流制御回路2810の出力はPchMOSトランジスタP15を介してバイアス電流増減回路2801aのPchMOSトランジスタP7のソース、及び、NchMOSトランジスタN7のゲートとドレインに接続されている。ロウサイド電流制御回路2820の出力も、同様に、PchMOSトランジスタP22を介してバイアス電流増減回路2801aに接続されている。

40

【0169】

さらに、本A級N入力アンプ2800においては、メインアンプ部2802、ハイサイド電流制御回路2810、及びロウサイド電流制御回路2820の各々に、図17に構成例が示されるオフセット電圧調整用回路2802a、2810a、2820aが設けられている。

【0170】

なお、本A級N入力アンプ2800においても、図15におけるA級PN入力アンプ1

50

500及び図16におけるA級P入力アンプ1600と同様に、回路特性によって発生する出力発振対策の為に、メインアンプ部2802、ハイサイド電流制御回路2810、及びロウサイド電流制御回路2820の各々に、その特性・仕様に応じた位相補償回路を接続することでも良い。

【0171】

本A級N入力アンプ2800の動作については、図15におけるA級PN入力アンプ1500及び図16におけるA級P入力アンプ1600との動作と同様であり、ここでの説明は行わず、図29及び図30を用いて、A級N入力アンプ2800の動作特性例を説明する。

【0172】

図29は、図27に示す従来のA級N入力アンプ2700と図28に示す本発明に係るA級N入力アンプ2800との消費電流特性例を比較したグラフを示している。

【0173】

図29においては、電源電圧は $V_{DD} = 3V$ として一般的なオペアンプの消費電流測定条件である「 $V_{iN} = 1/2 \times V_{DD} = 1.5V$ 」の電流値を比較した例を示している。

【0174】

図29における「特性例1(従来)」と「特性例2(本発明)」は、消費電流を同じ $5\mu A$ とした際の、図27に示す従来のA級N入力アンプ2700と図28に示す本発明に係るA級N入力アンプ2800の消費電流特性例を電圧(横軸)・電流(縦軸)で示している。

【0175】

このような消費電流特性における、出力負荷「 $C_L = 100PF$ 」でのパルス応答特性例を、図30に示す。

【0176】

図30において、「特性例1(従来)」では、回路電流が少ない為、回路動作が遅く、出力のハイサイド・ロウサイドの遅れが大きく、結果的にスルーレート特性が劣化していることが示されている。

【0177】

これに対して、「特性例2(本発明)」では、出力の立ち上がり、及び、立ち下がり時にハイサイド電流制御回路2810、ロウサイド電流制御回路2820によって回路電流を増加させることから回路動作が速く、スルーレート特性は良好であり、かつ出力安定時には少ない電流で動作することができることが示されている。

【0178】

なお、このような特性の改善に伴い負荷過度適応特性例に関しても改善されることは明確である。

【0179】

このように、図28に示すA級N入力アンプ2800においても、図15に示すA級PN入力アンプ1500及び図16に示すA級P入力アンプ1600と同様に、出力安定時の消費電流を増加させること無く、入力信号に対する出力信号の過渡応答性と出力負荷変動に対する出力セットリング時間及び出力オーバーシュート、アンダーシュートを改善することができる。

【0180】

なお、消費電流に関して本例の動作の説明では最低 $5\mu A$ 程度としているが $nA$ オーダーの設定も可能であり、超低消費電流のオペアンプを構成することも可能である。

【0181】

また、オペアンプで問題となる差動増幅回路のオフセット電圧に関しても、メインアンプの差動増幅回路、ハイサイド電流制御回路及びロウサイド電流制御回路の各差動増幅回路は、独立したオフセット電圧調整用回路2802a、2810a、2820aを備えており、トリミング等で調整することができる。

【0182】

10

20

30

40

50

次に、図31～図34を用いて、本発明に係る第6の実施形態について説明する。

【0183】

図31では、本発明に係る第6の実施形態例を示すAB級増幅のRAi1-TO-RAi1（登録商標）入出力オペアンプ（AB級オペアンプともいう）の回路を示している。

【0184】

図31に示すAB級オペアンプ3100は、本発明に係る高速機能部としてのバイアス電流増減回路3101aを備えたバイアス電流源回路3101、本発明に係る差動増幅回路としてのメインアンプ部3102、本発明に係る第1のコンパレータとしてのハイサイド電流制御回路3110、及び、本発明に係る第2のコンパレータとしてのロウサイド電流制御回路3120を備えている。

10

【0185】

AB級オペアンプ3100は、以下に説明する構成としており、低消費電流であり、かつ、より高速な出力応答性を十二分に発揮する為の回路となっている。

【0186】

差動増幅回路は、能動負荷をダイオード接続されたPch入力差動増幅回路とNch入力差動増幅回路で構成されている。能動負荷をダイオード接続された差動増幅回路は高速な応答がその特徴であることは公知の事実であるが、DCゲインは低く20～40dB程度しか取れないことも公知の事実である。

【0187】

このDCゲインの低下を防ぐ為、Pch入力差動増幅回路は、能動負荷にゲートを接続したNchMOSトランジスタのドレインをNch入力差動増幅回路の能動負荷に接続する。

20

【0188】

これに対してNch入力差動増幅回路は、能動負荷にゲートを接続したPchMOSトランジスタのドレインをPch入力差動増幅回路の能動負荷に接続する。

【0189】

そして、互いの差動増幅回路に対してフィードバック構成にすることにより、DCゲインを30～60dB程度に上げる効果があり、DCゲインの低下を防ぐことができる。

【0190】

従来技術のRAi1-TO-RAi1（登録商標）差動増幅回路としては、能動負荷をカレントミラー接続されたPch入力差動増幅回路に、能動負荷をダイオード接続されたNch入力差動増幅回路の能動負荷にゲートを接続したPchMOSトランジスタのドレインをPch入力差動増幅回路の能動負荷に接続する。

30

【0191】

このような回路例は図31におけるハイサイド電流制御回路3110で使用されている。

【0192】

また、カレントミラー接続された能動負荷がNch入力差動増幅回路の場合は、Pch入力差動増幅回路の能動負荷がダイオード接続となり、回路の構成は前記述の正反対となる。このような回路例は、図31におけるロウサイド電流制御回路3120で使用されている。

40

【0193】

次に、従来技術の各回路構成におけるAB級オペアンプの入力の同相入力範囲（VSS～VDD）の特徴について述べる。

【0194】

ここでは、能動負荷がカレントミラー接続されている差動増幅回路をメイン差動と称し、能動負荷がダイオード接続されている差動増幅回路をサブ差動と称する。

【0195】

Pch入力差動増幅回路は、公知の事実として「VSS～(VDD-VTP)」の同相入力範囲となっており、VDD側の入力はPchMOSトランジスタのほぼVTH分（V

50

TP)だけ入力出来ない。

【0196】

また、Nch入力差動増幅回路は、公知の事実として「(VSS - VTN) ~ VDD」の同相入力範囲となっており、VSS側の入力はNchMOSトランジスタのほぼVTH分(VTN)だけ入力出来ない。

【0197】

メイン差動がPch入力差動増幅回路の場合、サブ差動であるNch入力差動増幅回路の能動負荷にゲートを接続したPchMOSトランジスタのドレインをメイン差動の能動負荷に接続することによってVDD側の入力を補う構成となり、同相入力範囲が「VSS ~ VDD」である所謂、「RAIL - TO - RAIL (登録商標) 差動増幅回路」の動作となる。

10

【0198】

また、メイン差動がNch入力差動増幅回路の場合、サブ差動であるPch入力差動増幅回路の能動負荷にゲートを接続したNchMOSトランジスタのドレインをメイン差動の能動負荷に接続することによってVSS側の入力を補う構成となり、同相入力範囲が「VSS ~ VDD」である所謂、「RAIL - TO - RAIL (登録商標) 差動増幅回路」の動作となる。

【0199】

図31に示すAB級オペアンプ3100における差動増幅回路は、Pch差動増幅回路とNch差動増幅回路が互いの差動増幅回路に対してフィードバックする構成であり、相補的に互いの同相入力範囲を補う構成となっていることから、所謂「RAIL - TO - RAIL (登録商標) 差動増幅回路」の回路構成となっている。

20

【0200】

なお、能動負荷はダイオード接続でなく、そのゲートをバイアス回路に接続することも可能である。

【0201】

続いて、AB級オペアンプ3100におけるプリバッファ3102c, 3102dの回路について説明する。

【0202】

ハイサイド出力であるPchMOSトランジスタP5を制御するハイサイド・プリバッファ3102cは、能動負荷をカレントミラー接続で構成されたPchMOSトランジスタP29, P30とNchMOSトランジスタN30, N31で構成された差動入力対を持ち、電流源を電源(VSS)としたNch入力差動増幅回路を構成している。

30

【0203】

従来技術のNch入力差動増幅回路では、NchMOSトランジスタで電流源を構成している為、差動増幅回路の電流としては電流源で設定された有限の電流しか流せない。

【0204】

これに対して、ハイサイド・プリバッファ3102cのNch差動増幅回路は、電流源が電源(VSS)である為、理論上は無量大の電流が流せる。

【0205】

実際は差動入力対のON(オン)抵抗で電流は制限されてしまうが、従来技術の差動増幅回路より大きな電流を取ることができる。つまり、ハイサイド・プリバッファ3102cの差動増幅回路は従来技術の差動増幅回路より高い増幅率を持っている。

40

【0206】

また、ロウサイド出力であるNchMOSトランジスタN5を制御するロウサイド・プリバッファ3102dは、能動負荷をカレントミラー接続で構成されたNchMOSトランジスタN32, N33とPchMOSトランジスタP31, P32で構成された差動入力対を持ち、電流源を電源(VDD)としたPch入力差動増幅回路を構成している。

【0207】

前述のハイサイド・プリバッファ3102cでの説明と同様に、ロウサイド・プリバッ

50

ファ3102dの差動増幅回路は従来技術の差動増幅回路より高い増幅率を持っている。

【0208】

ここで差動増幅回路について再度述べると、Pch入力差動増幅回路とNch入力差動増幅回路でフィードバック構成にすることにより、従来技術の回路に対してDCゲインを30~60dB程度に上げてはいるが、差動増幅回路は能動負荷がダイオード接続であることからその主目的は高速な応答である。

【0209】

従って、差動増幅回路のDCゲイン不足を高増幅率のプリバッファで補うことで、オペアンプとしては80dB以上のDCゲインを得ることができる。

【0210】

また、本例のプリバッファは、従来技術のプリバッファに比べ、素子数が少なく、その回路構成は簡素である為、プリバッファ自体も高速な応答に向いている。

【0211】

図31に示すAB級オペアンプ3100においては、このようなメインアンプに、RAil-TO-RAil（登録商標）差動増幅回路で構成されたロウサイド電流制御回路3120とハイサイド電流制御回路3110を加え、バイアス電流源回路3101にバイアス電流増減回路3101aを備えることで、高速な応答のAB級オペアンプを構成している。

【0212】

なお、オペアンプで問題となる差動増幅回路のオフセット電圧に関しても、メインアンプ3102の差動増幅回路、ハイサイド電流制御回路3110及びロウサイド電流制御回路3120の各差動増幅回路は、独立したオフセット電圧調整用回路3102a, 3102b, 3110a, 3110b, 3120a, 3120bを備えており、トリミング等で調整することができる。

【0213】

また、回路特性によって発生する出力発振の対策の為に、多種多様な既存の回路が適応可能な位相補償回路を、メインアンプ3101、ハイサイド電流制御回路3110、及び、ロウサイド電流制御回路3120に、その特性・仕様に応じて接続する。図31のAB級オペアンプ3100においては、メインアンプ3101、ハイサイド電流制御回路3110、及び、ロウサイド電流制御回路3120の各々に、位相補償回路3102e, 3102f, 3110c, 3120cが接続されている。

【0214】

AB級オペアンプ3100の動作に関しては、第3~5の実施形態の各オペアンプの動作と同様であり、ここでの説明は行わず、以下、図32~34を用いて、AB級オペアンプ3100の動作特性例を説明する。

【0215】

図32は、図31におけるAB級オペアンプ3100（電流制御回路有り）消費電流特性と、このAB級オペアンプ3100からハイサイド電流制御回路3110、ロウサイド電流制御回路3120、及びバイアス電流増減回路3101aを削除したメインアンプ3102（電流制御回路無し）のみの消費電流特性との比較をグラフで示している。

【0216】

図32においては、電源電圧はVDD=3Vとして一般的なオペアンプの消費電流測定条件である「VIN=1/2×VDD=1.5V」の電流値を比較した例を示している。

【0217】

図32において、「特性例1（電流制御回路無し）」はメインアンプ3102（電流制御回路無し）のみの消費電流特性を示し、「特性例2（電流制御回路有り）」は図31におけるAB級オペアンプ3100（電流制御回路有り）の消費電流特性を電圧（横軸）・電流（縦軸）で示し、各々10μAと同等の電流としている。

【0218】

図33においては、無負荷時のSiN波応答特性例を示している。入力波形は「VSS

10

20

30

40

50

～VDD」であり、「特性例1（電流制御回路無し）」と「特性例2（電流制御回路有り）」のどちらとも出力振幅は「VSS～VDD」であり、RAIL-TO-RAIL（登録商標）の特性を示している。

【0219】

これに対して、図34においては、出力負荷「CL = 10000PF」という高負荷でのパルス応答特性例を示している。図33において、「特性例1（電流制御回路無し）」と「特性例2（電流制御回路有り）」の各々のパルス応答特性を比較すると、図からも明らかのように、「特性例2（電流制御回路有り）」のスルーレート特性が良好となっている。

【0220】

なお、このような特性の改善に伴い負荷過度適応特性例に関しても改善されることは明確である。

【0221】

このように、図31におけるAB級オペアンプ3100においても、第3～第5の実施形態例と同様に、出力安定時の消費電流を増加させること無く、入力信号に対する出力信号の過渡応答性と出力負荷変動に対する出力セットリング時間及び出力オーバーシュート、アンダーシュートを改善することができる。

【0222】

なお、消費電流に関して本例の動作の説明では最低10μA程度としているがnAオーダーの設定も可能であり、超低消費電流のオペアンプを構成することも可能である。

【0223】

以上、各図を用いて説明したように、本実施の形態の差動増幅回路制御装置では、差動増幅回路（10）の一方の入力端子に非反転入力端子が接続され、差動増幅回路の出力が帰還される他方の入力端子に反転入力端子が接続されて、差動増幅回路の出力電圧の低下に伴う入力差に応じた電圧を出力する第1のコンパレータ（30）と、記差動増幅回路の一方の入力端子に反転入力端子が接続され、差動増幅回路の出力が帰還される他方の入力端子に非反転入力端子が接続されて、差動増幅回路の出力電圧の上昇に伴う入力差に応じた電圧を出力する第2のコンパレータ（31）と、第1のコンパレータ（30）、または、第2のコンパレータ（31）の各々から出力された電圧に応じて差動増幅回路の電流源トランジスタに流れる電流を増加させ、差動増幅回路の動作速度を速くする高速機能部（32）と、を備えている。

【0224】

なお、高速化機能回路（32）は、ゲートがコンパレータ（30）の出力に、ソースが正電源Vddに、及びドレインが電流源トランジスタ（NH3）のゲートに接続されたトランジスタ（PH18）と、ゲートがコンパレータ（31）の出力に、ソースが正電源Vddに、及びドレインが電流源トランジスタ（NH3）のゲートに接続されたトランジスタ（PH6）と、を備えている。

【0225】

また、高速化機能回路（32）は、トランジスタ（PH18）及びトランジスタ（PH6）のドレインと負電源との間に、ソースが負電源（Vss）に接続され、ドレイン及びゲートがトランジスタ（PH18、PH6）のドレインと電流源トランジスタ（NH3）のゲートに接続されたNMOSTランジスタ（NH10）を備えている。

【0226】

そして、本発明に係る差動増幅回路制御装置を電圧レギュレータ（100）に適用する際には、差動増幅回路が、出力側の電圧を分圧する分圧部（13）及び入力側の電圧として基準電圧を出力する基準電圧部（11）と共に電圧レギュレータ（100）に設けられ、コンパレータ（30）は、分圧部で分圧された電圧を負入力、基準電圧部から出力された基準電圧を正入力とし、コンパレータ（31）は、分圧部で分圧された電圧を正入力、基準電圧部から出力された基準電圧を負入力とする。

【0227】

10

20

30

40

50

また、本発明に係る差動増幅回路制御装置をオペアンプ（1500，1600，2800）に適用する際には、差動増幅回路としてNch作動回路とPch作動回路との少なくともいずれか一方を備えたオペアンプに適用できる。

【0228】

また、差動増幅回路（10）に、出力に対するオフセット電圧を調整する回路（レギュレータ出力のオフセット調整回路）を設け、コンパレータ（30）に、アンダーシュート検知に対するオフセット電圧を調整する回路（アンダーシュート検知のオフセット調整回路）を設け、コンパレータ（31）に、オーバーシュート検知に対するオフセット電圧を調整する回路（オーバーシュート検知のオフセット調整回路）を設けることができる。

【0229】

このようにすることにより、電圧レギュレータにおいて、負荷電流（出力電圧）の急激な変化（増加・減少）が発生した場合には、差動増幅回路の動作速度を速くすることで、早急に、出力トランジスタのゲートとソース間の電圧を負荷電流に応じた電圧にすることができ、アンダーシュート及びオーバーシュートを低減することができる。

【0230】

また、コンパレータ（30，31）にオフセット電圧調整用回路を設けることにより、差動増幅回路におけるアンダーシュート・オーバーシュートを検知するオフセット調整回路を調整するための、製造過程における「トリミング工程」を1まとめで実施可能とすることで、製造コストを削減することができる。

【0231】

このように、本発明に係る差動増幅回路制御装置を備えた電圧レギュレータ及びオペアンプにおいては、出力安定時の消費電流を増加させること無く、入力信号に対する出力信号の過渡応答性と出力負荷変動に対する出力セッティング時間及び出力オーバーシュート、アンダーシュートを改善することができる。

【0232】

なお、本発明は、各図を用いて説明した実施の形態例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、図31に示すAB級オペアンプ3100の構成と異なる回路構成のAB級RAil - TO - RAil（登録商標）オペアンプであっても、メインアンプと同等の同相入力範囲（VSS ~ VDD）、すなわちRAil - TO - RAil（登録商標）入力の差動増幅回路を持つハイサイド電流制御回路3110及びロウサイド電流制御回路3120が構成可能で、かつバイアス電流源回路に電流増減回路を構成出来れば、図31に示す構成のAB級オペアンプ3100以外の構成のAB級オペアンプでも本発明を実現することは可能である。

【0233】

また、本発明に係る実施の形態例として、第3の実施例ではA級増幅PCH・Nch入力差動増幅回路のオペアンプ、第4の実施例ではA級増幅Pch入力差動増幅回路のオペアンプ、第5の実施例ではA級増幅Nch入力差動増幅回路のオペアンプ、及び、第6の実施例ではAB級増幅入出力RAil - TO - RAil（登録商標）差動増幅回路のオペアンプに本発明に係る差動増幅回路制御装置を適用した例を説明したが、本発明に係るハイサイド電流制御回路、ロウサイド電流制御回路、及び、バイアス電流増減回路を構成することができるのであれば、本実施例以外のRAil - TO - RAil（登録商標）差動増幅回路、フォールテッドカスコード差動増幅回路、テレスコピック差動増幅回路等のいかなる種類、構成の差動増幅回路及びバイアス電流源回路にも適用することができる。また、出力回路に関しても、A級回路、AB級回路等のいかなる種類、構成の回路にも適用することができる。

【符号の説明】

【0234】

- 10 差動増幅回路
- 11 基準電圧回路
- 12，1305，1405，2705 出力回路

10

20

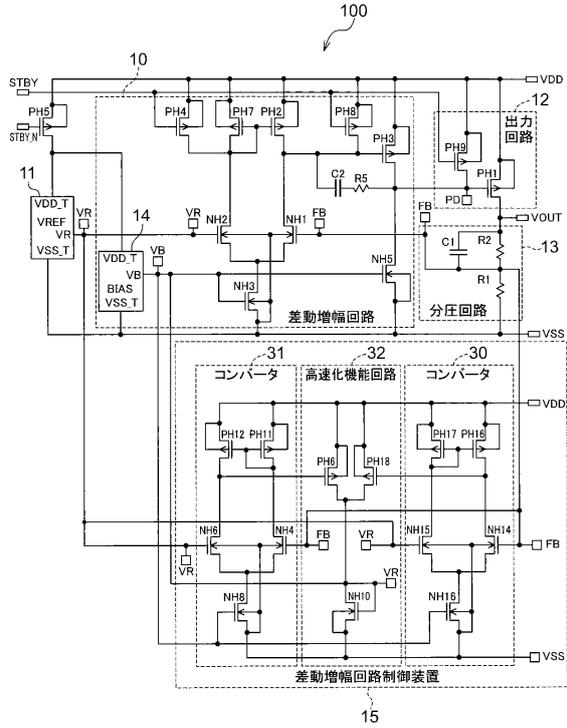
30

40

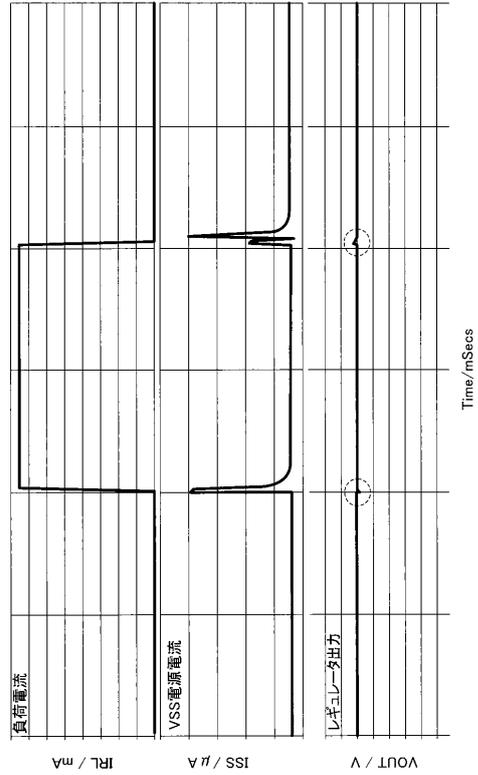
50

1 3	分圧回路	
1 4	バイアス発生回路	
1 5	差動増幅回路制御装置	
2 0	インバータ	
2 1	電流変換回路	
3 0	コンパレータ(第1のコンパレータ)	
3 1	コンパレータ(第2のコンパレータ)	
3 2	高速化機能回路	
1 0 0, 3 0 0, 7 0 0, 9 0 0, 1 0 0 0	電圧レギュレータ	
1 1 1 ~ 1 1 5, 1 5 0 2 a, 1 5 0 2 b, 1 5 1 0 a, 1 5 2 0 a, 1 6 0 2 a, 1 6 1 0 a, 1 6 2 0 a, 2 8 0 2 a, 2 8 1 0 a, 2 8 2 0 a, 3 1 0 2 a, 3 1 0 2 b, 3 1 1 0 a, 3 1 1 0 b, 3 1 2 0 a, 3 1 2 0 b	オフセット電圧調整用回路	10
1 3 0 0, 1 5 0 0, 1 8 0 0	A級増幅Pch+Nch入力オペアンプ	
1 3 0 1, 1 4 0 1, 1 5 0 1, 1 6 0 1, 2 7 0 1, 2 8 0 1, 3 1 0 1	バイアス電流源回路	
1 3 0 2, 1 4 0 2, 1 5 0 2, 1 6 0 2, 1 8 0 2, 2 7 0 2, 2 8 0 2, 3 1 0 2		
	メインアンプ部	
1 3 0 3, 2 7 0 4	Nch差動増幅回路	
1 3 0 4, 1 4 0 4	Pch差動増幅回路	
1 4 0 0	A級増幅Pch入力オペアンプ	20
1 5 0 1 a, 1 6 0 1 a, 2 8 0 1 a, 3 1 0 1 a	バイアス電流増減回路	
1 5 1 0, 1 6 1 0, 1 8 1 0, 2 8 1 0, 3 1 1 0	ハイサイド電流制御回路	
1 5 2 0, 1 6 2 0, 1 8 2 0, 2 8 2 0, 3 1 2 0	ロウサイド電流制御回路	
1 6 0 0	A級増幅Pch入力オペアンプ	
1 8 0 1	バイアス電流源/電流増減回路	
1 8 0 2 a, 1 8 0 2 b, 1 8 1 0 a, 1 8 2 0 b, 3 1 0 2 e, 3 1 0 2 f, 3 1 1 0 c, 3 1 2 0 c	位相補償回路	
2 7 0 0, 2 8 0 0	A級増幅Nch入力オペアンプ	
3 1 0 0	AB級オペアンプ	
3 1 0 2 c, 3 1 0 2 d	プリバッファ	30
C	コンデンサ	
N 0 ~ N 3 3, N H 0 ~ N H 1 6	NchMOSトランジスタ	
P 0 ~ P 3 2, P H 0 ~ P H 1 8	PchMOSトランジスタ	
R 1 ~	抵抗	
V d d	正電源	
V s s	負電源	

【図1】

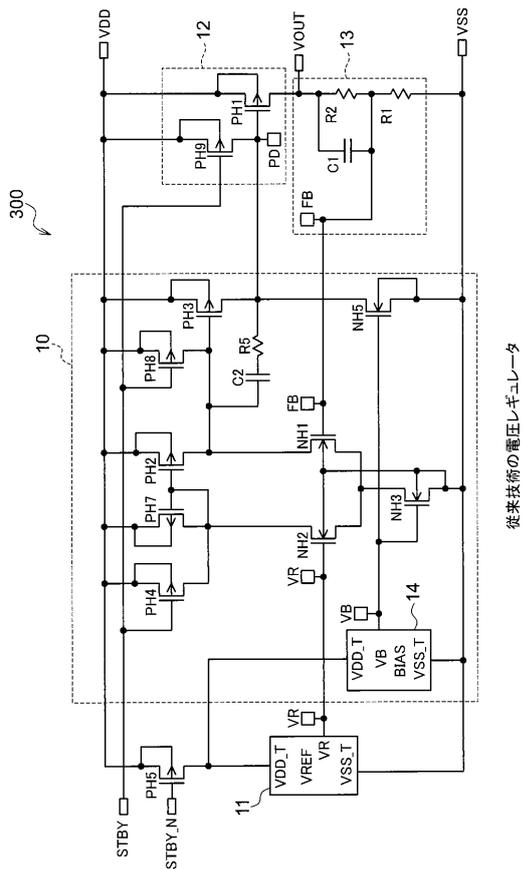


【図2】



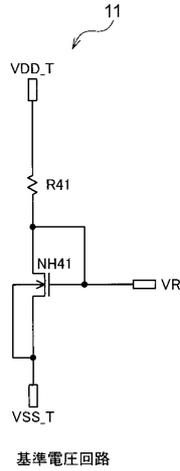
電圧レギュレータのタイムチャート

【図3】



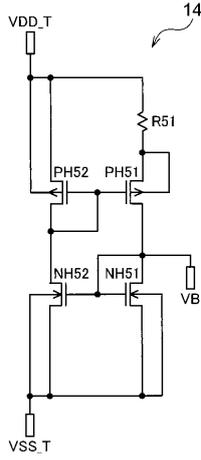
従来技術の電圧レギュレータ

【図4】



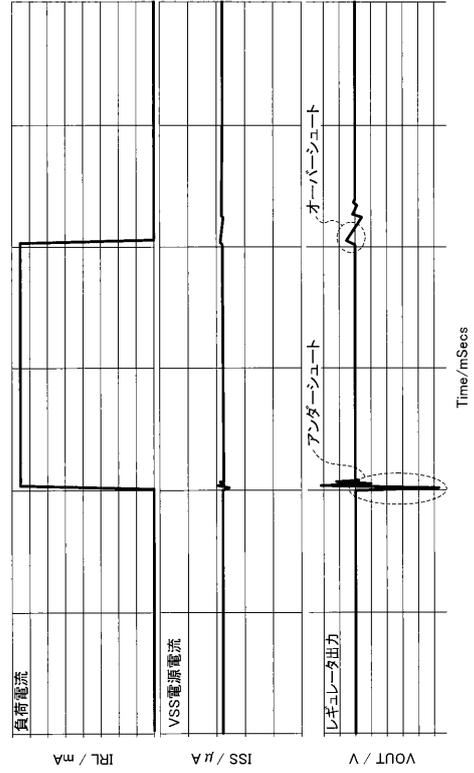
基準電圧回路

【図5】



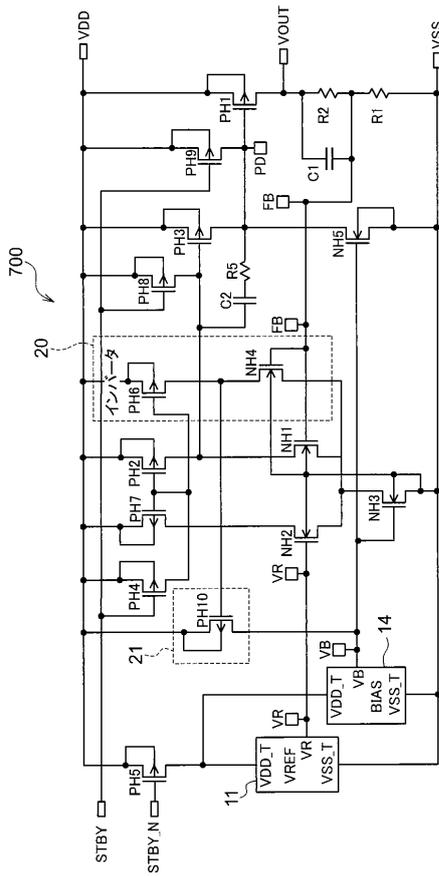
バイアス発生回路

【図6】



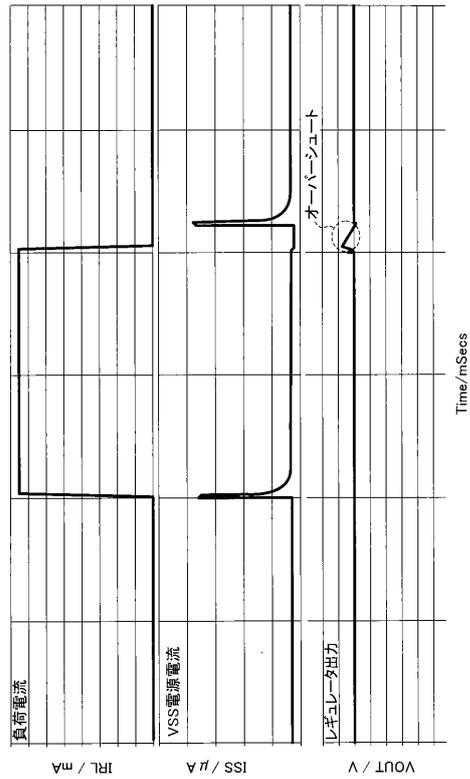
従来の電圧レギュレータのタイムチャート

【図7】



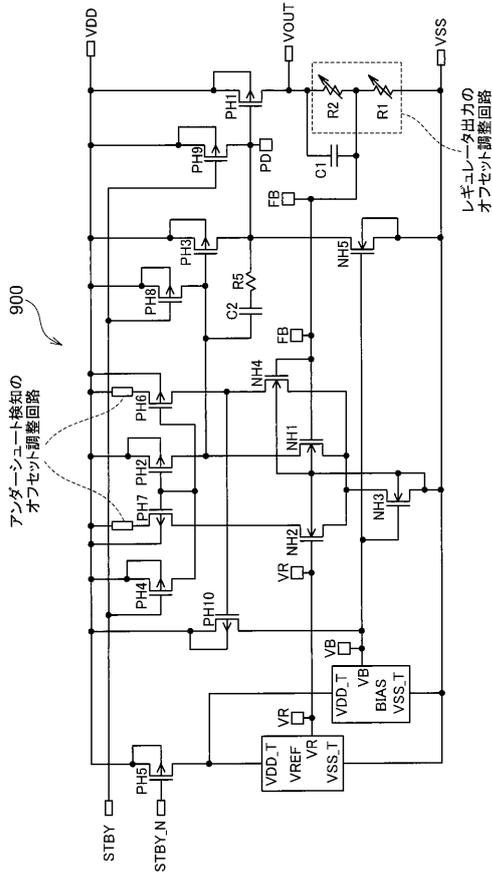
アンダーシュートを低減した電圧レギュレータ

【図8】

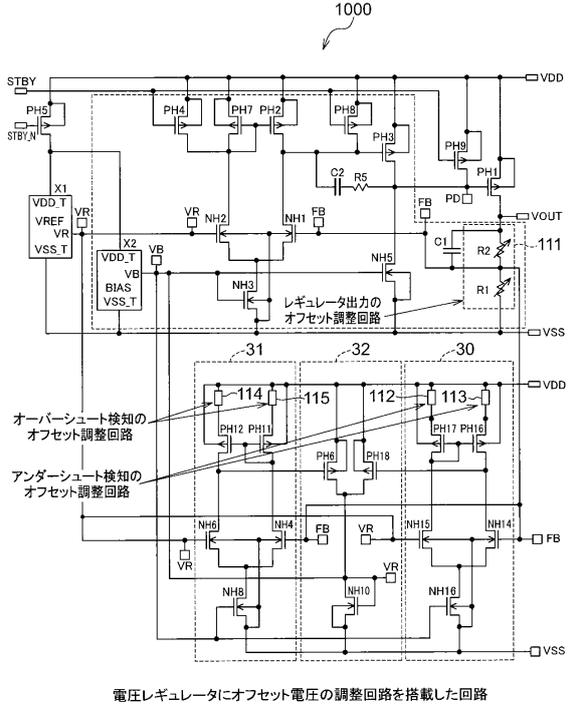


アンダーシュートを低減した電圧レギュレータのタイムチャート

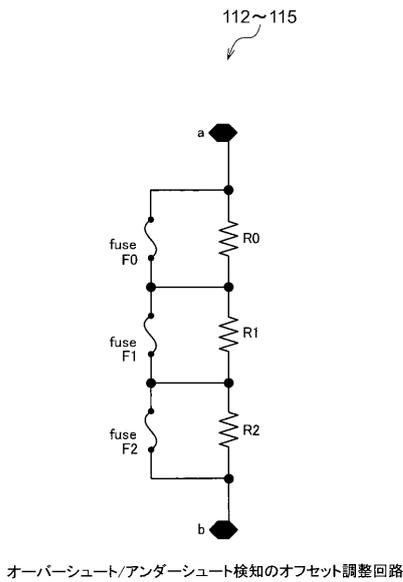
【図9】



【図10】

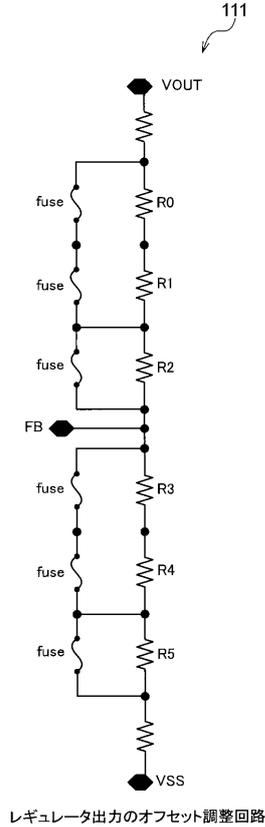


【図11】



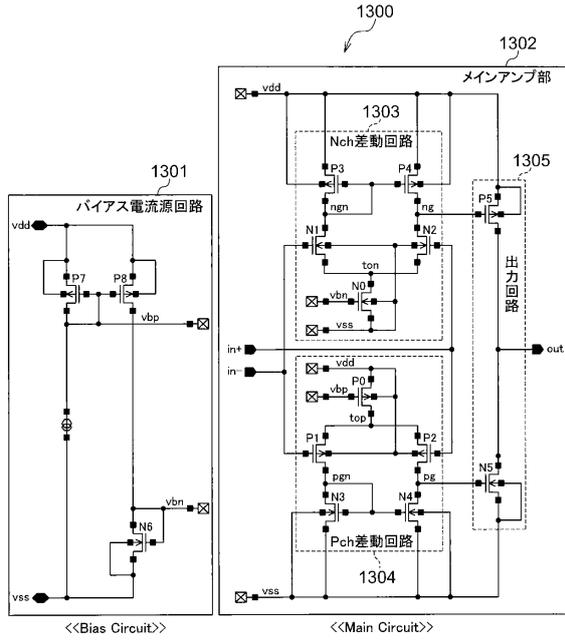
オーバーシュート/アンダーシュート検知のオフセット調整回路

【図12】



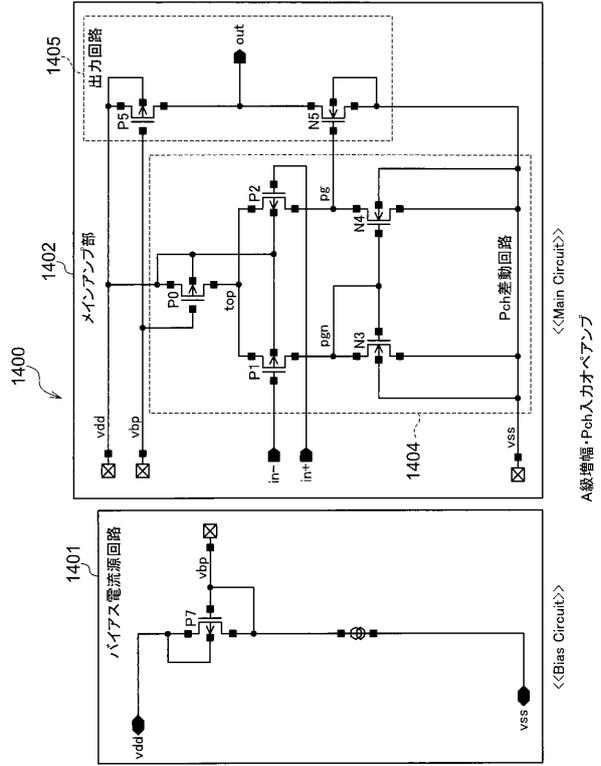
レギュレータ出力のオフセット調整回路

【図13】



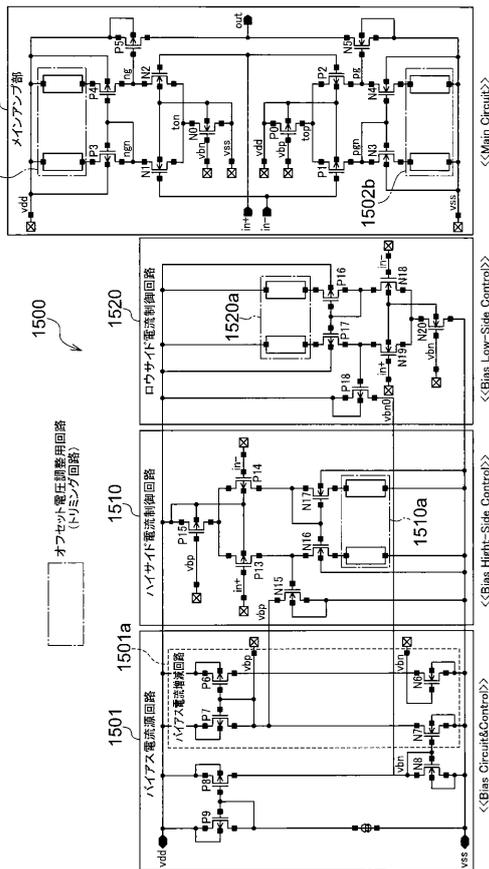
A級増幅・Pch+Nch入力カオペアンプ

【図14】



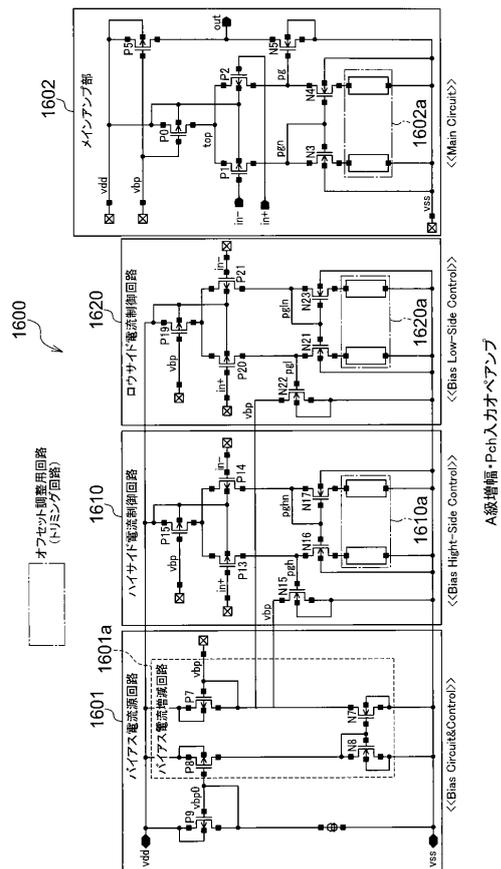
A級増幅・Pch入力カオペアンプ

【図15】



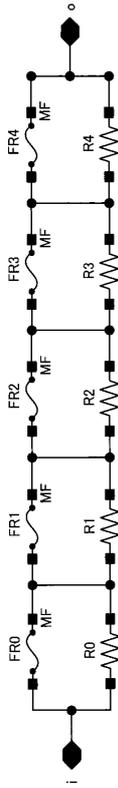
A級増幅・Pch+Nch入力カオペアンプ

【図16】



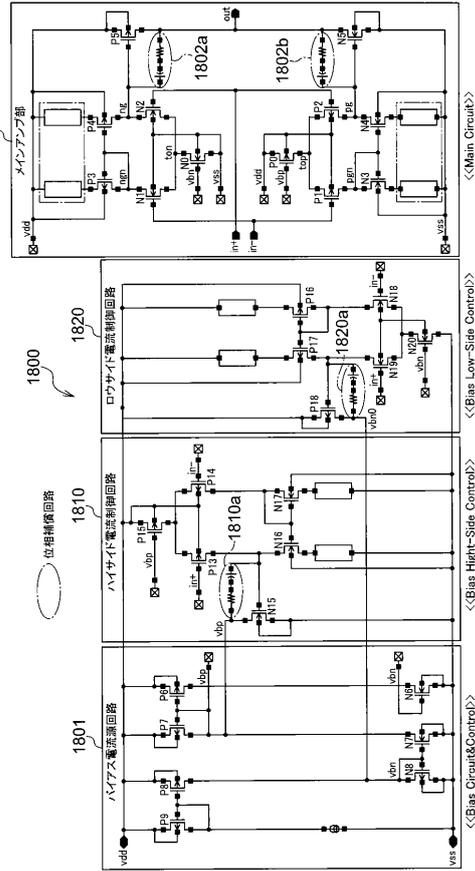
A級増幅・Pch入力カオペアンプ

【図 17】



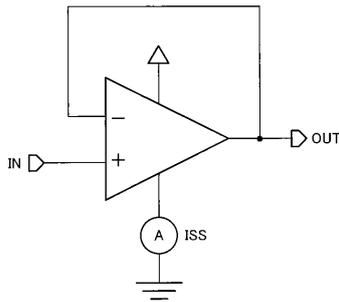
オフセット電圧トリミング回路例

【図 18】



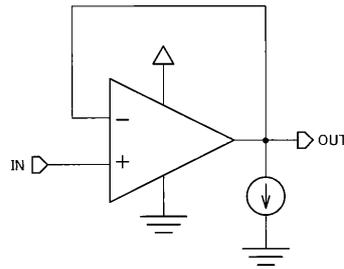
位相補償回路例

【図 19】



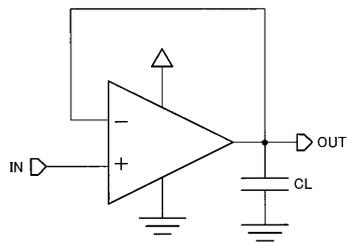
消費電流測定用のボルテージフォロワ接続説明図

【図 21】



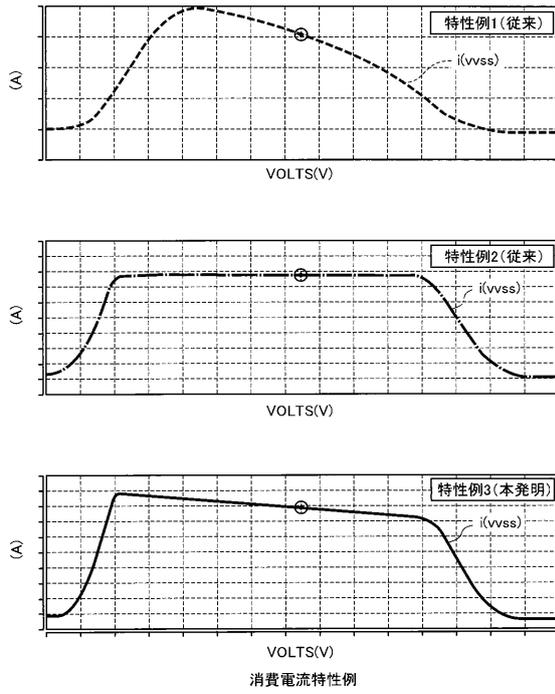
負荷過渡応答測定用のボルテージフォロワ接続説明図

【図 20】

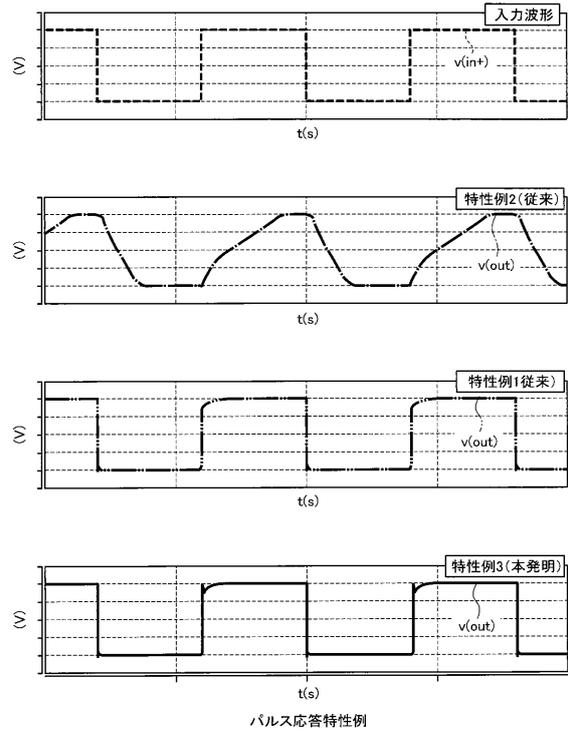


パルス応答/Sin波応答測定用のボルテージフォロワ接続説明図

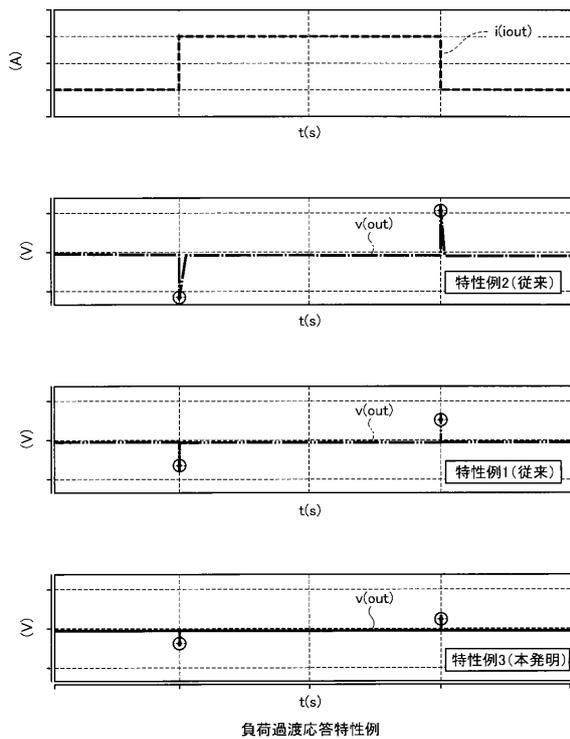
【図22】



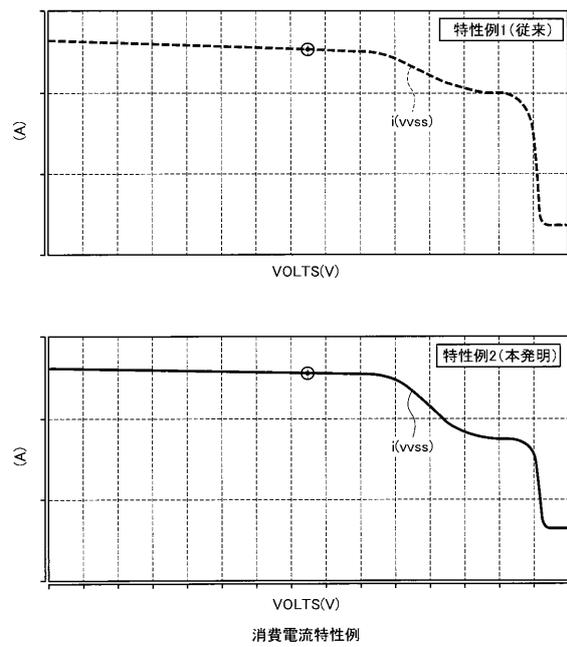
【図23】



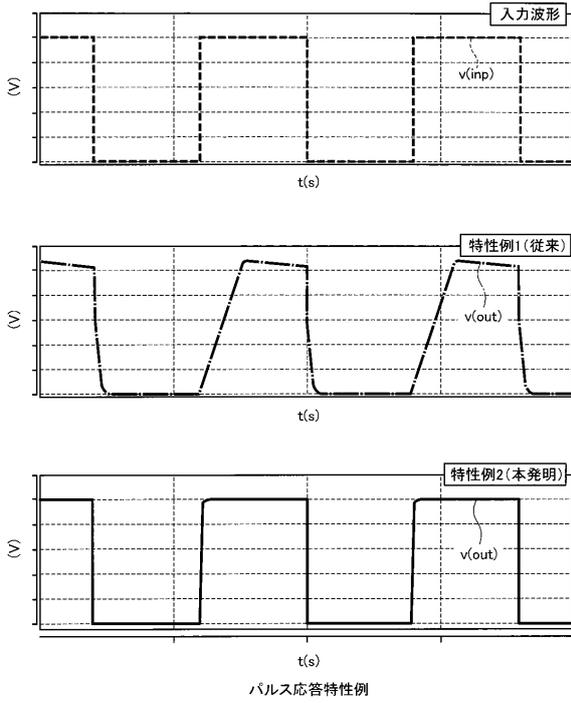
【図24】



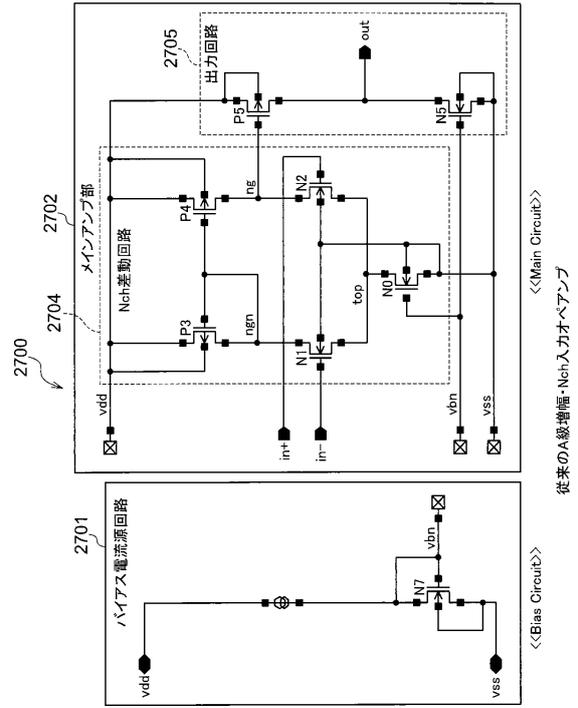
【図25】



【図26】

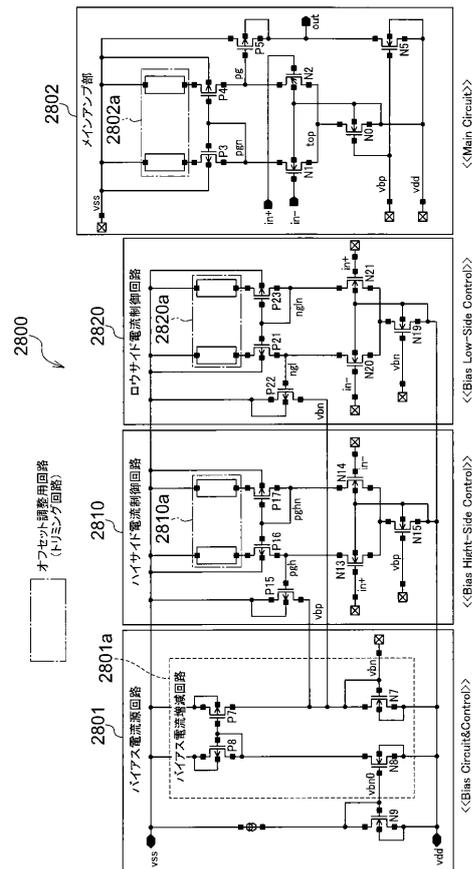


【図27】

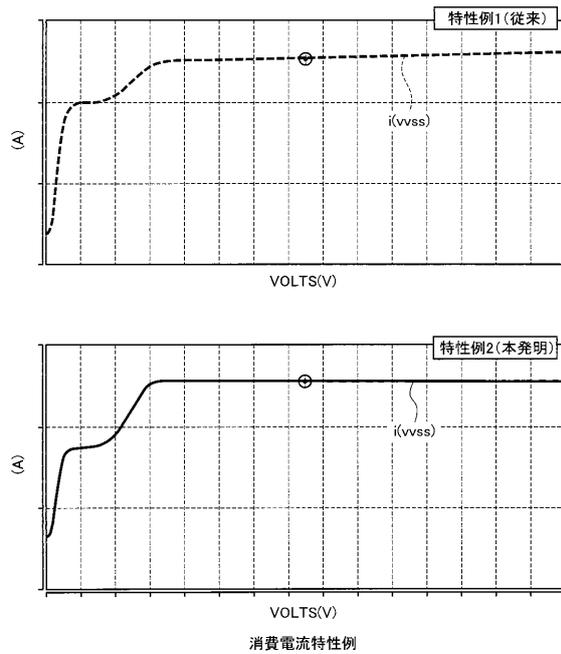


従来のA級増幅・Nch入力カオペアンプ

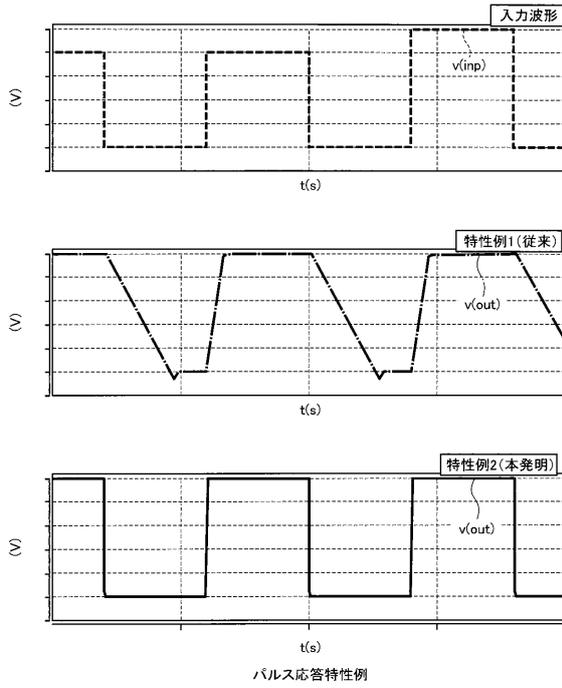
【図28】



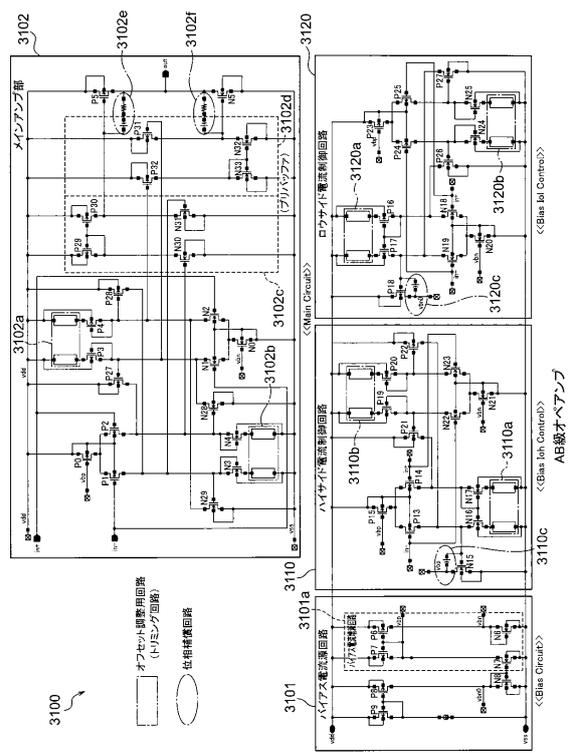
【図29】



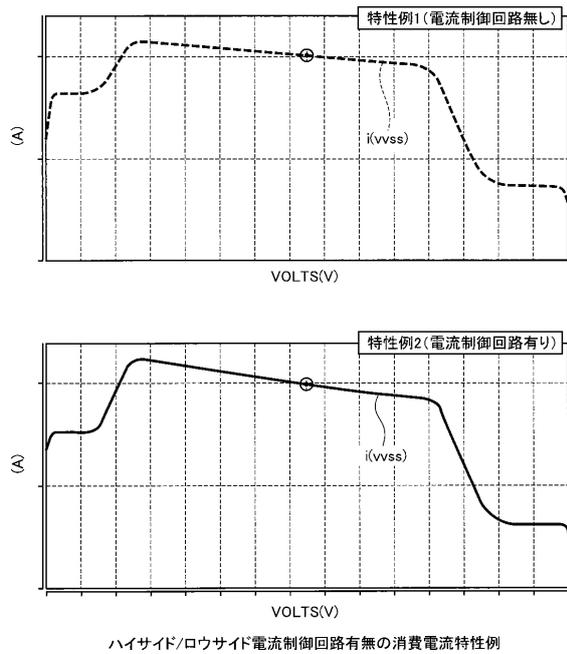
【図30】



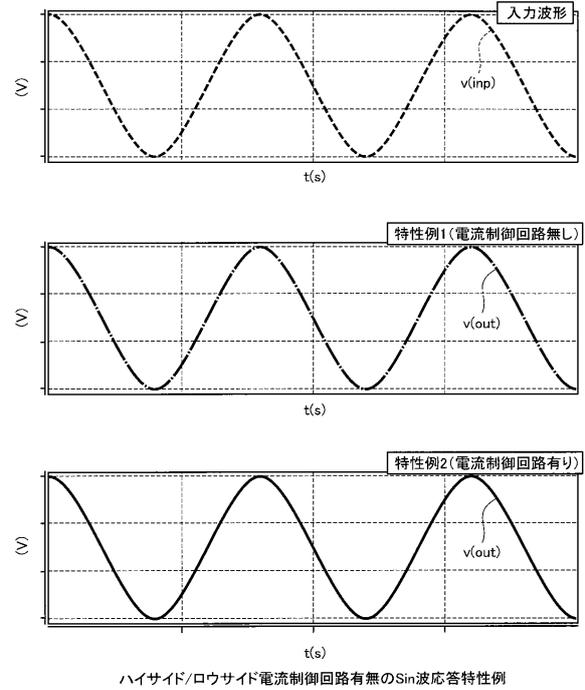
【図31】



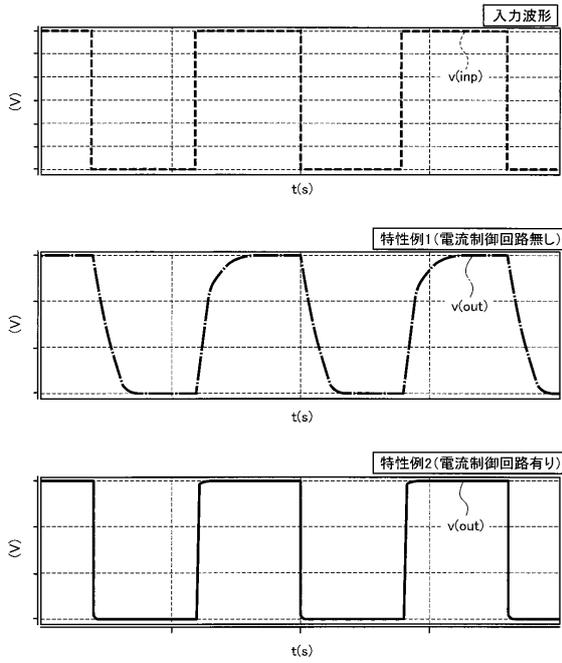
【図32】



【図33】



【 図 3 4 】



ハイサイド/ロウサイド電流制御回路有無のパルス応答特性例

---

フロントページの続き

(56)参考文献 米国特許出願公開第2011/0121802(US, A1)

特開2004-240646(JP, A)

特開2008-067188(JP, A)

特開平10-112617(JP, A)

米国特許第05130635(US, A)

特開2013-156926(JP, A)

特開2006-157607(JP, A)

特開平07-030334(JP, A)

特開平11-088076(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F1/00-3/45

H03F3/50-3/52

H03F3/62-3/64

H03F3/68-3/72