

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-48866

(P2007-48866A)

(43) 公開日 平成19年2月22日(2007.2.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 Q	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	5 F 1 4 0
HO 1 L 29/778 (2006.01)	HO 1 L 29/06 3 O 1 F	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 3 O 1 B	
HO 1 L 29/78 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2005-230390 (P2005-230390)
 (22) 出願日 平成17年8月9日(2005.8.9)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 齋藤 涉
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
 (72) 発明者 大村 一郎
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

最終頁に続く

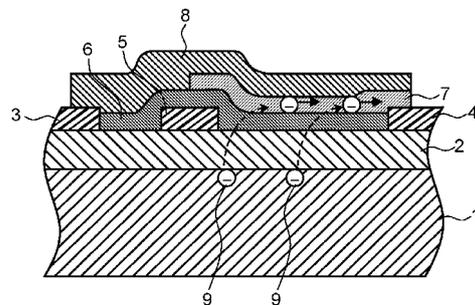
(54) 【発明の名称】 窒化物半導体素子

(57) 【要約】

【課題】 高電圧ストレスによりパッシベーション膜が劣化しない窒化物半導体素子を提供する。

【解決手段】 H F E T のパッシベーション膜 6 上に、少なくともゲート - ドレイン間の一部領域を覆いドレイン電極 4 に接続される半絶縁膜 7 を設ける。パッシベーション膜を薄く形成することにより高電界によって発生したホットエレクトロン 9 を半絶縁膜 7 を介してドレイン電極に排出する。

【選択図】 図 1



1:GaNチャネル層 2:AlGaInバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 7:半絶縁膜 8:絶縁膜 9:ホットエレクトロン

【特許請求の範囲】

【請求項 1】

窒化物半導体のヘテロ接合を有する構造体と、
前記構造体の上に設けられたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極との間において直接もしくは絶縁膜を介して前記構造体の上に設けられたゲート電極と、
前記構造体と前記ゲート電極の上に延在して設けられた第 1 の絶縁膜と、
前記第 1 の絶縁膜上の前記ゲート電極と前記ドレイン電極との間の領域の少なくとも一部に設けられ、前記ドレイン電極と電氣的に接続された第 1 の半絶縁膜と、
を備えたことを特徴とする窒化物半導体素子。

10

【請求項 2】

前記第 1 の半絶縁膜は、前記第 1 の絶縁膜上の前記ソース電極と前記ドレイン電極との間の領域に設けられ、前記ソース電極にも電氣的に接続されたことを特徴とする請求項 1 記載の窒化物半導体素子。

【請求項 3】

前記第 1 の半絶縁膜は、前記第 1 の絶縁膜上の前記ゲート電極と前記ドレイン電極との間の全領域に設けられ、前記ゲート電極にも電氣的に接続されたことを特徴とする請求項 1 記載の窒化物半導体素子。

【請求項 4】

前記半絶縁膜の上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜の上に設けられ、前記ソース電極または前記ドレイン電極に接続されたフィールドプレート電極と、
をさらに備えたことを特徴とする請求項 1 ~ 3 いずれか 1 つに記載の窒化物半導体素子。

20

【請求項 5】

前記半絶縁膜は、ポリシリコン、酸化シリコン、窒化シリコン及び酸化チタンよりなる群から選択されたいずれかからなることを特徴とする請求項 1 ~ 4 いずれか 1 つに記載の窒化物半導体素子。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窒化物半導体素子の構造に関し、特に、ヘテロ構造を用いたヘテロ接合電界効果トランジスタの構造を有する窒化物半導体素子に関する。

【背景技術】

【0002】

スイッチング電源やインバータなどの回路には、スイッチング素子やダイオードなどのパワー半導体素子が用いられ、このパワー半導体素子には、高耐圧や、低オン抵抗 (R_{ON}) などの特性が求められる。そして、これら耐圧とオン抵抗 (R_{ON}) との間には、素子材料で決まるトレードオフの関係がある。技術開発の進歩により、パワー半導体は主な素子材料であるシリコン (以下、Si) の限界近くまで、低オン抵抗 (R_{ON}) 化が実現されるようになってきた。オン抵抗 (R_{ON}) をさらに低減させるためには、素子材料の変更が必要である。例えば、窒化ガリウム (以下、GaN) や窒化アルミニウムガリウム (以下、AlGaN) などの窒化物半導体や炭化珪素 (以下、SiC) などのワイドバンドギャップ半導体をスイッチング素子材料として用いることにより、材料で決まるトレードオフ関係を改善して、飛躍的にオン抵抗 (R_{ON}) を下げることが可能となる。

40

【0003】

窒化物半導体を用いた素子として、ヘテロ構造を用いたヘテロ電界効果トランジスタ (以下、HFEET: Heterojunction Field Effect Transistor) が挙げられる。このHFE

50

Tは、ヘテロ界面チャネルの高移動度と、ヘテロ界面の歪によるピエゾ分極によって発生する高電子濃度により、低オン抵抗を実現している。このため、従来より高出力の高周波デバイスとして注目されていた。

【0004】

例えば、特許文献1には、ヘテロ接合を含むIII族窒化物半導体からなるHFETについて記載されている。特許文献1の図1に記載されるHFETは、SiCなどの基板10上に形成される。基板10上には、半導体層からなるバッファ層11が形成されている。このバッファ層11上に、GaNチャネル層12が形成されている。チャネル層の上には、AlGaNバリア層（文献中には電子供給層と記載）13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に、電界制御電極5を有しショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiN膜21で覆われており、さらにその上層にはSiO₂膜22が設けられている。電界制御電極5の直下にはこのSiN膜21およびSiO₂膜22が設けられている。電界制御電極5は、ニッケル(Ni)やアルミニウム(Al)などの金属材料で形成され、これに独立して制御電圧を印加することで、コプラズ現象を低減させている。「コプラズ」とは、ピエゾ分極によりAlGaN層表面に大量の負電荷が発生することをいい、これによって交流動作時素子特性に影響を与えるものである。

10

【0005】

先に述べたGaNなどの窒化物半導体な有する高耐圧、低オン抵抗(R_{ON})の性質を期待して、上記HFETを横型パワー半導体として利用する場合には以下のような問題点がある。

20

確かに、GaNなどの窒化物半導体素子はSiの10倍もの臨界電界を有することで、高耐圧と低オン抵抗(R_{ON})を実現している。パワー半導体として素子に高電界が印加されると、横型素子では表面保護膜（以下、パッシベーション膜と称する）にも高電界が印加されることになる。通常、ワイドバンドギャップ半導体と絶縁体の臨界電界の差は小さく、伝導帯バンド不連続も小さい。このため、特許文献1の図1に表すような横型素子に高電圧を印加すると、GaNチャネル層12とAlGaNバリア層13の界面に形成されるチャネルを走行する電子がホットエレクトロンとなり、パッシベーション膜（図1においては、SiO₂膜22）中に飛び込む。膜中に電子が飛び込むことで膜質が劣化し、パッシベーション膜の絶縁性は低下する。さらに、膜中に飛び込んだ電子がパッシベーション膜中に留まり固定電荷となると、チャネルの電子濃度が低下しオン抵抗(R_{ON})が増加してしまうだけでなく、高電圧印加時の電荷分布が変化し、耐圧が低下してしまう。

30

【0006】

ところで、高耐圧半導体素子の終端構造に半絶縁膜を用いることで、高耐圧を保持する技術は、従来より提案されていた。例えば、特許文献2には、抵抗性ショットキバリアフィールドプレート構造について記載されており、半絶縁膜としてチタン酸化物(TiO_x)膜が用いられる。チタン酸化物(TiO_x)膜の熱酸化時間を短くすることで不完全酸化処理を行い、薄膜のシート抵抗を変化させている。

一方、非特許文献1には、半絶縁ポリシリコン(SIPOS: Semi-Insulating Polycrystalline Silicon)を用いたデバイスについて記載されており、SIPOS堆積時の酸素ガス流量を変化させることで膜中の酸素含有量を変化させて、薄膜のシート抵抗を変化させている。

40

【特許文献1】特開2004-214471号公報

【特許文献2】特開平2-130959号公報

【非特許文献1】IEEE TRANSACTIONS ON ELECTRON DEVICE. VOL.38,NO.7,JULY 1991 "High-Voltage Planar Device Using Field Plate and Semi-Resistive Layers"

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、高電圧ストレスにより表面保護膜が劣化しない窒化物半導体素子を提

50

供することである。

【課題を解決するための手段】

【0008】

本発明の一態様によれば、
 窒化物半導体のヘテロ接合を有する構造体と、
 前記構造体の上に設けられたソース電極およびドレイン電極と、
 前記ソース電極と前記ドレイン電極との間において直接もしくは絶縁膜を介して前記構造体の上に設けられたゲート電極と、
 前記構造体と前記ゲート電極の上に延在して設けられた第1の絶縁膜と、
 前記第1の絶縁膜上の前記ゲート電極と前記ドレイン電極との間の領域の少なくとも一部に設けられ、前記ドレイン電極と電氣的に接続された第1の半絶縁膜と、
 を備えたことを特徴とする窒化物半導体素子が提供される。

10

【発明の効果】

【0009】

本発明によれば、高電圧ストレスにより表面保護膜が劣化しない窒化物半導体素子を提供することが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照しつつ本発明の実施の形態について説明する。

図1は、本発明の第1の実施の形態にかかるGaN-HFETの構造を表す、模式断面図である。

20

図1に表すHFETは、ノンドープGaNチャネル層1上にノンドープAlGaNバリア層2が形成された構造体を有する。AlGaNバリア層2上にはオーミック電極であるソース電極3とドレイン電極4と、AlGaNバリア層2とショットキー接合を形成するゲート電極5とが形成されている。そして、半導体表面とゲート電極5を覆うようにパッシベーション膜6が形成されている。パッシベーション膜6上のゲート電極5とドレイン電極4間の領域には半絶縁膜7が形成され、ドレイン電極4に接続されている。パッシベーション膜6および半絶縁膜7を覆うように絶縁膜8が形成されている。

【0011】

図1に表すGaN-HFETに高電圧を印加すると、ゲート電極5とドレイン電極4間に高電界が加わる。この高電界によってパッシベーション膜6に向かって飛び出したホットエレクトロン9は、パッシベーション膜6上に形成される半絶縁膜7へと飛び込む。半絶縁膜7は高抵抗ではあるが電子を走行させることができるので、飛び込んだホットエレクトロン9はドレイン電極4へと排出される。

30

このように、パッシベーション膜7へと飛び込んだ電子が膜中で固定電荷とならないため、安定した動作が実現できる。

半絶縁膜7は、例えば、そのシート抵抗が $10\text{ M } / \Omega$ 以上であることが望ましい。シート抵抗がこれよりも低いと半絶縁膜が電極として働いてしまい、耐圧が低下してしまうからである。

【0012】

このような半絶縁膜7の材料としては、例えば、ポリシリコン（多結晶シリコン）を用いることができる。この場合、抵抗値が高くなるように不純物をドーピングする。また、半絶縁膜7の材料として、酸化物、窒化物、フッ化物、あるいはこれらの混合体などを用いることも可能である。より具体的には、酸化シリコン（ SiO_x ）や窒化シリコン（ SiN_x ）や酸化チタン（ TiO_x ）等を用いることができる。これらは、多結晶状態でも非晶質状態でもよい。

40

例えば、酸化シリコンや酸化チタンの場合、酸素の含有量を調整することにより、その導電率を制御できる。より具体的には、例えば、CVD法により酸化シリコンを形成する際に、シリコン原料ガスと酸素含有ガスとの比率を適宜調整することにより、形成される酸化シリコン中の酸素の含有量を調整できる。一般的には、 SiO_2 のような化学量論的

50

な組成を与えた場合には、絶縁性を示すのに対して、例えば、 SiO_x における組成比 x を2よりも小さくすることにより抵抗率が低下し、半絶縁性を与えることができる。窒化物や窒化酸化物、フッ化物などについても同様である。すなわち、窒化シリコンなどの窒化物の場合には、窒素の含有量を調整することにより、その導電率を制御できる。

また、例えば、これら酸化物、窒化物、フッ化物などに対してプラズマなどを照射して損傷を与えることにより、半絶縁性とすることも可能である。

【0013】

また、発生したホットエレクトロン9が確実に半絶縁膜7飛び込むように、パッシベーション膜6の膜厚は数ナノメートル程度の厚さとするのが望ましい。パッシベーション膜6を薄く形成することで、トンネル効果が起こり電子は速やかに半絶縁膜7へと抜けていく。なお、この電子が半絶縁膜7を通り越して絶縁膜8へと至らないよう、半絶縁膜7の膜厚は数10ナノメートル以上の厚さとするのが望ましい。

10

【0014】

図2は、本発明の第2の実施の形態にかかるGaN-HFETの構造を表す、模式断面図である。図1に表すHFETと同様の要素には同一の番号を付し、その詳しい説明は省略する。

本図におけるHFETが図1に表すHFETと異なる部分は、半絶縁膜21が短く、ゲート-ドレイン間のドレイン側にのみ形成されている点である。電子が加速されて大きなエネルギーを持つようになるのはドレイン側であるため、半絶縁膜21はドレイン側にのみ形成されていてもホットエレクトロンを効率的に排出できる。また、このように半絶縁膜21をゲート電極5からやや遠ざけることにより、これらの間に高電界が印加されることを防止できる。

20

【0015】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがHFETの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0016】

図3は、本発明の第3の実施の形態にかかるGaN-HFETの構造を表す、模式断面図である。図1に表すHFETと同様の要素には同一の番号を付し、その詳しい説明は省略する。

30

本図におけるHFETが図1に表すHFETと異なる部分は、半絶縁膜31がソース電極3まで伸びて、ソース電極3に接続されている点である。ソース-ドレイン間に電圧が印加されると、ソース-ドレイン間に接続される半絶縁膜31によってこの間の電界分布は強制的に平坦にされる。このため、ゲート電極5の端部やドレイン電極4の端部に電界集中が起こらなくなる。電界集中による耐圧の低下を押さえ、高耐圧を維持することが可能となる。なお、半絶縁膜31のシート抵抗を調整することにより、ソース-ドレイン間でリークが生ずることを防止できる。

【0017】

本図に表すHFETにおいて、オン状態とオフ状態の電流比は 10^5 以上、電圧比は100程度であることから、オン状態とオフ状態の抵抗費は 10^7 以上となる。このため、半絶縁膜31の抵抗値を素子のオン抵抗(R_{ON})の 10^7 倍以上、すなわちシート抵抗に換算した場合に $100\text{M}\Omega$ 以上とすることで、半絶縁膜を介して発生するリーク電流を抑えることができる。

40

【0018】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがHFETの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので

50

、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0019】

図4は、本発明の第4の実施の形態にかかるGaN-HFETの構造を表す、模式断面図である。図3に表すHFETと同様の要素には同一の番号を付し、その詳しい説明は省略する。

本図におけるHFETが図3に表すHFETと異なる部分は、半絶縁膜41の一端がソース電極3ではなくゲート電極5に接続されている点である。第2の実施の形態に関して前述したように、素子の耐圧を決めているのはゲート-ドレイン間の電界分布であるため、この領域での電界分布が平坦になれば高耐圧を保つことができるからである。また、この場合も、半絶縁膜41のシート抵抗を調整することにより、ゲート-ドレイン間でリークが生ずることを防止できる。

10

【0020】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがHFETの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0021】

図5は、本発明の第5の実施の形態にかかるGaN-HFETの構造を表す、模式断面図である。図1に表すHFETと同様の要素には同一の番号を付し、その詳しい説明は省略する。

20

本図におけるHFETが図1に表すHFETと異なる部分は、半絶縁膜が2つ形成されている点である。詳しくは、ゲート-ドレイン間のドレイン側に設けられドレイン電極4に接続される第1の半絶縁膜51と、ゲート-ドレイン間のゲート側からゲート電極5、ゲート-ソース間を覆ってソース電極3に接続される第2の半絶縁膜52とが設けられている。素子に高電圧が印加されて、アバランシェ降伏(avalanche breakdown)が起るとホール53、エレクトロン54ペアが発生し、電界により加速されて半導体層を飛び出す。このとき、エレクトロン54は第1の半絶縁膜51に飛び込みドレイン電極4へと排出され、ホール54は第2の半絶縁膜52に飛び込みソース電極3へと排出される。このように、ホール排出用の半絶縁膜を設けることで、アバランシェ高電界でなだれ的に増殖するホール53、エレクトロン54ペアによる素子破壊を防止することができる。また、このように半絶縁膜を2つに分けることにより、ソース-ドレイン間でリークが生ずることも確実に防止できる。

30

【0022】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがHFETの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0023】

図6は、本発明の第6の実施の形態にかかるGaN-HFETの構造を表す、模式断面図である。図1に表すHFETと同様の要素には同一の番号を付し、その詳しい説明は省略する。

40

本図におけるHFETが図1に表すHFETと異なる部分は、ソース電極3に接続されるフィールドプレート電極61が新たに設けられた点である。図中に電気力線を例示したように、ゲート電極5の端部には電界が集中する。フィールドプレート電極61によってこのゲート電極5の端部を覆うことにより、電界集中を抑制し高耐圧を実現することができる。これにより、ホットエレクトロンの発生を抑制し、半絶縁膜7によるホットエレクトロンの排出効果と相まって、さらに高耐圧化することができる。

【0024】

50

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがH F E Tの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0025】

図7は、本発明の第7の実施の形態にかかるG a N - H F E Tの構造を表す、模式断面図である。図6に表すH F E Tと同様の要素には同一の番号を付し、その詳しい説明は省略する。

本図におけるH F E Tが図6に表すH F E Tと異なる部分は、半絶縁膜71がゲート - ドレイン間領域のドレイン側のみを覆っている点である。フィールドプレート61に覆われた領域(図中に符号aで表した領域)では、電界が緩和される。したがって、高電界となるのはフィールドプレート61端部からドレイン電極4までの領域(図中のbで表した領域)となり、ホットエレクトロンはこの領域(領域b)内で主に発生する。このため、半絶縁膜71は、少なくともフィールドプレート電極61とオーバーラップするように形成されることが望ましい。このような構造とすることで、発生したホットエレクトロンを漏れなくドレイン電極4へと排出することができる。

10

【0026】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがH F E Tの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

20

【0027】

図8は、本発明の第8の実施の形態にかかるG a N - H F E Tの構造を表す、模式断面図である。図7に表すH F E Tと同様の要素には同一の番号を付し、その詳しい説明は省略する。

本図におけるH F E Tが図7に表すH F E Tと異なる部分は、ドレイン電極4に接続される第2のフィールドプレート電極81が新たに設けられた点である。フィールドプレート電極61によってゲート電極端部の電界集中は緩和されるが、図中に電気力線を例示したように、ドレイン電極4の端部には依然として電界が集中してしまう。第2のフィールドプレート電極81によってこのドレイン電極4の端部を覆うことにより、電界集中を抑制し高耐圧を実現することができる。

30

【0028】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホットエレクトロンがH F E Tの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0029】

図6~図8に表したH F E Tにおいて、フィールドプレート電極61をソース電極3に接続した形態を例に説明したが、素子の耐圧はゲート - ドレイン間の電界で決まることから、フィールドプレート電極61をゲート電極5に接続しても実施可能である。

40

【0030】

図9は、本発明の第9の実施の形態にかかるG a N - H F E Tの構造を表す、模式断面図である。図8に表すH F E Tと同様の要素には同一の番号を付し、その詳しい説明は省略する。

本図におけるH F E Tが図8に表すH F E Tと異なる部分は、半絶縁膜91がソース電極3まで伸びて、ソース電極3に接続されている点である。ちょうど、図3に表すH F E Tにフィールドプレート電極61と第2のフィールドプレート電極81を追加した構造と

50

なっている。図3のH F E Tの説明で記載したように、半絶縁膜91をソース電極3とドレイン電極4に接続することによって、ゲート-ドレイン間の電界分布を平坦にすることができる。しかし、半絶縁膜91は高抵抗であるため、平坦な電界分布に達するまでの緩和時間が長くなってしまふ。このため、瞬間的に電界集中が起こり、アバランシェ降伏が起きて、素子が破壊されてしまうことがある。これに対して、フィールドプレート電極61と第2のフィールドプレート電極81を設けることで、瞬間的な電界集中を抑制し安定した高耐圧を実現することができる。

【0031】

図9に表したH F E Tにおいて、半絶縁膜91をソース電極3とドレイン電極4に接続した形態を例に説明したが、素子の耐圧はゲート-ドレイン間の電界で決まることから、半絶縁膜91をゲート電極5とドレイン電極4に接続しても実施可能である。

10

また、同様の理由でフィールドプレート電極61に関しても、ゲート電極5に接続しても実施可能である。

【0032】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホット電子がH F E Tの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

【0033】

図10は、本発明の第10の実施の形態にかかるG a N - H F E Tの構造を表す、模式断面図である。図1に表すH F E Tと同様の要素には同一の番号を付し、その詳しい説明は省略する。

20

本図におけるH F E Tが図1に表すH F E Tと異なる部分は、ゲート電極5とA l G a Nバリア層2の間にゲート絶縁膜101が形成されていることである。これによって、M I S (Metal Insulator Semiconductor) ゲート構造となる。M I Sゲートとすることで、ゲートリーク電流が小さくなり、ゲート駆動回路の負荷が低減される。

図2~9に表すH F E TにM I Sゲート構造を適用することも、もちろん可能である。

【0034】

本実施形態においても、第1の実施形態と同様の効果が得られる。すなわち、高電界によって加速されたホット電子がH F E Tの表面パッシベーション膜上に形成される半絶縁膜に飛び込む。この半絶縁膜をドレイン電極に接続して、飛び込んだ電子の排出を行う。この結果、パッシベーション膜中に停滞する電子による不具合を解消できるので、安定した動作が期待でき、信頼性の高い窒化物半導体素子を実現できる。

30

【0035】

これらのH F E Tは電源用途に限らず、高周波窒化物デバイスとしても実施可能である。通信用途で用いられる場合でも高電圧を印加して高出力を得ることができるので、本発明を用いることにより、高耐圧なデバイスが提供できて効果的である。

これまで、本発明の第1~第10の実施の形態について説明してきたが、本発明はこれらの実施の形態の限りではない。それぞれの実施の形態を組み合わせることも可能であるし、当業者が適宜設計変更したものも本発明の要旨を含む限り本発明の範囲に包含される。

40

【0036】

例えば、バリア層としてノンドープのA l G a N層を用いて説明してきたが、n型A l G a N層を用いても実施可能である。

また、A l G a N / G a Nの組み合わせを用いて説明してきたが、G a N / 窒化インジウムガリウム (I n G a N) や窒化アルミニウム (A l N) / A l G a Nなどの組み合わせにおいても実施可能である。

また、リセスゲート構造のH F E Tに適用することもできる。

【0037】

50

図1～10のHFEETにおいては基板を図示していないが、サファイア基板やSiC基板、Si基板、GaN基板のいずれでも実施可能であり、特に基板材料に限定されるものではない。基板の絶縁性や導電性、さらにはその導電型にも限定されない。

フィールドプレート構造に関しても、1段の場合のみを説明してきたが、多段のフィールドプレート構造としてもよい。

【0038】

一般的にワイドバンドギャップ半導体は高電界を印加することが可能であるが、絶縁膜との伝導帯バンド不連続が小さいために、絶縁膜へのホットエレクトロン注入が起きやすい。このため、本発明の構造は、シリコンカーバイド(SiC)やダイヤモンドなどのワイドバンドギャップ半導体を用いた横型素子や縦型素子の終端構造などでも実施可能である。

10

【0039】

また、本発明の実施の形態にかかるHFEETのゲート・ドレイン間の構造が横型のショットキ・バリア・ダイオード(SBD: Schottky Barrier Diode)の構造であることから、スイッチング素子に限らず横型SBDとしても実施可能である。

さらに、ユニポーラ素子に限らず、PIN(P-Intrinsic-N Diode)ダイオードやMISFETのドレイン側にp層を設けたIGBT(Insulated Gate Bipolar Transistor)などのバイポーラ素子においても、横型素子であれば実施可能である。

【0040】

なお、本明細書において「窒化物半導体」とは、 $B_x Al_y Ga_z In_{1-x-y-z} N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ 、 $x + y + z < 1$)なる化学式において組成比 x 、 y 及び z をそれぞれの範囲内で変化させたすべての組成の半導体を含むものとする。また、導電型を制御するために添加される各種の不純物のいずれかをさらに含むものも、「窒化物半導体」に含まれるものとする。

20

【図面の簡単な説明】

【0041】

【図1】本発明の第1の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図2】本発明の第2の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

30

【図3】本発明の第3の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図4】本発明の第4の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図5】本発明の第5の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図6】本発明の第6の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図7】本発明の第7の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

40

【図8】本発明の第8の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図9】本発明の第9の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【図10】本発明の第10の実施の形態にかかるGaN-HFEETの構造を表す、模式断面図である。

【符号の説明】

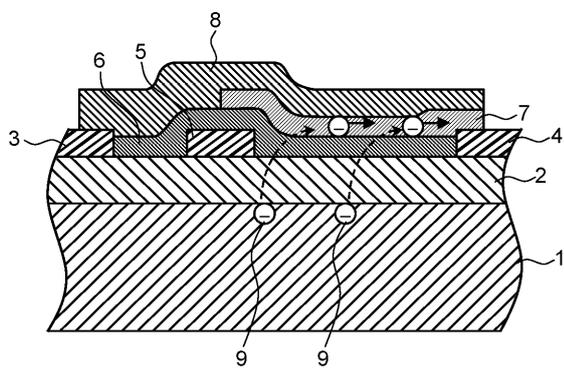
【0042】

- 1 GaNチャンネル層
- 2 AlGaNバリア層

50

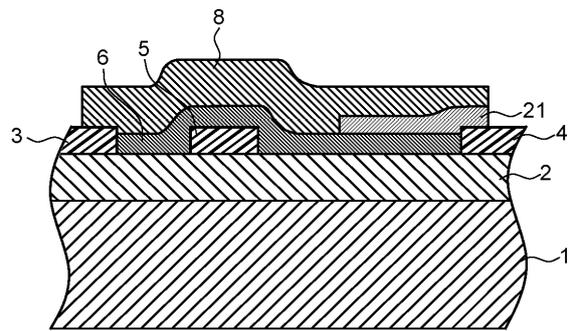
- 3 ソース電極
- 4 ドレイン電極
- 5 ゲート電極
- 6 パッシベーション膜
- 7、21、31、41、51、52、71、91 半絶縁膜
- 8 絶縁膜
- 61、81 フィールドプレート電極
- 101 ゲート絶縁膜

【図1】



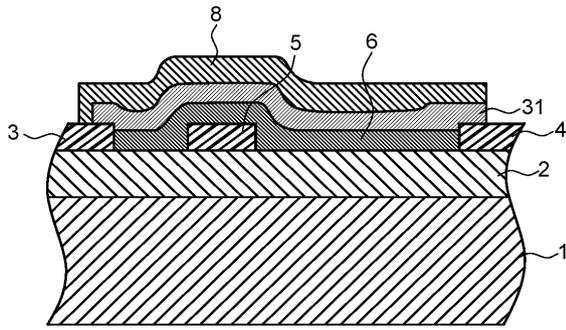
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 7:半絶縁膜 8:絶縁膜 9:ホットエレクトロン

【図2】



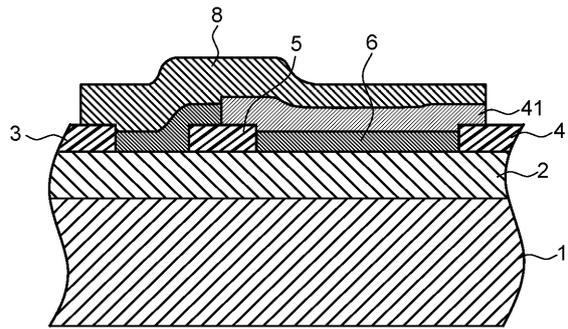
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 21:半絶縁膜 8:絶縁膜

【 図 3 】



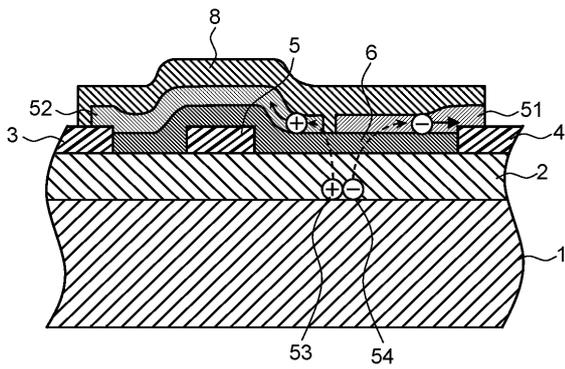
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
5:ゲート電極 6:パッシベーション膜 31:半絶縁膜 8:絶縁膜

【 図 4 】



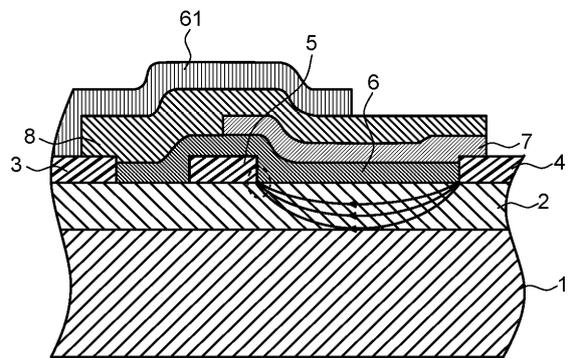
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
5:ゲート電極 6:パッシベーション膜 41:半絶縁膜 8:絶縁膜

【 図 5 】



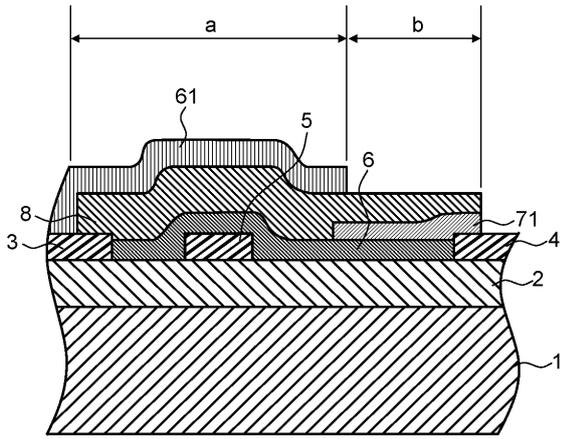
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
5:ゲート電極 6:パッシベーション膜 51:半絶縁膜 52:半絶縁膜
8:絶縁膜53:ホール 54:エレクトロン

【 図 6 】



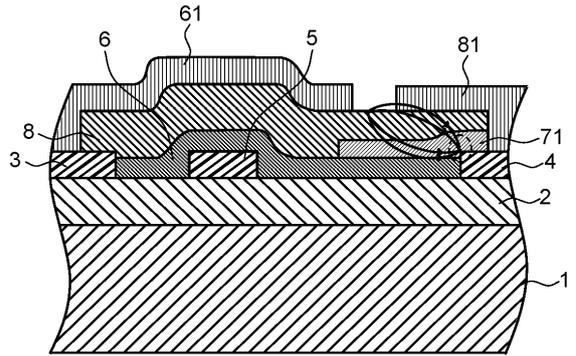
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
5:ゲート電極 6:パッシベーション膜 7:半絶縁膜 8:絶縁膜
61:フィールドプレート電極

【 図 7 】



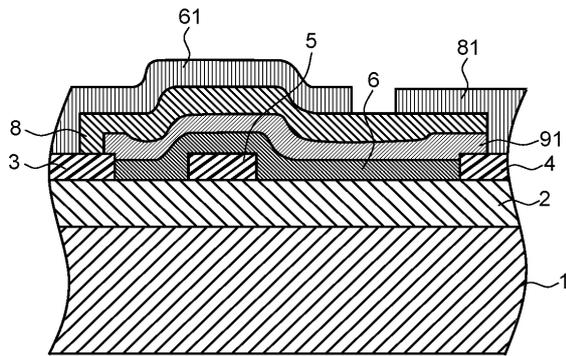
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 71:半絶縁膜 8:絶縁膜
 61:フィールドプレート電極

【 図 8 】



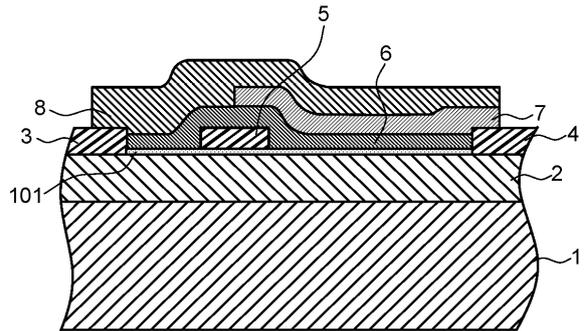
1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 71:半絶縁膜 8:絶縁膜
 61:フィールドプレート電極 81:第2のフィールドプレート電極

【 図 9 】



1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 91:半絶縁膜 8:絶縁膜
 61:フィールドプレート電極 81:第2のフィールドプレート電極

【 図 10 】



1:GaNチャネル層 2:AlGaNバリア層 3:ソース電極 4:ドレイン電極
 5:ゲート電極 6:パッシベーション膜 7:半絶縁膜 8:絶縁膜
 101:ゲート絶縁膜

フロントページの続き

Fターム(参考) 5F102 FA01 GB01 GC01 GD01 GD10 GJ04 GJ10 GL04 GM04 GM07
GN07 GN08 GQ01 GT03 GV05 GV06 GV07 GV08
5F140 AA23 AA25 AA30 AC22 AC36 BA02 BA06 BA09 BB18 BF01
BJ01 CC01 CC02 CD08