



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I541651 B

(45) 公告日：中華民國 105 (2016) 年 07 月 11 日

(21) 申請案號：104114389

(22) 申請日：中華民國 102 (2013) 年 08 月 27 日

(51) Int. Cl. : G06F13/16 (2006.01)

G06F13/38 (2006.01)

(30) 優先權：	2012/08/27	美國	13/595,486
	2013/03/15	美國	13/840,353
	2013/03/15	美國	13/840,542
	2013/03/15	美國	13/839,402

(71) 申請人：英帆薩斯公司 (美國) INVENSAS CORPORATION (US)
美國(72) 發明人：克里斯匹 里查 德威特 CRISP, RICHARD DEWITT (US)；哈巴 貝爾格森
HABA, BELGACEM (US)；佐尼 惠爾 ZOHNI, WAEL (US)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US 5210639

US 6977440B2

審查人員：王鵬翔

申請專利範圍項數：30 項 圖式數：7 共 96 頁

(54) 名稱

共支撐系統和微電子組件

CO-SUPPORT SYSTEM AND MICROELECTRONIC ASSEMBLY

(57) 摘要

本發明提供一種系統，其可以包含：一微電子組件，具有多個終端和一微電子元件；以及一器件，用以連接該微電子組件。該器件可以包含：一承載一組導體的支撐結構，該組導體被配置成用以攜載命令與位址資訊；以及多個接點，它們會被耦合至該等導體並且連接該微電子組件的該等終端。該等接點可以具有根據用於連接第一類型微電子組件的第一預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等接點與其耦合的命令與位址資訊而且。該等接點可以具有根據用於連接第二類型微電子組件的第二預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於該第一取樣率的第二取樣率來取樣經由該等接點中的一子集與其耦合的命令與位址資訊。

A system may include a microelectronic assembly having terminals and a microelectronic element, and a component for connection with the microelectronic assembly. The component may include a support structure bearing conductors configured to carry command and address information, and contacts coupled to the conductors and connected with the terminals of the microelectronic assembly. The contacts may have address and command information assignments arranged according to a first predetermined arrangement for connection with a first type of microelectronic assembly in which the microelectronic element is configured to sample command and address information coupled thereto through the contacts at a first sampling rate, and according to a second predetermined arrangement for connection with a second type of microelectronic assembly in which the microelectronic element is configured to sample the command and address

information coupled thereto through a subset of the contacts at a second sampling rate greater than the first sampling rate.

指定代表圖：

符號簡單說明：

- 5 . . . 器件
- 10 . . . 微電子組件
- 25a . . . 終端
- 25b . . . 終端
- 30 . . . 微電子元件
- 35a . . . 元件接點
- 35b . . . 元件接點
- 60 . . . 支撐結構
- 65 . . . 第一接點
- 67 . . . 第二接點
- 70 . . . 第一導體組
- 71 . . . 第二導體組
- 80 . . . 裝置

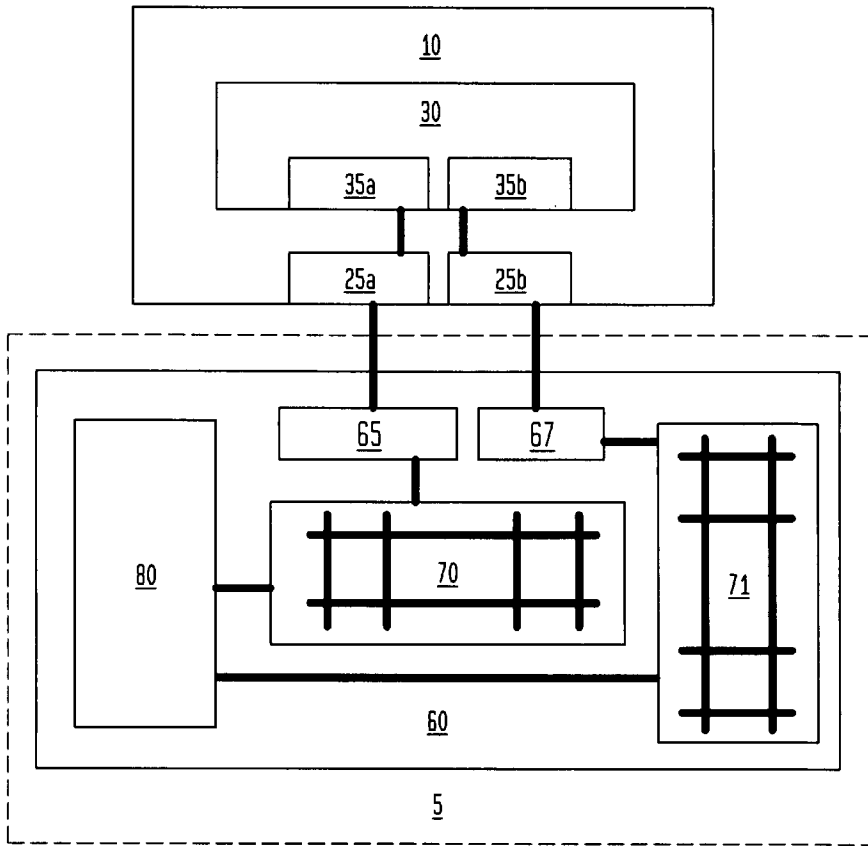


圖1

發明摘要

※ 申請案號：104114389 (由102130518分割)

※ 申請日：102.8.27

※IPC 分類：G06F 13/16 (2006.01)

G06F 13/38 (2006.01)

【發明名稱】(中文/英文)

共支撐系統和微電子組件

CO-SUPPORT SYSTEM AND MICROELECTRONIC ASSEMBLY

【中文】

本發明提供一種系統，其可以包含：一微電子組件，具有多個終端和一微電子元件；以及一器件，用以連接該微電子組件。該器件可以包含：一承載一組導體的支撐結構，該組導體被配置成用以攜載命令與位址資訊；以及多個接點，它們會被耦合至該等導體並且連接該微電子組件的該等終端。該等接點可以具有根據用於連接第一類型微電子組件的第一預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等接點與其耦合的命令與位址資訊而且。該等接點可以具有根據用於連接第二類型微電子組件的第二預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於該第一取樣率的第二取樣率來取樣經由該等接點中的一子集與其耦合的命令與位址資訊。

【英文】

A system may include a microelectronic assembly having terminals and a microelectronic element, and a component for connection with the microelectronic

assembly. The component may include a support structure bearing conductors configured to carry command and address information, and contacts coupled to the conductors and connected with the terminals of the microelectronic assembly. The contacts may have address and command information assignments arranged according to a first predetermined arrangement for connection with a first type of microelectronic assembly in which the microelectronic element is configured to sample command and address information coupled thereto through the contacts at a first sampling rate, and according to a second predetermined arrangement for connection with a second type of microelectronic assembly in which the microelectronic element is configured to sample the command and address information coupled thereto through a subset of the contacts at a second sampling rate greater than the first sampling rate.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 5 器件
- 10 微電子組件
- 25a 終端
- 25b 終端
- 30 微電子元件
- 35a 元件接點
- 35b 元件接點
- 60 支撐結構
- 65 第一接點
- 67 第二接點
- 70 第一導體組
- 71 第二導體組
- 80 裝置

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

共支撐系統和微電子組件

CO-SUPPORT SYSTEM AND MICROELECTRONIC ASSEMBLY

【技術領域】

【0001】 本申請案的主要內容和微電子結構有關，舉例來說，併入主動式電路元件的結構，例如，但是並不限於，包含至少一半導體晶片或至少一半導體晶片之部分的結構，以及併入微電子結構的組件。

【0002】

相關申請案交叉參考

【0003】 本申請案為 2013 年 3 月 15 日提申的美國專利申請案第 13/840,353 號、第 13/839,402 號、以及第 13/840,542 號的接續案，前述每一案皆係 2012 年 8 月 27 日提申的美國專利申請案第 13/595,486 號的部分接續案，本文以引用的方式將它們的揭示內容併入。因此，本文以引用的方式將下面共同擁有及共同待審的美國專利申請案併入：2013 年 3 月 15 日提申的美國專利申請案第 13/841,052 號。

【先前技術】

【0004】 半導體晶片通常被當作單獨、事先封裝的單元。標準的晶片具有扁平、矩形的主體，其具有龐大的正面，該正面具有被連接至該晶片之內部電路系統的多個接點。每一個單獨的晶片通常容納於一封裝中，該封裝具有被連接至該晶片之該等接點的多個外部終端。接著，該等終端(也就是，該封裝的外部連接點)會被配置成用以電性連接至一電路板，例如，

印刷電路板。於許多習知的設計中，該晶片封裝佔用該電路板的面積明顯大於該晶片本身的面積。如本揭示內容中參考具有一正面的扁平晶片的用法，「晶片的面積」應該被理解為表示該正面的面積。

【0005】 在晶片的任何實體排列中，尺寸都是重要的考量。隨著可攜式電子裝置的快速發展，對於晶片之更小型實體排列的需求已經愈加強烈。舉例來說，通常稱為「智慧型電話(smart phone)」的裝置會整合蜂巢式電話的功能以及功能強大的資料處理器、記憶體、以及附屬裝置(例如，全球定位系統接收器、電子相機、區域網路連接、以及高解析度顯示器和相關聯的影像處理晶片)。此等裝置提供多項功能，例如，完整的網際網路連接能力、包含完全解析度視訊的娛樂、導航、電子銀行、以及更多功能，全部在口袋尺寸的裝置中。複雜的可攜式裝置需要將眾多晶片封裝至一小型的空間中。又，某些該等晶片有許多輸入和輸出連接，通常稱為「I/O」。此等 I/O 必須和其它晶片的 I/O 互連。構成該等互連的器件不應該大幅增加該組件的尺寸。其它應用中有雷同的需求，舉例來說，資料伺服器，例如，需要高效能並且縮減尺寸的網際網路搜尋引擎中所使用的資料伺服器。

【0006】 微電子元件(例如，含有記憶體儲存陣列的半導體晶片，尤其是動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)晶片和快閃記憶體晶片)通常被封裝在單晶片或多晶片封裝與組件中。每一個封裝皆有許多電性連接線，用以在終端和該等微電子元件(舉例來說，位於其中的晶片)之間攜載訊號、電力、以及接地。該等電性連接線可以包含不同種類的導體，例如：，水平導體，舉例來說，線路、樑形導線(beam lead)、…等，它們延伸在相對於一晶片之接點承載表面為水平的方向中；垂直導體，例

如，穿孔，它們延伸在相對於該晶片之該表面為垂直的方向中；以及焊線 (wire bond)，它們延伸在相對於該晶片之該表面為水平和垂直的方向中。

【0007】 習知的微電子封裝可能會併入一具有用以定義記憶體儲存陣列的主動式元件的微電子元件。因此，於某些習知的微電子元件中，電晶體或其它主動式元件會構成一有或沒有額外元件的記憶體儲存陣列。於此某些情況中，微電子元件會被配置成以提供記憶體儲存陣列功能為主，也就是，於此情況中，微電子元件為提供記憶體儲存陣列功能而具現的主動式元件的數量可能大於任何其它功能。於某些情況中，一微電子元件可以係或包含一 DRAM 晶片，或者，可以係或包含一由此等半導體晶片組成的堆疊電性互連組件。一般來說，此封裝的所有終端被放置在相鄰於一鑲嵌著該微電子元件的封裝基板之一或更多個周圍邊緣的多組直行中。

【0008】 習知的電路板或其它微電子器件通常會被配置成用以耦合至一於其中具有一或更多個第一類型微電子元件的微電子封裝。此等電路板或其它微電子器件通常無法被耦合至一於其中具有一或更多個不同類型或第二類型微電子元件的微電子封裝。

【0009】 依照前述，可以對電路板或其它微電子器件的設計進行特定改良，以便改良它們的功能靈活性，尤其是在多個封裝會被鑲嵌並且彼此電性互連的電路板或其它微電子器件中。

【發明內容】

【0010】 根據本發明的一項觀點，一種器件會被配置成用於連接一微電子組件，該微電子組件包含一組終端以及一微電子元件，該微電子元件具有一具有給定數量儲存位置的記憶體儲存陣列，該組件的該微電子元件

有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊。該器件可以包含：一支撐結構，其承載被配置成用以攜載該命令與位址資訊的一組導體；以及複數個接點，它們被耦合至該組導體，該等接點被配置成用以連接該微電子組件之該等終端中的對應終端。

● **【0011】** 該等接點可以具有根據用於連接第一類型微電子組件的第一預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等接點(該等接點具有第一數量的接點)與其耦合的命令與位址資訊。該等接點可以具有根據用於連接第二類型微電子組件的第二預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於該第一取樣率的第二取樣率來取樣經由該等接點中的一子集(其包含第二數量的接點)與其耦合的命令與位址資訊，該子集包含佔據和被指派至該第一預設排列方式之接點相同位置的某些接點，該第二數量少於該第一數量。

● **【0012】** 於其中一範例中，根據該第二預設排列方式排列的接點子集中的所有接點會佔據和被指派至該第一預設排列方式的接點相同的位置。於其中一實施例中，該第二取樣率可以係該第一取樣率的整數倍。於一特殊的範例中，該器件可以還包含一被耦合至該組導體的裝置，該裝置可操作用以將該命令與位址資訊驅動至該等接點。於一示範性實施例中，該裝置可以係一微處理器。於其中一範例中，該裝置可以係一緩衝元件。於一特殊的實施例中，該裝置會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過該第一排列方式來連接該器件和第一類型微電子

組件以及透過該第二排列方式來連接該器件和第二類型微電子組件。

【0013】 於一特殊的範例中，該器件可以還包含該第一類型微電子組件，其中，該等接點會電性連接該等終端。於其中一實施例中，該器件可以還包含該第二類型微電子組件，其中，該等接點會電性連接該等終端。於一示範性實施例中，該器件可以係一電路板，而且該等接點會曝露在該電路板的一表面處。於其中一範例中，該微電子組件可以係一微電子封裝，且其中，該等終端可以係表面鑲嵌終端並且會曝露在該微電子封裝的一表面處。於一特殊的實施例中，該器件可以係一電路板，而且該等接點會被設置在一電性連接該電路板的插槽中。

【0014】 於一示範性實施例中，該微電子組件可以包含一模組卡，其具有第一和第二反向的表面。該等終端可以係該等第一表面和第二表面中至少其中一者處的複數個平行曝露終端，用以在該模組被插入該插槽中時配接該插槽的接點。於其中一實施例中，該器件可以係一電路板，而且該等接點會被設置在一電性連接該電路板的連接器中。該微電子組件可以包含一模組卡，其具有第一和第二反向的表面。該等終端可以係曝露在該等第一表面和第二表面中其中一者處的複數個終端，用以在該模組被附接至該連接器時配接該連接器的接點。

【0015】 於一特殊的範例中，該微電子組件可以係一第一微電子組件而該器件可以係一第二微電子組件，而且該等接點可以係該第二微電子組件的終端。於其中一範例中，該第二微電子組件可能會被耦合至該支撐結構並且可以包含一於其中具有主動式裝置的微電子元件。該第二微電子組件的終端會藉由僅延伸在該第二微電子組件裡面的電性連接線來耦合該第

二微電子組件的微電子元件。

【0016】 於一特殊的實施例中，介於該第二微電子組件之該等終端和該第二微電子組件之該微電子元件之間的該等電性連接線可以包含延伸在一垂直於該第二微電子組件之表面(該第二微電子組件的該等終端曝露在該表面處)的方向中的互連元件。該等互連元件會被配置成用於進行封裝上封裝堆疊。於其中一實施例中，介於該第二微電子組件之該等終端和該第二微電子組件之該微電子元件之間的該等電性連接線可以包含一焊接穿孔陣列，從該第二微電子組件的該等終端處延伸至曝露在該第二微電子組件的一基板的表面處的接點。

【0017】 於一特殊的範例中，該第二微電子組件可能會被耦合至該支撐結構並且可以包含一於其中具有主動式裝置的微電子元件。該第二微電子組件的終端會延伸在該第二微電子組件之該微電子元件的表面處。於一示範性實施例中，該第二微電子組件之該微電子元件可以係一第一微電子元件。該第二微電子組件可以還包含各自於其中具有主動式裝置的至少一第二微電子元件。該等第一微電子元件與第二微電子元件會以堆疊配置的方式被排列。於其中一範例中，該第二微電子組件的終端會藉由延伸穿過該至少一第二微電子元件的直通矽穿孔來電性連接該等支撐結構的該組導體。

【0018】 於一特殊的實施例中，該第二微電子組件的微電子元件可以包含一邏輯功能。於其中一實施例中，該等接點可以係第一接點，而該等導體可以係第一組導體。該器件可以還包含被耦合至一第二組導體的複數個第二接點。該等第二接點會被配置成用以連接該微電子組件的對應終

端。該等第二接點會被配置成用以攜載該命令與位址資訊以外的資訊。於一特殊的範例中，該等接點可以係第一接點，而該等導體可以係第一組導體。該器件可以還包含被耦合至一第二組導體的複數個電力接點和接地接點。該等電力接點和接地接點會被配置成用以連接該微電子組件的對應終端。該等電力接點和接地接點會被配置成用以分別攜載一電力電位和一參考電位。

【0019】 於一示範性實施例中，當該等第一接點具有根據第二預設排列方式被排列的指派時，該第二類型微電子組件的微電子元件會被配置成用以連接該等電力接點和接地接點，該等電力接點和接地接點具有第三數量的接點。當該等第一接點具有根據第一預設排列方式被排列的指派時，該第一類型微電子組件的微電子元件會被配置成用以連接該等電力接點和接地接點中的一子集，該子集包含第四數量的電力接點和接地接點，該第四數量少於該第三數量。

【0020】 於其中一範例中，該第一類型微電子組件中的微電子元件可以為 DDRx 型。於一特殊的實施例中，該第二類型微電子組件中的微電子元件可以為 LPDDRx 型。於其中一實施例中，該第一類型微電子組件中的微電子元件可以為 GDDRx 型。於一特殊的實施例中，一種系統可以包含一如上面所述的器件以及被電性連接至該器件的一或更多個其它電子器件。於一示範性實施例中，該系統可以還包含一殼體，該器件以及該等一或更多個其它電子器件會和該殼體組裝在一起。

【0021】 根據本發明的另一項觀點，一種器件會被配置成用以連接一微電子組件，該微電子組件包含一組終端以及一具有一具有給定數量儲存

位置之記憶體儲存陣列的微電子元件，該組件的該微電子元件有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊。該器件可以包含：一支撐結構，其承載被配置成用以攜載該命令與位址資訊的一組導體；以及複數個接點，它們被耦合至該組導體，該等接點被配置成用以連接該微電子組件之該等終端中的對應終端。

【0022】 該等接點可以具有根據用於連接第一類型微電子組件的第一預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成用以取樣經由該等接點中的第一子集(其包含第一數量的接點)與其耦合的命令與位址資訊。該等接點可以具有根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成用以取樣經由該等接點中的第二子集(其包含第二數量的接點)與其耦合的命令與位址資訊，該等第一子集與第二子集包含佔據相同位置的某些接點，該第二數量少於該第一數量。

【0023】 於其中一範例中，第一類型微電子組件的命令與位址資訊可以包含同位元資訊，該第一類型微電子組件中的微電子元件會被配置成用以取樣該同位元資訊，而用於連接第二類型微電子組件的該等接點中的第二子集不會被配置成用以取樣該同位元資訊。於一示範性實施例中，該第二類型微電子組件中的微電子元件可以係 DDR3 型，而該第一類型微電子組件中的微電子元件可以係 DDR4 型。

【0024】 於其中一實施例中，具有 DDR4 型微電子元件之該第一類型微電子組件中的命令與位址資訊可以包含同位元資訊，而且該第一類型微電子組件中的該 DDR4 型微電子元件會被配置成用以取樣該同位元資訊。

於一特殊的範例中，該第二類型微電子組件中的微電子元件可以係 DDRx 型，而該第一類型微電子組件中的微電子元件可以係 DDR(x+1)型。

【0025】 根據本發明的一項觀點，一種模組會被配置成用以連接至少一微電子組件，每一個微電子組件皆包含一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，每一個微電子組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊。該模組可以包含一電路板，其具有第一與第二反向的表面並且承載一組導體，該組導體被配置成用以攜載該命令與位址資訊；以及至少一組共支撐接點，它們會被耦合至該組導體。每一組共支撐接點皆會曝露在該第一表面或是該第二表面處。每一組共支撐接點皆會被配置成用以連接至該至少一微電子組件的單一微電子組件的該終端組。

【0026】 該模組可以還包含複數個模組接點，它們會被耦合至該組導體。該等模組接點會被配置成用以攜載傳輸至和傳輸自該至少一組共支撐接點的資訊。該等模組接點會被配置成用以連接位於該模組外部的一器件。該至少一組共支撐接點中的每一者皆可以包含多個第一接點，它們具有根據用於連接第一類型微電子組件的第一預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等第一接點(該等第一接點具有第一數量的接點)與其耦合的命令與位址資訊。

【0027】 該至少一組共支撐接點中的每一者皆可以包含多個第一接點，它們具有根據用於連接第二類型微電子組件的第二預設排列方式所排

列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於第一取樣率的第二取樣率來取樣經由該等第一接點中的一子集(其包含第二數量的第一接點)與其耦合的命令與位址資訊，該子集包含佔據和被指派至該第一預設排列方式之第一接點相同位置的某些第一接點，該第二數量少於該第一數量。

【0028】 於其中一範例中，根據該第二預設排列方式排列的第一接點的子集中的所有接點會佔據和被指派至該第一預設排列方式的第一接點相同的位置。於其中一實施例中，該第二取樣率可以係該第一取樣率的整數倍。於一特殊的範例中，每一組共支撐接點中的該等第一接點可以包含被指派用以攜載能夠用以明確指定該記憶體儲存陣列裡面的一位置的位址資訊的接點。於一示範性實施例中，該模組可以包含一被耦合至該組導體的裝置，該裝置可操作用以將該命令與位址資訊驅動至該等第一接點。於其中一範例中，該裝置可以係一緩衝元件。於一特殊的實施例中，該裝置會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過該第一排列方式來連接該模組和第一類型微電子組件以及透過該第二排列方式來連接該模組和第二類型微電子組件。

【0029】 於一特殊的範例中，該模組可以包含該第一類型微電子組件。該至少一組共支撐接點中的一組會電性連接該第一類型微電子組件的該等終端。於其中一實施例中，該模組可以包含該第二類型微電子組件。該至少一組共支撐接點中的一組會電性連接該第二類型微電子組件的該等終端。於一示範性實施例中，該微電子組件可以係一微電子封裝。該等終端可以係表面鑲嵌終端並且會曝露在該微電子封裝的一表面處。於其中一

範例中，該電路板可以係一模組卡。該等模組接點可以係該等第一表面和第二表面中至少其中一者處的複數個平行曝露接點，用以在該模組被插入一第二電路板的插槽中時配接該插槽的接點。

【0030】 於一特殊的實施例中，該電路板可以係一模組卡。該等模組接點可以係該等第一表面和第二表面中其中一者處的複數個接點，用以在該模組被附接至一第二電路板的連接器時配接該連接器的接點。於其中一實施例中，該等模組接點可以係曝露在該等第一表面和第二表面中其中一者處的表面鑲嵌接點，用以在該模組接合一第二電路板時面向並且電性連接該第二電路板的接點。於一特殊的範例中，該至少一組共支撐接點中的每一者可以皆包含被配置成用以攜載該命令與位址資訊以外之資訊的第二接點。

【0031】 於一示範性實施例中，該至少一組共支撐接點中的每一者會曝露在該電路板之第一表面的一對應區域中。該至少一組共支撐接點中的每一者的至少某些該等第二接點會被設置在和該個別共支撐接點組之該區域的一周圍的至少第一與第二反向邊緣相鄰的第一區域與第二區域中。該個別共支撐接點組的所有第一接點會被設置在該個別共支撐接點組的該等第一區域與第二區域之間。

【0032】 於其中一範例中，該至少一組共支撐接點中的每一者的至少某些該等第二接點會被設置在和該個別共支撐接點組之該區域的該周圍的至少第三與第四反向邊緣相鄰的第三區域與第四區域中。該等第三邊緣與第四邊緣中的每一者可以延伸在一位於該等第一邊緣與第二邊緣之間的方向中。該個別共支撐接點組的所有第一接點會被設置在該個別共支撐接點

組的該等第三區域與第四區域之間。

【0033】 於一特殊的實施例中，該第一類型微電子組件中的微電子元件可以係 DDR_x 型。於其中一實施例中，該第二類型微電子組件中的微電子元件可以係 LPDDR_x 型。於一特殊的範例中，該第一類型微電子組件中的微電子元件可以係 GDDR_x 型。於一示範性實施例中，該至少一組共支撐接點可以在該第一表面處包含一第一組並且在該第一表面處包含一第二組，該第二組在一平行於該第一表面的方向中與該第一組分開。於其中一範例中，該至少一組共支撐接點可以在該第一表面處包含一第一組並且在該第二表面處包含一第二組。

【0034】 於其中一實施例中，每一組共支撐接點中的第一接點可以包含第一群第一接點和第二群第一接點，每一群第一接點會被指派用以攜載能夠用以明確指定該記憶體儲存陣列裡面的一位置的位址資訊。於一特殊的實施例中，在每一組共支撐接點裡面，該第一群的該等第一接點中的每一者的訊號指派會以一理論軸為基礎對稱於該第二群的一對應第一接點的訊號指派。於一特殊的範例中，當每一組共支撐接點具有根據該第一預設排列方式所排列的指派時，該第一類型微電子組件的該微電子元件會被配置成用以連接該等第一群和第二群中每一群中的第一接點。

【0035】 於一示範性實施例中，該第一類型微電子組件可以包含複數個微電子元件。當每一組共支撐接點具有根據該第一預設排列方式所排列的指派時，該第一類型微電子組件的該等複數個微電子元件中的每一者會被配置成用以連接該等第一群和第二群中每一群中的第一接點。於其中一範例中，當每一組共支撐接點具有根據該第二預設排列方式所排列的指派

時，該第二類型微電子組件的該微電子元件會被配置成用以連接該第一群的第一接點而不連接該第二群的第一接點。

【0036】 於一特殊的實施例中，該第二類型微電子組件可以包含複數個微電子元件，其包括前半部微電子元件和後半部微電子元件。當每一組共支撐接點具有根據該第二預設排列方式所排列的指派時，該第二類型微電子組件的前半部微電子元件中的每一者會被配置成用以連接該第一群第一接點而不連接該第二群第一接點，而該第二類型微電子組件的後半部微電子元件中的每一者會被配置成用以連接該第二群第一接點而不連接該第一群第一接點。於一特殊的範例中，一種系統可以包含：一如上所述的模組；以及一或更多個其它電子器件，被電性連接至該模組。於一示範性實施例中，該系統可以還包含一外殼，該模組及該等一或更多個其它電子器件會與該外殼組裝在一起。

【0037】 根據本發明的另一項觀點，一種模組會被配置成用以連接至少一微電子組件，每一個微電子組件皆包含一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，每一個微電子組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊。該模組可以包含一電路板，其具有第一與第二反向的表面並且承載一組導體，該組導體被配置成用以攜載該命令與位址資訊。

【0038】 該模組可以還包含至少一組共支撐接點，它們會被耦合至該組導體，每一組共支撐接點皆會曝露在該第一表面或是該第二表面處，每一組共支撐接點皆會被配置成用以連接至該至少一微電子組件的單一微電

子組件的該終端組。該模組可以還包含複數個模組接點，它們會被耦合至該組導體，該等模組接點會被配置成用以攜載傳輸至和傳輸自該至少一組共支撐接點的資訊，該等模組接點會被配置成用以連接位於該模組外部的一器件。

● **【0039】** 該至少一組共支撐接點中的每一者皆可以包含具有根據用於連接第一類型微電子組件的第一預設排列方式所排列的位址與命令資訊指派的多個第一接點，其中，該微電子元件會被配置成用以取樣經由該等第一接點中的第一子集(其包含第一數量的第一接點)與其耦合的命令與位址資訊。該至少一組共支撐接點中的每一者皆可以包含具有根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派的多個第一接點，其中，該微電子元件會被配置成用以取樣經由該等第一接點中的第二子集(其包含第二數量的第一接點)與其耦合的命令與位址資訊，該等第一子集與第二子集包含佔據相同位置的某些第一接點，該第二數量少於該第一數量。

● **【0040】** 於其中一範例中，第一類型微電子組件的命令與位址資訊可以包含同位元資訊，該第一類型微電子組件中的微電子元件會被配置成用以取樣該同位元資訊，而用於連接第二類型微電子組件的該等第一接點中的第二子集不會被配置成用以取樣該同位元資訊。於一示範性實施例中，該第二類型微電子組件中的微電子元件可以係 DDR3 型，而該第一類型微電子組件中的微電子元件可以係 DDR4 型。

【0041】 於其中一實施例中，具有 DDR4 型微電子元件之該第一類型微電子組件中的命令與位址資訊可以包含同位元資訊，而且該第一類型微

電子組件中的該 DDR4 型微電子元件會被配置成用以取樣該同位元資訊。於一特殊的範例中，該第二類型微電子組件中的微電子元件可以係 DDR_x 型，而該第一類型微電子組件中的微電子元件可以係 DDR_(x+1)型。

【0042】 根據本發明的一項觀點，一種系統可以包含：一微電子組件，該微電子組件包含一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，該組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊；以及一器件，用於連接該微電子組件。該器件可以包含：一承載一組導體的支撐結構，該組導體被配置成用以攜載該命令與位址資訊；以及複數個接點，它們會被耦合至該組導體，該等接點會電性連接該微電子組件的該等終端中的對應終端。

【0043】 該等接點可以具有根據用於連接第一類型微電子組件的第一預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等接點(該等接點具有第一數量的接點)與其耦合的命令與位址資訊。該等接點可以具有根據用於連接第二類型微電子組件的第二預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於該第一取樣率的第二取樣率來取樣經由該等接點中的一子集(其包含第二數量的接點)與其耦合的命令與位址資訊，該子集包含佔據和被指派至該第一預設排列方式之接點相同位置的某些接點，該第二數量少於該第一數量。

【0044】 於其中一範例中，根據該第二預設排列方式排列的接點子集中的所有接點會佔據和被指派至該第一預設排列方式的接點相同的位置。

於其中一實施例中，該第二取樣率可以係該第一取樣率的整數倍。於一特殊的範例中，該系統可以還包含一被耦合至該組導體的裝置，該裝置可操作用以將該命令與位址資訊驅動至該等接點。於一示範性實施例中，該裝置可以係一微處理器。於其中一範例中，該裝置會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過該第一排列方式來連接該器件和第一類型微電子組件以及透過該第二排列方式來連接該器件和第二類型微電子組件。於一特殊的實施例中，該系統可以還包含至少一中央處理單元(Central Processing Unit, CPU)。該 CPU 會被配置成用以控制該系統中複數個器件的操作，其包含向該微電子組件進行的讀取操作以及寫入至該微電子組件的寫入操作。

【0045】 於一特殊的範例中，該系統可以還包含一電源供應器，其被配置成用以供應讓該器件和該微電子組件使用的電力。於其中一實施例中，該微電子組件可以係第一類型微電子組件。於一示範性實施例中，該微電子組件可以係第二類型微電子組件。於其中一範例中，該器件可以係一電路板，而且該等接點會曝露在該電路板的一表面處。於一特殊的實施例中，該微電子組件可以係一微電子封裝。該等終端可以係曝露在該微電子封裝的一表面處的表面鑲嵌終端。

【0046】 於一示範性實施例中，該電路板可以係一主機線路板(motherboard)。於其中一實施例中，該電路板可以係一模組卡，該模組卡包含一或更多列曝露的模組接點，該等模組接點列中的至少其中一者被設置在該等第一表面或第二表面的一邊緣旁邊，用以在該模組被插入一第二電路板的插槽中時配接該插槽的接點。於一特殊的範例中，該器件可以係一

電路板，而且該等接點會被設置在一電性連接該電路板的插槽中。於其中一範例中，該微電子組件可以包含一模組卡，其具有第一和第二反向的表面。該等終端可以係在該等第一表面和第二表面中至少其中一者的一邊緣旁邊的複數個平行曝露終端，用以在該模組被插入該插槽中時配接該插槽的接點。

【0047】 於一特殊的實施例中，該器件可以係一電路板，而且該等接點會被設置在一電性連接該電路板的連接器中。該微電子組件可以包含一模組卡，其具有第一和第二反向的表面。該等終端可以係曝露在該等第一表面和第二表面中其中一者處的複數個平行終端，用以在該模組被附接至該連接器時配接該連接器的接點。於其中一實施例中，該微電子組件可以係一第一微電子組件，而該器件可以係一第二微電子組件，而且該等接點可以係該第二微電子組件的終端。

【0048】 於一特殊的範例中，該第二微電子組件可能會被耦合至該支撐結構並且包含一於其中具有主動式裝置的微電子元件。該第一微電子組件的該微電子元件會藉由僅延伸在該等第一微電子組件和第二微電子組件裡面的電性連接線來耦合該第二微電子組件之微電子元件。於一示範性實施例中，介於該第一微電子組件之該微電子元件和該第二微電子組件之該微電子元件之間的該等電性連接線可以包含延伸在一垂直於該第二微電子組件之表面(該第二微電子組件的該等終端曝露在該表面處)的方向中的互連元件。該等互連元件會被配置成用於進行封裝上封裝堆疊。

【0049】 於其中一範例中，介於該第一微電子組件之該微電子元件和該第二微電子組件之該微電子元件之間的該等電性連接線可以包含一焊接

穿孔陣列，從該第二微電子組件的該等終端處延伸至曝露在該第二微電子組件的一基板的表面處的接點。於一特殊的實施例中，該第二微電子組件會被耦合至該支撐結構並且包含一於其中具有主動式裝置的微電子元件，該第二微電子組件的終端會曝露在該第二微電子組件的微電子元件的一表面處。

【0050】 於其中一實施例中，該第二微電子組件的微電子元件可以係一第一微電子元件。該第二微電子組件可以還包含至少一第二微電子元件，每一個第二微電子元件中皆有主動式裝置。該等第一微電子元件與第二微電子元件會被排列成堆疊配置。於一特殊的範例中，該第二微電子組件的終端會藉由延伸穿過該至少一第二微電子元件的直通矽穿孔來電性連接該等支撐結構的該組導體。

【0051】 於一示範性實施例中，該第二微電子組件的微電子元件可以包含一邏輯功能。於其中一範例中，該等接點可以係第一接點，而該等導體可以係第一組導體。該器件可以還包含被耦合至一第二組導體的複數個第二接點。該等第二接點會被配置成用以連接該微電子組件的對應終端。該等第二接點會被配置成用以攜載該命令與位址資訊以外的資訊。

【0052】 於一特殊的實施例中，該第一類型微電子組件中的微電子元件可以為 DDRx 型。於其中一實施例中，該第二類型微電子組件中的微電子元件可以為 LPDDRx 型。於一特殊的範例中，該第一類型微電子組件中的微電子元件可以為 GDDRx 型。於一示範性實施例中，一種如上面所述的系統可以包含被電性連接至該器件的一或更多個其它電子器件。於其中一範例中，該系統可以包含一殼體，該器件以及該等一或更多個其它電子器

件會和該殼體組裝在一起。

【0053】 根據本發明的另一項觀點，一種系統可以包含：一微電子組件，該微電子組件包含一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，該組件的該微電子元件有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊；以及一器件，用以連接該微電子組件。該器件可以包含：一支撐結構，其承載被配置成用以攜載該命令與位址資訊的一組導體；以及複數個接點，它們被耦合至該組導體，該等接點會電性連接該微電子組件之該等終端中的對應終端。

【0054】 該等接點可以具有根據用於連接第一類型微電子組件的第一預設排列方式被排列的位址與命令資訊指派，其中，該微電子元件會被配置成用以取樣經由該等接點中的第一子集(其包含第一數量的接點)與其耦合的命令與位址資訊。該等接點可以具有根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成用以取樣經由該等接點中的第二子集(其包含第二數量的接點)與其耦合的命令與位址資訊，該等第一子集與第二子集包含佔據相同位置的某些接點，該第二數量少於該第一數量。

【0055】 於其中一範例中，第一類型微電子組件的命令與位址資訊可以包含同位元資訊，該第一類型微電子組件中的微電子元件會被配置成用以取樣該同位元資訊，而用於連接第二類型微電子組件的該等接點中的第二子集不會被配置成用以取樣該同位元資訊。於一示範性實施例中，該第二類型微電子組件中的微電子元件可以係 DDR3 型，而該第一類型微電子

組件中的微電子元件可以係 DDR4 型。

【0056】 於其中一實施例中，具有 DDR4 型微電子元件之該第一類型微電子組件中的命令與位址資訊可以包含同位元資訊，而且該第一類型微電子組件中的該 DDR4 型微電子元件會被配置成用以取樣該同位元資訊。於一特殊的範例中，該第二類型微電子組件中的微電子元件可以係 DDR_x 型，而該第一類型微電子組件中的微電子元件可以係 DDR_(x+1) 型。

【圖式簡單說明】

【0001】

圖 1 所示的係根據本發明一實施例的器件的略圖。

圖 2A 所示的係根據本發明一實施例的器件的側視圖，其具有一微電子封裝以及一電路板。

圖 2B 所示的係根據本發明一實施例的器件的側視圖，其具有一微電子封裝以及一模組卡。

圖 2C 所示的係根據本發明一實施例的器件的側視圖，其具有一第一類型微電子封裝以及一電路板。

圖 2D 所示的係根據本發明一實施例的器件的側視圖，其具有一第二類型微電子封裝以及一電路板。

圖 3A 所示的係根據本發明一實施例的器件的側視圖，其具有一模組以及一電路板。

圖 3B 所示的係根據在圖 3A 中看見之本發明實施例的變化例的器件的側視圖，其具有一模組以及一電路板。

圖 3C 所示的係圖 3A 的模組卡的立體圖，其具有各種可以的終端配置。

圖 4A 所示的係根據本發明一實施例的器件的側視圖，其具有一封裝上封裝結構以及一電路板。

圖 4B 所示的係根據本發明一實施例的器件的側視圖，其具有一封裝上封裝結構。

圖 4C 所示的係根據本發明一實施例的器件的側視圖，其具有一封裝上封裝結構。

圖 5A 所示的係根據本發明一實施例的器件的側視圖，其具有一微電子封裝、一 TSV 堆疊、以及一電路板。

圖 5B 所示的係根據本發明一實施例的器件的側視圖，其具有一微電子封裝以及一 TSV 堆疊。

圖 6 所示的係根據本發明一實施例的系統的概略剖視圖。

圖 7 所示的係根據本發明一實施例的系統的概略剖視圖。

【實施方式】

【0057】 圖 1 中圖解的係根據本發明一實施例的器件 5。如圖 1 中所見，器件 5 被配置成用以連接一微電子組件 10。

【0058】 微電子組件 10 包含一組終端 25 以及一微電子元件 30，該微電子元件 30 具有一具有給定數量儲存位置的記憶體儲存陣列。該微電子元件 30 有多個元件接點 35，其包含：輸入 35a，用以連接該等終端 25，以便接收命令以及明確指定該等儲存位置中其中一者的位址資訊；以及其它元件接點 35b，用以發送與接收命令和位址資訊以外的資訊(舉例來說，資料資訊)。微電子組件 10 可以具有各種外形，舉例來說，如下面參考圖 2 至 5 所述。

【0059】 微電子組件 10 可以包含多個主動式元件(舉例來說，主動式裝置，例如，電晶體)或是其上的其它主動式元件，它們會配合或不配合額外的元件來定義一記憶體儲存陣列。於其中一範例中，該等主動式元件以及由該等主動式元件定義的記憶體儲存陣列會被併入一微電子元件 30 的一部分之中，或是被併入微電子組件 10 的一或更多個微電子元件(舉例來說，一或更多個半導體晶片)之中，或者，可被併入該微電子組件的一或更多個微電子封裝之中。

● 【0060】 沒有任何限制，於其中一範例中，舉例來說，微電子組件 10 可能係一微電子封裝或是其一部分，其中，該等終端 25 曝露在該微電子封裝的一表面處。於另一範例中，該微電子組件可能包含複數個電性連接的微電子封裝；或者，可能包含一結構，其包含電性連接的微電子元件、半導體晶片、或是微電子元件或半導體晶片的一部分、或是微電子封裝的一部分。

● 【0061】 如本文中的用法，「曝露在」一結構的一表面處所指的係該導電元件可用於接觸一在垂直於該表面的方向中從該結構外面朝該表面移動的理論點。因此，曝露在一結構的一表面處的終端或其它導體元件可能會從此表面處突出；可能會齊平於此表面；或者，相對於此表面可能為凹陷並且經由該結構中的孔洞或凹部露出。

【0062】 於其中一範例中，該等一或更多個微電子元件 30 的記憶體儲存陣列包括該微電子組件 10 的一功能部，其角色可充當該微電子組件 10 的另一功能部。舉例來說，微電子組件 10 可能包含一邏輯功能部(舉例來說，處理器)以及一記憶體功能部，而且該記憶體功能部可協助或幫助充當

該邏輯功能部的一功能。然而，於一特殊的範例中，該微電子組件 10 可能會被配置成以提供記憶體儲存陣列功能為主。於後面的情況中，該微電子組件 10 中被配置成用以提供記憶體儲存陣列功能的主動式元件(舉例來說，主動式裝置，例如，電晶體)的數量可能大於該微電子組件中被配置成用以提供記憶體儲存陣列功能以外之功能的其它器件中的主動式元件的數量。

【0063】 於其中一範例中，微電子組件 10 可能於其中含有繞線，其會利用微電子元件 30 的對應位址輸入 35a 直接電性耦合一組終端 25，舉例來說，「第一終端」25a。如本文中的用法，每一個「第一終端」25a 在該微電子組件 10 上皆有一訊號指派，包含該等位址輸入 35a 中的一或更多者。於另一範例中，如下面的進一步說明，微電子組件 10 可能包含一緩衝元件，例如，其上具有複數個主動式元件的半導體晶片，此半導體晶片會被配置成用以進行下面至少其中一者：再生或者部分或完整解碼在該等終端 25 處收到的位址或命令資訊中至少其中一者，以便讓該微電子結構傳輸至該等位址輸入。命令資訊可能係控制該微電子組件 10 裡面的一記憶體儲存陣列或其一部分之操作模式的資訊。

【0064】 微電子組件 10 會被配置成用以提供在該等第一終端 25a 處收到的位址資訊給該等一或更多個微電子元件 30 的位址輸入 35a。如本文中的用法，在位址資訊或是命令位址匯流排資訊或訊號以及一微電子元件或其一部分的位址輸入的背景中，終端上的位址資訊「被提供至位址輸入」的意義為該等終端上的位址資訊會透過與其相連的電性連接線或是經由一緩衝元件被傳輸至該等位址輸入，該緩衝元件可實施下面至少其中一者：

再生、部分解碼或解碼在該等終端處收到的位址資訊。

● **【0065】** 於此微電子元件 30 的其中一種類型中，該等位址輸入 35a 中的某些接點中的每一個接點可能會被配置成用以接收被供應至該微電子元件的位址資訊中的特殊位址資訊。於一特殊的實施例中，此等接點中的每一者可能係一被配置成用以接收從微電子元件 30 外面被供應至該微電子元件的位址資訊的位址輸入 35a，也就是，經由微電子封裝 10 的繞線(例如，焊線)以及經由該等第一終端 25a。該等微電子元件 30 的接點可能還會被配置成用以接收來自該微電子元件外面的其它資訊或訊號。

● **【0066】** 舉例來說，當微電子元件 30 包含或者係一 DRAM 半導體晶片時，該等第一終端 25a 會被配置成用以攜載傳輸至該微電子組件 10 的位址資訊，其可讓該微電子組件裡面的電路系統使用，舉例來說，列位址解碼器和行位址解碼器以及組選擇電路系統(若存在的話)，用以從該微電子組件中的一微電子元件裡面的一記憶體儲存陣列的所有可用之可定址的記憶體位置中決定一可定址的記憶體位置。於一特殊的實施例中，該等第一終端 25a 會被配置成用以攜載讓該微電子組件 10 裡面的此電路系統用來決定此記憶體儲存陣列裡面的一可定址的記憶體位置的所有位址資訊。該等第一終端 25a 中的每一者會被配置成用以攜載足以明確指定該微電子組件 10 之記憶體儲存陣列裡面的一位置的位址資訊。

【0067】 一般來說，當該微電子組件 10 中的微電子元件 30 係或者包含一 DRAM 晶片時，於其中一實施例中，該位址資訊可能包含從該微電子結構外部的一器件(舉例來說，器件 5)處傳輸至該微電子組件的所有位址資訊，其被用於決定該微電子組件裡面的一隨機存取可定址的記憶體位置，

以便對其進行讀取存取或者對其進行讀取或寫入存取。

【0068】 於一特殊的實施例中，該等第一終端 25a 會被配置成用以攜載控制該等微電子元件 30 中一或更多者之操作模式的資訊。更明確地說，該等第一終端 25a 會被配置成用以攜載傳輸至該微電子組件 10 的一特殊命令訊號組及/或時脈訊號組之全部。於其中一實施例中，該等第一終端 25a 會被配置成用以攜載從一外部器件(舉例來說，器件 5)處傳輸至該組件 10 的命令訊號、位址訊號、組位址訊號、以及時脈訊號之全部，其中，該等命令訊號包含列位址選通、行位址選通、以及寫入致能。

【0069】 於該等微電子元件 30 中的一或更多者被配置成用以提供動態記憶體儲存陣列功能的實施例中，例如，由動態隨機存取記憶體(DRAM)半導體晶片或是多個 DRAM 晶片組成的組件所提供，該等命令訊號可能係寫入致能訊號、列位址選通訊號、以及行位址選通訊號。該等第一終端 25a 可能攜載或不攜載其它訊號，例如，ODT(晶粒上終止，On Die Termination)、晶片選擇、時脈致能。該等時脈訊號可能係被該等微電子元件中一或更多者用來取樣該等位址訊號的時脈。

【0070】 除了該等第一終端 25a 之外，終端 25(或者本文中所述之任何其它實施例中的終端)可能還包含第二終端 25b，它們被配置成用以攜載(發送及/或接收)命令和位址資訊以外的資訊，例如，資料訊號。該等第二終端 25b 中的至少一部分會被配置成用以攜載該等第一終端 25a 所攜載之位址訊號以外的訊號。於特殊的範例中，該等第二終端 25b 可能攜載下面之中的一或更多者：資料、資料選通訊號、或者其它訊號或參考電位(例如，晶片選擇、重置、電源供應器電壓(舉例來說，Vdd、Vddq、以及接地(舉例來

說， V_{ss} 與 V_{ssq})))。該等第二終端 25b 可以電性連接其它元件接點 35b，用以發送與接收命令和位址資訊以外的資訊。

【0071】 於其中一範例中，該等第二終端 25b 可能包含用於攜載下面訊號的終端：送往及/或來自該等微電子元件 30 的單向或雙向資料訊號、資料選通訊號、資料遮罩訊號、以及用於啟動或關閉終端電阻器之平行終止的 ODT 或「晶粒上終止」訊號。於特殊的範例中，該等第二終端 25b 可能攜載諸如下面的訊號：重置；以及參考電位，例如，電源供應器電壓(舉例來說， V_{dd} 、 V_{ddq} 、或是接地(舉例來說， V_{ss} 與 V_{ssq}))。

【0072】 於此微電子元件 30 的其中一特殊範例中，出現在該等元件接點 35a 處的命令和位址資訊會以個別微電子元件所使用之時脈的訊號緣為基準(也就是，該時脈在第一與第二不同的電壓狀態之間進行轉變時)被取樣。也就是，每一個命令和位址訊號會在該時脈的一較低電壓狀態和一較高電壓狀態之間的上升轉變時被取樣，或者，在該時脈的一較高電壓狀態和一較低電壓狀態之間的下降轉變時被取樣。因此，該等複數個命令和位址訊號可能全部會在該時脈的上升轉變時被取樣；或者，此等命令和位址訊號可能全部會在該時脈的下降轉變時被取樣；或者，於另一範例中，該等元件接點 35a 中其中一者處的命令或位址訊號會在該時脈的上升轉變時被取樣，而另一個外部接點處的命令或位址訊號會在該時脈的下降轉變時被取樣。

【0073】 於另一種類型的微電子元件 30 中，其可能會被配置成以提供記憶體儲存陣列功能為主，其上的該等命令或位址位址接點 35a 中的一或更多者會以多工的方式被使用。於此範例中，個別微電子元件 30 的一特殊

元件接點 35a 可能會接收從外面被供應至該微電子元件的二或更多個不同訊號。因此，一第一命令或位址位址訊號會在該時脈於該等第一與第二不同的電壓狀態之間進行第一轉變時(舉例來說，上升轉變)在該特殊接點 35a 處被取樣，而一該第一命令或位址位址訊號以外的訊號則會在該時脈於該等第一與第二不同的電壓狀態之間進行和該第一轉變反向的第二轉變時(舉例來說，下降轉變)在該特殊接點處被取樣。

【0074】 依照此種多工方式，兩個不同的訊號會在個別微電子元件 30 的相同元件接點 35a 上於該時脈的相同週期裡面被接收。於一特殊的情況中，依此方式進行多工能夠讓一第一位址命令或位址訊號以及一不同的訊號在個別微電子元件 30 的相同元件接點 35a 上於相同時脈週期中被接收。於又一範例中，依此方式進行多工能夠讓一第一命令或位址訊號以及一第二不同的命令或位址訊號在個別微電子元件 30 的相同元件接點 35a 上於相同時脈週期中被接收。

【0075】 於其中一範例中，操作參數可能和時序有關，例如，列位址選通訊號在已致能狀態中被微電子組件 10 的電路系統偵測到之後的等待時間(latency)(下文中稱為「RAS 等待時間」)的時脈週期的數量；或者，可能和行位址選通訊號在已致能狀態中被微電子組件的電路系統偵測到之後的等待時間的時脈週期的數量有關；或者，可能和微電子組件的容量有關，舉例來說，十億位元(1Gb)、二十億位元(2Gb)、…等；或者，可能和微電子組件的組織有關，例如，「單面(single-rank)」、「2 面(2-rank)」、「4 面(4-rank)」、或是其它結構、…等；或者，其它操作參數；或者，前面操作參數或其它操作參數之組合。於其中一範例中，非揮發性記憶體可能儲存前述參數中

單一參數的資訊，或者，可能儲存該等操作參數之任何組合的資訊，沒有任何限制。於一特殊的範例中，非揮發性記憶體可能含有一由微電子組件 10 之記憶體儲存陣列裡面的已知不良記憶體位置組成的表格，該等位置應該在讀取存取或寫入存取該記憶體儲存陣列期間被避開。

● **【0076】** 器件 5 包含一支撐結構 60(舉例來說，一電路板)，其承載一第一導體組 70，該等導體 70 被配置成用以攜載命令與位址資訊。支撐結構 60 可能有許多不同的形式，就此而言，例如，電路板 160(圖 2A)、模組卡 160b(圖 2B)、互連基板 342(圖 4B)、模造區 348(圖 4C)、微電子元件 440(圖 5B)、或是疊置在一微電子元件上面的介電層(圖中並未顯示)。

● **【0077】** 器件 5 還包含複數個第一接點 65，它們被耦合至導體組 70 並且被配置成用於連接微電子組件 10 之該等終端 25 中的對應終端。該第一導體組 70 可能包含具有複數條訊號線的至少一匯流排，該等訊號線被配置成用以攜載傳輸至該等第一接點 65 的所有位址資訊。該等第一接點 65 會電性連接該第一導體組 70 的該至少一匯流排。

● **【0078】** 器件 5 的該等接點 65 和微電子組件 10 的該等終端 25 之間的連接會採取各種形式，舉例來說，如下面參考圖 2 至 5 所述。該等接點 65 具有由位址和命令資訊指派所組成的複數個預設排列方式，俾使得該等接點會連接一具有複數種類型(舉例來說，DDR_x、GDDR_x、LPDDR_x、...等)之一或更多個微電子元件 30 的微電子組件 10 的終端 25。

【0079】 該等接點 65 會根據用於連接第一類型微電子組件 10 的第一預設排列方式被排列，其中，該等一或更多個微電子元件 30 會被配置成以第一取樣率(舉例來說，DDR3 或 DDR4)來取樣經由該等接點中的第一子集

(其包含第一數量的接點，其可能為該等接點中的一部分或全部)與其耦合的命令與位址資訊。相同的接點 65 會根據用於連接第二類型微電子組件 10 的第二預設排列方式被排列，其中，該等一或更多個微電子元件 30 會被配置成以大於該第一取樣率的第二取樣率(舉例來說，LPDDR3)來取樣經由該等接點中的第二子集(其包含少於第一數量的第二數量接點)與其耦合的命令與位址資訊。該等接點 65 中的第一子集和第二子集包含佔據相同的位置的某些接點。根據用於連接兩種不同類型微電子組件 10 的兩種不同預設排列方式被排列的該等接點 65 在本文中亦稱為「共支撐接點」。

【0080】 於一特殊的實施例中，該第二取樣率可能係第一取樣率的整數倍數。舉例來說，器件 5 可能會被配置成使得當其中具有 DDR3 或 DDR4 記憶體的第一類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以第一取樣率(例如，每個時脈週期一次，舉例來說，在該時脈週期的上升訊號緣)來取樣經由第一數量的接點 65 與其耦合的命令與位址資訊。於此相同的範例中，器件 5 可能會被配置成使得當其中具有 LPDDR3 記憶體的第二類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以第二取樣率(例如，每個時脈週期兩次，舉例來說，在該時脈週期的上升訊號緣和下降訊號緣各一次)來取樣經由第二數量的接點 65 與其耦合的命令與位址資訊。所以，於此範例中，第二取樣率係第一取樣率的整數倍數(2 倍)。

【0081】 於第二取樣率係第一取樣率之整數倍數的另一實施例中，器件 5 可能會被配置成使得當其中具有 DDR3 或 DDR4 記憶體的第一類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成

以每個時脈週期一次的第一取樣率來取樣經由第一數量的接點 65 與其耦合的命令與位址資訊。於此相同的範例中，器件 5 可能會被配置成使得當其中具有不同類型記憶體的第二類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以每個時脈週期四次(舉例來說，在該時脈週期的每隔四分之一週期處各一次)的第二取樣率來取樣經由第二數量的接點 65 與其耦合的命令與位址資訊。所以，於此範例中，第二取樣率同樣係第一取樣率的整數倍數(4 倍)。

● **【0082】** 於又一實施例中，第二取樣率可能係第一取樣率的非整數倍數。舉例來說，器件 5 可能會被配置成使得當其中具有記憶體的第一類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以每個時脈週期四次(舉例來說，在該時脈週期的每隔四分之一週期處各一次)的第一取樣率來取樣經由第一數量的接點 65 與其耦合的命令與位址資訊。於此相同的範例中，器件 5 可能會被配置成使得當其中具有記憶體的第二類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以每個時脈週期六次(舉例來說，在該時脈週期的每隔六分之一週期處各一次)的第二取樣率來取樣經由第二數量的接點 65 與其耦合的命令與位址資訊。所以，於此範例中，第二取樣率係第一取樣率的非整數倍數(1.5 倍)。

【0083】 於第二取樣率係第一取樣率之非整數倍數的另一實施例中，當該等微電子元件 30 所進行之命令與位址資訊的取樣僅在某些時脈週期期間實施但卻不在其它時脈週期期間實施時，該等第一取樣率和第二取樣率之間的非整數關係便會出現。舉例來說，器件 5 可能會被配置成使得

當其中具有 DDR3 或 DDR4 記憶體的第一類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以每隔一個時脈週期一次的第一取樣率來取樣經由第一數量的接點 65 與其耦合的命令與位址資訊。於此相同的範例中，器件 5 可能會被配置成使得當其中具有另一類型記憶體的第二類型微電子組件 10 被附接至該器件時，該微電子組件中的微電子元件 30 會被配置成以每隔兩個時脈週期兩次(舉例來說，每隔兩個時脈週期的上升訊號緣和下降訊號緣各一次)的第二取樣率來取樣經由第二數量的接點 65 與其耦合的命令與位址資訊。所以，於此範例中，第二取樣率係第一取樣率的非整數倍數(1.5 倍)。

【0084】 除了上面所述的特定範例之外，於該等微電子元件 30 所進行之命令與位址資訊的取樣在每一個時脈週期期間被實施的範例中，以及於該等微電子元件所進行之命令與位址資訊的取樣僅在某些時脈週期期間實施但卻不在其它時脈週期期間實施的範例中，本發明還涵蓋該第二取樣率和該第一取樣率之間的許多其它整數倍數及非整數倍數關係。

【0085】 於其中一範例中，器件 5 之接點 65 的相同預設排列會被用來連接包含根據工業標準 DDR3 或 DDR4 規格來操作之微電子元件的第一類型微電子組件 10，或是，用來連接包含相容於工業標準 LPDDR3 規格之微電子元件的第二類型微電子結構。

【0086】 於本文中所示的範例中，在第二類型微電子組件 10 中(其利用少於第一類型的接點 65 來取樣命令與位址資訊)，某些該等終端 25 可能係不需要用於傳輸位址資訊給微電子組件 10 中一或更多個記憶體儲存陣列之位址輸入 35a 的無連接終端。

【0087】 如本文中的用法，一微電子組件的「無連接終端」的意義為沒有在任何電性路徑(舉例來說，用於傳導資訊給微電子組件 10 裡面之任何微電子元件 30(舉例來說，半導體晶片)的路徑)中被連接的終端，不論在此無連接終端上是否存在任何資訊。因此，即使資訊可能出現在一無連接終端上，例如，可能從被連接至該無連接終端的器件 5 處被耦合至此，出現在該無連接終端上的資訊仍不會在被提供至微電子組件 10 裡面之任何微電子元件 30 的任何路徑中。

● 【0088】 於本文中的任何實施例中，除了該等第一接點 65 之外，器件 5 可能還包含複數個第二接點 67，它們被耦合至第二導體組 71 並且被配置成用於連接微電子組件 10 之該等第二終端 25b 中的對應終端。該等第二接點 67 會被配置成用於連接微電子組件 10 的對應第二終端 25b，該等第二接點被配置成用以攜載命令與位址資訊以外的資訊，例如，資料訊號。該第二導體組 71 可能具有至少一第二匯流排，其會電性連接該等第二接點 67 中的至少某些接點。此第二匯流排可能具有複數條訊號線，它們會被配置成用以攜載位址與命令資訊以外的資訊。

● 【0089】 器件 5 可能還包含一被耦合至該導體組的裝置 80，該裝置可操作用以將該命令與位址資訊驅動至該等接點。於其中一範例中，該裝置 80 可能係一被電性連接至導體組 70 的驅動元件。舉例來說，裝置 80 可能係一微處理器或是一直接記憶體存取控制器(DMA(Direct Memory Access)控制器)。於一特殊的實施例中，裝置 80 可能係一緩衝元件；或是一協定轉換器，其會被配置成用以將能夠被器件 5 使用之具有第一協定的位址資訊轉換成能夠被微電子組件 10 中特殊類型微電子元件 30 使用的第二協定。裝

置 80 會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過位址和命令資訊指派所組成的第一排列方式來連接器件 5 和第一類型微電子組件 10 以及透過位址和命令資訊指派所組成的第二排列方式來連接器件 5 和第二類型微電子組件。

【0090】 於一特殊的範例中，裝置 80 可能係至少一中央處理單元 (CPU)，該 CPU 被配置成用以控制該系統中複數個器件的操作，其包含向微電子組件 10 進行的讀取操作以及寫入至該微電子組件的寫入操作。器件 5 可能包含一個以上的裝置 80，舉例來說，其包含一直接記憶體存取控制器以及一 CPU。於其中一實施例中，器件 5 可能進一步包含一電源供應器，其被配置成用以供應讓該器件和該微電子組件 10 使用的電力。

【0091】 圖 1 中雖然僅顯示單一個微電子組件 10 電性連接器件 5；不過，於其它實施例中，複數個微電子組件會電性連接該器件。

【0092】 圖 2A 所示的係根據圖 1 中所示之本發明一特殊範例的器件 105。如圖 2A 中所見，器件 105 包含一電路板 160，而且接點 165 曝露在該電路板的第一表面 161 處。電路板 160(以及本文中所述其它實施例中的電路板)可能為各種類型，就此而言，例如，雙排記憶體模組(Dual-Inline Memory Module，DIMM)模組中所使用的印刷電路板、要連接一系統中其它器件的電路線路板(circuit board)或電路板、或是主機線路板(motherboard)。

【0093】 接合至電路板 160 的微電子組件具有微電子封裝 110 的形式。微電子封裝 110 中有一或更多個微電子元件 130，它們具有一面向一封裝基板 120 之第一表面 121 的表面。微電子元件 130 具有多個位址輸入 135，它們被電性連接至曝露在基板 120 中和該第一表面 121 反向之第二表面 122

處的終端 125。第二表面 122 係微電子封裝 110 的一曝露表面。該等終端 125 可能係表面鑲嵌終端(舉例來說，BGA、LGA、PGA、…等類型)。

● **【0094】** 圖 2A 中雖然僅顯示單一個微電子封裝 110 電性連接器件 105；不過，於其它實施例中，複數個微電子封裝會電性連接該器件。於此等實施例中，所有該等微電子封裝 110 會被附接至電路板 160 的第一表面 161；所有該等微電子封裝會被附接至該電路板的第二表面 162；或者，一或更多個微電子封裝會被附接至該電路板的第一表面且一或更多個微電子封裝會被附接至該第二表面。

● **【0095】** 微電子封裝 110 可能具有複數個位址輸入 135，用以接收明確指定該記憶體儲存陣列裡面之位置的位址資訊。因此，該等位址輸入 135 可能係曝露在的如上面所述的一微電子元件 130 的一表面處的接點。微電子封裝 110 會被配置成用以將在該微電子結構的特殊終端 125 處收到的位址資訊傳輸給該等位址輸入 135。舉例來說，微電子封裝 110 可以將在該結構的特殊終端 125 處收到的訊號耦合至對應的特殊位址輸入 135。

● **【0096】** 於一特殊的範例中，該等位址輸入 135 會曝露在一微電子元件 130(舉例來說，一半導體晶片)的某一面處，其中，該面面向基板 120 的第一表面 121。於另一範例中，該等位址輸入 135 會曝露在一微電子元件 130 中背向該第一表面 121 的另一面處。於某些情況中，當該等位址輸入 135 曝露在微電子元件 130 中背向該第一表面 121 的另一面處時，一晶粒附接黏著劑可能會被設置在該微電子元件的一背面和基板 120 的第一表面 121 之間，其可以機械性增強該微電子元件和該基板之間的連接。

【0097】 如在圖 2A 中的特殊範例中進一步所見，一被併入微電子組

件 110 之中的微電子元件 130 可能在其某一面處具有多個元件接點 135，它們會被電性連接至基板 120 的第一表面 121 或第二表面 122 處的個別基板接點 124。於其中一範例中，微電子元件 130 可能會透過延伸在該微電子元件的元件接點 135 和基板 120 的第一表面 121 處的對應基板接點 124 之間的導體接合元件被覆晶黏接至基板 120。

【0098】 於另一範例中，多條焊線可能會延伸穿過基板 120 中的開口並且可以利用該基板的第二表面 122 處的基板接點電性連接該等元件接點 135。或者，可以使用其它類型的導體(舉例來說，導線框架的一部分、撓性帶狀焊線、…等)來電性連接該等元件接點 135 和該等個別的基板接點 124，於某些情況中，其可能會連接該等元件接點和被設置在從正表面 121 處算起的高度大於微電子元件 130 之正面處的其它導體元件。

【0099】 於某些實施例中，該等接點 135 可能會於某些情況中經由該半導體的後段生產線(Back End Of Line, BEOL)繞線來連接半導體晶片 130 的主動式裝置，該半導體可能包含穿孔或是其它導電結構並且可能於某些情況中被設置在該等接點 135 底下。

【0100】 該等終端 125(以及本文中所述的任何其它終端)可能為導電終端，舉例來說，接點、觸墊、短柱、接針、插槽、繞線、或是曝露在微電子封裝 110 的第一表面 112 處的其它導電結構，於圖 2A 中所示的範例中，該第一表面 112 係和基板 120 的第二表面 122 相同的表面。

【0101】 於某些情況中，該等終端 125 會被配置成用以導體焊接至另一元件(例如，電路板 160)的對應接點 165，例如，利用導體接合元件 111。導體接合元件 111 可能包含一由可熔導體材料製成的焊接金屬，就此而言，

例如，焊劑、錫、銻、金、共熔合金材料、含有金屬的導電基質材料、以及聚合材料、或是其它導體焊接材料；而且於某些情況中可能還包含額外的結構，例如，被附接至基板 120 之導體結構的導體凸塊，例如，導體觸墊或短柱。於其它情況中，該等終端 125 會被配置成用以機械性和電性扣接電路板 160 的對應特徵元件，例如，藉由每一個器件的對應導體元件之間的壓力或干涉配接，於某些情況中，器件可能會相對於它們扣接的對應導體表面滑動或塗擦。舉例來說，該等終端 125 可能會經由基板 120 上的導電結構(例如，線路和穿孔)來電性連接該等基板接點 124。

【0102】 如圖 2A 中所示，導電接合單元 111(舉例來說，焊球)會延伸在該微電子組件的所有終端 125 以及對應的電路板接點 165 之間。然而，於微電子組件 110 的某些終端 125 係無連接終端的實施例中(舉例來說，當該微電子元件為第二類型時，例如，LPDDR3)，此等無連接終端可能會被連接至對應的電路板接點 165 而沒有於用以傳導資訊給該微電子組件裡面的一微電子元件 130 的任何電性路徑中被連接在該微電子組件 110 裡面。

【0103】 於某些實施例中，圖 2A 中所示的基板 120(或是本文中所述的任何其它封裝基板)及/或電路板 160(或是本文中所述的任何其它電路板)可能包含類薄片或類板狀的介電元件，其基本上可能係由聚合材料(就此而言，舉例來說，樹脂或聚亞醯胺)所組成。或者，基板 120 及/或電路板 160 可能包含一具有複合構造的介電元件，例如，玻璃強化環氧樹脂(舉例來說，BT 樹脂)或 FR-4 構造。於某些範例中，基板 120 及/或電路板 160 的介電元件在該介電元件的平面中(也就是，在平行於其第一表面 110 的方向中)可能具有高達每攝氏度數百萬分(下文中稱為 ppm/°C)之 30 的熱膨脹係數。

【0104】 於另一範例中，基板 120 可能包含一由熱膨脹係數 (Coefficient of Thermal Expansion, CTE) 小於每攝氏度數百萬分之 12 的材料製成的支撐元件，其上可能設置著該等終端 125 和其它導體結構。舉例來說，此低 CTE 的元件基本上可能係由下面所組成：玻璃、陶瓷、或是半導體材料或液晶聚合物材料、或是此等材料的組合。

【0105】 於其中一範例中，導體組 170 可能包含延伸在平行於電路板 160 之第一表面 161 的第一方向 X 中的至少一匯流排。於一特殊的範例中，導體組 170 的該至少一匯流排可能會延伸在平行於電路板 160 之第一表面 161 的第二方向 Y 中，該第二方向橫越該第一方向。於某些實施例中，導體組 170 之該等匯流排的該等訊號線可能位於彼此相同的平面中，而且每一條獨特的訊號線皆可能包含延伸在複數個平面中和延伸在複數個方向中的多個導體部。

【0106】 導體組 170 之該至少一匯流排可能有複數條訊號線，被配置成用以攜載傳輸至電路板 160 之該等接點 165 的所有位址資訊。該等接點 165 會電性連接導體組 170 的該至少一匯流排。於其中一範例中，導體組 170 的該至少一匯流排會被配置成用以攜載傳輸至該等接點 165 的所有命令訊號，該等命令訊號包含寫入致能訊號、列位址選通訊號、以及行位址選通訊號。

【0107】 電路板 160 可能視情況包含一或更多個終端電阻器，它們會被連接至一終端電壓源。導體組 170 之該等匯流排中一或更多者的該等複數條訊號線中的一或更多條訊號線會視情況被電性連接至一終端電阻器。

【0108】 圖 2A 中所示的該等接點 165 會根據一預設的排列方式被排

列，該預設的排列方式定義電路板 160 之第一表面 161 上用於攜載位址與命令資訊及資料的接點的相對位置。

● 【0109】 電路板 160 不需要在第一模式與第二模式中進行改變便能使用，當該等接點 165 中的一給定接點組連接一對應類型微電子封裝 110 的終端時便會啟動某一種模式。舉例來說，器件 105 可能包含一電路板 160 以及一第一類型微電子封裝 110，該第一類型微電子封裝 110 的第一終端 125 會被接合至該電路板的第一接點 165。於另一範例中，一器件 5 可能包含一電路板 160 以及一第二類型微電子封裝 110，該第二類型微電子封裝 110 的第一終端 125 會被接合至該電路板的第一接點 165。

● 【0110】 舉例來說，在第一模式中，電路板 160 會被耦合至一第一類型微電子封裝 110，該第一類型微電子封裝 110 可操作用於以每個時脈週期一次的方式取樣該等第一接點 165 所攜載的位址與命令資訊。此等微電子封裝可能為 DDR3 或 DDR4 型，或者，可能為 GDDR3、GDDR4、或 GDDR5 型。

● 【0111】 和雙倍資料速率 DRAM 記憶體與低功率雙倍資料速率 DRAM 記憶體以及預期不久的未來會實現的圖形式雙倍資料速率 DRAM 記憶體有關的標準不斷地在發展。目前及未來的標準皆始於 DDR3 標準，而 LPDDR3 標準及 GDDR3 標準在本文中分別統稱為「DDR_x」、「LPDDR_x」，以及「GDDR_x」。

● 【0112】 於一特殊的範例中，在第二模式中，電路板 160 會被耦合至一第二類型微電子封裝 110，該第二類型微電子封裝 110 可操作用於以每個時脈週期兩次的方式取樣該等第一接點 165 所攜載的位址與命令資訊。此

等微電子封裝 110 可能為 LPDDR3 型，舉例來說，就既有和計劃的標準來說，LPDDR3 或 LPDDR4。

【0113】 於其中一實施例中，電路板 160 會利用該等第一接點 165 中的第一子集被耦合至一第一類型微電子封裝 110，而且相同的電路板會利用該等第一接點中的第二子集被耦合至一第二類型微電子封裝，該第二子集的接點的數量少於該第一子集。於此實施例中，第一類型微電子封裝 110 可操作用於以和第二類型微電子封裝 110 可操作用以取樣該等第一接點中的第二子集所攜載的位址與命令資訊之每個時脈週期中相同次數的方式(舉例來說，每個時脈週期一次)來取樣該等第一接點中的第一子集所攜載的位址與命令資訊。

【0114】 於此實施例中，第一類型微電子封裝 110 可能具有 DDR4 型的微電子元件，而第二類型微電子封裝可能具有 DDR3 型的微電子元件。該等第一接點 165 中的第一子集可能包含被配置成用以攜載沒有被該等第一接點中的第二子集攜載的命令與位址資訊(例如，舉例來說，ALERT_N(其係一 I/O 訊號，可能係被用來發訊通知同位元錯誤的輸出)；BG(組群訊號)；被輸入至晶片 PAR 的同位元位元，其會如同任何其它命令-位址訊號、ACT 輸入、以及 DRAM 般地被取樣，其會以該晶片收到的資訊(其包含位址資訊、PAR 位元、以及已收到的命令資訊(也就是，RAS、CAS、ACT(啟動主動低位準訊號)))為基礎來檢查同位元)的某些接點。再者，該等第一接點 165 中的第二子集的接點的數量雖然少於該第一子集；不過，該等第一接點中的第二子集可能包含三組位址資訊(用於 DDR3 微電子元件)，而該等第一接點中的第一子集可能包含兩組位址資訊(用於 DDR4 微電子元件)。

【0115】 於一特殊的實施例中，第一類型微電子封裝中的該等一或更多個微電子元件 130 可能併入一和該第二類型微電子封裝中的該等一或更多個微電子元件不同類型的記憶體儲存陣列。於另一範例中，電路板 160 會被耦合至另一類型的微電子封裝 110，其可操作用於以每個時脈週期四次的方式取樣該等第一接點 165 所攜載的位址與命令資訊。

● 【0116】 於圖 2A 的實施例中，於其中一範例中，例如，當第一類型微電子封裝 110 包含複數個微電子元件 130 時，該第一類型微電子封裝中的所有微電子元件會被配置成用以連接被配置成用以攜載單一組命令-位址訊號的相同導體組 170。於此實施例中，器件 105 可能會被配置成使得當於其中具有 DDR3 或 DDR4 記憶體的第一類型微電子封裝 100 被附接至該器件時，該微電子封裝中的該等微電子元件會被配置成用於以第一取樣率(例如，每個時脈週期一次，舉例來說，在該時脈週期的上升訊號緣)來取樣經由第一數量的接點 165 與其耦合的命令與位址資訊。

● 【0117】 於圖 2A 的實施例中，於另一範例中，例如，當第二類型微電子封裝 110 包含複數個微電子元件 130 時，該等第一接點 165 中的第一群接點會被連接至該導體組 170 的一第一命令-位址訊號匯流排，其會被連接至該等微電子元件中的前半部微電子元件，而第二群接點 165 會被連接至該導體組的一第二命令-位址訊號匯流排，其會被連接至該等微電子元件中的後半部微電子元件。器件 105 可能會被配置成使得當於其中具有 LPDDR3 記憶體的第二類型微電子封裝 100 被附接至該器件時，該微電子封裝中的該等微電子元件 30 會被配置成用於以第二取樣率(例如，每個時脈週期兩次，舉例來說，在該時脈週期的上升訊號緣和下降訊號緣各一次)來取樣經

由第二數量的接點 165 與其耦合的命令與位址資訊。

【0118】 舉例來說，一第二類型微電子封裝 110 可能包含複數個微電子元件 130，該等微電子元件中的前半部微電子元件會被配置成用以連接第一群第一接點中的第一接點 165 而不會連接第二群第一接點；而該等微電子元件中的後半部微電子元件則會被配置成用以連接第二群第一接點中的第一接點而不會連接第一群第一接點。於此實施例中，該導體組 170 會被配置成用以攜載兩組相同的命令-位址訊號，俾使得該等微電子元件 130 中的每一個半部會被連接至該導體組的該等兩組命令-位址訊號中的其中一組。本發明的優點係，不論與其電性連接的微電子封裝 110 的類型為何，該等導體 170 的實體排列方式都不會改變。

【0119】 並不需要使用全部的導體組 170 來攜載訊號。舉例來說，於該導體組 170 被配置成用以攜載兩組相同的命令-位址訊號的其中一實施例中，當該等導體被電性連接至一微電子封裝 110 時，並不需要所有該等導體攜載訊號給該微電子封裝。即使當該導體組 170 被配置成用以攜載兩組相同的命令-位址訊號，該微電子組件仍可能不使用被配置成用以攜載完全相同之命令-位址訊號的導體中的一部分或全部，以便減少該導體組 170 所攜載的切換訊號的數量，以便降低功率消耗。

【0120】 於一特殊的範例中，一第二類型微電子封裝 110 可能包含單一個微電子元件，其會連接第一群第一接點中的第一接點 165 而不會連接第二群第一接點，俾使得該單一微電子元件會連接該導體組 170 的一第一命令-位址訊號匯流排，而不會連接該導體組的一第二命令-位址訊號匯流排。

【0121】 器件 105 可能還包含一被耦合至該導體組 170 的裝置 180，該裝置可操作用以將該命令與位址資訊驅動至該等接點 165。裝置 180 會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過位址和命令資訊指派所組成的第一排列方式來連接器件 105 和第一類型微電子組件 110 以及透過位址和命令資訊指派所組成的第二排列方式來連接器件 105 和第二類型微電子組件，而不需要改變該等導體 170 的實體配置。

【0122】 圖 2B 圖解根據圖 2A 中所示之本發明變化例的器件 105b。如圖 2B 中所見，器件 105b 包含一電路板 160b，其具有相鄰於該電路板之邊緣 163 的至少一系列曝露接點 164。舉例來說，該等曝露接點 164 會被配置在一或更多個平行列之中，而且該等曝露接點會依照下面參考圖 3A 至 3C 所述的任何方式被配置。器件 105b 會藉由將邊緣 163 插入在第二電路板 190 的對應插槽 193 之中而被耦合至該第二電路板。器件 105b 會依照下面參考圖 3A 至 3C 所述的任何方式被耦合至電路板 190。

【0123】 第二電路板 190 可能包含一被耦合至該第二電路板的一導體組 195 的裝置 180a，該裝置可操作用以將該命令與位址資訊驅動至電路板 160b 的接點 165。器件 105b 可能包含一被耦合至該導體組的裝置 180b。於其中一範例中，裝置 180n 可能係一緩衝元件；或是一協定轉換器，其會被配置成用以將能夠被器件 5 或電路板 190 使用之具有第一協定的位址資訊轉換成能夠被微電子組件 110 中特殊類型微電子元件 130 使用的第二協定。

【0124】 裝置 180a 與 180b 中的一或兩者會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過位址和命令資訊指派所組成的第一排列方式來連接器件 105 和第一類型微電子組件 110 以及透過位址和

命令資訊指派所組成的第二排列方式來連接器件 105 和第二類型微電子組件。

【0125】 本文中所述之任何實施例中所示的電路板(舉例來說，圖 2C 與 2D 的電路板 160c)可能係一第一電路板，例如，具有一連接器介面用以電性連接一第二電路板(例如，電路板 190)的電路板 160b，該連接器介面被配置成用以攜載資訊，以便傳輸至該等接點 165 以及從該等接點 165 處傳輸出來。此排列方式的一特殊範例顯示在圖 7 中，圖中顯示複數個器件 606(每一個器件可能包含一電路板 160b)透過一個別的連接器介面被耦合至一第二電路板 602。

【0126】 於圖 7 中所示的範例中，該連接器介面可能包含一插槽 605，其在該插槽的一或兩側處具有複數個接點 607，該插槽會被配置成用以接收一電路板，例如，電路板 160b，其具有被設置在該電路板的至少一邊緣 163 處的對應曝露邊緣接點。於其它實施例中，介於電路板 160c 和該第二電路板 190 之間的連接器介面可能係圖 3A 與 3B 中所示的類型，或者，可能係表面鑲嵌連接類型(舉例來說，BGA、LGA、PGA、…等)。

【0127】 圖 2C 圖解一器件 105c，其包含一電路板 160c，該電路板 160c 被配置成用於耦合至一或更多個微電子封裝 110c。圖 2C 和 2D 中所示的電路板 160c 為相同的電路板，而且圖 2C 和 2D 中的每一者皆顯示一器件 105c，其包含被耦合至一不同的個別微電子組件 110c 或 110d 的電路板 160c。

【0128】 如在圖 2C 中所見，電路板 160c 會定義第一表面 161 和第二表面 162。電路板 160c 會有至少一接點組 168，曝露在第一表面 161 處，用於連接一併入具有記憶體儲存陣列之一或更多個微電子元件 131 的微電子

封裝 110c 的對應表面鑲嵌終端 125 與 127(舉例來說，BGA、LGA、…等類型)。

【0129】 電路板 160c 可能具有複數組接點 165 與 167，由接點 165、167 組成的每一個接點組 168 會被配置成用以連接至單一個微電子封裝 110c。每一個接點組 168 中的接點可能包含：多個第一接點 165，用以攜載位址與命令資訊；以及多個第二接點 167，用以攜載位址與命令資訊以外的資訊(舉例來說，資料輸入/輸出資訊)。

● 【0130】 雷同於圖 2A，該等接點組成的每一個接點組 168 會有一預設的排列方式，其定義第一表面 161(或是第二表面 162，倘若該接點組曝露在第二表面的話)上用於攜載位址與命令資訊及資料的接點的相對位置。每一個接點組 168 中的接點會根據該預設的排列方式被排列。根據分別用於連接兩種不同類型微電子組件 110 的兩種不同預設排列方式來排列之該等接點組成的接點組 168 在本文中亦稱為一組「共支撐接點」。

● 【0131】 電路板 160c 不需要在第一模式與第二模式中進行改變便能使用，當由接點組成的一給定接點組 168 連接一對應類型微電子封裝 110c 或 110d 的終端時便會啟動某一種模式。舉例來說，器件 105c 可能會接合一第一類型微電子封裝 110c(圖 2C)，該第一類型微電子封裝 110c 的第一終端 125 會被接合至該電路板的第一接點 165。於另一範例中，相同的器件 105c 可能接合一第二類型微電子封裝 110d(圖 2D)，該第二類型微電子封裝 110d 的第一終端 125 會被接合至該電路板的第一接點 165。

【0132】 舉例來說，在第一模式中，電路板 160c 會被耦合至一第一類型微電子封裝 110c，該第一類型微電子封裝 110c 可操作用於以每個時脈

週期一次的方式取樣該等第一接點 165 所攜載的位址與命令資訊。此等第一類型微電子封裝的範例包含具有四個微電子元件 131a、131b、131c、以及 131d 的微電子封裝 110c，如圖 2C 中所示，或者包含具有其它數量(下文將作說明)微電子元件的微電子封裝 110c。此微電子封裝 110c 可能包含 DDR3 或 DDR4 型(一般稱為 DDR_x)或是 GDDR3 或 GDDR4 型(一般稱為 GDDR_x)的微電子元件 131。

【0133】 於一特殊的範例中，在第二模式中，電路板 160c 會被耦合至一第二類型微電子封裝 110d，該第二類型微電子封裝 110d 可操作用於以每個時脈週期兩次的方式取樣該等第一接點 165 所攜載的位址與命令資訊。此種第二類型微電子封裝的範例包含具有四個微電子元件 132a、132b、132c、以及 132d 的微電子封裝 110d，如圖 2D 中所示，或者包含具有其它數量(下文將作說明)微電子元件的微電子封裝 110d。此微電子封裝 110d 可能包含 LPDDR3 或 LPDDR4 型(一般稱為 LPDDR_x)的微電子元件 132。

【0134】 於一特殊的範例中，該第一類型微電子封裝(舉例來說，圖 2C 中所示的微電子封裝 110c)中的該等一或更多個微電子元件 131 會併入一和該第二類型微電子封裝(舉例來說，圖 2D 中所示的微電子封裝 110d)中的該等一或更多個微電子元件不同類型的記憶體儲存陣列。

【0135】 如能夠在圖 2C 中所見，電路板 160c 可能在每一個接點組 168 中包含多個第一接點 165，其可能包含第一群第一接點 165a 和第二群第一接點 165b。每一群第一接點 165a 和 165b 會被指派用以攜載可用於明確指定該等一或更多個微電子元件 131 組成的記憶體儲存陣列裡面的一位置的位址資訊。

【0136】 當電路板 160c 被連接至一第一類型微電子封裝(例如,圖 2C 中所示的微電子封裝 110c)時,該等第一群第一接點 165a 和第二群第一接點 165b 會被用來一起明確指定該等一或更多個微電子元件 131 組成的記憶體儲存陣列裡面的一位置。

【0137】 於此範例中,該第一群第一接點 165a 會被連接至導體組 170 中的一第一命令-位址訊號匯流排 F0(其會被連接至每一個微電子元件 131),而該第二群接點 165b 會被連接至該導體組中的一第二命令-位址訊號匯流排 F1(其會被連接至每一個微電子元件 131)。於特殊的實施例中,一第一類型微電子封裝可能包含一或兩個微電子元件 131,每一個微電子元件會被配置成用以連接該等第一群第一接點 165a 和第二群第一接點 165b 中每一群中的第一接點 165。於其它實施例中,一第一類型微電子封裝可能包含兩個以上的微電子元件 131,每一個微電子元件會被配置成用以連接該等第一群第一接點 165a 和第二群第一接點 165b 中每一群中的第一接點 165。

【0138】 於圖 2C 中所示的範例中,該微電子封裝 110c 具有四個微電子元件 131,而且此等微電子元件中的每一者會被連接至導體組 170 的第一命令-位址訊號匯流排 F0 和第二命令-位址訊號匯流排 F1 兩者。於圖 2C 中所示的範例中,每一個微電子元件 131a、131b、131c、以及 131d 會接收 16 位位元的命令-位址訊號資訊:8 位位元來自訊號匯流排 F0,而 8 位位元來自訊號匯流排 F1。訊號匯流排 F0 與 F1 以及該等微電子元件 131 之間的連接概略地顯示在圖 2C 中,導體 G0 會連接訊號匯流排 F0,而導體 G1 會連接訊號匯流排 F1。

【0139】 於圖 2C 中所示之實施例的變化例中,該第一類型微電子封

裝 110c 可能具有八個微電子元件 131，而且此等微電子元件中的每一者會被連接至導體組 170 的第一命令-位址訊號匯流排 F0 和第二命令-位址訊號匯流排 F1 兩者。於此範例中，每一個微電子元件 131 會接收 16 位位元的命令-位址訊號資訊：8 位位元來自訊號匯流排 F0，而 8 位位元來自訊號匯流排 F1。

【0140】 或者，當電路板 160c 被連接至一第二類型微電子封裝(例如，圖 2D 中所示的微電子封裝 110d)時，該等第一群第一接點 165a 和第二群第一接點 165b 會被分開使用，以便各自明確指定該等一或更多個微電子元件 132a、132b、132c、以及 132d 組成的記憶體儲存陣列裡面的一位置。

【0141】 於此範例中，該第一群第一接點 165a 會被連接至導體組 170 中的一第一命令-位址訊號匯流排 F0(其會被連接至該等微電子元件 132 中的前半部微電子元件)，而該第二群接點 165b 會被連接至該導體組中的一第二命令-位址訊號匯流排 F1(其會被連接至該等微電子元件 132 中的後半部微電子元件)。舉例來說，一第二類型微電子封裝可能包含複數個微電子元件 132，該等微電子元件中的前半部微電子元件會被配置成用以連接該第一群第一接點 165a 中的第一接點 165 而不連接該第二群第一接點 165b，而該等微電子元件中的後半部微電子元件則會被配置成用以連接該第二群第一接點 165b 中的第一接點而不連接該第一群第一接點 165a。

【0142】 於一特殊的範例中，一第二類型微電子封裝可能包含單一個微電子元件 132，其會連接該第一群第一接點 165a 中的第一接點 165 而不連接該第二群第一接點 165b，俾使得該單一個微電子元件會連接該第一命令-位址訊號匯流排 F0 而不連接該第二命令-位址訊號匯流排 F1。

【0143】 在圖 2D 中，微電子封裝 110d 有四個微電子元件 132a、132b、132c、以及 132d。此等微電子元件中的其中兩個 132a 與 132b 會連接該第一群第一接點 165a 而不連接該第二群第一接點 165b，俾使得微電子元件 132a 與 132b 會連接導體組 170 的第一命令-位址訊號匯流排 F0 而不連接該第二命令-位址訊號匯流排 F1。此等微電子元件中的另外兩個 132c 與 132d 則會連接該第二群第一接點 165b 而不連接該第一群第一接點 165a，俾使得微電子元件 132c 與 132d 會被連接至第二命令-位址訊號匯流排 F1 而不連接至該第一命令-位址訊號匯流排 F0。

【0144】 於此實施例中，每一條訊號匯流排 F0 與 F1 會被配置成用以攜載兩組命令-位址訊號，俾使得該等四個微電子元件 132 中的每一者會被連接至一特殊訊號匯流排 F0 或 F1 中的該等兩組命令-位址訊號中的其中之一者。

【0145】 於圖 2D 中所示之實施例的其中一範例中，該等微電子元件中的其中兩個 132a 與 132b 會從第一命令-位址訊號匯流排 F0 處接收 32 位位元的命令-位址訊號資訊，而此等微電子元件中的另外兩個 132c 與 132d 則會從第二命令-位址訊號匯流排 F1 處接收 32 位位元的命令-位址訊號資訊。於圖 2D 中所示之實施例的另一範例中，該等微電子元件中的其中兩個 132a 與 132b 會從第一命令-位址訊號匯流排 F0 處接收 16 位位元的命令-位址訊號資訊，而此等微電子元件中的另外兩個 132c 與 132d 則會從第二命令-位址訊號匯流排 F1 處接收 16 位位元的命令-位址訊號資訊。訊號匯流排 F0 與 F1 以及該等微電子元件 132 之間的連接概略地顯示在圖 2D 中，導體 G0 會連接訊號匯流排 F0，而導體 G1 會連接訊號匯流排 F1。

【0146】 於圖 2D 中所示之實施例的變化例中，該第二類型微電子封裝 110d 可能具有兩個微電子元件 132。該等微電子元件 132 中的第一微電子元件會連接該第一群第一接點 165a 而不連接該第二群第一接點 165b，俾使得該第一微電子元件會連接第一命令-位址訊號匯流排 F0 而不連接該第二命令-位址訊號匯流排 F1。該等微電子元件 132 中的第二微電子元件會連接該第二群第一接點 165b 而不連接該第一群第一接點 165a，俾使得該第二微電子元件會被連接第二命令-位址訊號匯流排 F1 而不連接該第一命令-位址訊號匯流排 F0。於此範例中，每一個微電子元件 132 會從第一訊號匯流排 F0 或第二訊號匯流排 F1 處接收 32 位位元的命令-位址訊號資訊。

【0147】 於圖 2C 中所示之電路板 160c 的特殊實施例中，第一群 165a 的第一接點中的每一個接點的訊號指派會以一理論軸 174 為基準對稱於第二群 165b 的對應第一接點的訊號指派。一具有以理論軸 174 為基準而對稱之訊號指派的第一類型微電子封裝(例如，微電子封裝 110c)或是一具有以一理論軸為基準而對稱(舉例來說，位址資訊和無連接對稱性)之訊號指派的第二類型微電子封裝(例如，微電子封裝 110d)會被鑲嵌至相同的電路板 160c。

【0148】 本文中所示之電路板 160c 的實施例中的第一群 165a 的第一接點的訊號指派雖然以一理論軸 174(圖 2C)為基準對稱於第二群 165b 的對應第一接點的訊號指派；但是，情況未必是如此。本文中所述和主張的發明涵蓋的電路板 160c 亦可能讓第一群 165a 的第一接點的訊號指派沒有以一理論軸為基準對稱於第二群 165b 的對應第一接點的訊號指派。

【0149】 如能夠在圖 2C 中所見，電路板 160c 可能進一步包含每一個接點組 168 中的第二接點 167，而且每一個接點組中的此等第二接點可能包

含第一群第二接點 167a 和第二群第二接點 167b。該等第二接點 167 會被指派用以攜載位址與命令資訊以外的資訊。該電路板 160c 可能具有導體組 171 的至少一第二匯流排 F2、F3，其會電性連接至少某些該等第二接點 167。此第二匯流排 F2、F3 可能具有複數條訊號線，它們被配置成用以攜載位址與命令資訊以外的資訊。

● **【0150】** 於其中一範例中，該等四個微電子元件 131 中的每一者會電性連接該導體組 171 裡面不同的訊號線。舉例來說，微電子元件 131a 會從訊號匯流排 F2 的前半部導體處接收 16 位位元的資料訊號資訊，微電子元件 131b 會從訊號匯流排 F2 的後半部導體處接收 16 位位元的資料訊號資訊，微電子元件 131c 會從訊號匯流排 F3 的前半部導體處接收 16 位位元的資料訊號資訊，而微電子元件 131d 會從訊號匯流排 F3 的後半部導體處接收 16 位位元的資料訊號資訊。訊號匯流排 F2 與 F3 以及該等微電子元件之間的連接概略地顯示在圖 2C 與 2D 中，導體 G2 會連接訊號匯流排 F2，而導體 G3 會連接訊號匯流排 F3。

● **【0151】** 於其中一範例中，如能夠在圖 2D 中所見，該至少一接點組 168 中每一者的至少某些該等第二接點 167 會被設置在第一區 167a 與第二區 167b 中，相鄰於該個別接點組之預設周圍的至少第一與第二反向邊緣 168a、168b，俾使得該個別接點組中的所有第一接點 165 會被設置在該個別接點組的該等第一區與第二區之間。

【0152】 另外，於此範例中，該至少一接點組 168 中每一者的至少某些該等第二接點 167 會被設置在第三區與第四區中，相鄰於該個別接點組之預設周圍的至少第三與第四反向邊緣，該等第三與第四邊緣延伸在該等

第一與第二邊緣 168a、168b 之間的方向中，俾使得該個別接點組中的所有第一接點 165 會被設置在該個別接點組的該等第三區與第四區之間。

【0153】 圖 2C 與 2D 之任何實施例中所示的電路板 160c 在第一表面 161 處會有一第一接點組 168 並且在第二表面 162 處會有一第二接點組 168，每一個接點組 168 中的該等第一接點 165 和第二接點 167 中的每一者會根據相同的預設排列方式來排列。圖 2C 與 2D 之任何實施例中所示的電路板 160c 在第一表面 161 處會有一第一接點組 168 並且在該第一表面處會有一第二接點組 168，該第二接點組 168 在平行於該第一表面的方向中和該第一接點組分開，每一個接點組 168 中的該等第一接點 165 和第二接點 167 中的每一者會根據相同的預設排列方式來排列。

【0154】 於某些實施例中，具有一個以上接點組 168 的電路板 160c 會使用相同的導體通道 170 來攜載命令與位址資訊給該等接點組中的每一者。於其它實施例中，具有一個以上接點組 168 的電路板 160c 會使用不同的導體通道 170，每一條導體通道被配置成用以攜載命令與位址資訊給該等接點組中不同的接點組。

【0155】 圖 3A 所示的係根據圖 1 中所示之發明的特殊範例的器件 205a。如在圖 3A 中所見，器件 205a 包含一電路板 260a，而該等接點 265a 被設置在一插槽 266a 中，該插槽 266a 被附接至該電路板的第一表面 261 並且電性連接導體組 270。

【0156】 被接合至電路板 260a 的微電子組件係一模組 210a，其包含一模組卡 220a 以及被附接至此的一或更多個微電子元件 230，每一個微電子元件皆有一面向該模組卡之第一表面 221 的表面。該微電子元件 230 具有

多個位址輸入 235，被電性連接至模組卡 220a 的終端 225a。於一特殊的實施例中，模組 210a 可能包含複數個微電子元件 230，它們會以和參考圖 2C 或圖 2D 所示及所述相同的方式來連接導體組 270 的匯流排 F0、F1、F2、以及 F3，端視該等微電子元件究竟係第一類型或第二類型而定。

【0157】 如能夠在圖 3A 中所見，該等終端 225a 為複數個平行曝露的邊緣終端，相鄰於模組卡 220a 之第一表面 221 和第二表面 222 中至少其中一者的一邊緣 223，用以在該模組被插入插槽 266a 中時配接該插槽的接點 265a。圖 3A 中所示的終端 225a 雖然曝露在模組卡 220a 之第一表面 221 和第二表面 222 兩者處；不過，終端 225a 亦可能僅曝露在第一表面處、僅曝露在第二表面處、或者曝露在該模組卡的該等第一表面和第二表面兩者處。

【0158】 如能夠在圖 3C 中所見，模組卡 220a 可能有一列平行曝露的邊緣終端 225a，相鄰於邊緣 223；一第一列平行曝露的邊緣終端 226a 和一相鄰於該第一列終端的第二列平行曝露的終端 226b；或者，一第一列平行曝露的邊緣終端 227a 以及複數列平行曝露的終端 227b、227c(圖 3C 中雖然顯示兩個額外列 227，不過，該模組卡可能包含兩個以上的額外列)，第二列終端 227b 相鄰於該第一列終端 227a，且第三列終端 227c 相鄰於該第二列終端 227b。模組卡 220a 可能有延伸自邊緣 223 的槽口 228，此等槽口有助於卡接該模組卡和一被配置成用以接收該模組卡的多部件插槽 266a。圖 3C 中所示的終端 225、226、以及 227 雖然曝露在模組卡 220a 的第一表面 221 處；不過，終端 225、226、以及 227 可能僅曝露在該第一表面處、僅曝露在第二表面 222 處、或者曝露在該模組卡的該等第一表面和第二表面兩者處。

【0159】 圖 3B 所示的係根據在圖 3A 中所示之本發明的變化例的器件 205b。如在圖 3B 中所見，器件 205b 包含一電路板 260b，而該等接點 265b 被設置在一連接器 266b 中，該連接器 266b 被附接至該電路板的第一表面 261 並且電性連接導體組 270。模組 210b 的終端 225b 為曝露在模組卡 220b 之第一表面 221 和第二表面 222 處的複數個平行終端，用以在該模組被附接至連接器 266b 時配接該連接器的接點 265b。於一特殊的實施例中，模組 210b 可能包含複數個微電子元件 230，它們會以和參考圖 2C 或圖 2D 所示及所述相同的方式來連接導體組 270 的匯流排 F0、F1、F2、以及 F3，端視該等微電子元件究竟係第一類型或第二類型而定。

【0160】 雷同於上述圖 3A 的實施例，模組卡 220b 可能有兩列平行曝露的邊緣終端 225b，曝露在該模組卡的一表面處；四個平行的曝露終端列(舉例來說，一額外的平行終端列會被設置為相鄰於每一列終端 225b)；或者，六或更多個平行的曝露終端列(舉例來說，二或更多個額外的平行終端列會被設置為相鄰於每一列終端 225b)。同樣雷同於圖 3A 的實施例，模組卡 220b 可能有一或更多個槽口，被配置成用以幫助卡接該模組卡和一被配置成用以接收該模組卡的多部件插槽 266b。

【0161】 於此實施例中，插槽 266b、該等接點 265b、以及模組 210b 的該等終端 225b 會被配置成當該模組被附接至該插槽時，模組卡 220b 的第二表面 222 會被配向成實質上平行於電路板 260b 的第一表面 261。

【0162】 圖 3A 和 3B 中的每一圖雖然僅顯示單一個模組 210a 或 210b 電性連接器件 205a 或 205b；不過，於其它實施例中，複數個模組可能會電性連接該器件。於此等實施例中，所有該等模組 210a 或 210b 會被附接至電

路板 260a 或 260b 的第一表面 261；所有該等模組會被附接至該電路板的第二表面 262；或者，一或更多個模組會被附接至該電路板的第一表面，而一或更多個模組會被附接至該第二表面。

【0163】 圖 3A 和 3B 雖然顯示一模組卡 220a 或 220b 被配向成實質上垂直於(圖 3A)或平行於(圖 3B)電路板 260a 或 260b 的第一表面 261；不過，於其它實施例中，一雷同於模組 210a 或 201b 之模組的模組卡亦可能相對於該電路板的第一表面傾斜任何其它角度，例如，舉例來說， 15° 、 30° 、 45° 、 60° 、或是 75° 。

【0164】 圖 3A 和 3B 雖然顯示模組卡 220a、220b 透過一插槽 266a、266b 被電性連接至一電路板 260a 或 260b；不過，亦可以使用其它連接配置。舉例來說，本發明涵蓋利用一帶狀連接器將一電路板電性連接至模組卡，該帶狀連接器延伸在模組卡的終端和電路板的接點之間。

【0165】 圖 4A 所示的係根據圖 1 中所示之本發明的另一特殊實施例的器件 305。如在圖 4A 中所見，器件 305 包含一電路板 360，而接點 365 為一第二微電子組件 340 的上終端，該等接點 365 曝露在該第二微電子組件的第一表面 347 處。第二微電子組件 340 被附接至該電路板的第一表面 361 並且電性連接導體組 370。第二微電子組件 340 的下終端 345 會電性連接曝露在該電路板 360 的第一表面 361 處的對應接點 375。

【0166】 被接合至該電路板 360 的微電子組件的形式為一第一微電子組件 310。在圖 4A 中所示的範例中，微電子組件 310 係一其中具有一或更多個微電子元件 330 的微電子封裝，它們具有一表面面向一封裝基板 320 的第一表面 321。於一特殊的實施例中，該第一微電子組件 310 可能包含複

數個微電子元件 330，它們會以和參考圖 2C 或圖 2D 所示及所述相同的方式來連接導體組 370 的匯流排 F0、F1、F2、以及 F3，端視該等微電子元件究竟係第一類型或第二類型而定。

【0167】 於一特殊的範例中，微電子組件 310 可能包含複數個堆疊的微電子元件 330，它們會藉由導體結構(例如，直通矽穿孔(Through-Silicon Via, TSV))來電性互連。該微電子元件 330 有多個位址輸入 335，它們會被電性連接至曝露在和該第一表面 321 反向之基板 320 的第二表面 322 處的終端 325。

【0168】 第二微電子組件 340 包含一其中具有主動式裝置的微電子元件 341，而且該第二微電子組件的上終端 365 會電性連接該電路板之的導體組 370，延伸穿過該第二微電子組件。

【0169】 在圖 4A 的實施例中，該第一微電子組件(或微電子封裝)310 的該等微電子元件 330 可能具有記憶體儲存陣列功能，而該第二微電子組件(或微電子封裝)340 的微電子元件 341 可能具有微處理器功能。

【0170】 於一示範性實施例中，該第一微電子組件 310 的微電子元件 330 可能會藉由僅延伸在該等第一微電子組件和第二微電子組件裡面而沒有延伸在電路板 360 裡面的電性連接線直接被電性連接至該第二微電子組件 340 的微電子元件 341。如本文中的用法，當延伸在一第一微電子組件的一第一微電子元件和一第二微電子組件的一第二微電子元件之間的電性連接線僅延伸在該等第一微電子組件和第二微電子組件之間而沒有延伸在該等第一微電子組件和第二微電子組件外部的某個結構(舉例來說，一電路板)裡面時，該等第一微電子元件和第二微電子元件彼此會「直接」連接。

【0171】 於其中一範例中，第一微電子組件 310 的微電子元件 330 和第二微電子組件 340 的微電子元件 341 之間的電性連接線可能包含延伸在一垂直於該第二微電子組件之第一表面 347(該第二微電子組件的該等上終端(接點 365)曝露在該表面處)的方向中的互連元件，該等互連元件會被配置成用於進行封裝上封裝堆疊。

【0172】 於其中一實施例中，第一微電子組件 310 的微電子元件 330 和第二微電子組件 340 的微電子元件 341 之間的電性連接線可能包含一焊接穿孔陣列，從該第二微電子組件的終端 365 處延伸至曝露在該第二微電子組件的一基板的表面 343 處的接點。

【0173】 圖 4B 所示的係根據圖 1 中所示之本發明的另一特殊範例的器件 305b，其係圖 4A 的器件 305 的變化例。如在圖 4B 中所見，器件 305b 包含圖 4A 中所示之相同的第二微電子組件 340；但是，其並沒有包含電路板 360。一導體組 370 會受到該第二微電子組件 340 的基板 342 的支撐及/或位於該第二微電子組件 340 的基板 342 裡面。該導體組 370 會電性連接該第二微電子組件 340 之第一表面 347 處的接點 365。器件 305b 可能會經由曝露在該第二微電子組件 340 之下表面 344 處的終端 345 電性連接一電路板，例如，電路板 360。

【0174】 圖 4C 所示的係根據圖 1 中所示之本發明的另一特殊範例的器件 305c，其係圖 4B 的器件 305b 的變化例。如在圖 4C 中所見，器件 305c 包含一第二微電子組件 340c，雷同於圖 4B 中所示的第二微電子組件 340；但是，其並沒有包含基板 342。一導體組 370c 會受到該第二微電子組件 340c 的一模造區 348 的支撐及/或位於該第二微電子組件 340c 的模造區 348 裡

面。該導體組 370c 會利用曝露在該第二微電子組件 340c 之下表面 344 處的終端 345 來電性連接該微電子元件 341 的元件接點 349。

【0175】 圖 5A 所示的係根據圖 1 中所示之本發明的又一特殊範例的器件 405。如在圖 5A 中所見，器件 405 包含一電路板 460，而接點 465 為一第二微電子組件 440 的上終端，該等接點 465 曝露在該第二微電子組件的第一表面 447 處，或者，曝露在該第二微電子組件的第一表面處的一介電層(圖中並未顯示)處。第二微電子組件 440 被附接至該電路板的第一表面 461 並且電性連接導體組 470。曝露在第二微電子組件 440 的第二表面 444 處的下終端 445 會電性連接曝露在該電路板 460 的第一表面 461 處的對應接點 475。

【0176】 被接合至該電路板 460 的微電子組件的形式為一第一微電子組件 410。在圖 5A 中所示的範例中，微電子組件 410 係一其中具有一或更多個微電子元件 430 的微電子封裝，它們具有一表面面向一封裝基板 420 的第一表面 421。該微電子元件 430 具有多個位址輸入 435，它們會被電性連接至曝露在和該第一表面 421 反向之基板 420 的第二表面 422 處的終端 425。於一特殊的實施例中，該第一微電子組件 410 可能包含複數個微電子元件 430，它們會以和參考圖 2C 或圖 2D 所示及所述相同的方式來連接導體組 470 的匯流排 F0、F1、F2、以及 F3，端視該等微電子元件究竟係第一類型或第二類型而定。

【0177】 在圖 5A 的實施例中，第一微電子組件 410 可能包含一第一微電子元件 430 以及多個額外的微電子元件，每一個微電子元件中皆有主動式裝置。於其中一範例中，該第一微電子組件 410 的該等終端 425 會藉由延伸貫穿該第一微電子元件 430 的直通矽穿孔來電性連接該等額外的微電

子元件。

【0178】 該第二微電子組件 440 可能包含一或更多個微電子元件，每一個微電子元件中皆有主動式裝置，而且該第二微電子組件的上終端 465 會藉由至少部分延伸在該第二微電子封裝裡面的電性連接線來電性連接該電路板的導體組 470。該等接點(或是上終端)465 會曝露在一疊置在該第二微電子組件 440 的第一表面 447 上方的介電層處。於一示範性實施例中，該第二微電子組件 440 的該等微電子元件中的一或更多者會有一邏輯功能。

● 【0179】 於一特殊的範例中，該第二微電子組件 440 的上終端 465 和該導體組 470 之間的此等電性連接線可能包含延伸貫穿該等一或更多個微電子元件的直通矽穿孔 446。此等電性連接線可能還包含延伸在該等下終端 445 和曝露在電路板 460 之第一表面 461 處的對應接點 475 之間的接合單元。

● 【0180】 於其中一範例中，該第二微電子組件 440 可能包含一第一微電子元件以及至少一第二微電子元件，每一個微電子元件中皆有主動式裝置，該等第一微電子元件及第二微電子元件係以堆疊配置來排列。於一特殊的實施例中，該第二微電子組件 440 的該等上終端 465 會藉由延伸貫穿該第二微電子組件之至少一第二微電子元件的直通矽穿孔 446 來電性連接該電路板 460 的導體組 470。圖 5A 中所示的每一個該等上終端 465 雖然對齊(在水平方向中)並且被連接至該等直通矽穿孔 446；不過，該等上終端未必要對齊該等直通矽穿孔，所有該等上終端亦未必要連接此等直通矽穿孔。

● 【0181】 圖中所示的該等第一微電子組件 410 和第二微電子組件 440 雖然係經封裝的結構；不過，情況未必係如此。於其中一實施例中，第一微電子組件 410 可能係一具有記憶體儲存陣列功能的微電子元件，而第二

微電子組件 440 可能係一具有邏輯功能的微電子元件。圖中所示的第一微電子組件 410 在終端 425 和接點 465 之間雖然具有覆晶連接；不過，情況未必係如此。於其中一範例中，第一微電子組件 410 可能係一具有記憶體儲存陣列功能的微電子元件，被配向成使其載有接點的表面背向第二微電子組件 440 的上表面 447，而且該第一微電子組件 410 的終端 425(其可能為元件接點)會被線焊至該第二微電子組件之上表面處的接點 465。

【0182】 於一特殊的範例中，第二微電子組件 440 之上表面 447 處的接點 465 能夠共支撐於其中具有 DDR3 或 DDR4 記憶體元件的微電子組件 410。

【0183】 圖 5B 所示的係根據圖 1 中所示之本發明的另一特殊範例的器件 405b，其係圖 5A 的器件 405 的變化例。如在圖 5B 中所見，器件 405b 包含圖 5A 中所示之相同的第二微電子組件 440；但是，其並沒有包含電路板 460。

【0184】 一導體組 470b 會受到該第二微電子組件 440 的微電子元件的支撐及/或位於該第二微電子組件 440 的微電子元件裡面。舉例來說，該導體組 470b 可能包含 TSV 及/或被連接至 TSV 的再分配線路。該導體組 470b 會電性連接該第二微電子組件 440 之第一表面 447 處的接點 465。器件 405b 可能會經由暴露在該第二微電子組件 440 之下表面 444 處的終端 445 電性連接一電路板，例如，電路板 460。在圖 5B 的實施例中，微電子組件 440 中的該等微電子元件中的一或更多者可能係一用於導體組 470b 的支撐結構，或者，一疊置在該微電子組件中該等微電子元件的其中一者上方的介電層可能係一用於該導體組的支撐結構。

【0185】 上面已圖解和討論的每一個範例皆能夠利用在其多面上有多個接點的微電子元件來施行，該等多面面向該微電子組件之第一表面之面向的相同方向，或者，可能背向該微電子組件之第一表面之面向的方向。因此，於一特殊的範例中，該等微電子組件可能係如共同擁有的美國專利申請案第 13/439,317 號的圖 13 至 20 之任何圖式的範例中所示和所述，本文以引用的方式將其揭示內容併入。

【0186】 上面所述的範例雖然引用疊置在一基板上方的微電子元件；不過，該基板可能會在適當的情況被省略，因為當該等微電子元件一起被排列在一模造單元(舉例來說，晶圓級單元)裡面時，其中的一介電層可以被形成在該等微電子元件的接點承載面之上或上方，用以支撐其上的線路和電性互連線。

【0187】 於其它範例中，其中具有多個堆疊微電子元件的微電子組件可能係如參考共同擁有的美國專利申請案第 13/439,317 號的圖 21 至 25 所示及/或所述的單一或多重堆疊施行方式，本文以引用的方式將其揭示內容併入。

【0188】 又，於其它範例中，其中具有四個微電子元件的微電子組件可能係如共同擁有的美國專利申請案第 13/337,565 號和第 13/337,575 號的圖 9A 至 B、9C、9D、9F、9G、9H、12B、12C、或是 12D 所示及所述，或者，可能係如共同擁有的美國專利申請案第 13/354,747 號的圖 7A 至 B、8、11A、11B、11C、11D、12、13B、14B、或是 14C 所示及所述，本文以引用的方式將其揭示內容併入。

【0189】 上面參考圖 1 至 5 所述的微電子封裝和微電子組件能夠用於

建構各式各樣電子系統，例如，圖 6 中所示的系統 500。舉例來說，根據本發明進一步實施例的系統 500 包含複數個模組或器件 506，例如，上面配合其它電子器件 508、510、以及 511 所述的微電子封裝及/或微電子組件。

【0190】 於圖中所示的示範性系統 500 中，該系統可能包含一電路板、主機線路板、或是直豎板 502，例如，撓性印刷電路線路板，而且該電路板可能包含眾多導體 504(圖 6 中僅描繪其中一個)，用以彼此互連該等模組或器件 506、508、510。此電路板 502 會傳輸訊號給系統 500 中所包含的每一個該等微電子封裝及/或微電子組件以及從系統 500 中所包含的每一個該等微電子封裝及/或微電子組件處傳輸訊號。然而，這僅為示範性；用於達成該等模組或器件 506 之間的電性連接的任何合宜結構皆可被使用。

【0191】 於一特殊的實施例中，系統 500 可能還包含一處理器，例如，半導體晶片 508，俾使得每一個模組或器件 506 能夠被配置成用以在一時脈週期中平行傳輸數個(N 個)資料位元，而且該處理器會被配置成用以在一時脈週期中平行傳輸數個(M 個)資料位元，M 大於或等於 N。

【0192】 在圖 6 中所示的範例中，器件 508 係一半導體晶片，而器件 510 係一顯示螢幕；但是，任何其它器件皆能夠使用在系統 500 之中。當然，為清楚起見，圖 6 中雖然僅描繪兩個額外器件 508 和 511；不過，系統 500 亦可能包含任何數量的此等器件。

【0193】 模組或器件 506 以及器件 508 和 511 能夠被鑲嵌在一共同殼體 501 之中，圖中以虛線來概略描繪，並且能夠在必要時彼此電性互連，用以形成所希的電路。殼體 501 被描繪成可以使用在蜂巢式電話或個人數位助理中之類型的可攜式殼體，而螢幕 510 則會曝露在該殼體的表面處。

於一結構 506 包含一光敏元件(例如，成像晶片)的實施例中，一透鏡 511 或是其它光學裝置會被提供用以將光送往該結構。再次地，圖 6 中所示之簡化系統僅為示範性；利用上面討論的結構亦能夠達成其它系統，包含一般視為固定結構的系統在內，例如，桌上型電腦、路由器、以及類似物。

● **【0194】** 上面參考圖 1 至 5 所述的微電子封裝和微電子組件亦能夠用於建構諸如圖 7 中所示之系統 600 的電子系統。舉例來說，根據本發明進一步實施例的系統 600 和圖 6 中所示的系統 500 相同；不過，器件 506 已由複數個器件 606 取代。

【0195】 該等器件 606 中的每一者可能係或者可能包含上面參考圖 1 至 5 所述的微電子封裝或微電子組件中的一或更多者。於一特殊的範例中，該等器件 606 中的一或更多者可能係圖 1 中所示之器件 5 的變化例，其中，支撐結構 60 包含曝露的邊緣接點，而且每一個器件 5 的支撐結構皆會適合插入一插槽 605 之中。

● **【0196】** 每一個插槽 605 可能在該插槽的一或兩側處包含複數個接點 607，俾使得每一個插槽 605 皆會適合用於配接一對應器件 606(例如，上面所述之器件 5 的變化例)之對應的曝露邊緣接點。於圖中所示的示範性系統 600 中，該系統可能包含一第二電路板 602 或是電路線路板，例如，撓性印刷電路線路板，而且該第二電路板可能包含眾多導體 604(圖 7 中僅描繪其中一個)，用以彼此互連該等器件 606。

【0197】 於一特殊的範例中，一諸如系統 600 的模組可能包含複數個器件 606，每一個器件 606 都係上面所述的器件 5 的變化例。每一個器件 606 會被鑲嵌至並且電性連接該第二電路板 602，用以傳輸訊號至每一個器件

606 以及從每一個器件 606 處傳輸訊號。系統 600 的該特定範例僅為示範性；用於達成該等器件 606 之間的電性連接的任何合宜結構皆可被使用。

【0198】 本發明之上述實施例的各項特點能夠以上面明確說明以外的方式來組合，其並沒有脫離本發明的範疇或精神。本揭示內容希望涵蓋上面所述之本發明的實施例的所有此等組合和變化。

【0199】 下面段落額外說明本發明的特點和實施例：

一種微電子封裝家族，其包含：

複數個微電子封裝，每一者皆具有用於連接一外部器件之對應接點的終端而且每一者皆包含一微電子元件，該微電子元件具有一具有給定數量儲存位置的記憶體儲存陣列，每一個微電子封裝的該等終端被配置成用以接收明確指定該等儲存位置中其中一者的對應命令和位址資訊，每一個微電子元件皆具有連接該個別微電子封裝之該等終端的多個輸入，

其中，該家族中的一第一微電子封裝的微電子元件會被配置成以第一取樣率來取樣經由該第一封裝之該等終端與其耦合的第一命令和位址資訊，以及

該家族中的一第二微電子封裝的微電子元件會被配置成以大於該第一取樣率的第二取樣率來取樣經由該第二封裝之該等終端與其耦合的第二命令和位址資訊，

該第一封裝的該等終端被配置成用以連接至根據一第一預設排列方式排列的該外部器件的一組接點，用以接收該第一命令和位址資訊，而該第二封裝的該等終端被配置成用以連接至根據一第二預設排列方式排列的該外部器件的一組接點，用以接收該第二命令和位址資訊，

其中，根據該第二預設排列方式排列的接點組包含佔據和根據該第一預設排列方式排列的接點組相同位置的至少某些接點，根據該第二預設排列方式排列的接點組的數量少於根據該第一預設排列方式排列的接點組。

【0200】 因此，舉例來說，圖 1 中所示的微電子封裝 10 在任何前述實施例中可能係前面實施例中所述之任何類型封裝。舉例來說，第一類型微電子封裝 110c(圖 2C)可能包含一微電子元件 131，其被配置成以第一取樣率來取樣經由此封裝之終端 125 與其耦合的第一命令和位址資訊。舉例來說，第二類型微電子封裝 110d 可能包含微電子元件 132，其被配置成以大於該第一取樣率的第二取樣率來取樣經由該第二封裝之終端 125 與其耦合的第二命令和位址資訊。

【0201】 如能夠在圖 2C 中所見，該第一封裝 110c 的該等終端 125 會被配置成用以連接至根據一第一預設排列方式排列的外部器件 105c 的一組接點 165，用以接收該第一命令和位址資訊。如能夠在圖 2D 中所見，該第二封裝 110d 的該等終端 125 會被配置成用以連接至根據一第二預設排列方式排列的外部器件 105d 的一組接點 165，用以接收該第二命令和位址資訊。

【0202】 參考圖 2C 與 2D，根據第二預設排列方式排列的接點 165 組 168 可能包含佔據和根據該第一預設排列方式排列的接點組相同位置的至少某些接點，根據該第二預設排列方式排列的接點 165 組 168 的數量可能少於根據該第一預設排列方式排列的接點組。

【0203】 下面有編號的段落提供本發明的實施例和本文中的特點的進一步示範性說明。

- 1.一種模組，用以連接至少一微電子組件，每一個微電子組件皆包含一

組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，每一個微電子組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊，該模組包括：

一電路板，其具有第一與第二反向的表面並且承載一組導體，該組導體被配置成用以攜載該命令與位址資訊；

至少一組共支撐接點，它們會被耦合至該組導體，每一組共支撐接點皆會曝露在該第一表面或是該第二表面處，每一組共支撐接點皆會被配置成用以連接至該至少一微電子組件的單一微電子組件的該終端組；以及

複數個模組接點，它們會被耦合至該組導體，該等模組接點會被配置成用以攜載傳輸至和傳輸自該至少一組共支撐接點的資訊，該等模組接點會被配置成用以連接位於該模組外部的一器件，

其中，該至少一組共支撐接點中的每一者皆包含多個第一接點，它們具有

(a)根據用於連接第一類型微電子組件的第一預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等第一接點(該等第一接點具有第一數量的接點)與其耦合的命令與位址資訊，以及

(b)根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於第一取樣率的第二取樣率來取樣經由該等第一接點中的一子集(其包含第二數量的第一接點)與其耦合的命令與位址資訊，該子集包含佔據和被指派至該第一預設排

列方式之第一接點相同位置的某些第一接點，該第二數量少於該第一數量。

2.根據第 1 段的模組，其中，根據該第二預設排列方式排列的第一接點的子集中的所有接點會佔據和被指派至該第一預設排列方式的第一接點相同的位置。

3.根據第 1 段的模組，其中，該第二取樣率係該第一取樣率的整數倍。

4.根據第 1 段的模組，其中，每一組共支撐接點中的該等第一接點包含被指派用以攜載能夠用以明確指定該記憶體儲存陣列裡面的一位置的位址資訊的接點。

5.根據第 1 段的模組，進一步包括一被耦合至該組導體的裝置，該裝置可操作用以將該命令與位址資訊驅動至該等第一接點。

6.根據第 5 段的模組，其中，該裝置會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過該第一排列方式來連接該模組和第一類型微電子組件以及透過該第二排列方式來連接該模組和第二類型微電子組件。

7.根據第 6 段的模組，進一步包括該第一類型微電子組件，其中，該至少一組共支撐接點中的一組會電性連接該第一類型微電子組件的該等終端。

8.根據第 6 段的模組，進一步包括該第二類型微電子組件，該至少一組共支撐接點中的一組會電性連接該第二類型微電子組件的該等終端。

9.根據第 1 段的模組，其中，該微電子組件係一微電子封裝，且其中，該等終端係表面鑲嵌終端並且會曝露在該微電子封裝的一表面處。

10.根據第 1 段的模組，其中，該電路板係一模組卡，且其中，該等模

組接點係該等第一表面和第二表面中至少其中一者處的複數個平行曝露接點，用以在該模組被插入一第二電路板的插槽中時配接該插槽的接點。

11.根據第 1 段的模組，其中，該電路板係一模組卡，且其中，該等模組接點係該等第一表面和第二表面中其中一者處的複數個接點，用以在該模組被附接至一第二電路板的連接器時配接該連接器的接點。

12.根據第 1 段的模組，其中，該等模組接點係曝露在該等第一表面和第二表面中其中一者處的表面鑲嵌接點，用以在該模組接合一第二電路板時面向並且電性連接該第二電路板的接點。

13.根據第 1 段的模組，其中，該至少一組共支撐接點中的每一者皆包含被配置成用以攜載該命令與位址資訊以外之資訊的第二接點。

14.根據第 13 段的模組，其中，該至少一組共支撐接點中的每一者會曝露在該電路板之第一表面的一對應區域中，其中，該至少一組共支撐接點中的每一者的至少某些該等第二接點會被設置在和該個別共支撐接點組之該區域的一周圍的至少第一與第二反向邊緣相鄰的第一區域與第二區域中，且其中，該個別共支撐接點組的所有第一接點會被設置在該個別共支撐接點組的該等第一區域與第二區域之間。

15.根據第 14 段的模組，其中，該至少一組共支撐接點中的每一者的至少某些該等第二接點會被設置在和該個別共支撐接點組之該區域的該周圍的至少第三與第四反向邊緣相鄰的第三區域與第四區域中，該等第三邊緣與第四邊緣中的每一者延伸在一位於該等第一邊緣與第二邊緣之間的方向中，且其中，該個別共支撐接點組的所有第一接點會被設置在該個別共支撐接點組的該等第三區域與第四區域之間。

16.根據第 1 段的模組，其中，該第一類型微電子組件中的微電子元件係 DDR_x 型，而且該第二類型微電子組件中的微電子元件係 LPDDR_x 型。

17.根據第 1 段的模組，其中，該第一類型微電子組件中的微電子元件係 GDDR_x 型。

18.根據第 1 段的模組，其中，該至少一組共支撐接點在該第一表面處包含一第一組並且在該第一表面處包含一第二組，該第二組在一平行於該第一表面的方向中與該第一組隔開。

19.根據第 1 段的模組，其中，該至少一組共支撐接點在該第一表面處包含一第一組並且在該第二表面處包含一第二組。

20.根據第 1 段的模組，其中，每一組共支撐接點中的第一接點包含第一群第一接點和第二群第一接點，每一群第一接點會被指派用以攜載能夠用以明確指定該記憶體儲存陣列裡面的一位置的位址資訊。

21.根據第 20 段的模組，其中，在每一組共支撐接點裡面，該第一群的該等第一接點中的每一者的訊號指派會以一理論軸為基礎對稱於該第二群的一對應第一接點的訊號指派。

22.根據第 20 段的模組，其中，當每一組共支撐接點具有根據該第一預設排列方式所排列的指派時，該第一類型微電子組件的該微電子元件會被配置成用以連接該等第一群和第二群中每一群中的第一接點。

23.根據第 20 段的模組，其中，該第一類型微電子組件包含複數個微電子元件，且其中，當每一組共支撐接點具有根據該第一預設排列方式所排列的指派時，該第一類型微電子組件的該等複數個微電子元件中的每一者會被配置成用以連接該等第一群和第二群中每一群中的第一接點。

24.根據第 20 段的模組，其中，當每一組共支撐接點具有根據該第二預設排列方式所排列的指派時，該第二類型微電子組件的該微電子元件會被配置成用以連接該第一群的第一接點而不連接該第二群的第一接點。

25.根據第 20 段的模組，其中，該第二類型微電子組件包含複數個微電子元件，其包括前半部微電子元件和後半部微電子元件，且其中，當每一組共支撐接點具有根據該第二預設排列方式所排列的指派時，該第二類型微電子組件的前半部微電子元件中的每一者會被配置成用以連接該第一群第一接點而不連接該第二群第一接點，而該第二類型微電子組件的後半部微電子元件中的每一者會被配置成用以連接該第二群第一接點而不連接該第一群第一接點。

26.一種模組，用以連接至少一微電子組件，每一個微電子組件皆包含一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，每一個微電子組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊，該模組包括：

一電路板，其具有第一與第二反向的表面並且承載一組導體，該組導體被配置成用以攜載該命令與位址資訊；

至少一組共支撐接點，它們會被耦合至該組導體，每一組共支撐接點皆會曝露在該第一表面或是該第二表面處，每一組共支撐接點皆會被配置成用以連接至該至少一微電子組件的單一微電子組件的該終端組；以及

複數個模組接點，它們會被耦合至該組導體，該等模組接點會被配置成用以攜載傳輸至和傳輸自該至少一組共支撐接點的資訊，該等模組接點

會被配置成用以連接位於該模組外部的一器件，

其中，該至少一組共支撐接點中的每一者皆包含多個第一接點，它們具有

(a)根據用於連接第一類型微電子組件的第一預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成用以取樣經由該等第一接點中的第一子集(其包含第一數量的第一接點)與其耦合的命令與位址資訊，以及

(b)根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派的多個第一接點，其中，該微電子元件會被配置成用以取樣經由該等第一接點中的第二子集(其包含第二數量的第一接點)與其耦合的命令與位址資訊，該等第一子集與第二子集包含佔據相同位置的某些第一接點，該第二數量少於該第一數量。

27.根據第 26 段的模組，其中，該第一類型微電子組件的命令與位址資訊包含同位元資訊，該第一類型微電子組件中的微電子元件會被配置成用以取樣該同位元資訊，而用於連接第二類型微電子組件的該等第一接點中的第二子集不會被配置成用以取樣該同位元資訊。

28.根據第 26 段的模組，其中，該第二類型微電子組件中的微電子元件係 DDR3 型，而該第一類型微電子組件中的微電子元件係 DDR4 型。

29.根據第 28 段的模組，其中，具有 DDR4 型微電子元件之該第一類型微電子組件中的命令與位址資訊包含同位元資訊，而且該第一類型微電子組件中的該 DDR4 型微電子元件會被配置成用以取樣該同位元資訊。

30.根據第 26 段的模組，其中，該第二類型微電子組件中的微電子元件

係 DDR_x 型，而該第一類型微電子組件中的微電子元件係 DDR(x+1)型。

【符號說明】

【0002】

5	器件
10	微電子組件
25a	終端
25b	終端
30	微電子元件
35a	元件接點
35b	元件接點
36	匯流排
60	支撐結構
65	第一接點
67	第二接點
70	第一導體組
71	第二導體組
80	裝置
105	器件
105b	器件
105c	器件
110	微電子封裝
110c	微電子封裝

- 110d 微電子封裝
- 111 導電接合單元
- 112 微電子封裝的第一表面
- 120 封裝基板
- 121 封裝基板的第一表面
- 122 封裝基板的第二表面
- 124 基板接點
- 125 終端
 - 125a 表面鑲嵌終端
 - 125b 表面鑲嵌終端
 - 127a 表面鑲嵌終端
 - 127b 表面鑲嵌終端
- 130 微電子元件
 - 131a 微電子元件
 - 131b 微電子元件
 - 131c 微電子元件
 - 131d 微電子元件
 - 132a 微電子元件
 - 132b 微電子元件
 - 132c 微電子元件
 - 132d 微電子元件
- 135 位址輸入

- 160 電路板
- 160b 電路板
- 160c 電路板
- 161 電路板的第一表面
- 162 電路板的第二表面
- 163 電路板邊緣
- 164 接點
- 165 接點
- 165a 接點
- 165b 接點
- 167a 接點
- 167b 接點
- 168 接點組
- 168a 邊緣
- 168b 邊緣
- 170 導體組
- 171 導體組
- 180 裝置
- 180a 裝置
- 180b 裝置
- 190 第二電路板
- 193 插槽

- - - 195 導體組
 - 205a 器件
 - 205b 器件
 - 210a 模組
 - 210b 模組
 - 220a 模組卡
 - 220b 模組卡
 - 221 模組卡的第一表面
 - 222 模組卡的第二表面
 - 223 邊緣
 - 225a 終端
 - 225b 終端
 - 226a 終端
 - 226b 終端
 - 227a 終端
 - 227b 終端
 - 227c 終端
 - 228 槽口
 - 230 微電子元件
 - 235 位址輸入
 - 260a 電路板
 - 260b 電路板

- 261 電路板的第一表面
- 262 電路板的第二表面
- 265a 接點
- 265b 接點
- 266a 插槽
- 266b 連接器
- 270 導體組
- 305 器件
- 305b 器件
- 305c 器件
- 310 第一微電子組件
- 320 封裝基板
- 321 封裝基板的第一表面
- 322 封裝基板的第二表面
- 325 終端
- 330 微電子元件
- 335 位址輸入
- 340 第二微電子組件
- 340c 第二微電子組件
- 341 微電子元件
- 342 互連基板
- 343 基板的表面

- 444 第二微電子組件的第二表面
- 445 下終端
- 446 直通矽穿孔
- 447 第二微電子組件的第一表面
- 460 電路板
- 461 電路板的第一表面
- 465 上終端
- 470 導體組
- 470b 導體組
- 475 接點
- 500 系統
- 501 殼體
- 502 電路板
- 504 導體
- 506 模組或器件
- 508 電子器件
- 510 電子器件
- 511 電子器件
- 600 系統
- 602 第二電路板
- 604 導體
- 605 插槽

606 器件

607 接點

申請專利範圍

1.一種模組，用以連接至少一微電子組件，每一個微電子組件皆包含一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，每一個微電子組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊，該模組包括：

一電路板，其具有第一與第二反向的表面並且承載一組導體，該組導體被配置成用以攜載該命令與位址資訊；

至少一組共支撐接點，它們會被耦合至該組導體，每一組共支撐接點皆會曝露在該第一表面或是該第二表面處，每一組共支撐接點皆會被配置成用以連接至該至少一微電子組件的單一微電子組件的該終端組；以及

複數個模組接點，它們會被耦合至該組導體，該等模組接點會被配置成用以攜載傳輸至和傳輸自該至少一組共支撐接點的資訊，該等模組接點會被配置成用以連接位於該模組外部的一器件，

其中，該至少一組共支撐接點中的每一者皆包含多個第一接點，它們具有

(a)根據用於連接第一類型微電子組件的第一預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成以第一取樣率來取樣經由該等第一接點(該等第一接點具有第一數量的接點)與其耦合的命令與位址資訊，以及

(b)根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成以大於第一取樣率的

第二取樣率來取樣經由該等第一接點中的一子集(其包含第二數量的第一接點)與其耦合的命令與位址資訊，該子集包含佔據和被指派至該第一預設排列方式之第一接點相同位置的某些第一接點，該第二數量少於該第一數量。

2.根據申請專利範圍第 1 項的模組，其中，根據該第二預設排列方式排列的第一接點的子集中的所有接點會佔據和被指派至該第一預設排列方式的第一接點相同的位置。

3.根據申請專利範圍第 1 項的模組，其中，該第二取樣率係該第一取樣率的整數倍。

4.根據申請專利範圍第 1 項的模組，其中，每一組共支撐接點中的該等第一接點包含被指派用以攜載能夠用以明確指定該記憶體儲存陣列裡面的一位置的位址資訊的接點。

5.根據申請專利範圍第 1 項的模組，進一步包括一被耦合至該組導體的裝置，該裝置可操作用以將該命令與位址資訊驅動至該等第一接點。

6.根據申請專利範圍第 5 項的模組，其中，該裝置會被配置成用以操作在第一模式與第二模式的每一者之中，以便分別透過該第一排列方式來連接該模組和第一類型微電子組件以及透過該第二排列方式來連接該模組和第二類型微電子組件。

7.根據申請專利範圍第 6 項的模組，進一步包括該第一類型微電子組件，其中，該至少一組共支撐接點中的一組會電性連接該第一類型微電子組件的該等終端。

8.根據申請專利範圍第 6 項的模組，進一步包括該第二類型微電子組件，該至少一組共支撐接點中的一組會電性連接該第二類型微電子組件的

該等終端。

9.根據申請專利範圍第 1 項的模組，其中，該微電子組件係一微電子封裝，且其中，該等終端係表面鑲嵌終端並且會曝露在該微電子封裝的一表面處。

10.根據申請專利範圍第 1 項的模組，其中，該電路板係一模組卡，且其中，該等模組接點係該等第一表面和第二表面中至少其中一者處的複數個平行曝露接點，用以在該模組被插入一第二電路板的插槽中時配接該插槽的接點。

11.根據申請專利範圍第 1 項的模組，其中，該電路板係一模組卡，且其中，該等模組接點係該等第一表面和第二表面中其中一者處的複數個接點，用以在該模組被附接至一第二電路板的連接器時配接該連接器的接點。

12.根據申請專利範圍第 1 項的模組，其中，該等模組接點係曝露在該等第一表面和第二表面中其中一者處的表面鑲嵌接點，用以在該模組接合一第二電路板時面向並且電性連接該第二電路板的接點。

13.根據申請專利範圍第 1 項的模組，其中，該至少一組共支撐接點中的每一者皆包含被配置成用以攜載該命令與位址資訊以外之資訊的第二接點。

14.根據申請專利範圍第 13 項的模組，其中，該至少一組共支撐接點中的每一者會曝露在該電路板之第一表面的一對應區域中，其中，該至少一組共支撐接點中的每一者的至少某些該等第二接點會被設置在和該個別共支撐接點組之該區域的一周圍的至少第一與第二反向邊緣相鄰的第一區域與第二區域中，且其中，該個別共支撐接點組的所有第一接點會被設置在

該個別共支撐接點組的該等第一區域與第二區域之間。

15.根據申請專利範圍第 14 項的模組，其中，該至少一組共支撐接點中的每一者的至少某些該等第二接點會被設置在和該個別共支撐接點組之該區域的該周圍的至少第三與第四反向邊緣相鄰的第三區域與第四區域中，該等第三邊緣與第四邊緣中的每一者延伸在一位於該等第一邊緣與第二邊緣之間的方向中，且其中，該個別共支撐接點組的所有第一接點會被設置在該個別共支撐接點組的該等第三區域與第四區域之間。

16.根據申請專利範圍第 1 項的模組，其中，該第一類型微電子組件中的微電子元件係 DDRx 型，而且該第二類型微電子組件中的微電子元件係 LPDDRx 型。

17.根據申請專利範圍第 1 項的模組，其中，該第一類型微電子組件中的微電子元件係 GDDRx 型。

18.根據申請專利範圍第 1 項的模組，其中，該至少一組共支撐接點在該第一表面處包含一第一組並且在該第一表面處包含一第二組，該第二組在一平行於該第一表面的方向中與該第一組隔開。

19.根據申請專利範圍第 1 項的模組，其中，該至少一組共支撐接點在該第一表面處包含一第一組並且在該第二表面處包含一第二組。

20.根據申請專利範圍第 1 項的模組，其中，每一組共支撐接點中的第一接點包含第一群第一接點和第二群第一接點，每一群第一接點會被指派用以攜載能夠用以明確指定該記憶體儲存陣列裡面的一位置的位址資訊。

21.根據申請專利範圍第 20 項的模組，其中，在每一組共支撐接點裡面，該第一群的該等第一接點中的每一者的訊號指派會以一理論軸為基礎對稱

於該第二群的一對應第一接點的訊號指派。

22.根據申請專利範圍第 20 項的模組，其中，當每一組共支撐接點具有根據該第一預設排列方式所排列的指派時，該第一類型微電子組件的該微電子元件會被配置成用以連接該等第一群和第二群中每一群中的第一接點。

23.根據申請專利範圍第 20 項的模組，其中，該第一類型微電子組件包含複數個微電子元件，且其中，當每一組共支撐接點具有根據該第一預設排列方式所排列的指派時，該第一類型微電子組件的該等複數個微電子元件中的每一者會被配置成用以連接該等第一群和第二群中每一群中的第一接點。

24.根據申請專利範圍第 20 項的模組，其中，當每一組共支撐接點具有根據該第二預設排列方式所排列的指派時，該第二類型微電子組件的該微電子元件會被配置成用以連接該第一群的第一接點而不連接該第二群的第一接點。

25.根據申請專利範圍第 20 項的模組，其中，該第二類型微電子組件包含複數個微電子元件，其包括前半部微電子元件和後半部微電子元件，且其中，當每一組共支撐接點具有根據該第二預設排列方式所排列的指派時，該第二類型微電子組件的前半部微電子元件中的每一者會被配置成用以連接該第一群第一接點而不連接該第二群第一接點，而該第二類型微電子組件的後半部微電子元件中的每一者會被配置成用以連接該第二群第一接點而不連接該第一群第一接點。

26.一種模組，用以連接至少一微電子組件，每一個微電子組件皆包含

一組終端以及一具有一具有給定數量儲存位置之記憶體儲存陣列的微電子元件，每一個微電子組件的該微電子元件皆有多個輸入，它們會連接該等終端，以便接收明確指定該等儲存位置中其中一者的命令與位址資訊，該模組包括：

一電路板，其具有第一與第二反向的表面並且承載一組導體，該組導體被配置成用以攜載該命令與位址資訊；

至少一組共支撐接點，它們會被耦合至該組導體，每一組共支撐接點皆會曝露在該第一表面或是該第二表面處，每一組共支撐接點皆會被配置成用以連接至該至少一微電子組件的單一微電子組件的該終端組；以及

複數個模組接點，它們會被耦合至該組導體，該等模組接點會被配置成用以攜載傳輸至和傳輸自該至少一組共支撐接點的資訊，該等模組接點會被配置成用以連接位於該模組外部的一器件，

其中，該至少一組共支撐接點中的每一者皆包含多個第一接點，它們具有

(a)根據用於連接第一類型微電子組件的第一預設排列方式所排列的位址與命令資訊指派，其中，該微電子元件會被配置成用以取樣經由該等第一接點中的第一子集(其包含第一數量的第一接點)與其耦合的命令與位址資訊，以及

(b)根據用於連接第二類型微電子組件的第二預設排列方式所排列的位址與命令資訊指派的多個第一接點，其中，該微電子元件會被配置成用以取樣經由該等第一接點中的第二子集(其包含第二數量的第一接點)與其耦合的命令與位址資訊，該等第一子集與第二子集包含佔據相同位置的某些

第一接點，該第二數量少於該第一數量。

27.根據申請專利範圍第 26 項的模組，其中，該第一類型微電子組件的命令與位址資訊包含同位元資訊，該第一類型微電子組件中的微電子元件會被配置成用以取樣該同位元資訊，而用於連接第二類型微電子組件的該等第一接點中的第二子集不會被配置成用以取樣該同位元資訊。

28.根據申請專利範圍第 26 項的模組，其中，該第二類型微電子組件中的微電子元件係 DDR3 型，而該第一類型微電子組件中的微電子元件係 DDR4 型。

29.根據申請專利範圍第 28 項的模組，其中，具有 DDR4 型微電子元件之該第一類型微電子組件中的命令與位址資訊包含同位元資訊，而且該第一類型微電子組件中的該 DDR4 型微電子元件會被配置成用以取樣該同位元資訊。

30.根據申請專利範圍第 26 項的模組，其中，該第二類型微電子組件中的微電子元件係 DDR x 型，而該第一類型微電子組件中的微電子元件係 DDR $(x+1)$ 型。

圖式

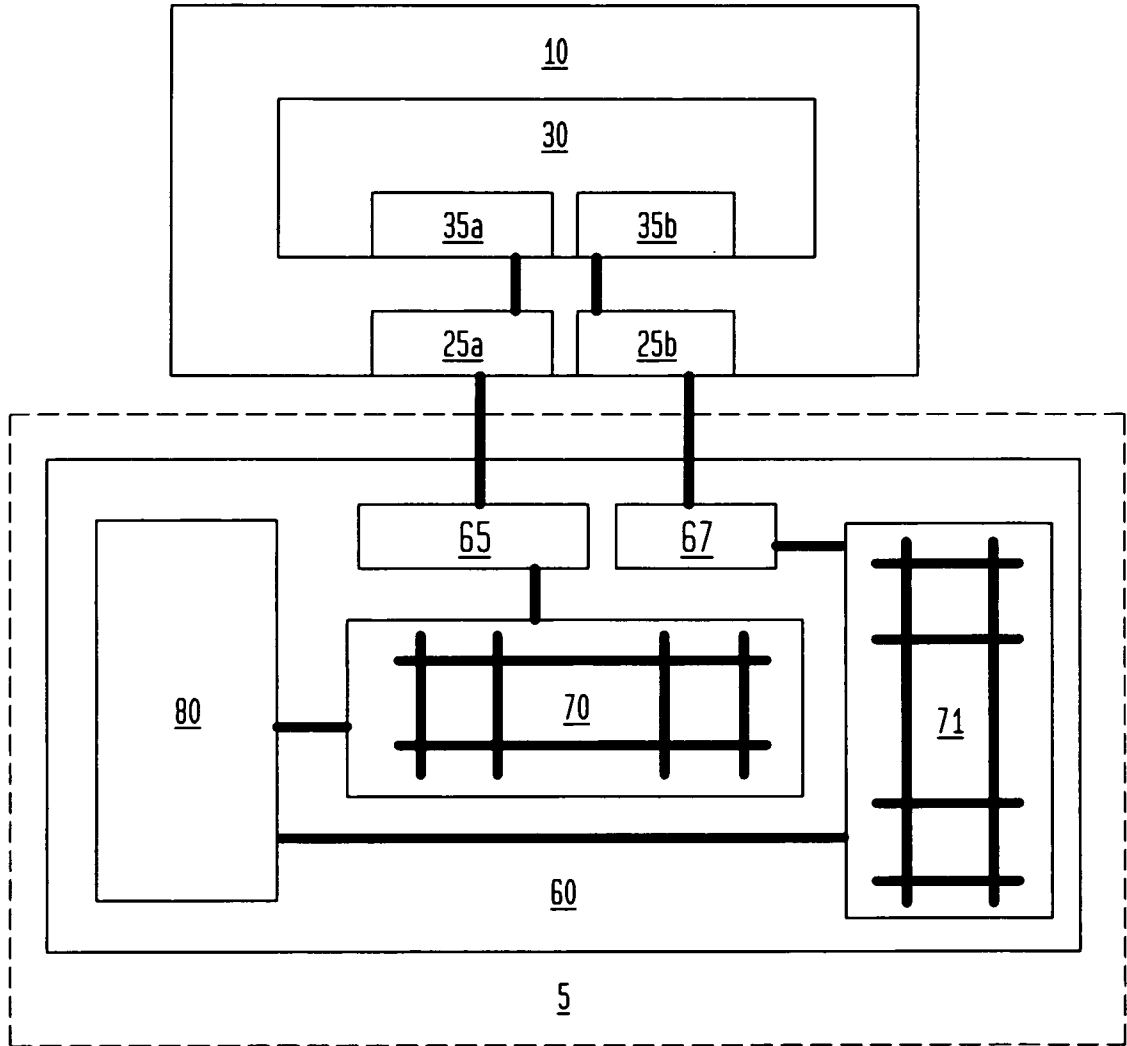


圖 1

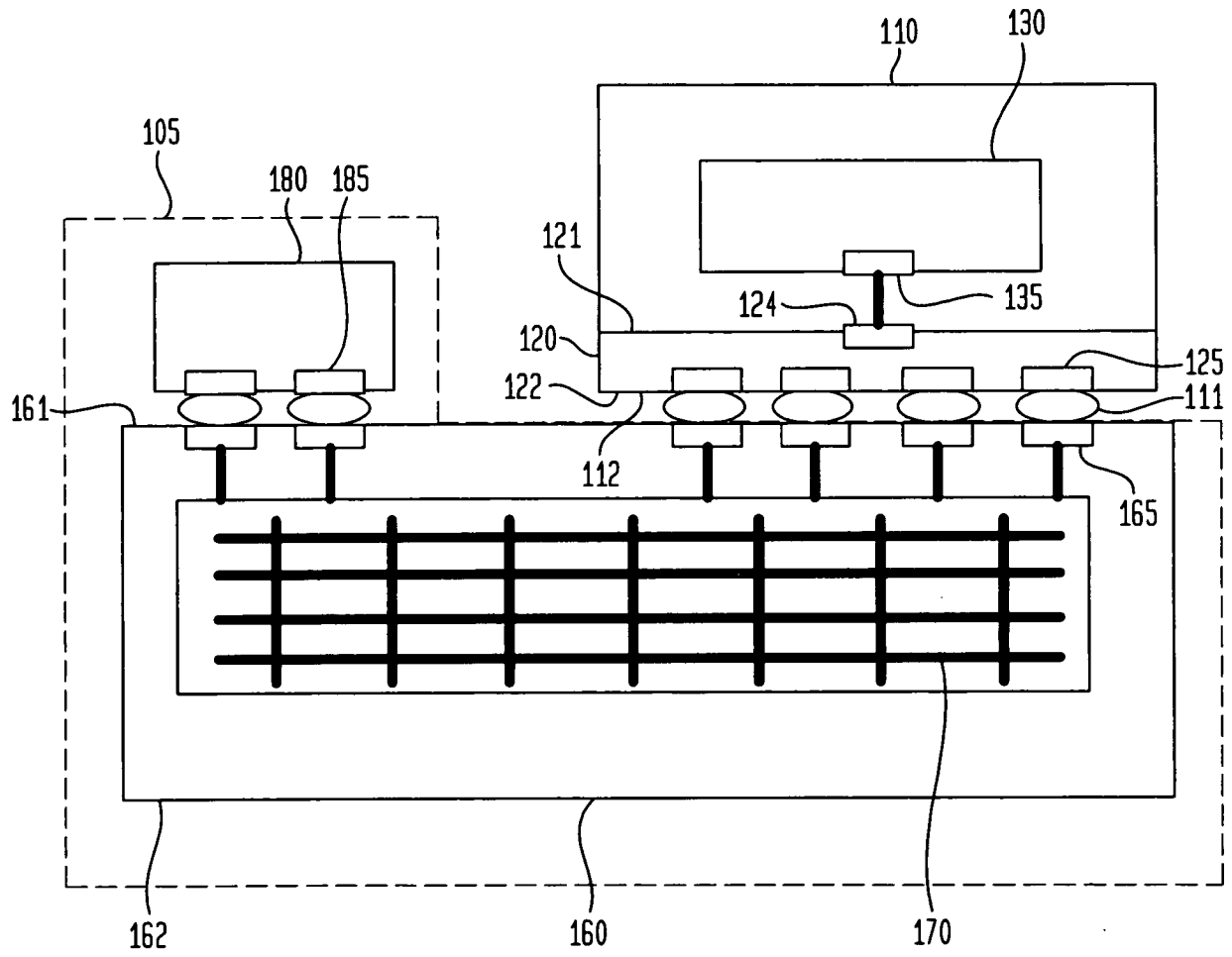


圖2A

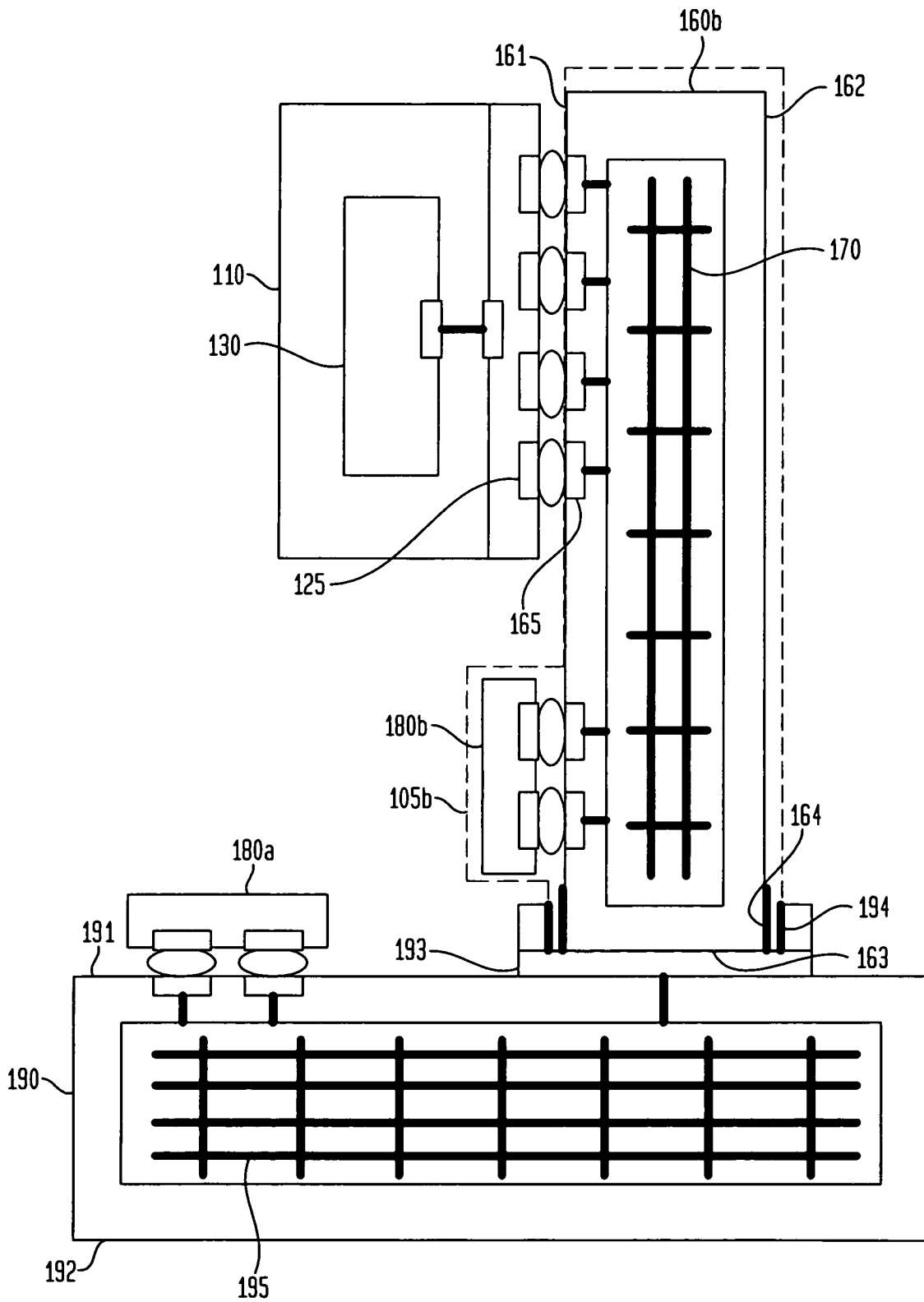


圖2B

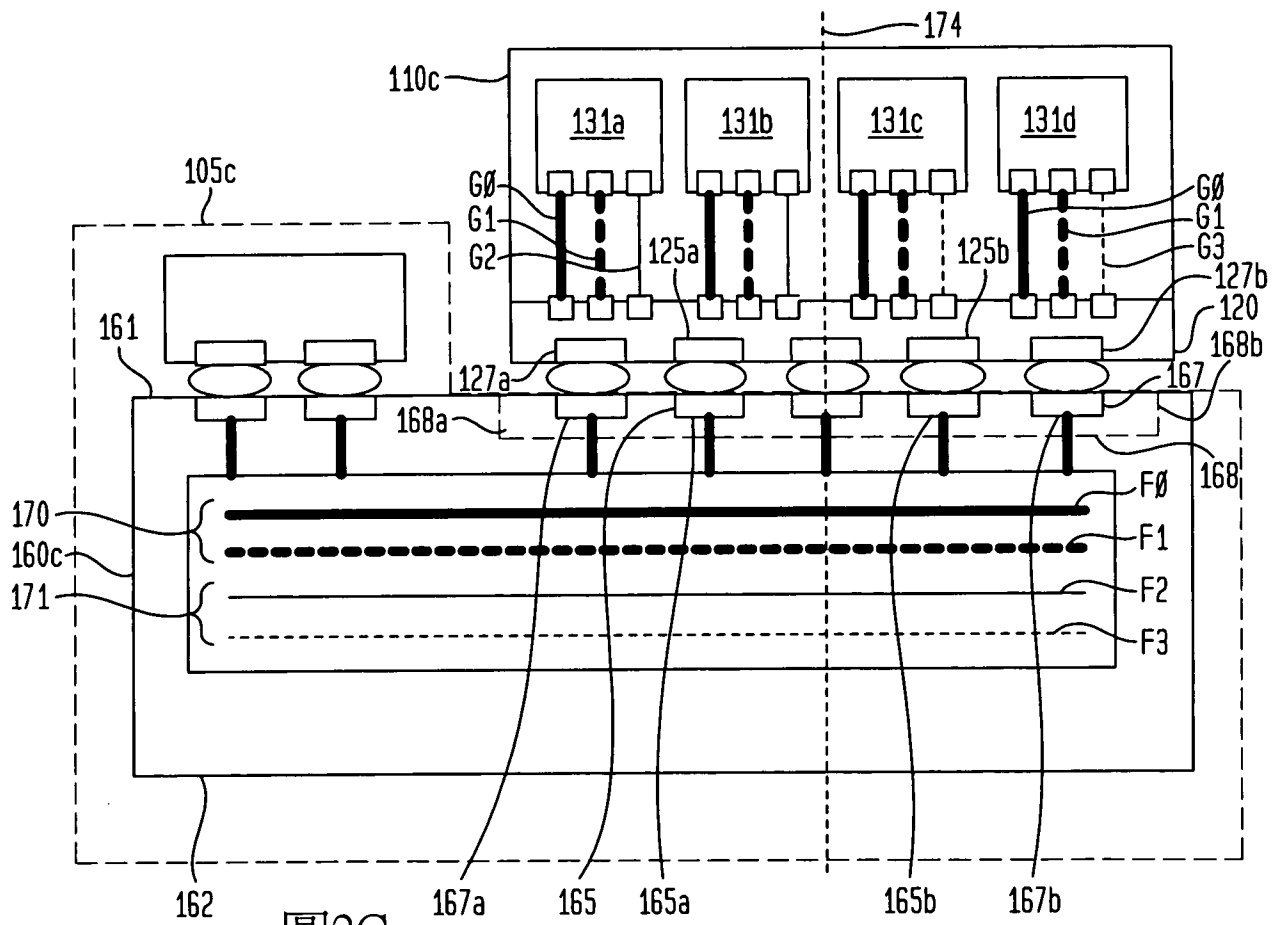


圖2C

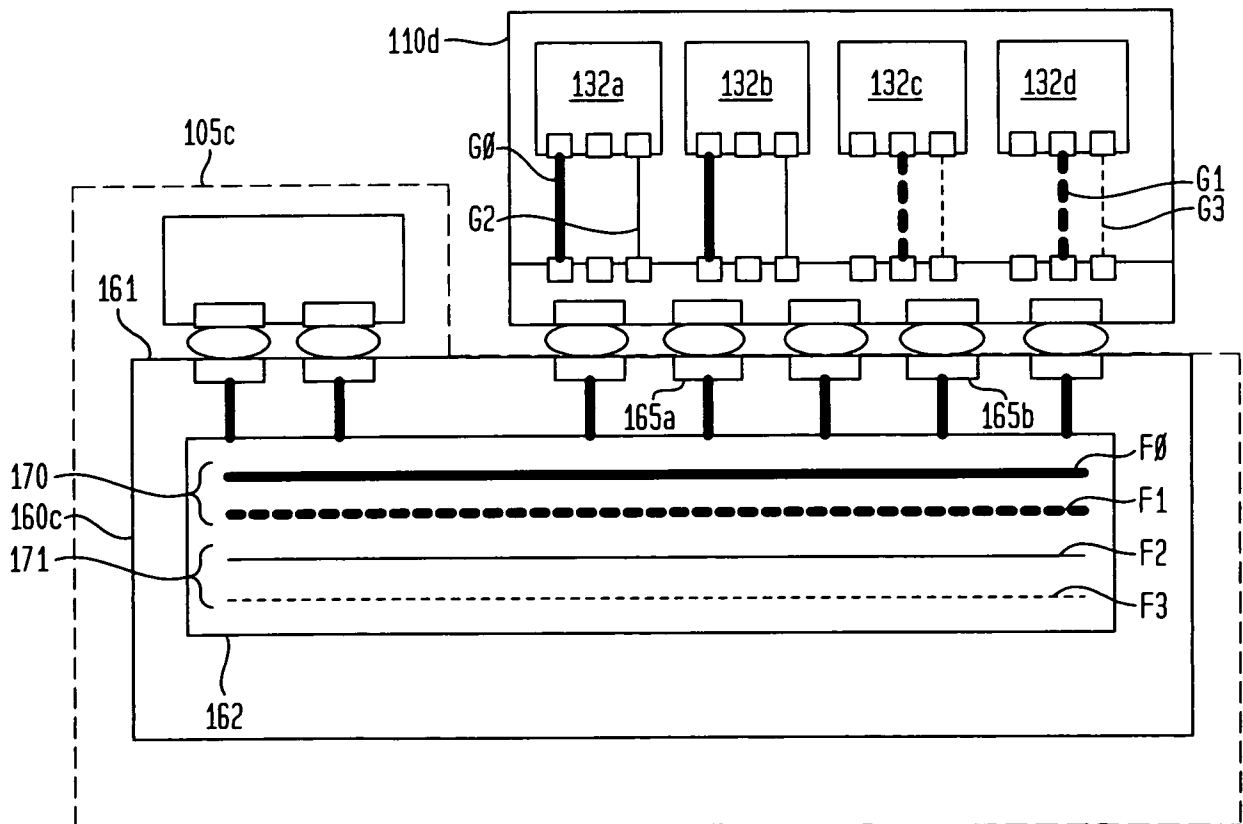


圖2D

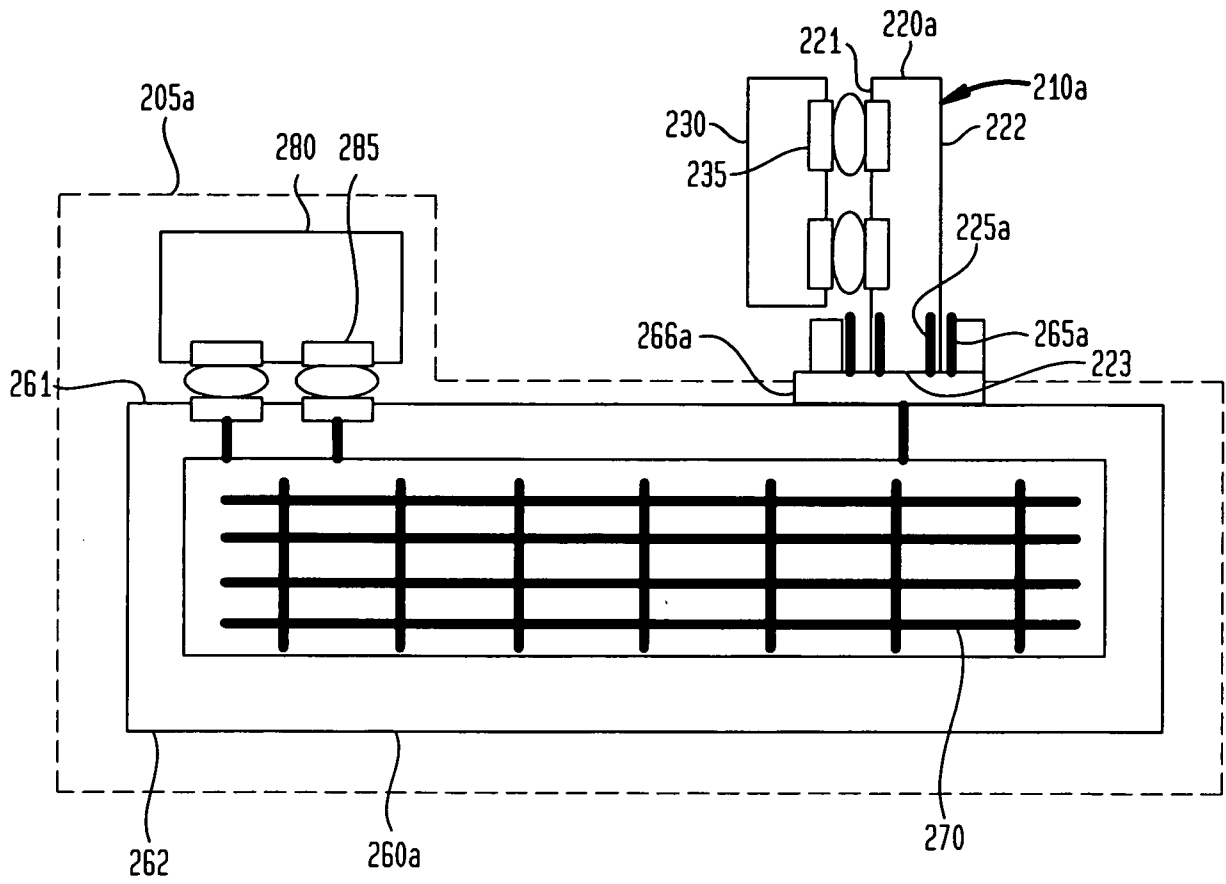


圖3A

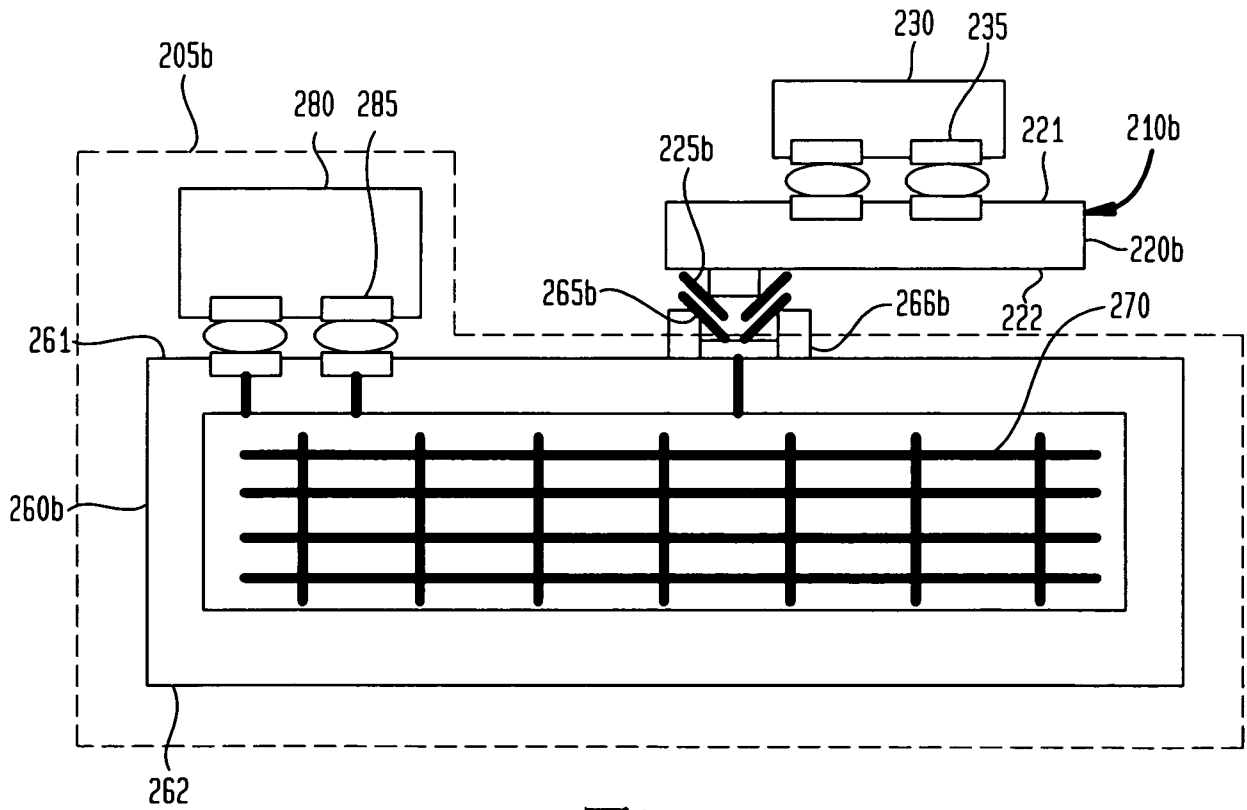


圖3B

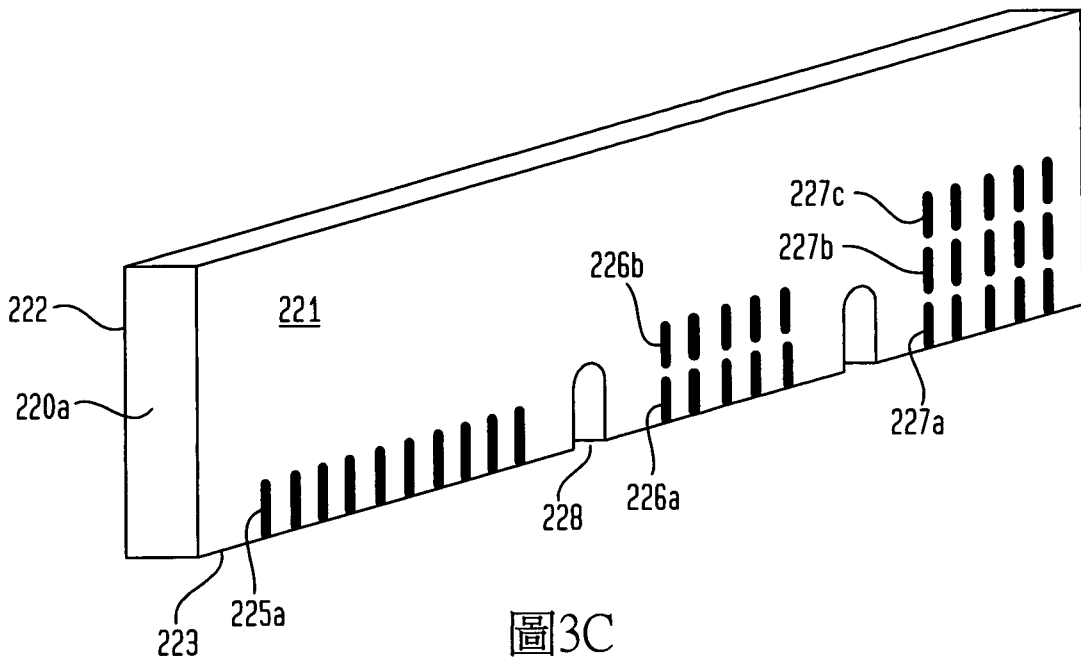


圖3C

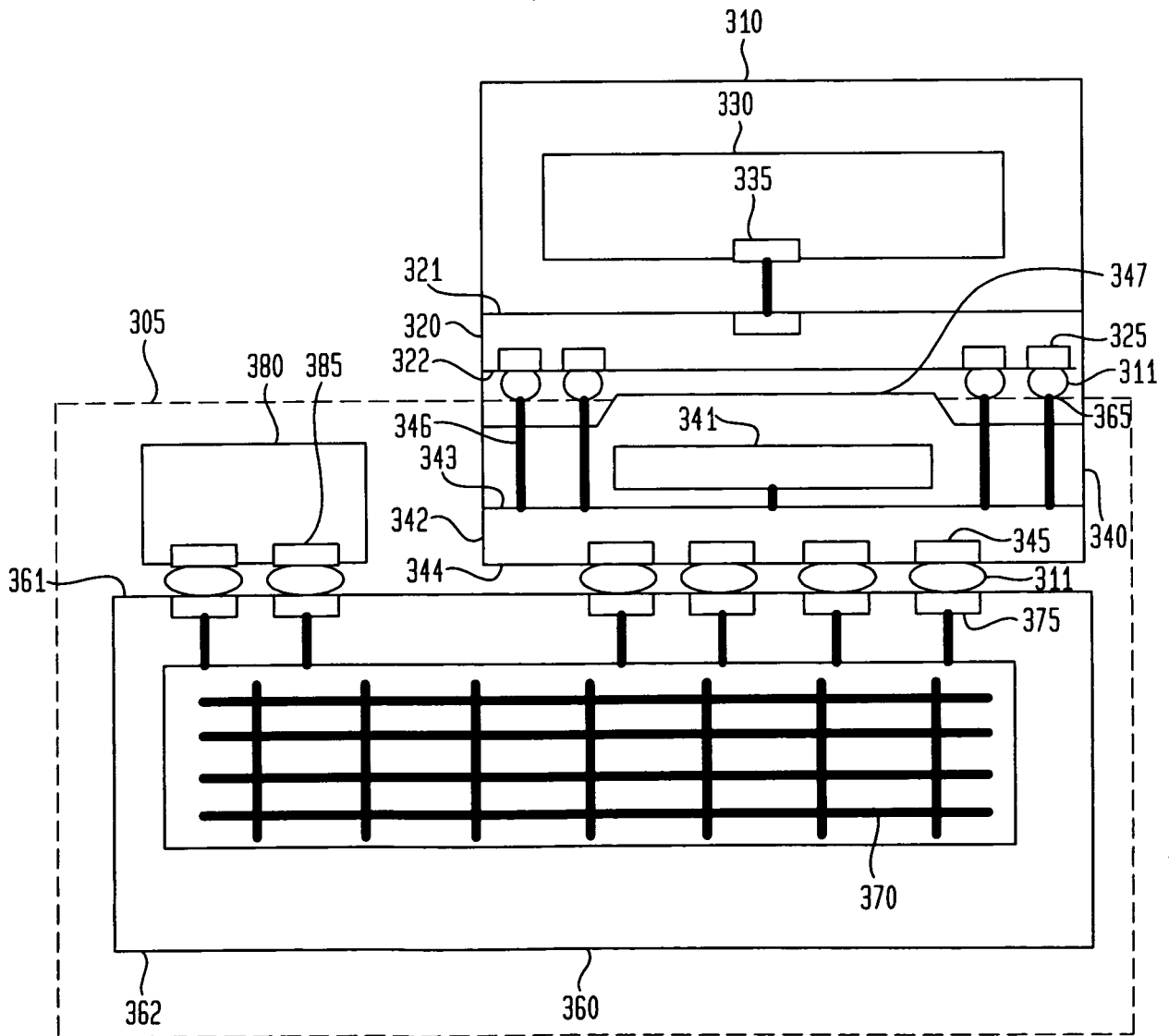


圖4A

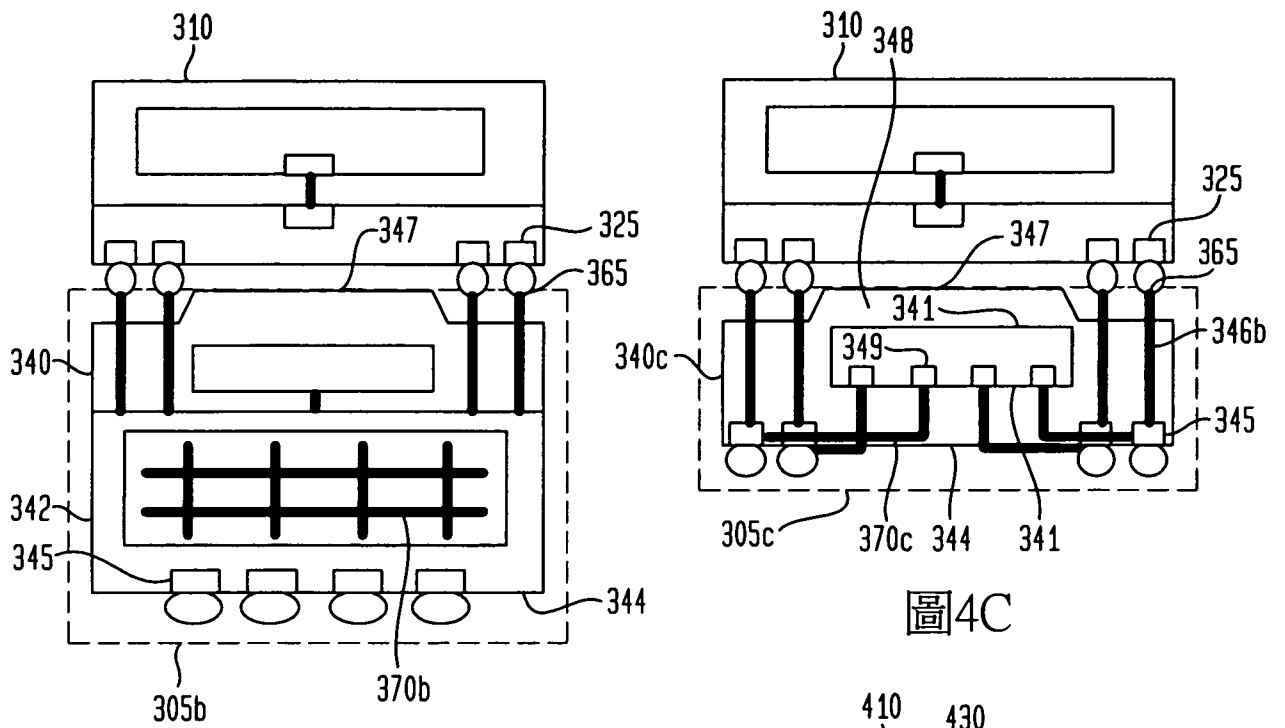


圖4B

圖4C

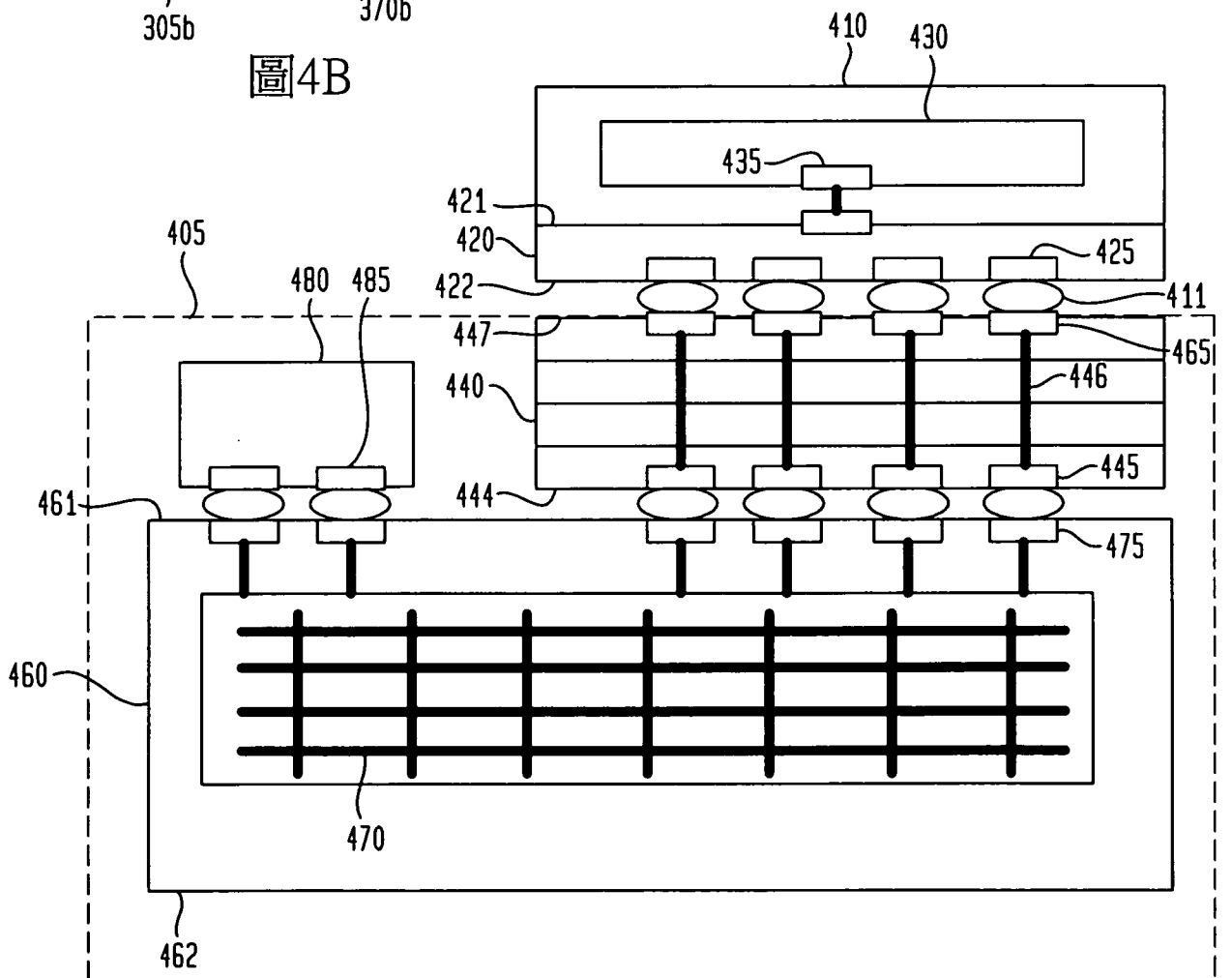


圖5A

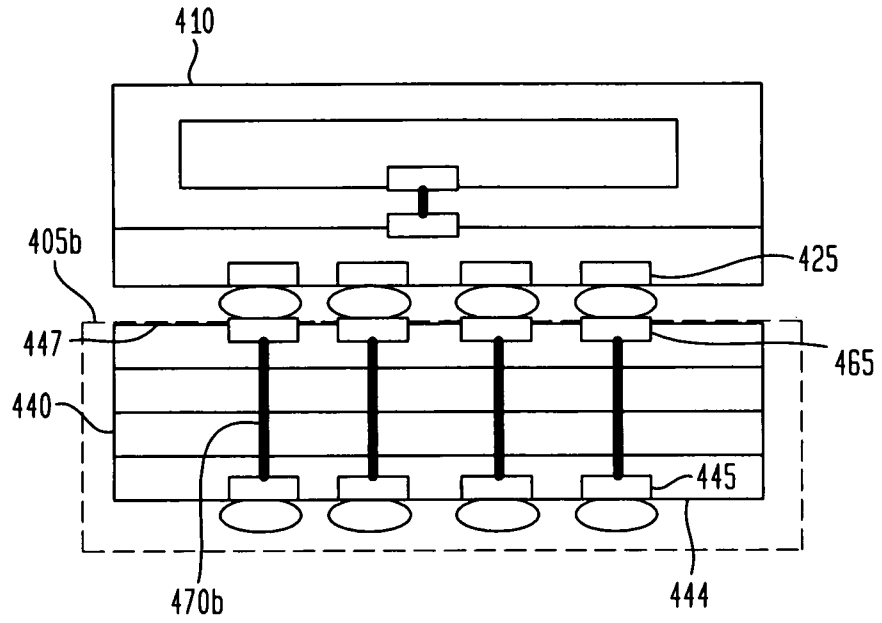


圖5B

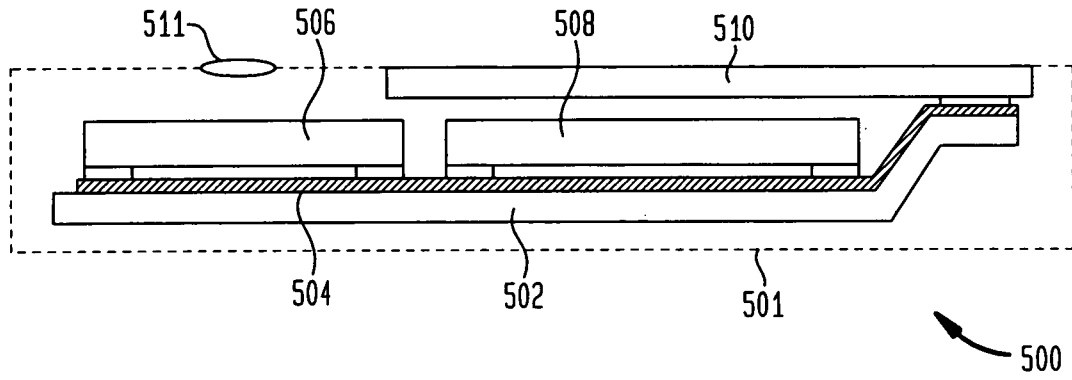


圖6

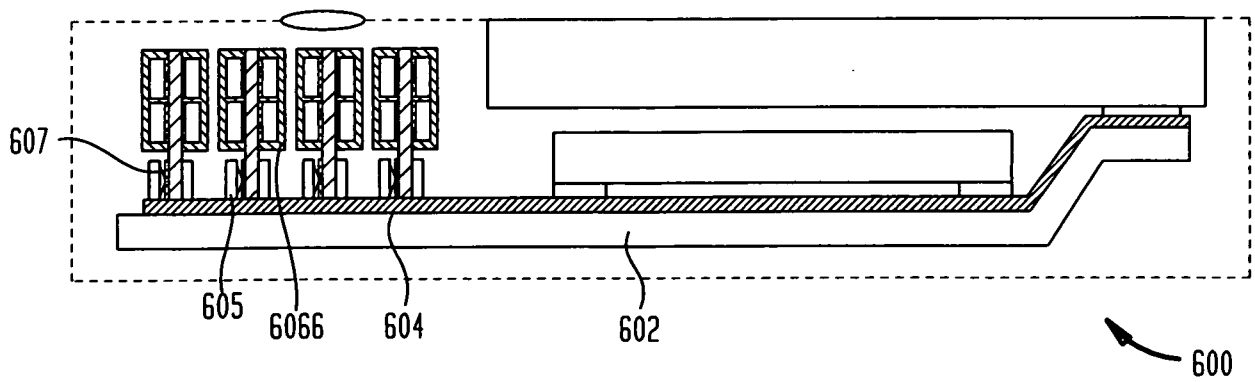


圖7