

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-228834

(P2014-228834A)

(43) 公開日 平成26年12月8日(2014.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H192
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 680G	

審査請求 未請求 請求項の数 7 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2013-110942 (P2013-110942)
 (22) 出願日 平成25年5月27日 (2013.5.27)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100103034
 弁理士 野河 信久
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

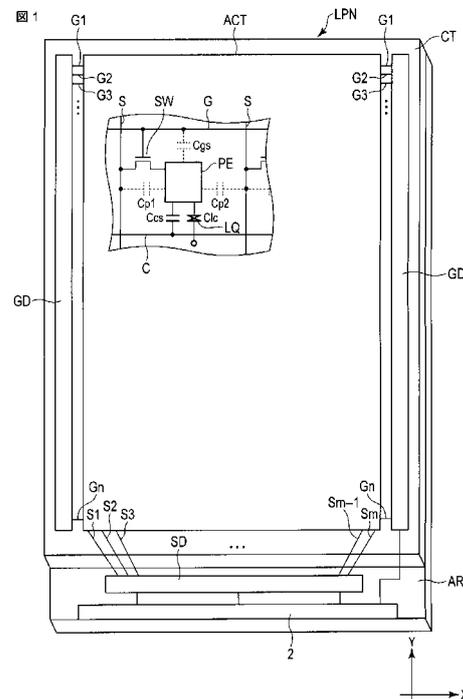
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品位の良好な液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された画素電極 P E と、画素電極 C E が配列した行に沿って配置されたゲート配線 G と、画素電極 P E が配列した列に沿って配置されたソース配線 S と、ゲート配線 G とソース配線 S とが交差した位置近傍に配置されたスイッチング素子 S W と、スイッチング素子 S W の下層に配置された遮光層 L S と、を備えたアレイ基板 A R と、複数の画素電極 P E と対向した共通電極 C E 、を備えた対向基板 C T と、アレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備え、遮光層 L S は、ゲート配線 G が伸びた方向に並ぶ偶数のソース配線 S と交差して延びている液晶表示装置。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された画素電極と、前記画素電極が配列した行に沿って配置されたゲート配線と、前記画素電極が配列した列に沿って配置されたソース配線と、前記ゲート配線と前記ソース配線とが交差した位置近傍に配置されたスイッチング素子と、前記スイッチング素子の下層に配置された遮光層と、を備えたアレイ基板と、

複数の画素電極と対向した共通電極、を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、を備え、

前記遮光層は、前記ゲート配線が延びた方向に並ぶ偶数の前記ソース配線と交差して延びている液晶表示装置。

10

【請求項 2】

ソース配線は、各フレームの所定の水平期間において正極性の信号が印加される第 1 ソース配線と、負極性の信号が印加される第 2 ソース配線とを備え、

前記遮光層のそれぞれが交差した偶数の前記ソース配線は、前記第 1 ソース配線と前記第 2 ソース配線は同数である請求項 1 記載の液晶表示装置。

【請求項 3】

前記遮光層は、前記ゲート配線の下層において前記ゲート配線と略平行に延びている請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 4】

前記対向基板は複数種類の着色層を含むカラーフィルタを備え、

前記遮光層は、周期的に並ぶ複数種類の前記着色層の偶数周期と対向した領域に渡って配置されている請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

20

【請求項 5】

前記ソース配線が延びた方向に隣接した前記行において、前記遮光層の端部は前記ゲート配線が延びた方向の異なる位置に配置している請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 6】

前記遮光層は、前記ゲート配線が延びた方向に並んだ全ての前記ソース配線と交差している請求項 1 乃至請求項 5 のいずれか 1 項記載の液晶表示装置。

【請求項 7】

各フレームにおいて、前記ゲート配線が延びた方向に隣接した前記ソース配線には互いに異なる極性の信号が印加され、各ソース配線に印加される信号の極性はフレーム毎に反転する請求項 1 乃至請求項 6 のいずれか 1 項記載の液晶表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

【背景技術】**【0002】**

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から様々な電子機器の表示装置として採用されている。

40

【0003】

アクティブマトリクス型の液晶表示装置は、マトリクス状に配置した画素を含むアクティブエリアを備えている。アクティブエリアには、画素が配列した行に沿って延びたゲート配線と、列に沿って延びたソース配線と、ソース配線とゲート配線とが交差した位置近傍に配置されたスイッチング素子とを備えている。

【0004】

液晶表示装置では、例えばフレーム毎に液晶に印加する電圧の極性を反転する交番電界駆動を行っている。例えば、カラム反転駆動では各フレームにおいてソース配線に沿ったカラム毎に極性が反転した極性パターンであり、ドット反転駆動では各フレームにおいて異

50

なる極性の画素が市松模様状に並んだ極性パターンである。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-10120号公報

【特許文献2】特開2008-197359号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の実施形態によれば、表示品位の良好な液晶表示装置を提供することを目的とする。

10

【課題を解決するための手段】

【0007】

実施形態によれば、マトリクス状に配置された画素電極と、前記画素電極が配列した行に沿って配置されたゲート配線と、前記画素電極が配列した列に沿って配置されたソース配線と、前記ゲート配線と前記ソース配線とが交差した位置近傍に配置されたスイッチング素子と、前記スイッチング素子および前記ゲート配線の下層に配置された遮光層と、を備えたアレイ基板と、複数の画素電極と対向した共通電極、を備えた対向基板と、前記アレイ基板と前記対向基板との間に保持された液晶層と、を備え、前記遮光層は、前記ゲート配線が延びた方向に並ぶ偶数のソース配線と交差して延びている液晶表示装置が提供される。

20

【図面の簡単な説明】

【0008】

【図1】図1は、実施形態の液晶表示装置の一構成例を概略的に示す図である。

【図2】図2は、実施形態の液晶表示装置のアクティブエリアの一構成例を概略的に示す図である。

【図3】図3は、図2に示した液晶表示パネルをIII-III線で切断したときの断面構造を概略的に示す断面図。

【図4】図4は、アクティブエリアACTの一部において、遮光層LSが配置される位置を説明するための図。

30

【図5】図5は、遮光層LSと、ゲート配線G、ソース配線S、ドレイン配線SCとの間に生じる容量の一例を示す図。

【図6】図6は、本実施形態の液晶表示装置のアクティブエリアの他の構成例を概略的に示す図である。

【発明を実施するための形態】

【0009】

以下、実施形態の液晶表示装置について、図面を参照して詳細に説明する。

図1は、実施形態の液晶表示装置の一構成例を概略的に示す図である。

【0010】

本実施形態の液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。アクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

40

【0011】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線

50

的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0012】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

10

【0013】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。補助容量Ccsは、例えば補助容量線Cとスイッチング素子SWのドレイン配線(半導体層)との間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部(図示せず)と電気的に接続されている。

【0014】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEが対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。

20

【0015】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電気的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0016】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電気的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

30

【0017】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部(図示せず)を備えている。この給電部は、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部と電気的に接続されている。

40

【0018】

図2は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0019】

図示した画素PXは、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形状である。カラー表示タイプの液晶表示パネルの場合、画素PXは複数種類の色画素を含む。本実施形態では、例えば画素PXは赤色画素PX(R)と、緑色画素PX(G)と、青色画素PX(B)を含む。各色画素は、ソース配線Sが延びた方向に沿って並んで

50

いる。複数種類の色画素はゲート配線 G が延びた方向に沿って周期的に並んでいる。

【0020】

ゲート配線 G は、第 1 方向 X に沿って延びている。補助容量線 C は、ゲート配線 G を挟んで第 1 方向 X に沿って延びている。ソース配線 S は、第 2 方向 Y に沿って延出している。画素電極 P E は、隣接するソース配線 S の間に配置されている。また、画素電極 P E は、隣接した補助容量線 C の間に配置されている。

【0021】

ソース配線 S は、第 1 方向に隣接した画素 P X の境界に跨って配置されている。また、ゲート配線 G は、画素 P X の第 2 方向 Y の略中央に配置されている。補助容量線 C は、第 2 方向 Y に隣接した画素 P X の境界に跨って配置されている。

10

【0022】

スイッチング素子 S W は、図示した例では、ゲート配線 G 及びソース配線 S に電氣的に接続されている。スイッチング素子 S W は、ゲート配線 G とソース配線 S の交点に設けられ、ドレイン配線 S C はソース配線 S 及び補助容量線 C に沿って延長され、補助容量線 C と重なる領域に形成されたコンタクトホール C H 1、C H 2 を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 及び補助容量線 C と重なる領域に設けられ、ソース配線 S 及び補助容量線 C と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【0023】

スイッチング素子 S W の下層には、遮光層 L S が配置されている。遮光層 L S は、ゲート配線 G とソース配線 S とが交差した部分に配置されるとともに、ゲート配線 G の下層において第 1 方向 X に沿って延び、後述するように少なくとも第 1 方向 X に隣接した偶数の画素 P X に渡って配置されている。

20

【0024】

図 3 は、図 2 に示した液晶表示パネルを I I I - I I I 線で切断したときの断面構造を概略的に示す断面図である。

【0025】

アレイ基板 A R は、透明絶縁基板 S B 1 と、遮光層 L S と、ドレイン配線 S C と、ゲート配線 G と、補助容量線 C と、ソース配線 S と、コンタクト電極 E 1 と、画素電極 P E と、第 1 配向膜 A L 1 と、を備えている。

30

【0026】

遮光層 L S は、透明絶縁基板 S B 1 上に配置され、第 1 層間絶縁膜 L 1 によって覆われている。

【0027】

ドレイン配線 S C は、第 1 層間絶縁膜 L 1 上に配置され、第 2 層間絶縁膜 L 2 に覆われている。ドレイン配線 S C は、ポリシリコンあるいはアモルファスシリコン等の半導体により形成されている。

【0028】

ゲート配線 G および補助容量線 C は第 2 層間絶縁膜 L 2 上に配置され、第 3 層間絶縁膜 L 3 に覆われている。ゲート配線 G は遮光層 L S の上層に配置され、ドレイン配線 S C と 2 カ所で交差するように分岐している。補助容量線 C は第 2 層間絶縁膜 L 2 を介してドレイン配線 S C と対向するように配置され、ドレイン配線 S C との間に補助容量を形成する。補助容量線 C は、ドレイン配線 S C 上で一部が除去されている。

40

【0029】

ソース配線 S およびコンタクト電極 E 1 は、第 3 層間絶縁膜 L 3 上に配置され、第 4 層間絶縁膜 L 4 に覆われている。ソース配線 S は、ゲート配線 G の一方側において、第 2 層間絶縁膜 L 2 及び第 3 層間絶縁膜 L 3 に設けられたコンタクトホール C H 3 においてドレイン配線 S C と電氣的に接続している。コンタクト電極 E 1 は、ゲート配線 G の他方側において、第 2 層間絶縁膜 L 2 および第 3 層間絶縁膜 L 3 に設けられたコンタクトホール C H 1 においてドレイン配線 S C と電氣的に接続している。

50

【0030】

画素電極 P E は、第 4 層間絶縁膜 L 4 上に配置され、第 1 配向膜 A L 1 に覆われている。画素電極 P E は、第 4 層間絶縁膜 L 4 に設けられたコンタクトホール C H 2 においてコンタクト電極 E 1 と電氣的に接続している。すなわち、画素電極 P E は、コンタクト電極 E 1 を介してドレイン配線 S C と電氣的に接続している。

【0031】

対向基板 C T は、透明絶縁基板（図示せず）と、ブラックマトリクス（図示せず）と、カラーフィルタ（図示せず）と、共通電極（図示せず）と、第 2 配向膜 A L 2 と、を備えている。

【0032】

カラーフィルタは、赤色画素 P X (R) に配置された赤色着色層（図示せず）と、緑色画素 P X (G) に配置された緑色着色層（図示せず）と、青色画素 P X (B) に配置された青色着色層（図示せず）と、を備えている。隣接した着色層の境界にはブラックマトリクスが配置されている。

10

【0033】

第 2 配向膜 A L 2 は対向基板 C T の表面を覆うとともに、第 1 配向膜 A L 1 と対向している

図 4 は、アクティブエリア A C T の一部において、遮光層 L S が配置される位置を説明するための図である。

【0034】

遮光層 L S は、ゲート配線 G が延びた方向に並ぶ偶数の画素 P X に渡って配置され、偶数のソース配線 S と交差している。カラー表示タイプの液晶表示装置では、遮光層 L S は、周期的に並ぶカラーフィルタの着色層の偶数周期分の画素 P X に渡って配置されることが望ましい。その場合、遮光層 L S は、複数種類の着色層の偶数周期と対向した領域に渡って配置され、偶数本のソース配線 S と交差する。したがって、赤色着色層、緑色着色層、および、青色着色層が、第 1 方向 X に周期的に並んでいる場合、遮光層 L S は、第 1 方向 X に並んだ少なくとも 6 つの画素 P X に渡って配置される。

20

【0035】

すなわち、ソース配線 S (S 1 ~ S m) は、各フレームの所定の水平期間において正極性の信号が印加されるソース配線（第 1 ソース配線）と、負極性の信号が印加されるソース配線（第 2 ソース配線）とを備え、遮光層 L S のそれぞれが交差した偶数のソース配線 S は、第 1 ソース配線と第 2 ソース配線とを同数だけ含んでいる。ここで、例えばカラム反転駆動を行う場合には第 1 ソース配線と第 2 ソース配線とはフレーム毎に入れ替わり、ドット反転駆動を行う場合第 1 ソース配線と第 2 ソース配線とは水平期間単位で入れ替わる。

30

【0036】

さらに、ソース配線 S が延びた方向に隣接した画素 P X の行について、遮光層 L S の端部はゲート配線 G が延びた方向の異なる位置に配置している。換言すると、遮光層 L S の端部は、第 2 方向 Y に並ばないように配置している。

【0037】

上記のように遮光層 L S を配置すると、ソース配線 S の電位変動が生じた場合でも、遮光層 L S には正極性の信号による電位変動と、負極性の信号による電位変動とが重畳するため、この電位変動はある程度相殺されて小さくなる。

40

【0038】

以下に、遮光層 L S を介して液晶容量 C l c が変動するメカニズムの一例を説明する。

図 5 は、遮光層 L S と、ゲート配線 G、ソース配線 S、ドレイン配線 S C との間に生じる容量の一例を示す図である。

【0039】

各画素 P X には、図 1 に示すように画素電極 P E と共通電極 C E との間に生じる液晶容

50

量 C_{lc} と、補助容量線 C とドレイン配線 SC との間に生じる補助容量 C_{cs} と、画素電極 PE とソース配線 S との間に生じる寄生容量 C_{p1} と、画素電極 PE と隣接ソース配線 S との間に生じる寄生容量 C_{p2} と、画素電極 PE とゲート配線 G との間に生じる寄生容量 C_{gs} と、の各種容量が生じる。

【0040】

なお、ソース配線 S は、画素電極 PE がスイッチング素子 SW を介して電氣的に接続するソース配線であって、隣接ソース配線 S は、画素電極 PE が電氣的に接続していないソース配線である。

【0041】

ここで、画素電極 PE の電位は、遮光層 LS を介してソース配線 S の電位変動やゲート配線の電位変動に応じて変化することがある。ここでは、遮光層 LS とゲート配線 G との間に生じる合成容量 C_{ls_gate} と、遮光層 LS とソース配線 S との間に生じる合成容量 $C_{ls_sig_total}$ と、遮光層 LS とドレイン配線 SC との間に生じる合成容量 C_{ls_pix} と、について説明する。

10

【0042】

ゲート配線 G と遮光層 LS との間に生じる合成容量 C_{ls_gate} は、ゲート配線 G の電位変動に応じて大きさが変わるが、画素電極 PE の電位が保持されている期間はゲート配線 G の電位は略一定であるため、この合成容量 C_{ls_gate} が液晶容量 C_{lc} に与える影響は小さい。

【0043】

ソース配線 S と遮光層 LS との間に生じる合成容量 $C_{ls_sig_total}$ は、ソース配線 S の電位変動に応じて大きさが変わり、合成容量 $C_{ls_sig_total}$ を介して遮光層 LS の電位が変動する。遮光層 LS の電位変動を V_{ls} とし、ソース配線 S の電位変動を V_{sig} とすると、この電位変動 V_{ls} は下記の式で表すことができる。

20

【0044】

$$V_{ls} = (C_{ls_sig_total} / C_{ls_total}) \times V_{sig}$$

ここで、 $C_{ls_total} = C_{ls_gate} + C_{ls_sig_total} + C_{ls_pix}$ である。

【0045】

液晶容量 C_{lc} が保持されている期間において、遮光層 LS の電位が変動すると、遮光層 LS とドレイン配線 SC との間に生じる寄生容量 C_{ls_pix} を介してドレイン配線 SC の電位が変動する。ドレイン配線 SC は、画素電極 PE と電氣的に接続しているため、ドレイン配線 SC の電位変動により画素電極 PE の電位が変動する。画素電極 PE の電位変動 V_{pix} は、下記の式で表すことができる。

$$V_{pix} = (C_{ls_pix} / C_{total}) \times V_{ls}$$

なお、 $C_{total} = C_{cs} + C_{lc} + C_{gs} + C_{p1} + C_{p2}$ である。

30

【0046】

ここで、ソース配線 S の電位変動 V_{ls} は、ソース配線 S に正極性の信号が印加されているときと、負極性の信号が印加されているときとで符号が逆になる。したがって、遮光層 LS を、正極性の信号が印加されるソース配線 S と負極性の信号が印加されるソース配線 S との両方と交差して配置されることにより、各遮光層 LS に対するソース配線 S の電位変動 V_{ls} が正極側と負極側とで相殺されて小さくなり、結果として画素電極 PE の電位変動 V_{pix} も小さくなる。

40

【0047】

本実施形態では、遮光層 LS は、ゲート配線 G が延びた方向において隣接した6つの画素 PX 、より具体的には、6つのスイッチング素子 SW およびこれらのスイッチング素子 SW のゲート電位を制御するゲート配線 G の下層に配置されている。したがって、各遮光層 LS は第1方向 X に隣接した6つのソース配線 S と交差し、遮光層 LS の電位は第1方向 X に隣接した6つのソース配線 S の電位変動 V_{ls} の合計により変動する。

50

【0048】

例えば、液晶表示パネルLPNの極性反転方式としてカラム反転駆動を採用した場合、および、ドット反転駆動を採用した場合、各フレームの所定の水平期間において第1方向Xに隣り合ったソース配線Sには異なる極性の信号が印加される。したがって、遮光層LSの電位変動は、正極性の信号が印加される3つのソース配線Sの電位変動 V_{1s} と、負極性の信号が印加される3つのソース配線Sの電位変動 V_{1s} とで相殺されるため、抑制される。この結果、遮光層LSの電位変動に起因する液晶容量 C_{1c} の変動が抑制されるため、表示品位の劣化を回避することができる。

【0049】

さらに、本実施形態では、遮光層LSの端部が第2方向Yに並ばないように配置している。したがって、例えば遮光層LSの境界近傍において、隣接した遮光層LSの電位変動が異なることによりライン状の表示ムラが発生することを回避することができる。

10

【0050】

図6は、本実施形態の液晶表示装置のアクティブエリアの他の構成例を概略的に示す図である。

この例では、画素PXの構成が上述の例と異なっている。すなわち、画素電極PEは、第2方向Yに並んだゲート配線Gの間に配置されている。補助容量線Cは、ゲート配線Gの間において第1方向Xに延びている。ドレイン配線SCは、ソース配線Sに沿ってゲート配線Gと交差するように延び、補助容量線Cの下層で広がって補助容量 C_{cs} を形成している。ゲート配線Gは、ドレイン配線SCと2カ所で交差するように分岐している。

20

【0051】

この例においても、遮光層LSは、スイッチング素子SWとゲート配線Gとの下層において、ゲート配線Gが延びた方向に並ぶ偶数の画素PXに渡って配置されている。カラー表示タイプの液晶表示装置では、赤色着色層、緑色着色層、および、青色着色層が、第1方向Xに周期的に並んでいる場合、遮光層LSは、第1方向Xに並んだ少なくとも6つの画素PXに渡って配置される。

【0052】

さらに、ソース配線Sが延びた方向に隣接した画素PXの行について、遮光層LSの端部はゲート配線Gが延びた方向の異なる位置に配置している。換言すると、遮光層LSの端部は、第2方向Yに並ばないように配置している。

30

【0053】

図6に示すように遮光層LSを配置すると、上述の例と同様に、ソース配線Sの電位変動が生じた場合でも、遮光層LSには正極性の信号による電位変動と、負極性の信号による電位変動とが重畳するため、この電位変動はある程度相殺されて小さくなり、液晶容量 C_{1c} が変動することを抑制することができる。

【0054】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【0055】

例えば、上述の実施形態では、遮光層LSは第1方向Xに並んだ6つのソース配線Sと交差するように配置され、第1方向Xに並んだ画素の行に沿って複数の遮光層LSが並んで配置されていたが、遮光層LSは第1方向XにおけるアクティブエリアACTの一端から他端まで連続して延びていても構わない。すなわち、遮光層LSは、第1方向Xに並んだ全てのソース配線S($S_1 \sim S_m$)と交差して延びていてもよい。その場合であっても、上述の実施形態と同様の効果を得ることができる。

【0056】

50

更に、上述の実施形態では共通電極 C E は対向基板 C T に配置されていたが、共通電極 C E はアレイ基板 A R に配置され、画素電極 P E と共通電極 C E との間に生じる横電界（フリンジ電界を含む）により液晶分子の配向を制御する液晶表示装置にも本実施形態を適用可能である。

【 0 0 5 7 】

また、上述の実施形態では、液晶表示パネル L P N の極性反転方式としてカラム反転駆動を採用した場合、画素 P X の 1 列毎に極性を反転してもよく、 R G B の 3 列の画素 P X 単位で極性を反転してもよい。すなわち、各フレームにおいて、ゲート配線 G が延びた方向に隣接したソース配線 S には、 1 列毎あるいは R G B の 3 列毎で互いに異なる極性の信号が印加され、各ソース配線 S に印加される信号の極性はフレーム毎に反転する。いずれの場合であっても上述の実施形態と同様の効果を得ることができる。

10

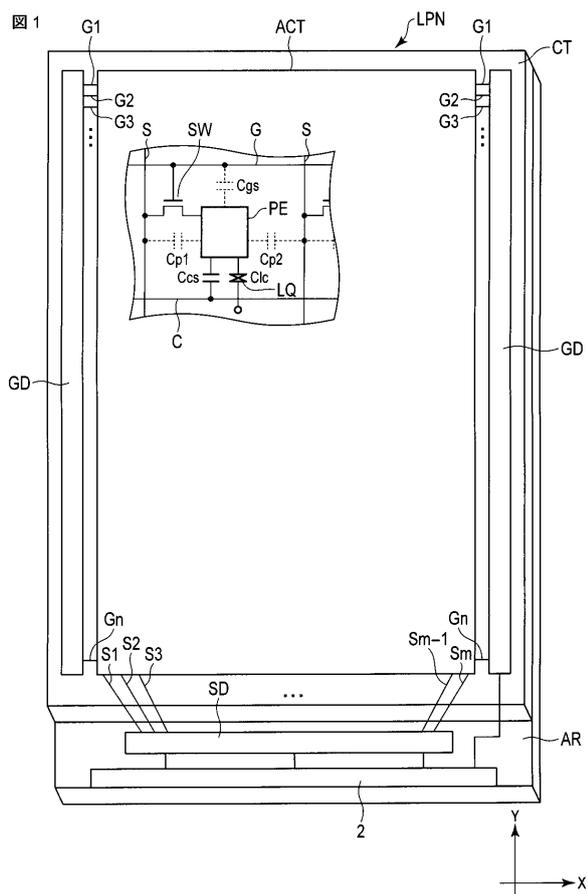
【 符号の説明 】

【 0 0 5 8 】

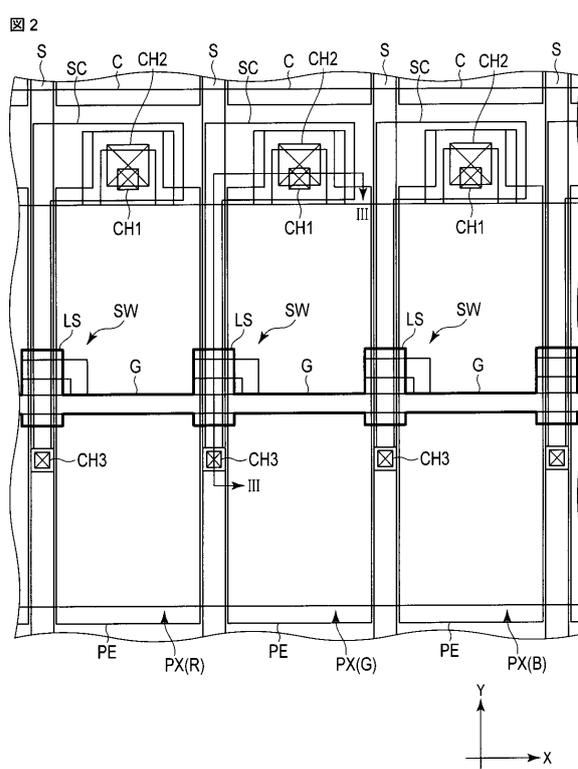
L P N ... 液晶表示パネル、 A R ... アレイ基板、 C T ... 対向基板、 L Q ... 液晶層、 A C T ... アクティブエリア、 P X ... 画素、 P X (R) ... 赤色画素、 P X (G) ... 緑色画素、 P X (B) ... 青色画素、 G ... ゲート配線、 C ... 補助容量線、 S ... ソース配線、 X ... 第 1 方向、 Y ... 第 2 方向、 G D ... ゲートドライバ、 S D ... ソースドライバ、 S W ... スイッチング素子、 S C ... ドレイン配線、 P E ... 画素電極、 C E ... 共通電極、 L S ... 遮光層、 C c s ... 補助容量、 C p 1、 C p 2、 C g s ... 寄生容量、 C l c ... 液晶容量、 C H 1 ~ C H 3 ... コンタクトホール。

20

【 図 1 】



【 図 2 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 1 1 D
	G 0 9 G 3/20	6 4 2 A

(74)代理人 100075672
弁理士 峰 隆司

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100172580
弁理士 赤穂 隆雄

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 木谷 正克
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

F ターム(参考) 2H092 JA25 JA26 JB51 KA04 KA05 NA01 PA06
2H192 AA24 CB02 CB05 CB13 CB34 CB35 CC02 CC05 CC26 CC42
DA12 EA03 EA15 EA17 GD61
5C006 AA16 AA22 AC22 AC27 AC28 AF43 AF50 AF51 AF71 BA19
BB16 BC02 BC03 BC11 BC20 FA16 FA18 FA22 FA26 FA37
5C080 AA10 BB05 CC03 DD05 DD25 EE29 FF03 FF11 JJ02 JJ06