



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H01J 31/12 (2006.01)
H01J 11/02 (2006.01)
H01J 17/49 (2006.01)

(45) 공고일자 2007년05월17일
(11) 등록번호 10-0719574
(24) 등록일자 2007년05월11일

(21) 출원번호 10-2005-0105478
(22) 출원일자 2005년11월04일
심사청구일자 2005년11월04일

(65) 공개번호 10-2007-0048413
(43) 공개일자 2007년05월09일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 손승현
경기 용인시 기흥읍 공세리 428-5

박형빈
경기 용인시 기흥읍 공세리 428-5

(74) 대리인 리엔목특허법인

(56) 선행기술조사문헌
JP14150944 A
KR1020050077539 A
US5882779 B

KR1020050026227 A
US5442254 B

심사관 : 조기덕

전체 청구항 수 : 총 8 항

(54) 평판 디스플레이 장치 및 전자 방출 소자

(57) 요약

본 발명은 일정한 간격을 두고 서로 대향되게 배치되는 제1 기관 및 제2 기관; 상기 제1 기관과 제2 기관 사이에 마련되는 것으로, 상기 제1 기관과 제2 기관 사이의 공간을 구획하여 다수의 셀을 형성하는 다수의 격벽; 상기 셀들의 내부에 채워지는 여기가스; 상기 셀들의 내벽에 양자점(Quantum Dot:QD)을 사용하여 형성된 형광체층; 상기 제1 기관의 내면에 형성되는 다수의 제1 전극; 상기 제2 기관의 내면에 상기 제1 전극들과 교차하는 방향으로 형성되는 다수의 제2 전극; 상기 제1 전극들 상에 형성되는 다수의 제3 전극; 및 상기 제1 전극과 제3 전극 사이에 형성되는 것으로, 상기 제1 전극과 제3 전극에 전압이 인가됨에 따라 상기 여기가스를 여기시키는 제1 전자빔을 상기 셀 내부로 방출시키는 제1 전자가속층;을 구비하는 평판 디스플레이 장치를 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

일정한 간격을 두고 서로 대향되게 배치되는 제1 기판 및 제2 기판;

상기 제1 기판과 제2 기판 사이에 마련되는 것으로, 상기 제1 기판과 제2 기판 사이의 공간을 구획하여 다수의 셀을 형성하는 다수의 격벽;

상기 셀들의 내부에 채워지는 여기가스;

상기 셀들의 내벽에 양자점(Quantum Dot:QD)을 사용하여 형성된 형광체층;

상기 제1 기판의 내면에 형성되는 다수의 제1 전극;

상기 제2 기판의 내면에 상기 제1 전극들과 교차하는 방향으로 형성되는 다수의 제2 전극;

상기 제1 전극들 상에 형성되는 다수의 제3 전극; 및

상기 제1 전극과 제3 전극 사이에 형성되는 것으로, 상기 제1 전극과 제3 전극에 전압이 인가됨에 따라 상기 여기가스를 여기시키는 제1 전자빔을 상기 셀 내부로 방출시키는 제1 전자가속층을 구비하고, 상기 양자점(Quantum Dot:QD)은 코어 및 셸로 이루어지며 상기 코어 및 셸을 덮도록 유기막이 형성되어 있고, 상기 코어는 CdSe이고 상기 셸은 ZnS이며 상기 유기막은 트리옥틸포스핀 옥사이드(trioctylphosphine oxide)인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 제1 전자빔은 상기 여기가스를 여기시키는데 필요한 에너지보다 크고, 상기 여기가스를 이온화시키는데 필요한 에너지보다 작은 에너지를 가지는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 5.

제 1 항에 있어서,

상기 제1 전자가속층은 산화된 다공성 실리콘(oxidized porous silicon)으로 이루어지는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 6.

제 1 항에 있어서,

상기 제2 전극 상에 유전체층이 형성되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 7.

제 1 항에 있어서,

상기 여기가스가 크세논(Xe)를 포함하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 8.

제 1 항에 있어서,

상기 제1 전자빔은 8.28eV ~ 12.13eV의 에너지를 가지는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 9.

서로 대향되게 배치된 제1기판 및 제2기판;

상기 제1기판 상에 형성된 캐소드 전극;

상기 기판 상에 형성된 캐소드 전극과 전기적으로 연결되도록 형성된 전자 방출원;

상기 제2기판 상에 형성된 애노드 전극; 및

상기 전자 방출원으로부터 방출된 전자에 의하여 발광하고, 양자점(Quantum Dot:QD)을 사용하여 형성된 형광층을 구비하고, 상기 양자점(Quantum Dot:QD)은 코어 및 셸로 이루어지며 상기 코어 및 셸을 덮도록 유기막이 형성되어 있고, 상기 코어는 CdSe이고 상기 셸은 ZnS이며 상기 유기막은 트리옥틸포스핀 옥사이드인 것을 특징으로 하는 전자 방출 소자.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

제 9 항에 있어서,

상기 전자방출원은 카본계 물질, 다공성 실리콘(oxidized porous silicon), MIM(Metal-Insulator-Metal), 또는 SED (Surface Conduction Electron Emitting Display)으로 이루어지는 것을 특징으로 하는 전자 방출 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이 장치 및 전자 방출 소자에 관한 것으로, 상세하게는 구동전압(driving voltage)을 낮출 수 있고, 발광효율(luminous efficiency)을 향상시킬 수 있는 평판 디스플레이 장치 및 전자 방출 소자에 관한 것이다.

평판 디스플레이 장치의 일종인 플라즈마 디스플레이 패널(PDP; Plasma Display Panel)은 전기적 방전을 이용하여 화상을 형성하는 장치로서, 휘도나 시야각 등의 표시 성능이 우수하여 그 사용이 날로 증대되고 있다. 이러한 플라즈마 디스플레이 패널은 전극들에 인가되는 직류 또는 교류 전압에 의하여 상기 전극들 사이에서 가스 방전이 일어나게 되고, 이 방전 과정에서 발생하는 자외선에 의하여 형광체가 여기되어 가시광을 발산하게 된다.

플라즈마 디스플레이 패널은 전극들의 배치 구조에 따라 대향 방전(facing discharge) 구조의 플라즈마 디스플레이 패널과 면 방전(surface discharge) 구조의 플라즈마 디스플레이 패널로 분류될 수 있다. 대향 방전 구조의 플라즈마 디스플레이 패널은 쌍을 이루는 두 개의 유지전극이 각각 상부기관과 하부기관에 배치되어 방전이 기관에 수직인 방향으로 일어난다. 그리고, 면 방전 구조의 플라즈마 디스플레이 패널은 쌍을 이루는 두 개의 유지전극이 동일한 기관 상에 배치되어 방전이 기관에 나란한 방향으로 일어난다.

도 1에는 종래 교류형 면 방전 구조의 플라즈마 디스플레이 패널이 도시되어 있다. 그리고, 도 2a 및 도 2b에는 도 1에 도시된 플라즈마 디스플레이 패널을 가로 방향 및 세로 방향으로 절단한 단면이 도시되어 있다.

도 1, 도 2a 및 도 2b를 참조하면, 하부기관(10)과 상부기관(20)이 일정한 간격을 두고 서로 대향되게 배치되어 그 사이에 플라즈마 방전이 일어나는 방전공간을 형성한다. 상기 하부기관(10)의 상면에는 다수의 어드레스전극(11)이 형성되어 있으며, 이 어드레스전극들(11)은 제1 유전체층(12)에 의해 매립된다. 상기 제1 유전체층(12)의 상면에는 방전공간을 구획하여 다수의 방전셀(14)을 형성하고, 이 방전셀들(14) 간의 전기적, 광학적 크로스토크(cross talk)를 방지하는 다수의 격벽(13)이 형성되어 있다. 상기 방전셀들(14)의 내벽에는 각각 적색(R), 녹색(G), 청색(B)의 형광체층(15)이 도포되어 있다. 그리고, 상기 방전셀들(14) 내부에는 일반적으로 크세논(Xe)을 포함하는 방전가스가 채워진다.

상기 상부기관(20)은 가시광이 투과될 수 있는 투명기관으로서 격벽들(13)이 형성된 하부기관(10)에 결합된다. 상기 상부기관(20)의 하면에는 방전셀(14)마다 한 쌍의 유지전극(21a, 21b)이 상기 어드레스전극들(11)과 직교하는 방향으로 형성되어 있다. 여기서, 상기 유지전극들(21a, 21b)은 가시광이 투과될 수 있도록 주로 ITO(Indium Tin Oxide)와 같은 투명한 도전성 재료로 이루어진다. 그리고, 상기 유지전극들(21a, 21b)의 라인 저항을 줄이기 위하여, 상기 유지전극들(21a, 21b)의 하면에는 금속으로 이루어진 버스전극들(22a, 22b)이 상기 유지전극들(21a, 21b)보다 좁은 폭을 가지고 형성되어 있다. 상기 유지전극들(21a, 21b) 및 버스전극들(22a, 22b)은 투명한 제2 유전체층(23)에 의해 매립된다. 그리고, 상기 제2 유전체층(23)의 하면에는 산화마그네슘(MgO)로 이루어진 보호막(24)이 형성되어 있다. 상기 보호막(24)은 플라즈마 입자의 스퍼터링에 의한 제2 유전체층(23)의 손상을 방지하고, 2차 전자를 방출하여 방전전압을 낮추어 주는 역할을 한다.

상기와 같은 구조를 가지는 플라즈마 디스플레이 패널의 구동은 크게 어드레스방전을 위한 구동과 유지방전을 위한 구동으로 나뉜다. 어드레스방전은 어드레스전극(11)과 한 쌍의 유지전극(21a, 21b) 중 어느 하나의 전극 사이에서 일어나게 되며, 이때 벽전하(wall charge)가 형성된다. 다음으로, 유지방전은 한 쌍의 유지전극(21a, 21b) 사이의 전위차에 의해서 일어나게 되며, 이러한 유지방전시 방전가스로부터 발생하는 자외선에 의해 형광체층(15)이 여기되어 가시광이 발산된다. 그리고, 이렇게 발산된 가시광은 상부기관을 통해 출사되어 사용자가 인식할 수 있는 화상을 형성하게 된다.

그러나, 상기와 같은 종래 플라즈마 디스플레이 패널에서는 방전가스가 이온화(ionization)되어 플라즈마 방전이 일어나는 과정에서 여기 상태(excited state)의 크세논(Xe*)이 안정화되면서 자외선이 발생하게 된다. 따라서, 종래 사용되는 발광 재료는 방전가스를 이온화시킬 수 있을 정도로 높은 에너지가 필요하고, 구동전압은 크며, 발광효율은 낮다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 발광재료로서 양자점 (Quantum Dot:QD)을 사용함으로써 구동전압을 낮출 수 있고, 발광효율을 향상시킬 수 있는 평판 디스플레이 장치 및 전자 방출 소자를 제공하는 데 그 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위하여,

본 발명의 일 구현예에 따른 평판 디스플레이 장치는,

일정한 간격을 두고 서로 대향되게 배치되는 제1 기관 및 제2 기관;

상기 제1 기관과 제2 기관 사이에 마련되는 것으로, 상기 제1 기관과 제2 기관 사이의 공간을 구획하여 다수의 셀을 형성하는 다수의 격벽;

상기 셀들의 내부에 채워지는 여기가스;

상기 셀들의 내벽에 양자점(Quantum Dot:QD)을 사용하여 형성된 형광체층;

상기 제1 기관의 내면에 형성되는 다수의 제1 전극;

상기 제2 기관의 내면에 상기 제1 전극들과 교차하는 방향으로 형성되는 다수의 제2 전극;

상기 제1 전극들 상에 형성되는 다수의 제3 전극; 및

상기 제1 전극과 제3 전극 사이에 형성되는 것으로, 상기 제1 전극과 제3 전극에 전압이 인가됨에 따라 상기 여기가스를 여기시키는 제1 전자빔을 상기 셀 내부로 방출시키는 제1 전자가속층;을 구비한다.

한편, 본 발명의 다른 일 구현예에 따른 전자 방출 소자는,

서로 대향되게 배치된 제1기관 및 제2기관;

상기 제1기관 상에 형성된 캐소드 전극;

상기 기관 상에 형성된 캐소드 전극과 전기적으로 연결되도록 형성된 전자 방출원;

상기 제2기관 상에 형성된 애노드 전극; 및

상기 전자 방출원으로부터 방출된 전자에 의하여 발광하고, 양자점(Quantum Dot:QD)을 사용하여 형성된 형광층;을 구비한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 예를 상세히 설명한다.

본 발명에 따르면 평판 디스플레이 장치 및 전자 방출 소자에 있어서 사용되는 형광체층(115)은 양자점(Quantum Dot:QD)을 이용할 수 있다. 종래의 고체 발광재료에서는 원자들이 밀집되어 있기 때문에 에너지 밴드가 형성되고, 외부에서 에너지를 받으면 들뜬 전자가 전도성 밴드(conduction band)에서 밸런스 밴드(valence band)로 안정화되면서 그 갭(gap) 만큼의 광을 발광하게 된다. 그러나 양자점을 사용하게 되는 경우에는 원자들의 간섭이 없기 때문에 외부에서 에너지를 받게 되면 원자 에너지 수준에서 들뜬전자가 안정화되면서 발광하게 된다. 이러한 경우 이론적인 양자효율은 100% 까지 가능하고, 낮은 전압에서도 여기가 가능하기 때문에 효율을 향상시킬 수 있으며 인쇄공정이 가능하여 대형화에도 유리하다.

양자점은 코어, 셀, 및 상기의 코어와 셀을 덮는 유기막 구조로 이루어진다. 바람직하게는 상기 코어는 CdSe이고, 셀은 ZnS이며, 또한 상기 유기막은 트리옥틸포스핀 옥사이드(trioctylphosphine oxide)이다.

도 3은 본 발명의 평판 디스플레이 장치에서 발광 재료로 사용되는 양자점의 일 구현예를 개략적으로 도시한 것이다. 코어는 CdSe이고, 셀은 ZnS이며, 유기막은 트리옥틸포스핀 옥사이드를 나타내고 있다. 양자점의 PL(photoluminescent) 특성

은 400nm 근처의 에너지를 받아서 580nm 근처의 에너지를 내어 놓는다. 이때 양자의 효율은 100%에 가까울 수 있다. 따라서 양자점은 EDD, FED 등의 평판 디스플레이 장치에 있어서 발광재료로서 사용될 수 있다. 이러한 양자점은 단층으로 형성될 수도 있고, 다층층으로 형성될 수도 있으나 일반적으로 단층으로 형성하는 것이 효율면에서 우수하다.

도 4는 본 발명의 일 구현예에 따른 직류형 대향 방전 구조의 평판 디스플레이 장치를 개략적으로 도시한 일부 단면도이다. 도 4를 참조하면, 하부기관인 제1 기관(110)과 상부기관인 제2 기관(120)이 일정한 간격을 두고 서로 대향되게 배치되어 있다. 여기서, 상기 제1 기관(110) 및 제2 기관(120)은 투명한 유리기관으로 이루어질 수 있다. 그리고, 상기 제1 기관(110)과 제2 기관(120) 사이에는 제1 기관(110)과 제2 기관(120) 사이의 공간을 구획하여 다수의 셀(cell, 114)을 형성하고, 상기 셀들(114) 간의 전기적, 광학적 크로스토크를 방지하는 다수의 격벽(barrier rib, 113)이 마련되어 있다. 상기 셀들(114)의 내벽에는 각각 적색(R), 녹색(G), 청색(B)의 형광체층(115)이 도포되어 있다. 이러한 형광체층(115)은 본 발명에 따른 양자점(Quantum Dot: QD)을 이용한다. 상기 셀들(114) 내부에는 일반적으로 크세논(Xe)을 포함하는 여기가스(excitation gas)가 채워진다. 이하 본 발명에서 지칭하는 여기가스는 전자빔 등의 외부 에너지에 의해 여기되어 자외선을 발생시킬 수 있는 가스를 말한다. 한편, 본 발명의 여기가스는 방전가스로 작용하는 것도 가능하다.

상기 제1 기관(110)의 상면에는 제1 전극(131)이 셀(114)마다 형성되어 있으며, 상기 제2 기관(120)의 하면에는 제2 전극(132)이 상기 제1 전극(131)과 교차하는 방향으로 셀(114)마다 형성되어 있다. 여기서, 상기 제1 전극(131) 및 제2 전극(132)은 각각 캐소드 전극(cathode electrode) 및 애노드 전극(anode electrode)이 된다. 상기 제2 전극(132)은 가시광이 투과될 수 있도록 ITO(Indium Tin Oxide) 등과 같은 투명한 도전성 물질로 이루어질 수 있다. 그리고, 상기 제2 전극(132) 상에는 유전체층(미도시)이 더 형성될 수도 있다.

상기 제1 전극(131)의 상면에는 전자가속층(electron accelerating layer, 140)이 형성되어 있으며, 상기 전자가속층(140)의 상면에는 그리드 전극(grid electrode)인 제3 전극(133)이 형성되어 있다. 상기 전자가속층(140)은 전자를 가속시켜 전자빔을 발생시킬 수 있는 물질은 어느 것이라도 적용가능하며, 바람직하게는 산화된 다공성 실리콘(oxidized porous silicon)으로 이루어진다. 이때, 산화된 다공성 실리콘으로는 산화된 다공성 폴리실리콘(poly silicon) 또는 산화된 다공성 비정질 실리콘(amorphous silicon)이 예시된다.

상기 전자가속층(140)은 제1 전극(131)과 제3 전극(133)에 각각 소정의 전압이 인가되면, 상기 제1 전극(131)으로부터 유입된 전자들을 가속시켜 제3 전극(133)을 통하여 상기 셀(114) 내부로 전자빔(E-beam)을 방출시킨다. 상기 셀(114) 내부로 방출된 전자빔은 여기가스를 여기시키게 되고, 여기된 여기가스는 안정화되면서 자외선을 발생시키게 된다. 그리고, 상기 자외선은 형광체층(115)을 여기시켜 가시광을 발생시키게 되고, 이렇게 발생된 가시광은 제2 기관(120)쪽으로 출사되어 화상을 형성하게 된다.

상기 전자빔은 여기가스를 여기(excitation)시키는데 필요한 에너지보다 크고, 여기가스를 이온화(ionization)시키는데 필요한 에너지보다는 작은 에너지를 갖는 것이 바람직하다. 따라서, 상기 제1 전극(131) 및 제3 전극(133)에는 상기 전자빔이 여기가스를 여기시킬 수 있는 최적화된 전자에너지(optimized electron energy)를 가질 수 있는 전압이 인가된다.

도 5에는 자외선 발생원(generating source)인 크세논(Xe)의 에너지 준위(energy level)가 개략적으로 도시되어 있다. 도 5를 참조하면, 크세논(Xe)을 이온화시키기 위해서는 12.13eV의 에너지가 필요하며, 크세논(Xe)을 여기시키기 위해서는 8.28eV 이상의 에너지가 필요함을 알 수 있다. 구체적으로는, 크세논(Xe)을 1S₅, 1S₄, 1S₂ 상태로 각각 여기시키기 위해서는 8.28eV, 8.45eV, 9.57eV의 에너지가 필요하게 된다. 이렇게 여기된 크세논(Xe*)은 안정화되면서 대략 147nm의 자외선이 발생하게 된다. 그리고, 여기 상태(excited state) 크세논(Xe*)과 기저 상태(ground state) 크세논(Xe)이 충돌하게 되면 엑시머(eximer) 크세논(Xe₂*)이 생성되는데, 이러한 엑시머 크세논(Xe₂*)이 안정화되면 대략 173nm의 자외선이 발생하게 된다.

이에 따라, 본 발명에서는 전자가속층(140)에 의하여 셀(114) 내부로 방출되는 전자빔이 크세논(Xe)을 여기시키기 위하여 대략 8.28eV ~ 12.13eV의 에너지를 가질 수 있다. 이 경우, 상기 전자빔은 바람직하게는 8.28eV ~ 9.57eV의 에너지 또는 8.28eV ~ 8.45eV의 에너지를 가질 수 있다. 또한, 상기 전자빔은 8.45eV ~ 9.57eV의 에너지를 가질 수도 있다.

도 6은 본 발명에 따른 평판 디스플레이 장치의 변형예를 도시한 도면이다. 제2 전극(132')은 셀(114)에서 발생된 가시광이 투과될 수 있도록 메쉬(mesh) 구조로 형성되어 있다. 그리고, 제3 전극(133')은 전자가속층(140)에 의하여 가속된 전자들이 셀(114) 내부로 용이하게 방출될 수 있도록 메쉬 구조로 형성되어 있다.

이상에서는 제1 기관(110)이 하부기관이 되고, 제2 기관(120)이 상부기관이 되는 경우가 설명되었지만, 본 구현에는 전자가속층(140)이 형성된 제1 기관(110)이 상부기관이 되고, 제2 기관(120)이 하부기관이 되는 경우에도 적용될 수 있다.

또한, 상기 평판 디스플레이 장치는 상기 제2 전극들 상에 형성되는 다수의 제4 전극; 및 상기 제2 전극과 제4 전극 사이에 형성되는 것으로, 상기 제2 전극과 제4 전극에 전압이 인가됨에 따라 상기 여기가스를 여기시키는 제2 전자빔을 상기 셀 내부로 방출시키는 제2 전자가속층;을 더 구비할 수 있다.

본 발명의 다른 일 구현예에 따르면, 양자점을 형광체의 발광재료로 이용하는 전자 방출 소자를 제공한다.

도 7은 본 발명을 따르는 다양한 전자 방출 소자 중에서도 3극관 구조의 전자 방출 소자를 개략적으로 도시한 것이다. 도 7에 도시된 전자 방출 소자는 상판(201)과 하판(202)을 구비하고, 상기 상판은 상면기관(290), 상기 상면기관의 하면(291)에 배치된 애노드 전극(280), 상기 애노드 전극의 하면(281)에 배치된 형광체층(270)을 구비한다. 이러한 형광체층(270)은 상기 설명한 바와 같이 양자점(Quantum Dot:QD)을 이용한다.

상기 하판(202)은 내부공간을 갖도록 소정의 간격을 두고 상기 상면기관(290)과 대향하여 평행하게 배치되는 하면기관(210), 상기 하면기관(210) 상에 스트라이프 형태로 배치된 캐소드 전극(220), 상기 캐소드 전극(220)과 교차하도록 스트라이프 형태로 배치된 게이트 전극(240), 상기 게이트 전극(240)과 상기 캐소드 전극(220) 사이에 배치된 절연체층(230), 상기 절연체층(230)과 상기 게이트 전극(240)의 일부에 형성된 전자방출원 홀(265), 상기 전자방출원 홀(265)내에 배치되어 상기 캐소드 전극(220)과 통전되고 상기 게이트 전극(240)보다 낮은 높이로 배치되는 전자 방출원(260)을 구비한다. 상기 전자 방출원(260)에 대한 상세한 설명은 상술한 바와 동일하므로 생략한다.

상기 상판(201)과 하판(202)은 대기압보다 낮은 압력의 진공으로 유지되며, 상기 진공에 의해 발생하는 상기 상판과 하판 간의 압력을 지지하고, 발광공간(310)을 구획하도록 스페이서(295)가 상기 상판과 하판 사이에 배치된다.

상기 애노드 전극(280)은 상기 전자방출원(260)에서 방출된 전자의 가속에 필요한 고전압을 인가하여 상기 전자가 양자점으로 이루어진 형광체층(270)에 고속으로 충돌할 수 있도록 하고 상기 전자에 의해 가시광 등을 방출한다.

상기 게이트 전극(240)은 상기 전자방출원(260)에서 전자가 용이하게 방출될 수 있도록 하는 기능을 담당하며, 상기 절연체층(230)은 상기 전자방출원 홀(269)을 구획하고, 상기 전자방출원(260)과 상기 게이트 전극(240)을 절연하는 기능을 담당한다.

양자점은 코어, 셸, 및 상기의 코어와 셸을 덮는 유기막 구조로 이루어진다. 바람직하게는 상기 코어는 CdSe이고, 셸은 ZnS이며, 또한 상기 유기막은 트리옥틸포스핀 옥사이드(trioctylphosphine oxide)이다.

상기 전자 방출 소자에 있어서 전자방출원(260)은 카본계 물질, 다공성 실리콘(oxidized porous silicon), MIM(Metal-Insulator-Metal), 또는 SED(Surface Conduction Electron Emitting Display)으로 이루어질 수 있고, 카본계 물질 또는 다공성 실리콘으로 이루어지는 것이 바람직하다.

이상에서 본 발명에 따른 바람직한 실시예가 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 의해서 정해져야 할 것이다.

발명의 효과

이상에서 살펴본 바와 같이, 종래 고체 발광재료들을 사용하는 플라즈마 디스플레이 패널에서는 비교적 높은 전압을 필요로 하였고 효율이 낮은 반면에, 본 발명에서는 전자가속층으로부터 방출되는 전자빔이 여기가스를 여기시킬 정도의 에너지만 있으면 화상을 형성할 수 있다. 따라서, 본 발명에 따른 평판 디스플레이 장치 및 전자 방출 소자는 원자들 간의 에너지 간섭이 없는 양자점을 발광재료로 사용함으로써 구동 전압을 낮출 수 있고, 발광효율을 향상시킬 수 있게 된다.

도면의 간단한 설명

도 1은 종래 플라즈마 디스플레이 패널의 분리 사시도이다.

도 2a 및 도 2b는 각각 도 1에 도시된 플라즈마 디스플레이 패널을 가로방향 및 세로방향으로 절단하여 도시한 단면도들이다.

도 3은 본 발명의 형광체로서 사용되는 양자점의 구조를 개략적으로 도시한 것이다.

도 4는 본 발명의 일 구현예에 따른 평판 디스플레이 장치의 개략적인 단면도이다.

도 5는 크세논(Xe)의 에너지 준위(energy level)를 도시한 도면이다.

도 6은 본 발명에 따른 평판 디스플레이 장치의 변형예를 도시한 개략적인 단면도이다.

도 7은 본 발명에 따른 전자 방출 소자의 일 구현예를 도시한 개략적인 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

110...제1 기판 113...격벽

114...셀 115...형광체층

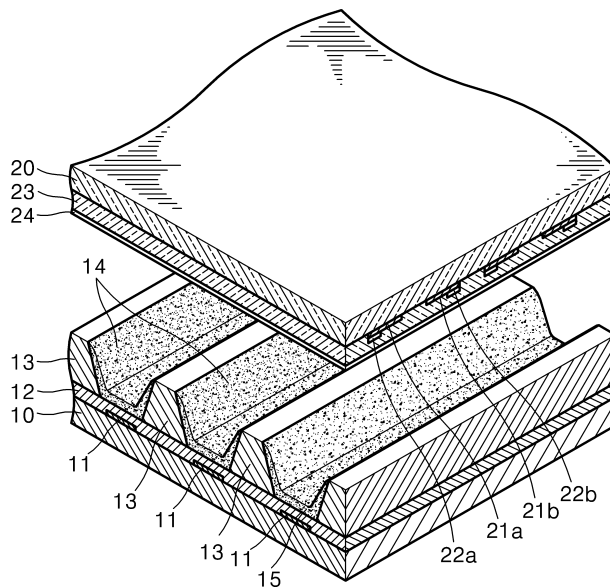
120...제2 기판 131...제1 전극

132...제2 전극 133...제3 전극

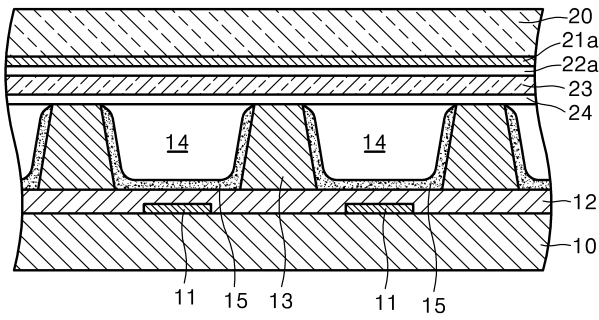
140...전자가속층

도면

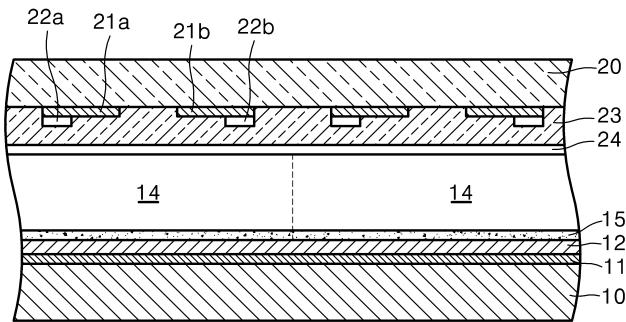
도면1



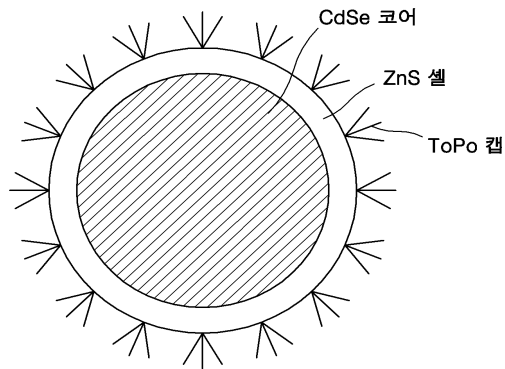
도면2a



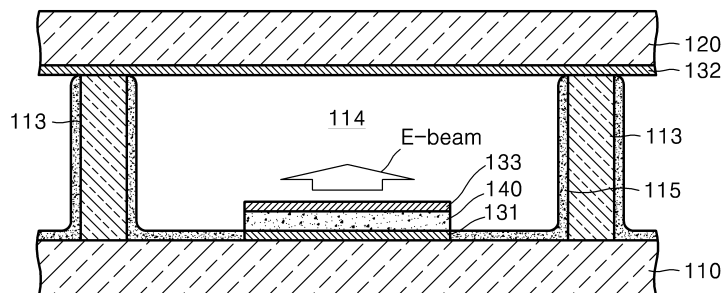
도면2b



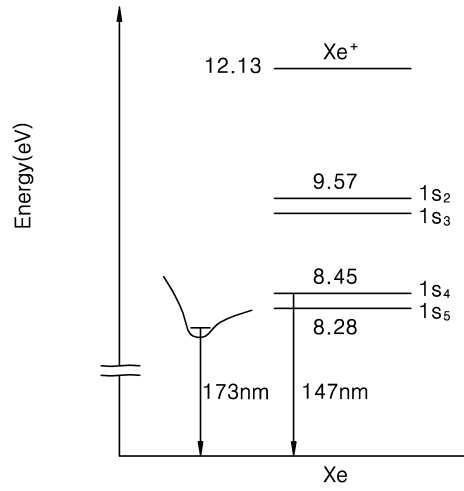
도면3



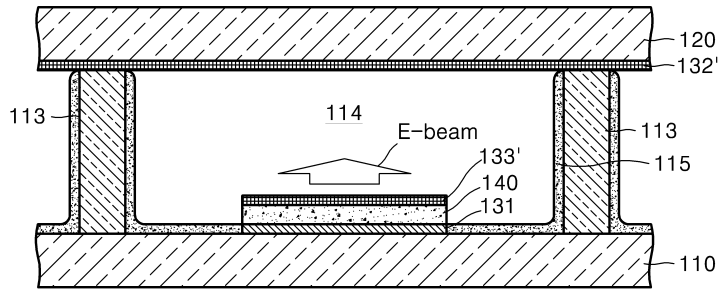
도면4



도면5



도면6



도면7

