



(12)发明专利

(10)授权公告号 CN 106716610 B

(45)授权公告日 2020.03.27

(21)申请号 201580037702.X

(22)申请日 2015.06.18

(65)同一申请的已公布的文献号
申请公布号 CN 106716610 A

(43)申请公布日 2017.05.24

(30)优先权数据
62/014,078 2014.06.18 US
62/029,535 2014.07.27 US

(85)PCT国际申请进入国家阶段日
2017.01.11

(86)PCT国际申请的申请数据
PCT/EP2015/063710 2015.06.18

(87)PCT国际申请的公布数据
W02015/193435 EN 2015.12.23

(73)专利权人 艾克斯瑟乐普林特有限公司
地址 爱尔兰科克

(72)发明人 克里斯托弗·鲍尔 马修·迈托

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 刘锋

(51)Int.Cl.
H01L 21/56(2006.01)
H01L 21/683(2006.01)
H01L 21/60(2006.01)
B81C 99/00(2010.01)

(56)对比文件
US 2013273695 A1,2013.10.17,
US 2013221355 A1,2013.08.29,
US 5882532 A,1999.03.16,
US 2012313241 A1,2012.12.13,
审查员 武建刚

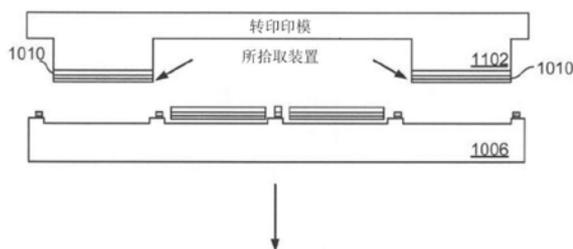
权利要求书1页 说明书17页 附图21页

(54)发明名称

用于控制可转印半导体结构的释放的系统及方法

(57)摘要

所揭示技术大体来说涉及用于控制微型装置的释放的方法及系统。在将微型装置转印到目的地衬底之前,形成其上具有微型装置的同质衬底。所述微型装置可分布于所述同质衬底上方且通过锚结构彼此空间分离。所述锚物理连接/固定到所述同质衬底。系链将每一微型装置物理固定到一或多个锚,借此将所述微型装置悬置于所述同质衬底上面。在某些实施例中,使用单系链设计来控制例如Si(111)等衬底上的可释放结构中的内建应力的松弛。单系链设计除其它益处外还提供以下额外益处:在微组装过程中,在从同质衬底取回时更容易断开。在某些实施例中,狭窄系链设计用于避免对底切蚀刻前端的钉扎。



1. 一种使用(111)硅系统制成适于微转印印刷的晶片封装微尺度装置的方法,所述方法包括:

提供多个微尺度装置;

使用微转印印刷技术将所述微尺度装置组装到载体晶片上,其中所述载体晶片包括硅(111)及第一电介质层;

在将所述微尺度装置组装在所述载体晶片上之后,将所述经组装微尺度装置嵌入于所述微尺度装置上的、与所述载体晶片相对的一侧上的第二电介质层内;

图案化所述第一电介质层及所述第二电介质层以界定所述微尺度装置中的每一者与锚及经塑形以响应于压力而断裂的系链的周界,所述锚及系链在所述微尺度装置相对于所述载体晶片移动时保留所述微尺度装置相对于所述载体晶片的空间配置,借此提供具有适于微转印印刷到其它衬底的微尺度装置的晶片级薄晶片封装,其中所述系链所连接到的所述锚的一部分横向地分离邻近的所述微尺度装置。

2. 根据权利要求1所述的方法,其包括:

在所述微尺度装置的顶部表面或底部表面中的至少一者上形成衬垫结构,借此形成可表面安装装置。

3. 根据权利要求1所述的方法,其中所述微尺度装置各自包括集成电路,所述集成电路与至少两个传感器及使用相同晶片级金属化产生的天线互连。

4. 根据权利要求1所述的方法,其包括:

将所述微尺度装置微转印印刷到卷带上;及

使用带馈送高速射片机来将所述微尺度装置施加到目的地衬底。

5. 根据权利要求1所述的方法,其包括:

使用晶片馈送裸片附接工具来预模制所述微尺度装置,借此形成引线框架上封装。

6. 根据权利要求1所述的方法,其中所述微尺度装置的每一者通过单个系链连接到单个锚。

用于控制可转印半导体结构的释放的系统及方法

[0001] 相关申请案

[0002] 本申请案主张以下申请案的优先权及权益：标题为“用于控制可转印半导体结构的释放的系统及方法 (Systems and Methods for Controlling Release of Transferable Semiconductor Structures)”的2014年6月18日提出申请的第62/014078号美国临时专利申请案及标题为“用于控制可转印半导体结构的释放的系统及方法 (Systems and Methods for Controlling Release of Transferable Semiconductor Structures)”的2014年7月27日提出申请的第62/029535号美国临时专利申请案，所述美国临时专利申请案中的每一者的内容以全文引用的方式并入本文中。

技术领域

[0003] 所揭示技术大体来说涉及用于使用系链来控制从同质衬底释放微型装置的系统及方法。

背景技术

[0004] 所揭示技术大体来说涉及可转印微型装置的形成。半导体芯片或裸片自动化组装装备通常使用真空操作放置头(例如真空抓持器或取放工具)以拾取装置并将装置施加到衬底。使用此技术来拾取及放置超薄或小微型装置通常是困难的。微转印印刷准许选择并应用这些超薄、易碎或小微型装置而不对微型装置本身造成损坏。

[0005] 微结构化印模可用于从微型装置形成于其上的同质源衬底拾取所述微型装置，将所述微型装置输送到非同质目的地衬底，及将所述微型装置印刷到所述目的地衬底上。表面粘附力用于控制对这些微型装置的选择并将其印刷到目的地衬底上。此过程可大规模并行执行，从而在单个拾取及印刷操作中转印数百到数千个离散结构。

[0006] 电子有源组件可印刷到非同质目的地衬底上。举例来说，这些印刷技术可用于形成成像装置(例如平板液晶、LED或OLED显示装置)，或用于数字射线照相板中。在每一实例中，将电子有源组件从同质衬底转印到目的地衬底(例如，用于(举例来说)形成有源微型装置组件的阵列的非同质衬底)。使用弹性体印模从同质衬底拾取有源组件并将其转印到目的地衬底。

[0007] 微转印印刷实现将高性能半导体微型装置并行组装到包含玻璃、塑料、金属或其它半导体的几乎任何衬底材料上。衬底可为透明或柔性的，借此准许产生柔性电子装置。柔性衬底可集成于大量配置中，包含在脆性基于硅的电子装置的情况下不可能的配置。另外，举例来说，一些塑料衬底是机械强固的且可用于提供较不易于遭受由机械应力引起的损坏或电子性能降级的电子装置。这些材料可用于通过能够以低成本在大衬底区域上方分布电子装置的连续、高速印刷技术(例如，卷对卷制造)来制作电子装置。此外，这些常规微转印印刷技术可用于在与塑料聚合物衬底上的组装兼容的温度下印刷半导体装置。另外，半导体材料可印刷到大衬底区域上，借此实现复杂集成电路在大衬底区域上方的连续、高速印刷。此外，在弯曲或变形装置定向上具有良好电子性能的完全柔性电子装置可经提供以实

现广泛范围的柔性电子装置。然而,常规微转印印刷技术缺少以低成本高效产生具有高强度装置的电子器件所需的再生性及精准度。

[0008] 在常规微转印印刷过程中,在将微型装置转印到目的地衬底之前,同质源衬底具备具有牺牲材料的牺牲层及至少部分地形成于所述牺牲层上方的多个微型装置。微型装置可分布于同质源衬底上方且通过锚结构彼此空间分离。锚物理连接或固定到同质源衬底且系链将每一微型装置物理固定到一或多个锚。

[0009] 保持刚性附接到衬底的锚结构及将可释放微型物件接合到锚的系链结构用于在微型物件与整体衬底部分或完全分离时维持微型物件的空间配置。在转印印模拾取装置时,所拾取的每一装置的系链断开。关于微转印印刷,举例来说,参见2011年7月19日发布的第7,982,296号美国专利,所述美国专利的内容以全文引用的方式并入本文中。

[0010] 然而,已证实,有源微型装置组件的释放未得以可靠控制且不可预测,从而导致低效率、不能再生性及错误。因此,需要用于高效且可预测地控制半导体结构的释放的经改善方法及系统。

发明内容

[0011] 所揭示技术大体来说涉及用于使用系链来控制微型装置从同质衬底的释放的系统及方法。所揭示技术提供微型装置组件从衬底的经可靠控制及可预测释放,从而在微组装期间导致高效、可再生性及较少错误。在某些实施例中,所揭示技术每微型装置使用单个、偏离中心系链来完成上述情形。如本文中所描述,此改善牺牲层的移除。举例来说,在一些实施例中,此改善对牺牲层的蚀刻,使得将所述微型装置下方的所要区域整体移除,使得可微组装所述微型装置(例如,可通过弹性体印模拾取所述微型装置,导致所述系链断开)。

[0012] 所揭示技术大体来说涉及用于使用系链来控制微型物件(装置)从同质衬底的释放的系统及方法。在一些实施例中,微型物件经设计或经配置使得在将所述微型物件从衬底释放时保留其定向及空间配置。保持刚性附接到同质衬底的锚结构及将可释放微型物件接合到锚的系链结构用于在微型物件从衬底部分或完全释放时维持微型物件的空间配置。此可通过选择性移除牺牲层(例如,至少部分在微型物件下方的牺牲层)来完成,所述选择性移除是通过底切、蚀刻、剥蚀或其它手段。在一些实施例中,牺牲层是有源组件生长于其上的同质衬底的一部分。此使每一微型装置通过至少一个锚及至少一个系链支撑在同质衬底上且连接到所述同质衬底。

[0013] 在一个方面中,本发明是针对微型装置阵列,所述阵列包括:源衬底,其具有工艺侧;牺牲层,其包括牺牲材料,位于所述源衬底的所述工艺侧上;多个可释放微型物件,其至少部分地形成在所述牺牲层上;多个锚结构,其位于所述源衬底的所述工艺侧上,其中所述锚结构在不存在所述牺牲材料的情况下保持刚性附接到所述源衬底;及多个系链,其中所述多个系链中的每一系链将所述多个可释放微型物件中的一可释放微型物件连接到所述锚结构中的一者且所述多个系链中的每一系链位于所述多个可释放微型物件中的相应可释放微型物件的偏离中心、面向锚的边缘上,使得在不存在所述牺牲材料的情况下,所述可释放微型物件相对于所述锚结构移动且所述系链变形并受到机械应力。

[0014] 在某些实施例中,所述多个系链中的每一者经定大小及塑形以在对应微型物件由弹性体印模接触以用于从源衬底微转印印刷到不同于所述源衬底的目标衬底时断开。

[0015] 在某些实施例中,所述牺牲材料为所述源衬底的一部分。在某些实施例中,所述锚结构形成连续结构,其沿至少一个维度横跨所述多个可释放微型物件中的多于一个可释放微型物件。在某些实施例中,所述锚结构包括多个锚。

[0016] 在某些实施例中,所述多个锚中的每一者由局部凹拐角或内拐角表征,且所述多个可释放微型物件中的每一者由局部凸拐角或外拐角表征。

[0017] 在某些实施例中,所述多个系链中的每一者是宽度为 $10\mu\text{m}$ 到 $40\mu\text{m}$ 的系链。在某些实施例中,所述多个系链中的每一者是具有狭窄形状及 $1\mu\text{m}$ 到 $5\mu\text{m}$ 、 $5\mu\text{m}$ 到 $10\mu\text{m}$ 、 $10\mu\text{m}$ 到 $15\mu\text{m}$ 、 $15\mu\text{m}$ 到 $20\mu\text{m}$ 或 $20\mu\text{m}$ 到 $40\mu\text{m}$ 的宽度的系链。

[0018] 在某些实施例中,所述牺牲层具有各向异性晶体结构。

[0019] 在某些实施例中,所述牺牲层包括选自由以下各项组成的群组的材料:硅(111)、InAlP、InP、GaAs、InGaAs、AlGaAs、GaSb、GaAlSb、AlSb、InSb、InGaAlSbAs、InAlSb及InGaP。在某些实施例中,所述牺牲层包括硅(111)。

[0020] 在某些实施例中,所述系链中的每一者包括一或多个凹口,所述一或多个凹口在相应可释放微型物件相对于所述锚结构移动时提供断裂点。

[0021] 在某些实施例,所述源衬底包括选自由以下各项组成的群组的部件:硅(111)、硅、磷化铟、砷化镓及蓝宝石。

[0022] 在某些实施例中,所述系链中的每一者具有大于1.732的纵横比。

[0023] 在另一方面中,本发明是针对一种使用(111)硅系统制成适于微转印印刷的较薄且低成本的晶片封装微尺度装置的方法,所述方法包括:提供多个微尺度装置;使用微组装技术将所述微尺度装置组装到载体晶片上,其中所述载体晶片包括硅(111)及第一电介质层;将所述经组装微尺度装置嵌入于第二电介质层内;图案化所述第一电介质层及所述第二电介质层以界定具有锚及系链的所述微尺度装置中的每一者的周界,所述锚及系链在所述微尺度装置相对于所述载体晶片移动时保留所述微尺度装置相对于所述载体晶片的空间配置,借此提供具有适于微转印印刷到其它衬底的微尺度装置的晶片级薄晶片封装。

[0024] 在某些实施例中,所述方法进一步包括:在所述微尺度装置的顶部表面或底部表面中的至少一者上形成衬垫结构。

[0025] 在某些实施例中,所述微尺度装置各自包括集成电路,所述集成电路与至少两个传感器及使用相同晶片级金属化产生的天线互连。在某些实施例中,所述方法进一步包括:将所述微尺度装置微转印印刷到卷带上;及使用带馈送高速射片机来将微尺度装置施加到目的地衬底。

[0026] 在某些实施例中,所述方法进一步包括:使用晶片馈送裸片附接工具来预模制所述微尺度装置,借此形成引线框架上封装。

[0027] 在某些实施例中,所述方法进一步包括:使用晶片馈送裸片附接工具来形成所述微尺度装置的封装中封装装置。

[0028] 在某些实施例中,所述方法进一步包括:使用晶片馈送裸片附接工具或晶片馈送微转印印刷机来从所述微尺度装置形成晶片级封装。

[0029] 在另一方面中,本发明是针对一种制作可印刷组件阵列的方法,所述方法包括:在源衬底的工艺侧上形成包括牺牲材料的牺牲层;至少部分地在所述牺牲层上形成多个可释放微型物件;在所述源衬底上形成锚结构,其在不存在所述牺牲材料的情况下保持刚性附

接到所述源衬底；形成多个系链，其中所述多个系链中的每一系链将所述多个可释放微型物件中的一可释放微型物件连接到所述锚结构中的一者，所述多个系链中的每一系链位于所述多个可释放微型物件中的相应可释放微型物件的偏离中心、面向锚的边缘上，且每一系链经塑形以响应于所述可释放微型物件的移动而断裂，使得在不存在牺牲材料的情况下：所述可释放微型物件相对于所述锚结构移动；所述系链变形并受到机械应力；且所述多个系链中的每一系链保持刚性附接到相应锚及所述多个微型物件中的相应可释放微型物件两者，借此保留所述多个可释放微型物件相对于所述源衬底的空间配置；将所述牺牲材料的在所述多个可释放微型物件下方的至少一部分移除，使得所述可释放微型物件相对于所述锚结构移动且所述系链变形并受到机械应力。

[0030] 在某些实施例中，所述移除过程相对于释放所述锚结构的速率在所述多个可释放微型物件下方迅速地进展。在某些实施例中，所述多个系链中的每一系链具有宽度为10 μm 到40 μm 的狭窄形状，借此抑制局部凹拐角或内拐角的形成。

[0031] 在某些实施例中，所述牺牲层具有各向异性晶体结构，针对所述各向异性晶体结构所述移除过程沿一些方向较快进展且沿其它方向较慢进展。

[0032] 在某些实施例中，所述多个系链中的每一系链包括一或多个凹口，所述凹口在可释放微型物件移动时为所述可释放微型物件提供断裂点。

[0033] 在某些实施例中，所述移除过程在接近给定系链的区域处达到完成。

[0034] 在某些实施例中，所述源衬底是选自由以下各项组成的群组的材料：硅(111)、硅、磷化铟、砷化镓及蓝宝石。

[0035] 在某些实施例中，所述多个系链中的每一者具有小于1.732的纵横比。

[0036] 在另一方面中，本发明是针对一种制作多个可转印微型物件的方法，所述方法包括：在源衬底的工艺侧上形成包括牺牲材料的牺牲层；至少部分地在所述牺牲层上形成多个可释放微型物件（例如，可印刷电子组件、可印刷有源组件、微型装置、微尺度装置）；将聚合物层（例如，光致抗蚀剂材料、光可界定材料）施加于所述多个可释放微型物件及所述源衬底的至少一部分上方，其中所述聚合物层囊封所述多个可释放微型物件（例如，所述多个可释放微型物件的除与所述牺牲层接触的部分外的部分）；处理所述聚合物层以：(i) 针对所述多个可转印微型物件在所述源衬底上形成多个锚结构，(ii) 在每一可转印微型物件与所述多个锚结构的预定锚结构之间形成至少一个系链，及(iii) 针对所述可释放微型物件中的每一者，在所述聚合物层中形成通到所述牺牲层的在相应可转印微型物件下方的一部分的进入端口；及将所述多个可释放微型物件下面的所述牺牲层的至少一部分移除（例如，通过底切蚀刻或剥蚀）。

[0037] 在某些实施例中，一或多个锚结构在所述可转印微型物件移动时保持刚性附接到所述衬底。

[0038] 在某些实施例中，所述牺牲层的在所述多个可释放微型物件下方的至少一部分致使所述多个可释放微型物件中的每一者移动并将应力施加于所述多个系链的相应子组上。

[0039] 在某些实施例中，所述多个系链的相应子组包括单个系链。

[0040] 在某些实施例中，所述方法进一步包括：转印所述可释放微型物件及将所述聚合物的至少一部分从所述微型物件移除。在某些实施例中，所述方法进一步包括：将所述聚合物的至少一部分从所述微型物件移除包括溶解、蚀刻及灰化所述聚合物中的至少一者。在

某些实施例中,所述方法进一步包括:通过使印刷印模的至少一部分接触到所述聚合物的对应部分来转印所述可释放微型物件。

[0041] 在某些实施例中,使用单系链设计来控制衬底(例如Si (111))上的可释放结构中的内建应力的松弛。单系链设计除其它益处外还提供额外益处:在微组装过程中,在从同质衬底移除时较容易断开。在某些实施例中,使用狭窄系链设计(例如,宽度为 $1\mu\text{m}$ 到 $5\mu\text{m}$ 、 $5\mu\text{m}$ 到 $10\mu\text{m}$ 、 $10\mu\text{m}$ 到 $15\mu\text{m}$ 、 $15\mu\text{m}$ 到 $20\mu\text{m}$ 或 $20\mu\text{m}$ 到 $40\mu\text{m}$ 的系链)来在从所述牺牲层蚀刻所述牺牲材料时避免对底切蚀刻前端的钉扎。

[0042] 在某些实施例中,所揭示技术包含制作可印刷组件阵列的方法。所述方法可包含:在源衬底的工艺侧上形成具有牺牲材料的牺牲层;至少部分地在所述牺牲材料上形成多个可释放微型物件(例如,可印刷电子组件、可印刷有源组件);在所述源衬底上形成锚结构,其在将所述牺牲材料至少部分移除时不存在所述牺牲材料的情况下保持刚性附接到所述衬底;执行移除过程(例如,蚀刻或剥蚀底切所述微型物件)以将所述牺牲材料的至少一部分从在所述多个可释放微型物件下方的所述牺牲层移除,借此致使所述多个可释放微型物件中的每一者松弛并在所述微型物件相对于所述锚结构移动时将机械应力施加于多个系链的相应子组(例如,单个系链)使得(举例来说)响应于与弹性体印模接触,所述系链变形并受到机械应力。

[0043] 在某些实施例中,所述多个系链中的单个系链将所述多个微型物件中的每一者物理固定到所述锚结构,借此控制在执行所述底切移除过程之后所述多个可释放微型物件中的内建应力的松弛。所述多个系链中的每一系链可经塑形以响应于施加到其的压力(例如,在转印/印刷期间)断裂。所述多个系链中的每一系链可保持刚性附接到相应锚及所述多个微型物件中的相应可释放微型物件两者,借此在将所述多个微型物件的至少一部分从所述源衬底转印(例如,经由微转印印刷)时保留剩余微型物件的所述空间配置。

[0044] 在某些实施例中,所揭示技术包含微型物件阵列。所述阵列可包含源衬底;牺牲层,其在所述源衬底的工艺侧上;多个可释放微型物件(例如,可印刷电子组件、可印刷有源组件),其至少部分地形成在所述牺牲层材料的顶部上;锚结构,其位于所述源衬底的所述工艺侧上,其中所述锚结构在将所述牺牲层移除时保持刚性附接到所述衬底,借此保留所述多个可释放微型物件相对于所述源衬底的空间配置;多个系链,其中所述多个系链中的子组(例如,单个系链)将所述多个可释放微型物件中的每一者连接到所述锚结构,借此控制在移除过程将在所述牺牲层的在所述多个可释放微型物件下方的至少一部分移除(例如,底切蚀刻或剥蚀)时所述多个可释放微型物件中的内建应力的松弛。

[0045] 锚结构可在将通过所述移除过程(例如,底切蚀刻或剥蚀)将所述牺牲层移除时保持刚性附接到所述衬底,借此致使所述多个可释放微型物件移动并将额外应力施加于所述多个系链的至少一部分上,在执行所述牺牲材料移除之后,所述多个系链中的每一者将所述多个可释放微型物件中的一者经由所述锚结构连接到所述衬底。

[0046] 在某些实施例中,所揭示技术包含使用绝缘体上硅源晶片及(111)处置晶片来制成准备好转印的集成电路的方法。所述方法可包含:形成包括具有(111)定向的处置晶片的绝缘体上硅晶片;在所述绝缘体上硅晶片上形成多个准备好转印的集成电路;图案化装置硅层(例如,借此物理上界定集成电路的形状);围绕所述准备好转印的集成电路中的每一者的周界图案化并蚀刻穿过电介质层,借此界定多个微型装置;及沉积无机电介质以钝化

所述经暴露的装置硅。

[0047] 在某些实施例中,所揭示技术包含使用(111)系统产生适于微转印印刷的较薄且低成本的晶片封装微尺度装置的方法。所述方法可包含:提供多个微尺度装置及使用微组装技术将所述微尺度装置组装到载体晶片上,其中所述载体晶片包括(111)定向硅及第一电介质层(例如,有机材料(举例来说,聚酰亚胺),或无机材料(举例来说,二氧化硅));将所述经组装微型装置嵌入于第二电介质层(例如,有机材料,举例来说,旋涂聚酰亚胺或经沉积无机材料)内;图案化所述第一电介质层及所述第二电介质层,以界定具有锚及系链的所述微尺度装置的周界,所述系链在所述微尺度装置相对于所述载体晶片移动时保留所述微尺度装置相对于所述载体晶片的空间配置,借此提供具有适于微转印印刷到其它衬底的微尺度装置(例如,使用真空筒夹或使用物理接触所述装置的转印元件)的晶片级薄晶片封装。

[0048] 在某些实施例中,所揭示技术包含制作多个可转印微型物件的方法。所述方法包含:在源衬底的工艺侧上形成包含牺牲材料的牺牲层;至少部分地在所述牺牲层上形成多个可释放微型物件(例如,可印刷电子组件、可印刷有源组件、微型装置、微尺度装置);将聚合物层(例如,光致抗蚀剂材料、光可界定材料)施加于所述多个可释放微型物件及所述源衬底的至少一部分上方,其中所述聚合物层囊封所述多个可释放微型物件(例如,所述多个可释放微型物件的除与所述牺牲层接触的部分外的部分);处理所述聚合物层以:(i)针对所述多个可转印微型物件在所述源衬底上形成多个锚结构,所述一或多个锚结构在所述可转印微型物件的所述牺牲层移动时保持刚性附接到所述衬底,(ii)在每一可转印微型物件与所述多个锚结构的预定锚结构之间形成至少一个系链,及(iii)针对所述可释放微型物件中的每一者,在所述聚合物层中形成通到所述牺牲层的在相应可转印微型物件下方的一部分的进入端口;及执行移除过程(例如,底切蚀刻或剥蚀)以将所述多个可释放微型物件下面的所述牺牲层的至少一部分移除(例如,借此致使所述多个可释放微型物件中的每一者移动并施加应力于所述多个系链的相应子组(例如,单个系链))。

[0049] 在某些实施例中,所揭示技术允许在制作微型装置阵列期间采用单个聚合物层(例如,光致抗蚀剂或光敏材料)。单个层(例如,囊封结构)可用作锚结构、系链结构或囊封结构或所有三个结构。囊封结构在一些实施例中用于在装置制作及微印刷过程期间保护微型装置阵列(包含其任何化学敏感层)及提供接触及粘附界面到微印刷过程中所采用的转印元件。所述囊封结构可提供电绝缘及避免污染物、湿气及氧化剂的保护。所述层可进一步实现可印刷物件的底部、顶部或侧面上的电接触。

[0050] 在一些实施例中,所述单个聚合物层改善给定晶片的所述可印刷微型装置的密度。支撑性不可印刷结构(例如,锚及系链)可经制作使得邻近可印刷结构之间的距离较小(例如,小于可印刷结构的宽度的一半)。

[0051] 在一些实施例中,聚合物(例如,光致抗蚀剂或光敏材料)具有期望为系链的断裂特性,例如在释放过程期间维持可印刷结构的足够刚度。在通过溶解、蚀刻、灰化或其它过程的转印之后,还可将形成锚定、拴系或囊封的聚合物从可印刷物件及目标衬底选择性地移除。在一些实施例中,所述聚合物还具有足够粘附性以用作与微印刷系统的转印元件的接触界面以从同质衬底被拾取且可经处理以用作一旦所述微型装置已经转印到目的地衬底即将所述转印元件与所述微型装置分离的界面。因此,在实施例中,通过使印

刷印模的至少一部分接触到所述聚合物的对应部分来转印所述可释放微型物件。

附图说明

[0052] 通过联合附图参考以下描述,本发明的前述及其它目标、方面、特征及优点将变得更显而易见及更好理解,附图中:

[0053] 图1是其上形成有微型装置的实例性同质衬底的图解说明;

[0054] 图2是随时间进行底切蚀刻的过程的图解说明;

[0055] 图3是底切蚀刻具有单个系链的可转印半导体的过程的图解说明;

[0056] 图4是底切蚀刻具有偏离中心放置的单个系链的可转印半导体的过程的图解说明;

[0057] 图5A及5B是每可释放结构具有四个系链的实例性结构的图解说明;

[0058] 图6A及6B是(111)硅特有的系链的实例性图解说明;

[0059] 图7A及7B图解说明将牺牲层从可释放物件下方移除且减少将牺牲层从锚定结构下方移除的结晶选择性的额外设计;

[0060] 图8是在系链中实施的实例性凹口的图解说明;

[0061] 图9是用于使用(111)硅提供超薄低成本封装装置的实例性方法的流程图;

[0062] 图10A到10D图解说明用于使用具有(111)处置晶片的绝缘体上硅晶片制成准备好转印的集成电路的处理器;

[0063] 图11A到11C图解说明使用微组装技术来组装低成本载体晶片的实例性过程,所述微组装技术使用弹性体印模微转印印刷来拾取薄微型装置并将其放置到另一载体晶片上;

[0064] 图12A到12C图解说明用于使用(111)系统来产生触摸薄且低成本封装装置的实例性方法;

[0065] 图13是其上具有经释放电介质结构的衬底的实例的图解说明;

[0066] 图14是实例性可调适组装途径与晶片级(111)硅启用封装的图解说明;

[0067] 图15是使用(111)释放系统的封装中的实例性系统的图解说明;

[0068] 图16是展示具有锚、系链及囊封部的可释放微型物件的实例的图解说明;

[0069] 图17是展示实例性可释放微型物件的释放及移除的图解说明;及

[0070] 图18是半导体装置的晶体定向的图解说明。

[0071] 当联合图式一起时,依据下文所陈述的详细描述,本发明的特征及优点将更显而易见,其中在通篇中相似参考字符识别对应元件。在图式中,相似参考编号通常指示相同、功能上类似及/或结构上类似的元件。

具体实施方式

[0072] 如本文中所使用,表达“半导体元件”及“半导体结构”同义使用且广义地指半导体材料、结构、装置或装置的组件。半导体元件包含高质量单晶及多晶半导体、经由高温处理制作的半导体材料、经掺杂半导体材料、有机及无机半导体以及具有一或多个额外半导体组件及/或非半导体组件的复合半导体材料及结构,例如电介质层或材料及/或导电层或材料。半导体元件包含半导体装置及装置组件,包含但不限于晶体管、包含太阳能电池的光伏器件、二极管、发光二极管、激光器、p-n结、光电二极管、集成电路及传感器。另外,半导体元件

可指形成功能半导体装置或产品的零件或部分。

[0073] “半导体”是指在极低温度下为绝缘体但在约300开尔文的温度下具有可观导电率的材料的任何材料。半导体的电特性可通过添加杂质或掺杂剂而修改且通过使用电场来控制。在本描述中，术语半导体的用法打算与此术语在微电子及电子装置领域中的用法相一致。在本发明中有用的半导体可包含例如硅、锗及金刚石等元素半导体及(举例来说)以下各项的化合物半导体：IV族化合物半导体，例如SiC及SiGe；III-V族半导体，例如AlSb、AlAs、Aln、AlP、BN、GaSb、GaAs、GaN、GaP、InSb、InAs、InN及InP；III-V族三元半导体合金，例如 $Al_xGa_{1-x}As$ ；II-VI族半导体，例如CsSe、CdS、CdTe、ZnO、ZnSe、ZnS及ZnTe；I-VII族半导体CuCl；IV-VI族半导体，例如PbS、PbTe及SnS；层式半导体，例如PbI₂、MoS₂及GaSe；氧化物半导体，例如CuO及Cu₂O。术语半导体包含本征半导体及掺杂有一或多种选定材料的非本征半导体(包含具有p型掺杂材料及n型掺杂材料的半导体)，以提供对给定应用或装置有用的有益电子性质。术语半导体包含包括半导体及/或掺杂剂的混合物的复合材料。在本发明的一些应用中，有用的特定半导体材料包含但不限于Si、Ge、SiC、AlP、AlAs、AlSb、GaN、GaP、GaAs、GaSb、InP、InAs、GaSb、InP、InAs、InSb、ZnO、ZnSe、ZnTe、CdS、CdSe、ZnSe、ZnTe、CdS、CdSe、CdTe、HgS、PbS、PbSe、PbTe、AlGaAs、AlInAs、AlInP、GaAsP、GaInAs、GaInP、AlGaAsSb、AlGaInP及GaInAsP。多孔硅半导体材料对本发明在传感器及发光材料(例如发光二极管(LED)及固态激光器)领域中的应用有用。半导体材料的杂质是除半导体材料本身以外的原子、元素、离子或分子或者提供于半导体材料中的任何掺杂剂。杂质是半导体材料中所存在的非所要材料，其可能会消极地影响半导体材料的电子性质且包含但不限于氧、碳及金属(包含重金属)。重金属杂质包含但不限于元素周期表上位于铜与铅之间的元素族、钙、钠及其所有离子、化合物及/或复合物。

[0074] “衬底”是指其上或其中进行(或已进行)例如半导体元件的图案化、组装或集成等工艺的结构或材料。衬底包含但不限于：(i) 其上制作、沉积、转印或支撑半导体元件的结构(还称作为同质衬底)；(ii) 装置衬底，举例来说，电子装置衬底；(iii) 具有用于随后转印、组装或集成的例如半导体元件等元件的施体衬底；及(iv) 用于接纳例如半导体元件等可印刷结构的目标衬底。施体衬底可为但未必是同质衬底。

[0075] 如本文中所使用的“目的地衬底”是指用于接纳例如半导体元件等可印刷结构的目标衬底(例如，非同质衬底)。目的地衬底材料的实例包含聚合物、塑料、树脂、聚酰亚胺、聚萘二甲酸乙二醇酯、聚对苯二甲酸乙二醇酯、金属、金属箔、玻璃、柔性玻璃、半导体及蓝宝石。

[0076] 如本文中所使用的术语“微型”及“微型装置”是指根据本发明的实施例的特定装置或结构的描述性大小。如本文中所使用，术语“微型”及“微型装置”打算指以.5 μ m到250 μ m(例如，从.5 μ m到2 μ m、2 μ m到5 μ m、5 μ m到10 μ m、10 μ m到20 μ m、20 μ m到50 μ m、50 μ m到100 μ m或100 μ m到250 μ m)尺度的结构或装置。然而，将了解，本发明的实施例未必限于此，且实施例的某些方面可应用于较大或较小大小尺度。

[0077] “可印刷”是指材料、结构、装置组件或集成式功能装置能够在不将衬底暴露于高温的情况下(即，在小于或等于约400、200或150摄氏度的温度下)转印、组装、图案化、组织或集成到衬底上或衬底中。在本发明的一个实施例中，可印刷材料、元件、装置组件或装置能够经由原液印刷、微转印印刷或干式转印接触印刷而转印、组装、图案化、组织及/或集成到衬底上或衬底中。

[0078] 本发明的“可印刷半导体元件”包括可(举例来说)通过使用干式转印接触印刷、微转印印刷或原液印刷方法而组装或集成到衬底表面上的半导体结构。在一个实施例中,本发明的可印刷半导体元件为单一单晶、多晶或微晶无机半导体结构。在本描述的上下文中,单一结构是具有经机械连接的特征的单体式元件。本发明的半导体元件可为未经掺杂或经掺杂,可具有选定空间分布的掺杂剂且可掺杂有多种不同掺杂剂材料(包含p型及n型掺杂剂)。本发明包含具有大于或等于约1微米的至少一个横截面尺寸的微结构化可印刷半导体元件及具有小于或等于约1微米的至少一个横截面尺寸的纳米结构化可印刷半导体元件。在许多应用中,有用的可印刷半导体元件包括从对高纯度块体材料(例如使用常规高温处理技术产生的高纯度结晶半导体晶片)的“由上而下”处理得来的元件。在一个实施例中,本发明的可印刷半导体元件包括复合结构,所述复合结构具有以操作方式连接到至少一个额外装置组件或结构(例如导电层、电介质层、电极、额外半导体结构或这些结构的任一组合)的半导体。在一个实施例中,本发明的可印刷半导体元件包括可拉伸半导体元件或异质半导体元件。

[0079] 术语“柔性”是指材料、结构、装置或装置组件(例如)在不经历引起显著应变(例如以材料、结构、装置或装置组件的破裂点为特征的应变)的变换下可逆地变形成弯曲形状的能力。

[0080] “塑料”是指可经模制或塑形(通常在加热时)且经硬化成所要形状的任何合成或天然存在的材料或材料组合。在本发明的装置及方法中有用的示范性塑料包含但不限于聚合物、树脂及纤维素衍生物。在本描述中,术语塑料打算包含复合塑料材料,所述复合塑料材料包括具有一或多种添加剂(例如结构增强剂、填充剂、纤维、塑化剂、稳定剂或可提供所要化学或物理性质的添加剂)的一或多种塑料。

[0081] “电介质”及“电介质材料”在本描述中同义使用且是指对电流流动具有高抗性且可通过所施加电场极化的物质。有用电介质材料包含但不限于SiO₂、Ta₂O₅、TiO₂、ZrO₂、Y₂O₃、SiN₄、STO、BST、PLZT、PMN及PZT。

[0082] “聚合物”是指包括多个重复化学基团(通常称作为单体)的分子。聚合物通常由高分子质量表征。本发明中可使用的聚合物可为有机聚合物或无机聚合物且可为非晶、半非晶、结晶或部分结晶状态。聚合物可包括具有相同化学组成的单体或可包括具有不同化学组成的多个单体,例如共聚物。具有链接式单体链的交联聚合物对本发明的一些应用尤其有用。本发明的方法、装置及装置组件中可用的聚合物包含但不限于塑料、弹性体、热塑性弹性体、弹性塑料、恒温器、热塑性塑料及丙烯酸酯。示范性聚合物包含但不限于缩醛聚合物、可生物降解聚合物、纤维素聚合物、含氟聚合物、尼龙、聚丙烯腈聚合物、聚酰胺-亚酰胺聚合物、聚酰亚胺、聚芳香酯、聚苯并咪唑、聚丁烯、聚碳酸酯、聚酯、聚醚酰亚胺、聚乙烯、聚乙烯共聚物及经改质聚乙烯、聚酮、聚甲基丙烯酸甲酯、聚甲基戊烯、聚仲苯醚及聚苯硫、聚邻苯二甲酰胺、聚丙烯、聚氨酯、苯乙烯树脂、砜基树脂、乙烯基树脂或这些的任何组合。

[0083] 如本文中所使用的“微转印印刷”是指用于将微型或纳米型材料、装置及半导体元件确定性组装成具有二维及三维布局的经空间组织、功能布置的系统、方法及技术。通常难以拾取并放置超薄或小型装置,然而,微转印印刷准许选择并施加这些超薄、易碎或小型装置(例如微型LED)而不会对装置本身造成损坏。微结构化印模(例如,弹性印模、静电印模或混合弹性/静电印模)可用于拾取微型装置,将微型装置输送到目的地衬底,及将微型装置

印刷到目的地衬底上。在一些实施例中,表面粘附力用于控制对这些装置的选择并将其印刷到目的地衬底上。此过程可大规模地并行执行。印模可经设计以在单个拾取及印刷操作中转印单个装置或数百到数千个离散结构。关于微转印印刷的论述通常参见第7,622,367号及第8,506,867号美国专利,所述美国专利中的每一者特此以全文引用的方式并入本文中。

[0084] 所揭示技术大体来说涉及用于使用系链来控制微型物件(装置)从同质衬底的释放的系统及方法。在一些实施例中,微型物件经设计或经配置使得在将所述微型物件从衬底释放时保留其定向及空间配置。保持刚性附接到同质衬底的锚结构及将可释放微型物件接合到锚的系链结构用于在微型物件从衬底部分或完全释放时维持微型物件的空间配置。此可通过选择性移除牺牲层(例如,至少部分在微型物件下方的牺牲层)来完成,所述选择性移除是通过底切、蚀刻、剥蚀或其它手段。在一些实施例中,牺牲层是有源组件生长于其上的同质衬底的一部分。此使每一微型装置通过至少一个锚及至少一个系链支撑在同质衬底上且连接到所述同质衬底。

[0085] 在一些实施例中,用以将在可释放微型物件下方的牺牲层移除的蚀刻工艺具有结晶相依性,蚀刻沿晶体结构的一些方向较快且沿晶体结构的其它方向较慢。由于易受不同蚀刻速率影响的悬空键的数目的差异,因此拐角结构以不同速率蚀刻。举例来说,在平面晶体结构中,通常连接到四个相邻者的晶体原子或分子将仅在凸拐角处连接到两个相邻者但将在凹拐角处连接到三个相邻者。通常连接到八个相邻者的晶体原子将仅在凸拐角处连接到三个相邻者但将在凹拐角处连接到七个相邻者。因此,由牺牲层制成的结构的凸拐角或外拐角相对快速地蚀刻,从而渐进地蚀刻且产生平行于晶体中快速蚀刻平面的蚀刻前端。由牺牲层制成的结构的凹拐角或内拐角具有较少易受影响的悬空键,且蚀刻较缓慢,从而形成由缓慢蚀刻平面界定的缓慢移动或钉扎/停止蚀刻前端,前提是蚀刻剂的所得蚀刻前端可形成并维持由内拐角/凹拐角表征的局部形状。展现此类结晶选择性的一些释放层(还称作为牺牲层)包含Si(111)、InAlP、InP、GaAs、InGaAs、AlGaAs、GaSb、GaAlSb、AlSb、InSb、InGaAlSbAs、InAlSb及InGaP。

[0086] 提供在用于形成可释放微型物件的区及在用于形成锚定结构的区两者中至少暂时地横跨第一衬底的整个区域的牺牲层通常是便利的。在那些应用中,可使用其中锚形成沿至少一个维度横跨多于一个可释放微型物件的连续结构的锚定设计或其中锚定位在可释放微型物件周围的设计。在一些实施例中,锚定结构经设计有局部凹拐角或内拐角且可释放微型物件经设计有凸拐角/外拐角。在一些实施例中,牺牲材料移除蚀刻在可释放微型物件下方迅速地进展(例如,相对于形成锚结构的速率)。这些设计可进一步得益于系链设计,所述系链设计(举例来说)通过具有窄于系链所附接到的锚结构的狭窄形状而包含较少局部凹拐角或内拐角。在一些实施例中,狭窄系链意指宽度为 $1\mu\text{m}$ 到 $100\mu\text{m}$ 、 $1\mu\text{m}$ 到 $5\mu\text{m}$ 、 $5\mu\text{m}$ 到 $10\mu\text{m}$ 、 $10\mu\text{m}$ 到 $15\mu\text{m}$ 、 $15\mu\text{m}$ 到 $20\mu\text{m}$ 或 $20\mu\text{m}$ 到 $40\mu\text{m}$ 的系链。在一些实施例中,狭窄系链的宽度是 $1\mu\text{m}$ 到 $50\mu\text{m}$ 或 $5\mu\text{m}$ 到 $10\mu\text{m}$ 。

[0087] 图1是其上具有形成于有源层106中的微型装置(例如,106a、106b及106c)的实例性同质衬底102的图解说明。同质衬底102将取决于形成于其上的微型装置的类型而变化。实例性同质衬底包含半导体材料(例如,非晶、多晶、微晶或结晶半导体)、金属、聚合物或玻璃。有源层106(包含有源组件106a到106c)可包含半导体,例如结晶Si、GaAs、GaN或III-V化

合物半导体。

[0088] 牺牲层104形成于同质衬底102上。有源组件106可形成于有源层106中,有源层106形成于牺牲层104上。有源组件106a到106c分布于同质衬底102上方且通过锚108a到108b(统称锚108)彼此空间分离。锚108通过牺牲层104a、104b的部分物理连接或固定到同质衬底102。有源组件106a到106c通过系链110a到110d(统称为系链110)悬置于同质衬底102上面,系链110a到110d将每一有源组件106a到106c物理固定到一或多个锚108。在一些实施例中,单个锚或系链(未展示)用于将每一有源组件106a到106c固定到衬底102。系链110及锚108可至少部分地导电,借此将每一有源组件106a到106c电连接到一或多个系链110或锚108。在一些实施例中,电功能锚108包含无源电元件(例如电导体、电阻器、电容器或接触垫)或有源组件(例如晶体管及电容器)。

[0089] 锚108通过在电功能锚108下面的牺牲层104连接到衬底层102。在一些实施例中,牺牲层104不存在于有源组件106a到106c下面的区域112a到112c(统称为112)中,借此将有源组件106a到106c与锚108隔离。在一些实施例中,在已执行蚀刻工艺以将牺牲层104从有源组件106a到106c下面的区域112移除之后,牺牲层104不存在于那些区域中。举例来说,在一些实施例中,可转印半导体结构生长于同质衬底材料(例如Si(111))上。所述结构可通过底切蚀刻衬底材料或形成于同质衬底材料与可转印半导体结构之间的牺牲材料而释放。

[0090] 在一些实施例中,系链110或锚108是异质的,使得其由除基底衬底材料以外的材料(例如,除形成同质衬底的半导体材料以外的材料)制成。举例来说,系链110或锚108可为结晶的、多晶的、非晶的或延性的。

[0091] 牺牲层104可为氧化物,例如二氧化硅。系链110可包含金属、半导体或经掺杂半导体,及/或金属层,借此在锚108与可印刷有源组件106a到106c之间提供导电性。系链110或锚108可包含非导电性电介质或树脂。

[0092] 图2图解说明随时间底切蚀刻牺牲层的过程。图2中的虚线指示在半导体装置202(对应于有源组件106a到106c)下面的蚀刻剂的延伸程度。在已开始用以释放半导体结构202的蚀刻工艺之前,半导体装置202经展示在 $t=0$ 处。在一些实施例中,锚结构108垂直于结晶硅111的(122)方向族形成。在一些实施例中,锚结构108形成是待释放的装置202的至少两倍宽的结构。在一些实施例中,锚结构108围绕待释放的装置202结构使得不通过底切蚀刻释放锚结构108。在一些实施例中,牺牲层104的定向经选择以允许根据图2发生底切蚀刻进展,如从 $t=0$ 到 $t=6$ 所示,其中垂直快速蚀刻方向对应于装置202下方的虚线蚀刻前端的进展。在一些实施例中,牺牲层104具有足够厚度以一旦将牺牲材料移除即允许蚀刻剂在牺牲层104内流动。

[0093] 在一些实施例中,待释放的装置202结构保留有剩余应力,这(举例来说)归因于活性材料(例如,有源层106)或缓冲区的外延生长。在通过底切蚀刻释放时,装置202结构可部分或完全松弛、变形或移动且因此将额外应力施加于仍附接到衬底的结构的部分(例如,对应图1的系链110的系链204)上。在一些实施例中,如果施加到系链204的应力足够大以使系链204断裂,那么装置202结构可在微型装置202用于微印刷过程(例如,由保形转印元件拾取)之前在释放化学中过早地损失。

[0094] 图3是底切蚀刻具有单个系链304(对应于图1的系链110)的可转印半导体302(对应于有源组件106a到106c)的过程的图解说明。根据图3中用虚线所示的进展,发生半导体

装置302下面的底切蚀刻进展。在一些实施例中,待释放的装置302结构保留有剩余应力,这(举例来说)归因于活性材料(例如,有源层106)或缓冲区的外延生长。在通过底切蚀刻释放时,装置302结构可部分或完全松弛、变形或移动且因此将额外应力施加于仍附接到衬底的结构的部分(例如,对应图1的系链110的系链304)上。如果装置302结构是由位于面向锚边缘装置302结构的中心点处的单个系链304固持,那么底切在结构的中心处沿线完成,且未经拴系边缘的自由膨胀或收缩可适应在释放时发生的变形而无需施加应力到系链304。

[0095] 图4是将具有相对于装置402的边缘偏离中心放置的单个系链404(对应于图1的系链110)的可转印半导体装置402(对应于有源组件106a到106c)底切蚀刻(举例来说)至少5%、10%、20%、50%或更多的过程的图解说明。在一些实施例中,(举例来说)在Si(111)上的可释放结构的单个系链404相对于装置402的边缘偏离中心406放置在面向锚边缘408上,例如,系链404并不位于装置402的中点处或沿着其的中心线定位。底切蚀刻进展在区域410接近最后释放的系链404的情况下达到完成。在此配置中,设计除其它外还提供额外保证:可释放结构中的残余应力的松弛由未经拴系边缘的自由膨胀/收缩适应且在释放过程期间并不使系链404断开及导致合格率损失。在一些实施例中,偏离中心系链404更可能以装置402下方较少未经释放区完成(例如,完美地或接近完美地)。如图4中的图解说明所示,由于系链404定位于偏离中心位置中,因此不存在蚀刻平面的阻滞(阻挡)。

[0096] 图5A到5B是每可释放结构504(对应于有源组件106a到106c)具有四个系链502A到502D(统称为系链502,对应于图1的系链110)的实例性结构的图解说明。在于例如Si(111)的衬底102(图1中所示)上产生可释放结构504的一些实施例中,系链502A到502D偏离中心且位于芯片504的周界上的位置处以在释放结构之前通过在缓慢蚀刻平面的相交点处产生凹顶点来阻滞蚀刻前端506。在一些实施例中,避免来自缓慢蚀刻平面的钉扎。

[0097] 在一些实施例中,系链502经设计(例如,在其放置方面)使得其不支撑缓慢蚀刻平面的相交点处的凹顶点,借此避免对蚀刻前端的阻滞。举例来说,针对(111)硅,这些系链502可(举例来说)具有1.732的纵横比。在一些实施例中,纵横比是从1.3到1.5、从1.5到1.7、从1.7到1.9或从1.9到2.1。在一些实施例中,系链502的临界纵横比取决于所蚀刻材料的晶体定向。临界纵横比可为通过蚀刻不同纵横比的系链以确定有用纵横比来根据经验确定,或通过比较在优选蚀刻条件下不同方向上的蚀刻速率来计算。

[0098] 图6A及6B是(111)硅特有的系链的实例性图解说明。图18是半导体装置的晶体定向的现有技术图解说明。系链602(对应于图1的系链110)的纵横比可经设定以避免来自缓慢蚀刻平面的钉扎。不同晶体可具有不同临界纵横比。图6A及6B中所示的系链602具有两个不同纵横比,因为图6A中的系链602的宽度小于图6B中的系链602的宽度,且纵横比是通过将系链602的宽度除以高度来定义。分别地,图6A中所示的系链602具有小于1.732的纵横比,且图6B中所示的系链具有大于1.732的纵横比。如图6A中所示,具有小于1.732的纵横比的系链602可形成阻滞底切的顶点(由虚线描绘的三角形的相对角)。相比来说,如图6B中所示,具有大于1.732的纵横比的系链604不阻滞底切。

[0099] 图7A及7B图解说明将牺牲层702a及702b(统称702)从可释放物件704a到704d(统称为704且例如,例如图1的有源组件106a到106c)移除同时减少从锚定结构下方移除的牺牲层702的量的结晶选择性的额外设计。在微组装中,在某些实施例中,将(举例来说)由沟槽706a到706d(统称为706)所描绘的微型物件704a到704d从第一衬底释放同时保留其定向

及空间配置直到其由保形转印元件(例如,弹性体印模)选择(例如,拾取)为止是有用的。保持刚性附接到第一衬底的锚结构及将可释放微型物件接合到锚的系链结构708a到708h(统称为708)可用于在微型物件704从第一衬底部分或完全释放时维持微型物件的空间配置。举例来说,上述情形可通过借助蚀刻或剥蚀或其它手段将牺牲层702选择性移除来完成。在此实例中,物件704a借助单个系链708a固定到锚结构,物件704b借助两个系链708b及708c固定到锚结构,物件704c借助四个系链708d、708e、708f及708g固定到锚结构,且物件704d借助两个系链708h及708i固定到锚结构。在一些实施例中,用相同数目个系链固定同质衬底上的每一物件704。

[0100] 在一些实施例中,用以将在可释放微型物件下方的牺牲层移除的蚀刻工艺具有结晶相依性,蚀刻沿晶体结构的一些方向较快发生且沿晶体结构的其它方向较慢发生。在那些情形中,结构(例如,牺牲层)的凸拐角或外拐角较快速蚀刻以渐进产生平行于快速蚀刻平面的蚀刻前端,如上文所描述。在这些实例中,结构(例如,牺牲层)的凹拐角或内拐角蚀刻较慢,借此形成由所述缓慢蚀刻平面界定的缓慢移动或经钉扎/经阻挡蚀刻前端(前提是蚀刻剂的所得蚀刻前端可形成并维持由内拐角/凹拐角表征的局部形状)。展现此类结晶选择性的具有结晶相依性的某些释放层(例如,牺牲层)包含Si(111)、InAlP、InP、GaAs、InGaAs、AlGaAs、GaSb、GaAlSb、AlSb、InSb、InGaAlSbAs、InAlSb及InGaP。

[0101] 为解决此效应,在一些实施例中,提供在用于形成可释放微型物件的区及在用于形成锚定结构的区两者中至少暂时地横跨第一衬底的整个区域的牺牲层。另外,在那些应用中,采用沿至少一个维度横跨多于一个可释放微型物件的连续结构。或者,在一些实施例中,锚定位在可释放微型物件周围。

[0102] 在这些实施例中,锚定结构由局部凹拐角或内拐角表征且可释放微型物件由凸拐角或外拐角局部表征。在这些配置中,蚀刻在可释放微型物件下方迅速地进展(例如,相对于释放锚定结构的速率)。

[0103] 在一些实施例中,系链经设计以不支撑局部凹拐角或内拐角的建立。在这些实施例中,系链经配置有(举例来说)狭窄形状(例如,从10nm到100nm、从100nm到500nm、从500nm到1微米或从1微米到10微米的宽度)。

[0104] 为促进可印刷微型装置从制作衬底的控制释放,系链可经塑形以提供一致分离点。图8是实施于对应于图1的系链110的系链804中的实例性凹口802的图解说明。拴系结构中的凹口802可用于促进在经释放微型物件由例如结构化弹性体印模的转印元件取回时控制断裂点。凹口802的宽度可用于在通过转印元件移除经释放微型物件(例如,经部分释放)时控制使系链804断裂所需的力。

[0105] 在本发明的另一方面中,所揭示技术实现使用(111)硅制作及制造超薄低成本封装微尺度装置。图9是使用(111)硅提供超薄低成本封装微尺度装置的实例性方法900的流程图。首先制作例如微尺度集成电路或LED的准备好转印的微尺度装置(步骤902)。举例来说,将微尺度装置组装到具有电介质层的(111)硅晶片上(步骤904)。在一些实施例中,其它类型的晶片可用作微型装置的目的地衬底,举例来说,玻璃、塑料或金属。在一些实施例中,可使用薄膜金属化过程来互连经组装微型装置与其它功能元件(步骤906)。经组装微尺度装置及金属化层可完全嵌入于电介质层内(步骤908)。可图案化电介质层(步骤910)及可将经封装微尺度装置从下伏晶片释放(步骤912)并转印到另一衬底。可使用各种过程来将微

尺度装置从下伏晶片释放,例如本文中所揭示的那些过程(例如,参见上文)。

[0106] 图10A到10D图解说明使用绝缘体上硅晶片制成准备好转印的集成电路的过程。在一些实施例中,采用(111)处置晶片。如图10A中所示,在此实例中,源衬底是绝缘体上硅晶片1002。在一些实施例中,可使用其它类型的晶片,例如半导体或金属晶片。开始晶片包含具有(111)定向的处置晶片。埋入式氧化物层1004(例如,~1 μ m厚)直接位于源衬底1006的顶部表面上。装置硅层1008经直接提供在埋入式氧化物层1004的顶部表面上。

[0107] 如图10B中所示,一或多个集成电路1010(统称为装置1010)经制作(直接或间接)于装置硅层1008上。装置硅层1008可为足够厚以起块状硅一样的作用,可部分耗尽或可完全耗尽且可具有(举例来说)小于1微米、一微米或数微米(例如,2微米)、10微米、50微米、100微米或1000微米的厚度。过程可包含提供多个布线级。在一些实施例中,提供端子无机电介质钝化层,使得装置硅的布线金属化均不会被暴露。

[0108] 如图10C中所示,通过穿过在装置1010的周界周围的电介质层图案化并蚀刻沟槽1014来界定微型装置。装置硅层还经图案化。如果存在于装置的周界处暴露的装置硅,那么可沉积无机电介质层以钝化此经暴露硅。钝化层然后经图案化,形成无机电介质部分1012a、1012b及1012c。在一些实施例中,硅经蚀刻到适当深度1016以释放装置1010(图10D)。如图10D中所示,通过使用例如本文中所揭示(例如,如上文所描述)的那些技术的技术来底切牺牲层1018来将装置1010从源衬底1006释放。在执行底切过程之后,装置1010如上文所描述通过锚及/或系链(图10D中未展示)固持在适当位置中。

[0109] 图11A到11C图解说明使用微组装技术(使用弹性体印模微转印印刷来拾取薄微尺度装置并将其放置到另一载体晶片上)来组装低成本载体晶片的实例性过程。图11A将转印印模1102图解说明为其接近源晶片1006上的一或多个准备好转印的微尺度装置(例如,集成电路)1010。图11B图解说明转印印模1102从源晶片1006拾取装置1010。装置1010经转印到低成本载体晶片1112,如图11C中所展示。在一些实施例中,层1106形成于载体晶片1112(例如,绝缘层或聚合物层(例如,胶粘聚合物层))上。实例性转印技术描述于第7,622,367号、第7,943,491号及第8,506,867号美国专利中,所述美国专利中的每一者特此以引用方式并入本文中。

[0110] 图12A到12C图解说明使用(111)系统来产生薄及低成本封装微尺度装置的实例性方法。如图12A中所示,使用微组装技术将微尺度装置1010a及1010b(统称1010)组装到载体晶片1112上。在一些实施例中,载体晶片1112是(111)定向硅且包含电介质层1206。电介质层1206可为有机(例如,聚酰亚胺)或无机(例如,二氧化硅)。在一些实施例中,所组装微尺度装置1010嵌入于第二电介质层1202内,如图12B中所示。此第二嵌入电介质1202可为有机的(例如,旋涂聚酰亚胺)或可为沉积无机材料。参考图12C,可接着以界定各自包含微尺度装置1010的所要微尺度装置封装1204a及1204b且还界定锚108a到108b及系链110a到110d(如上文所描述)的方式图案化电介质层1202及1206。举例来说,在一些实施例中,使用如上文所描述的底切移除过程将微尺度装置1010封装从晶片1112释放。所得晶片级薄及低成本微尺度装置1010封装适于使用(举例来说)真空筒夹转印到其它衬底。在一些实施例中,衬垫结构经形成于嵌入式微尺度装置1010的顶部或底部表面上,借此形成可表面安装装置。

[0111] 图13是具有印刷到结构中的微尺度装置的实例性目的地衬底的图解说明。目的地衬底可由例如二氧化硅、玻璃或金属的无机材料制成。所印刷微尺度装置可嵌入于结构内,

如图13中所示。

[0112] 图14是具有借助晶片级(111)硅启用封装的实例性可调适组装过程的图解说明。可将封装晶片1402上的微尺度装置转印印刷到卷带1404。可将卷带1404提供到带馈送高速射片机1406用于组装。带馈送高速射片机1406可将卷带1404上的微尺度装置封装成(举例来说)封装中封装模制封装1408或随后经模制到封装1410中的引线框架上封装。

[0113] 在一些实施例中,将封装晶片1402提供到晶片馈送裸片附接工具1412。晶片馈送裸片附接工具1412可将微尺度装置封装到晶片级封装1402中。晶片馈送裸片附接工具1412可封装随后模制到封装1410中的引线框架上封装上的微尺度装置。晶片馈送裸片附接工具1412将微尺度装置封装到封装中封装装置1408中或晶片级封装(WLP)1414中。

[0114] 在一些实施例中,将封装晶片提供到晶片馈送微转印印刷器1416,晶片馈送微转印印刷器1416将微尺度装置封装于晶片级封装1414中。

[0115] 图15是使用(111)释放系统的封装中的实例性系统1504的图解说明。所图解说明实例性装置150可包含小集成电路1514,小集成电路1514与两个不同类型的传感器1508、1510互连且还与使用共同晶片级金属化制成的天线1512互连。此系统可完全嵌入于电介质材料中且可从下伏(111)晶片释放,如上文所描述。装置1504可通过系链1502a到1502d耦合到锚1506a及1506b。此提供可使用(举例来说)微组装技术组装到其它衬底上的小型封装。

[0116] 在本发明的另一方面中,锚108及系链110由单个聚合物层形成。聚合物层通过在微尺度装置经制作于同质衬底上之后且在微印刷过程期间囊封微尺度装置来进一步用作对所制作微尺度装置的保护。为此,囊封用于保护所制作微型装置内的任何化学敏感性层。举例来说,所述囊封聚合物提供电绝缘及避免污染物、湿气及氧化剂的保护。囊封聚合物层进一步允许在可印刷物件的底部侧、顶部侧或横侧上采用可电接触结构。

[0117] 在一些实施例中,聚合物层可由具有足够刚度的光致抗蚀剂或光敏材料制成以在释放过程期间维持可印刷结构的配置。形成微尺度装置的锚、系链或囊封部的聚合物还可在转印之后通过溶解、蚀刻或其它过程从可印刷物件及目标衬底选择性移除。聚合物可具有足够粘附性以用作与微印刷系统的转印元件的接触界面,使得其可从同质衬底被拾取且可经处理以用作一旦微尺度装置已经转印到目的地衬底即将所述转印元件与所述微尺度装置分离的界面。

[0118] 在一些实施例中,所述单个聚合物层改善给定晶片的所述可印刷微型装置的密度。支撑性不可印刷结构(例如,锚及系链)可经制作使得邻近可印刷结构之间的距离小型化,举例来说,小于500微米、小于100微米、小于50微米、小于25微米或小于10微米。

[0119] 图16图解说明包括由单个聚合物层1601形成的锚108、系链(未展示)及囊封层1602的可释放微型物件106的实施例。如图中所示,可释放微型物件106是具有发射极1604、集电极1606、子集电极1608及电衬垫1610的可印刷有源组件。可释放微型物件106制作于牺牲层104(在图中称作为释放层)上方。

[0120] 聚合物层1601施加于可释放微型物件106上方及同质源衬底102上方。如所示,聚合物层1601囊封微型物件106的所暴露顶部区及侧部区。聚合物层1601还囊封牺牲层104的一部分。

[0121] 为将可释放微型物件106从同质衬底102分离,聚合物层1601经处理以在源衬底102及系链结构110(未展示)上形成锚结构108。如图中所图解说明,锚结构108形成于同质

衬底102 (或其大量部分) 上方以在牺牲层104内的牺牲材料经完全或部分移除时保持刚性附接到衬底102。系链110 (未展示) 使锚结构108连接到可印刷微型物件106及聚合物层1601的囊封层1602。在一些实施例中, 处理还形成在使牺牲层104的一部分暴露的聚合物层1601中形成进入端口 (图16中未展示)。进入端口1612 (图17) 允许接达牺牲层104以 (举例来说) 执行底切移除过程 (例如, 通过化学蚀刻)。

[0122] 在一些实施例中, 处理包含: 在可释放微型物件106上形成光敏层 (作为聚合物层), 接着使光敏层的部分选择性地暴露于能量束 (例如, 电磁辐射束或电子束) 以变更光敏层对光致抗蚀剂显影剂的溶解性。可使光敏层 (或整个装置) 暴露于热以使光敏层凝固。随后, 接着将光敏层 (例如, 可溶于或不可溶于光致抗蚀剂显影剂) 的部分移除以界定可断开系链。

[0123] 光可界定材料 (例如光致抗蚀剂或可交联树脂) 可用于制成锚定、拴系或囊封结构, 提供形成的简易性及在许多情形中提供通过溶解于湿化学品、有机溶剂或水性混合物中或通过氧及/或氟化合物中灰化的移除简易性。

[0124] 底切移除过程可采用化学反应物来蚀刻牺牲层104 (在图16中经展示为释放层), 通过形成于锚定、拴系及/或囊封结构中的进入端口获得接达。蚀刻反应产物可通过外出端口在可释放微型物件下方的空间退出。在一些实施例中, 外出端口与进入端口相同 (例如, 在图17中为1612)。当释放层完全或部分移除时, 认为可释放微型物件至少部分地释放且准备好由转印元件移除。转印元件接触并粘附到部分释放物件。在一些实施例中, 转印元件是保形的以与可释放物件的形貌的至少一部分紧密接触。举例来说, 转印元件可包含保形材料, 例如PDMS。

[0125] 图17是实例性可释放微型物件106的释放及移除的图解说明。如所示, 可释放微型物件106与转印元件1702接触。在一些实施例中, 多个柱1704实施例接触可释放微型物件106。在其它实施例中, 单个柱接触接触可释放微型物件106。在粘附到所释放物件106之后, 转印元件1702移动远离同质衬底102同时维持粘附到所释放微型物件106, 借此从其同质衬底102取回、移除、分离或拾取物件106。在移除过程中, 锚108或系链110结构断裂或以其它方式失去与同质衬底102或所释放物件106的连接。在一些实施例中, 系链110在由转印元件1702接触时断裂。在一些实施例中, 系链110在转印元件1702从同质衬底102拉动微型物件106时断裂。

[0126] 针对特定断裂性质、粘附性质或在锚定及拴系结构中的几何形状及应力集中特征的定义而选定的材料是有益于控制分离或断裂点。在一些实施例中, 系链110由狭窄结构 (在一些实施例中, 或经塑形有凹口) 以提供断裂点且允许可印刷微型物件106与同质结构102分离。如上文所述, 系链110可由有机材料 (例如聚合物) 或无机材料 (例如硅、二氧化硅或氮化硅) 制成。

[0127] 仍参考图17, 聚合物层1601 (特定来说, 囊封区1602) 用作与转印元件1702的接触点。在其它实施例中, 转印元件1702接触微型物件106本身。

[0128] 在一些实施例中, 转印元件1702包含一或多个柱 (举例来说, 组织成阵列) 以与给定可印刷微型物件106接触。在一些实施例中, 转印元件1702形成单个表面以与聚合物层1601接触。

[0129] 鉴于此处所描述的系统及方法的结构、功能及设备, 在一些实施例中, 提供用于提

供微尺度装置的系统及方法。已描述用于提供微尺度装置的方法及设备的特定实施例,所属领域的技术人员现在将明了,可使用并入有本发明的概念的其它实施例。因此,本发明不应限于特定实施方案,而是应仅受所附权利要求书的精神及范围限制。

[0130] 贯穿其中将设备及系统描述为具有、包含或包括特定组件或将过程及方法描述为具有、包含或包括特定步骤的描述,另外预期存在基本上由所叙述的组件组成或由所叙述的组件组成的所揭示技术的设备及系统,且存在基本上由所叙述的处理步骤组成或由所叙述的处理步骤组成的根据所揭示技术的过程及方法。

[0131] 应理解,只要所揭示技术保持可操作,步骤的次序或执行某些动作的次序并不重要。此外,可同时实行两个或两个以上步骤或动作。

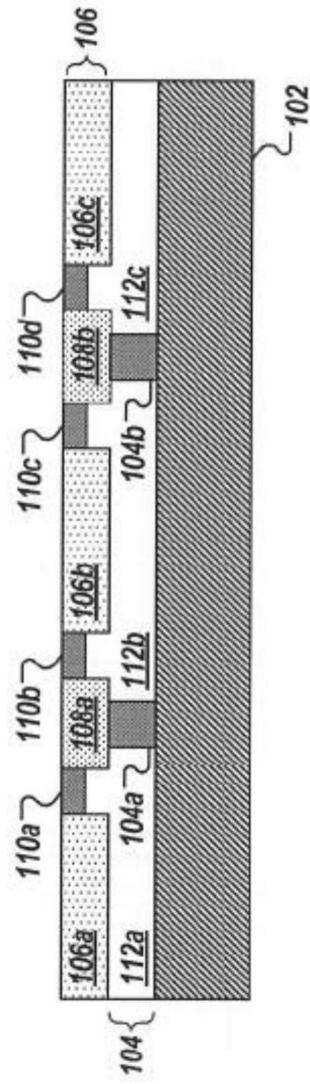


图1

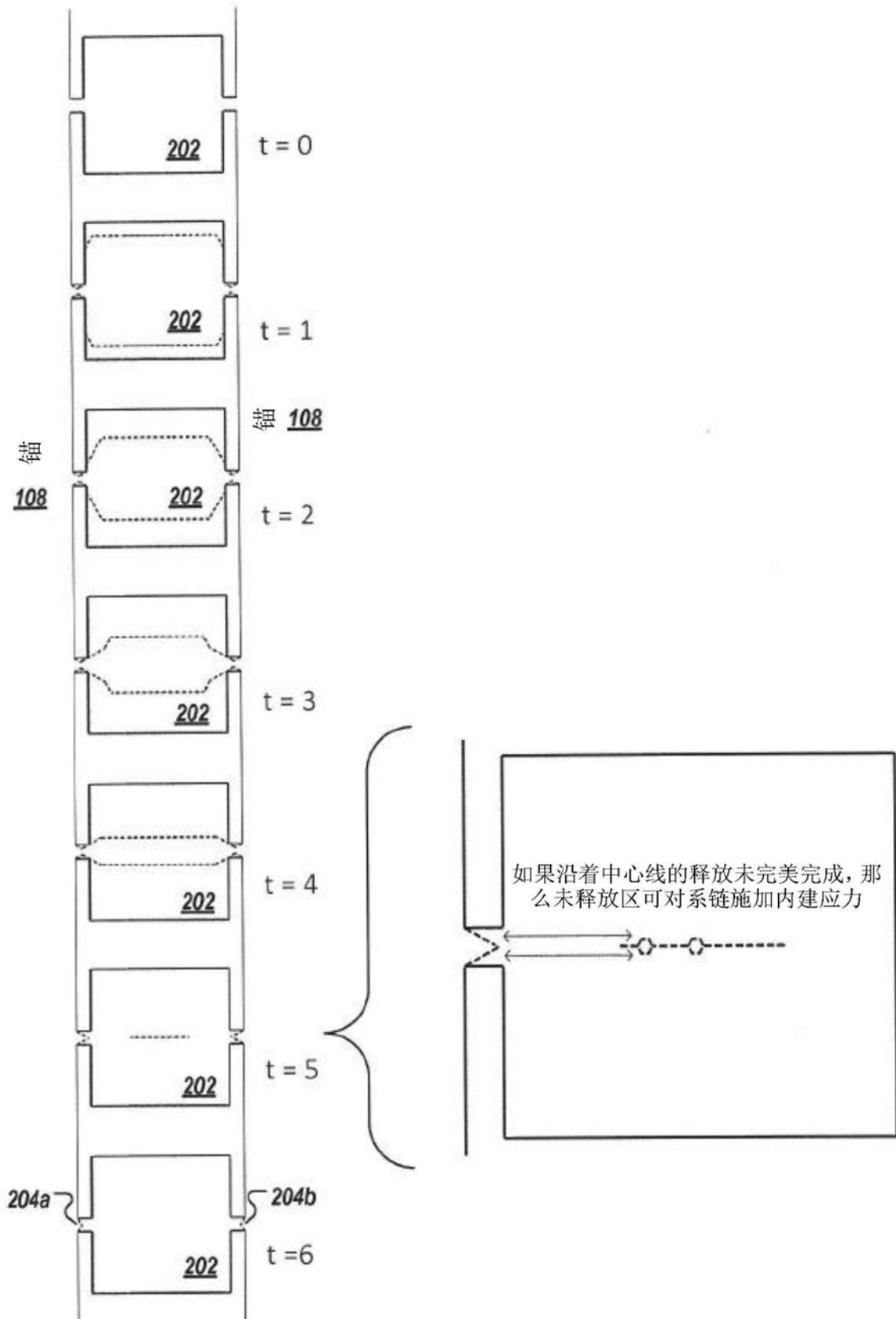


图2

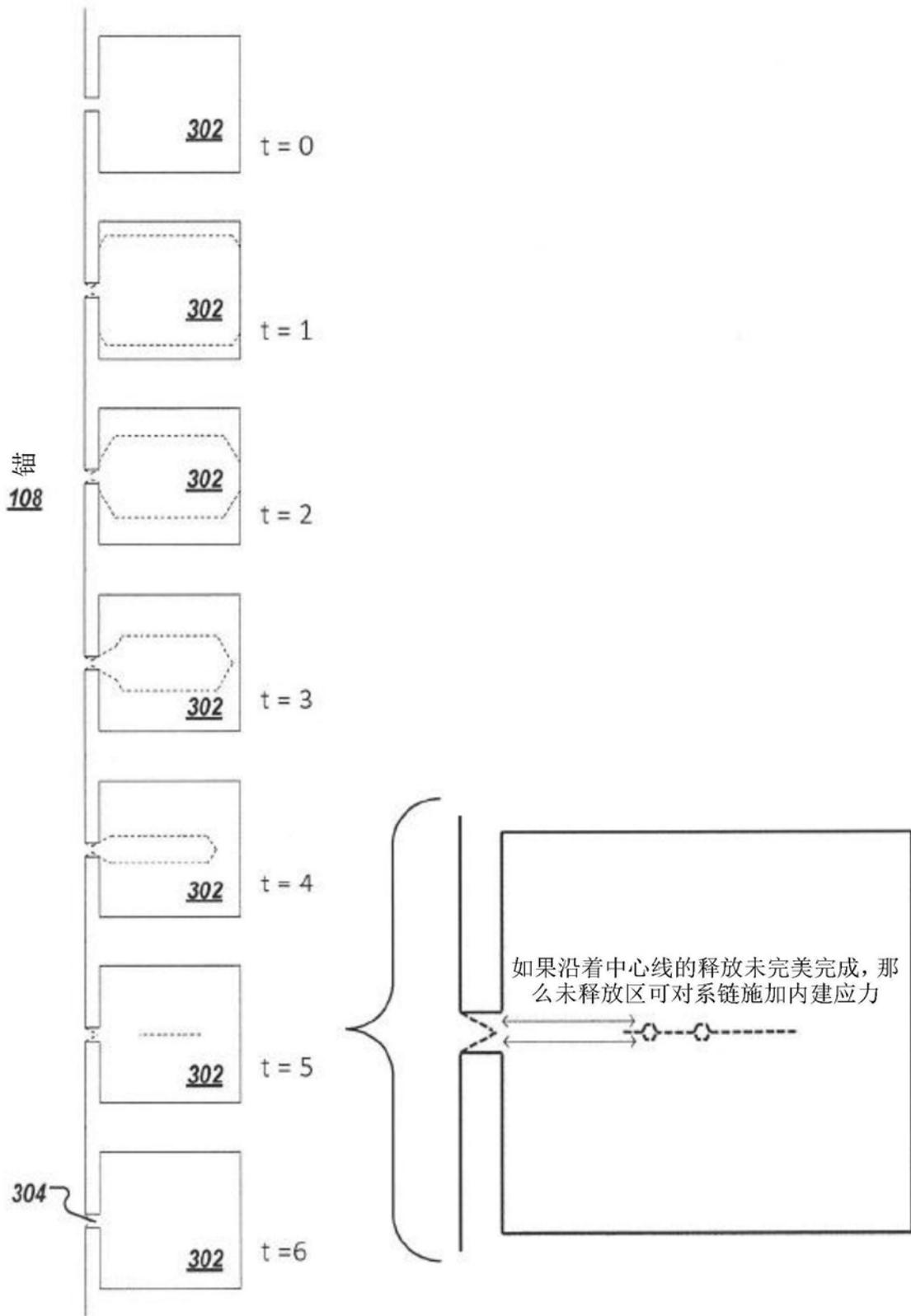


图3

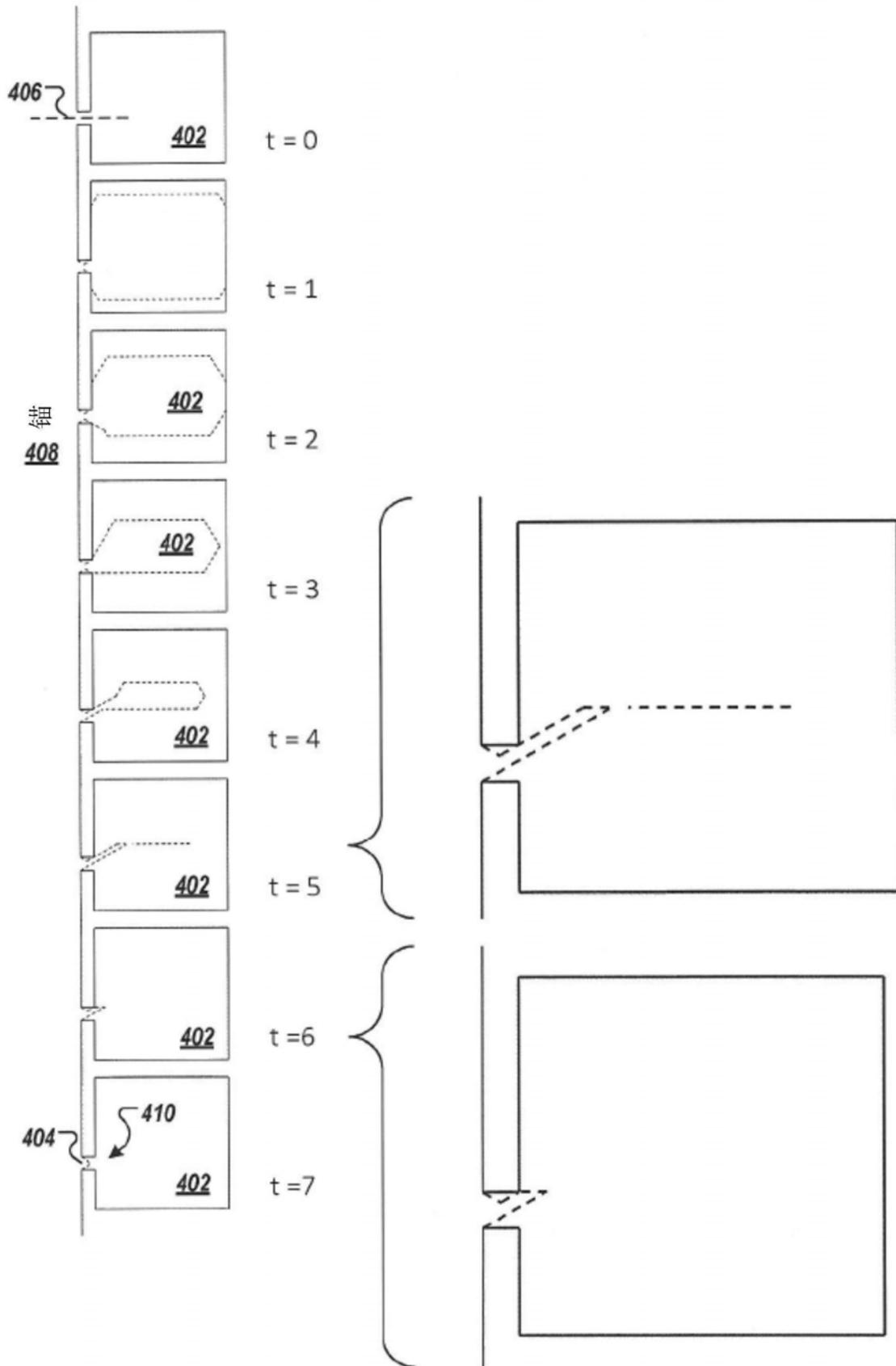


图4

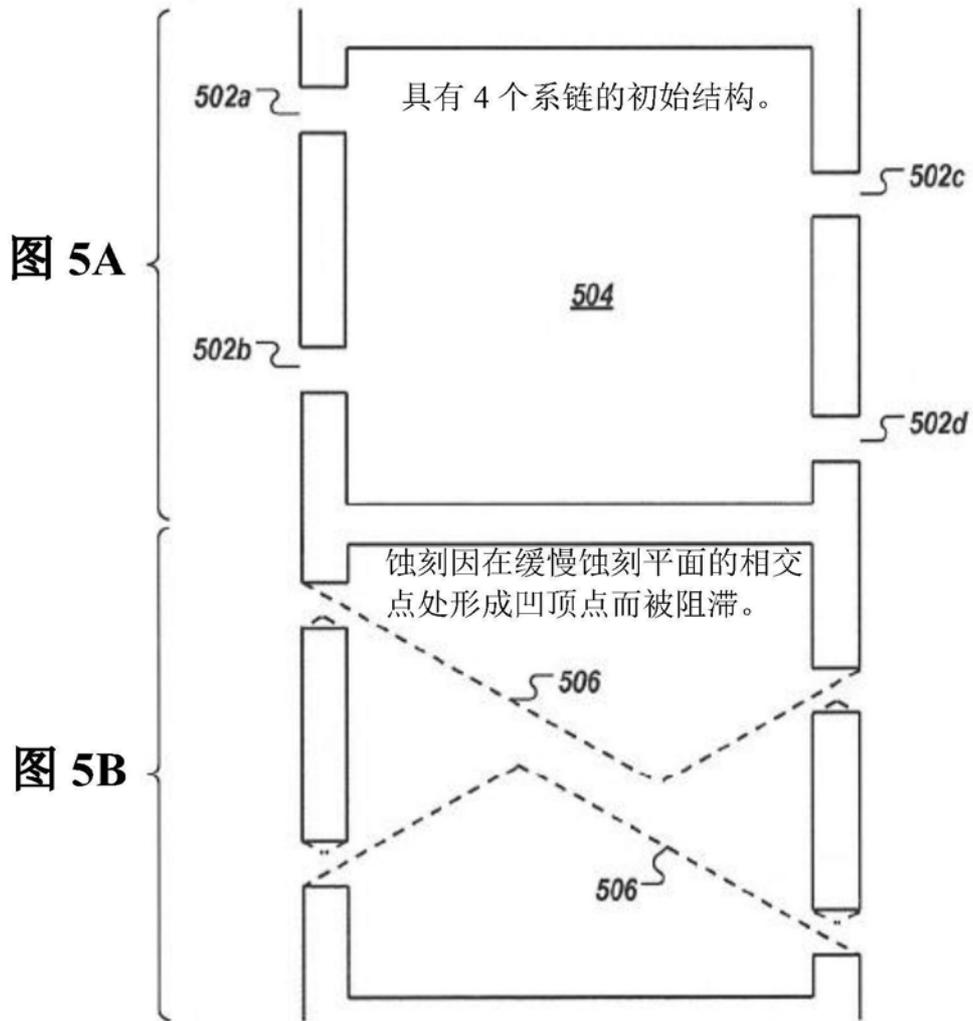


图5A图5B

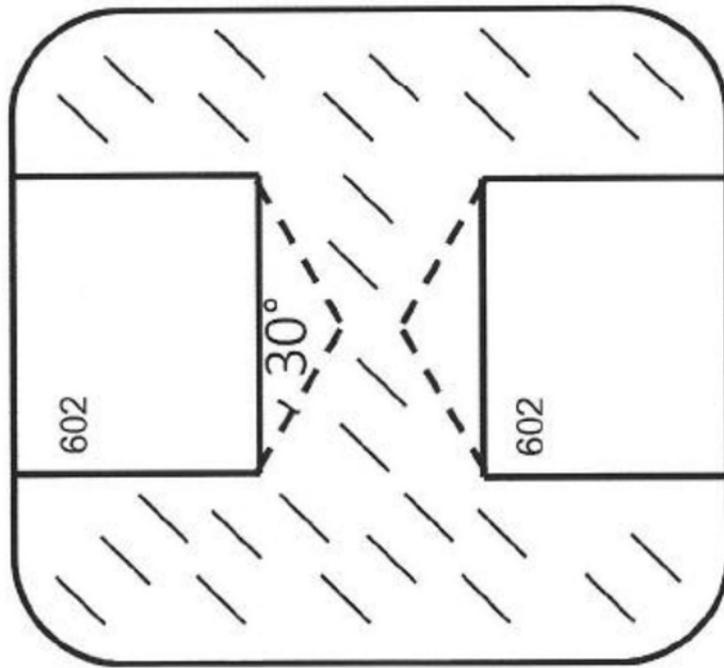


图6A

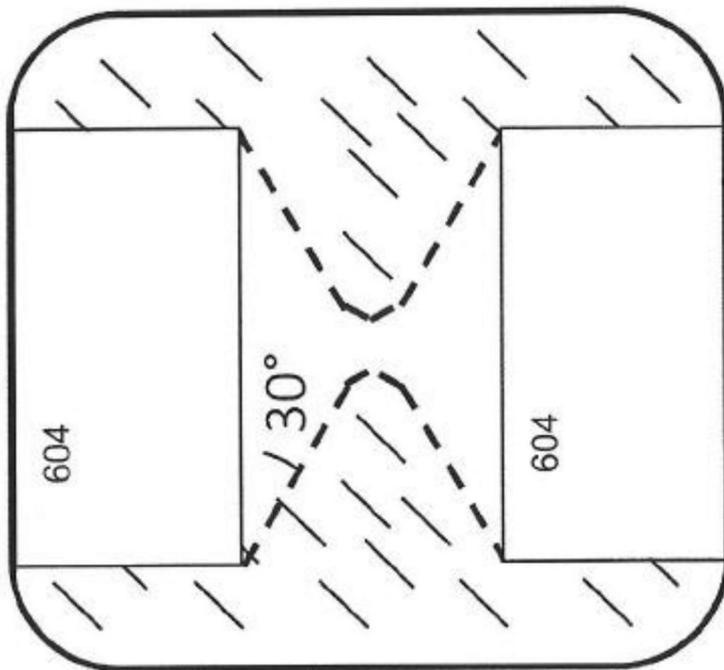


图6B

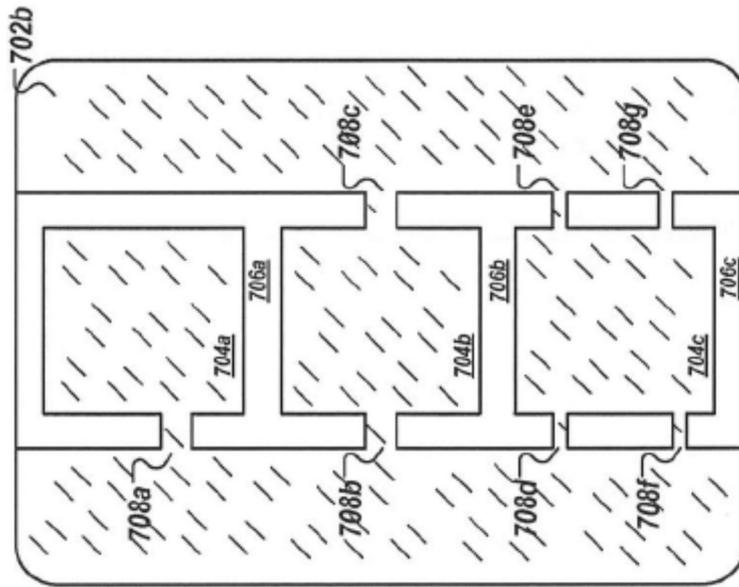


图7A

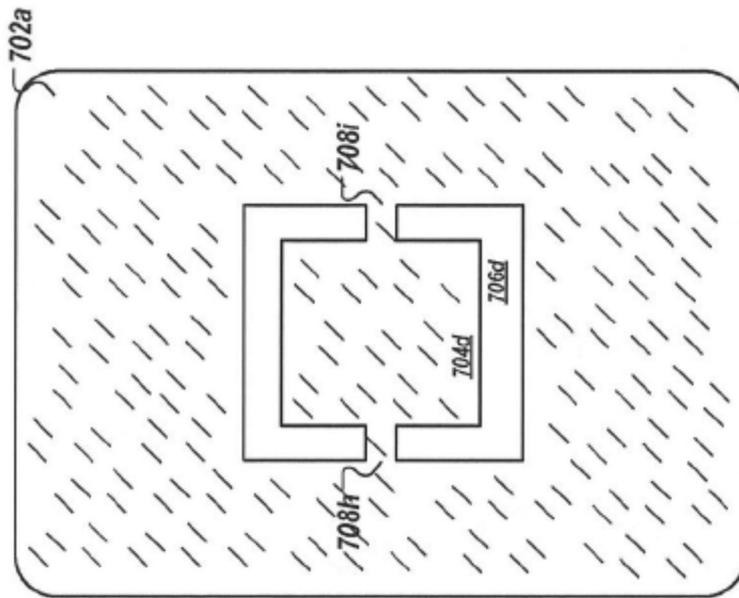


图7B

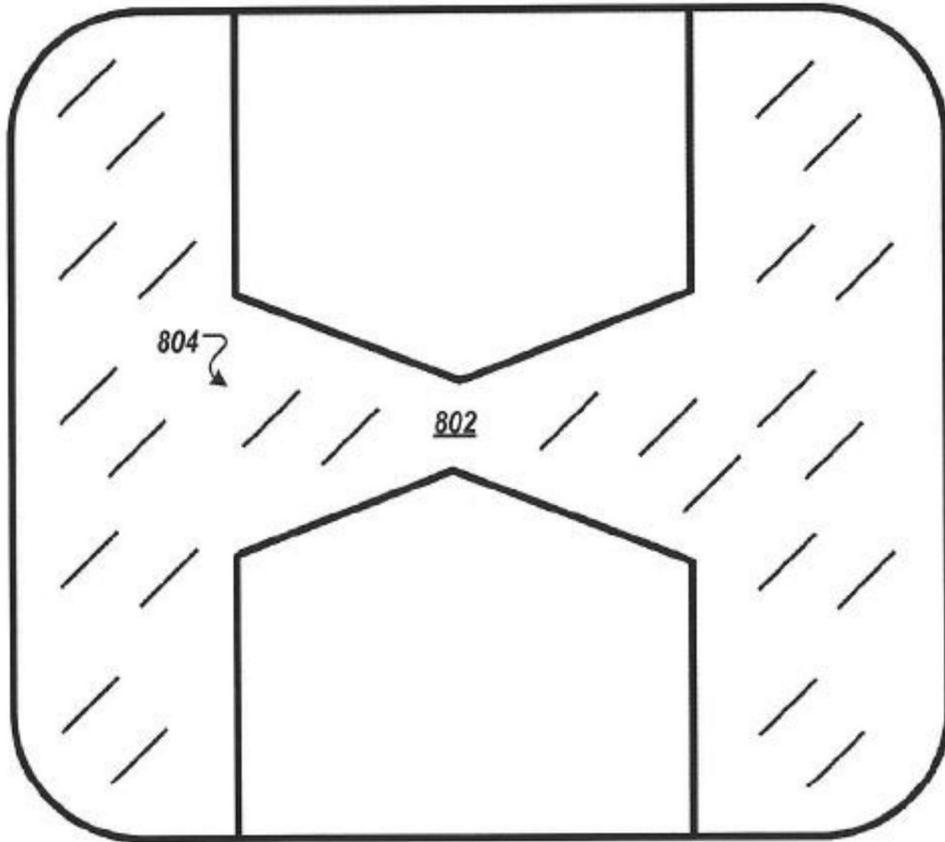


图8

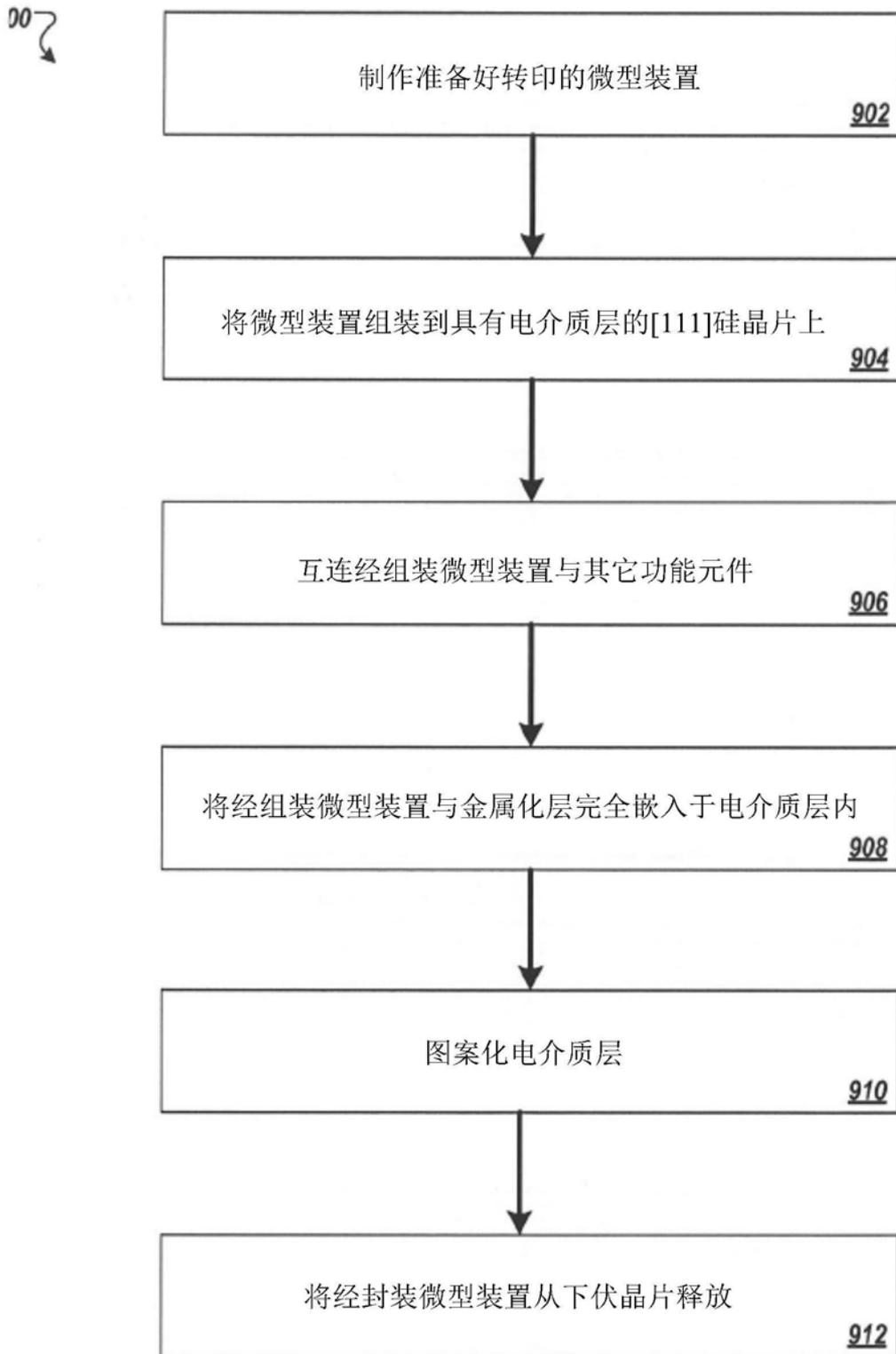


图9

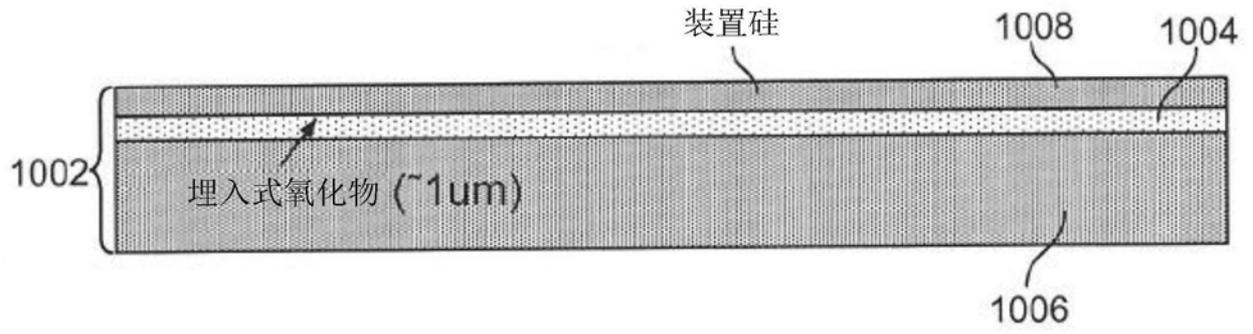


图10A

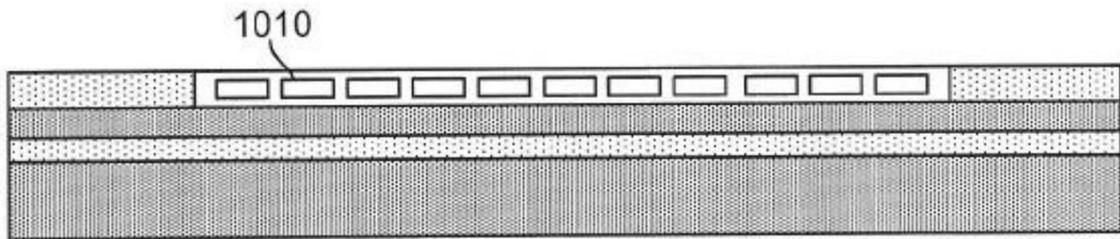


图10B

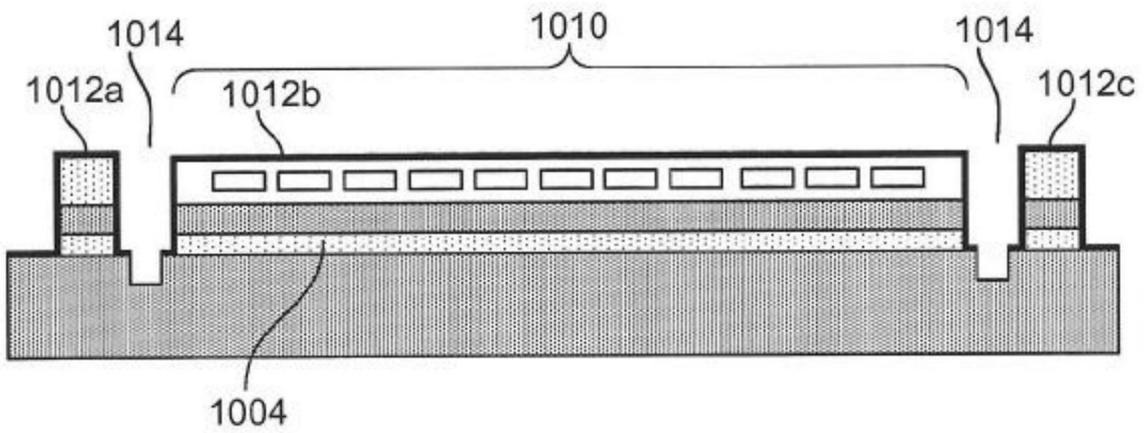


图10C

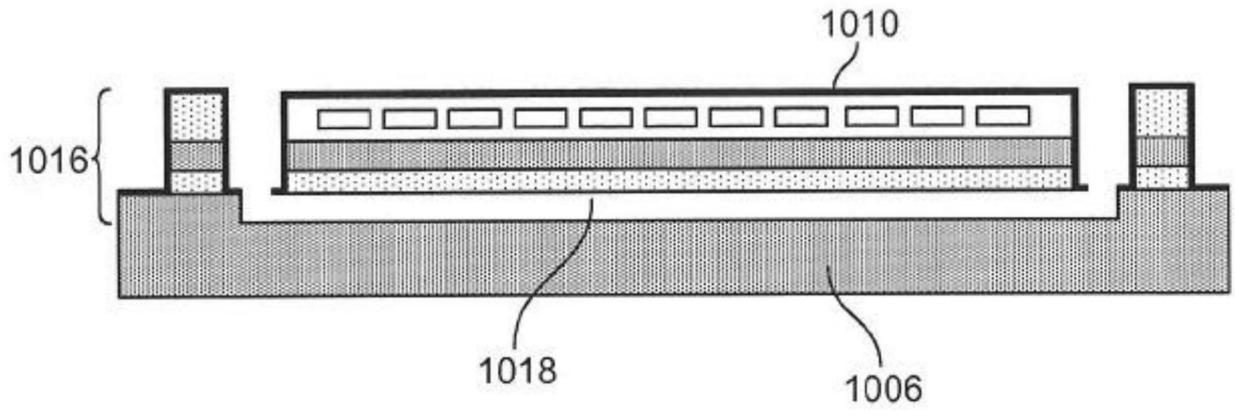


图10D

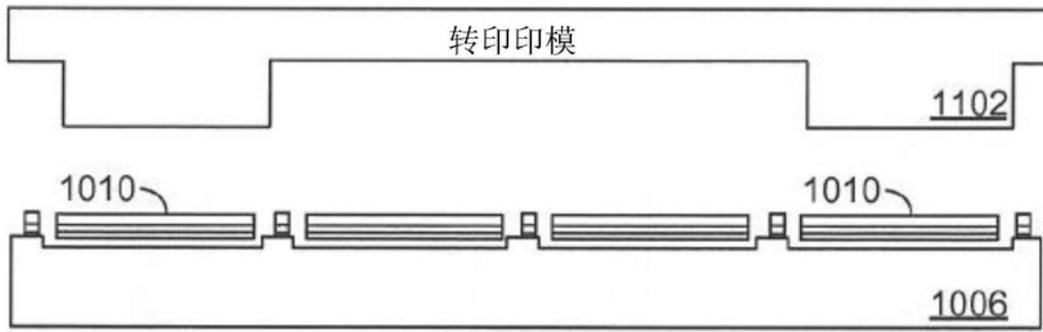


图 11A

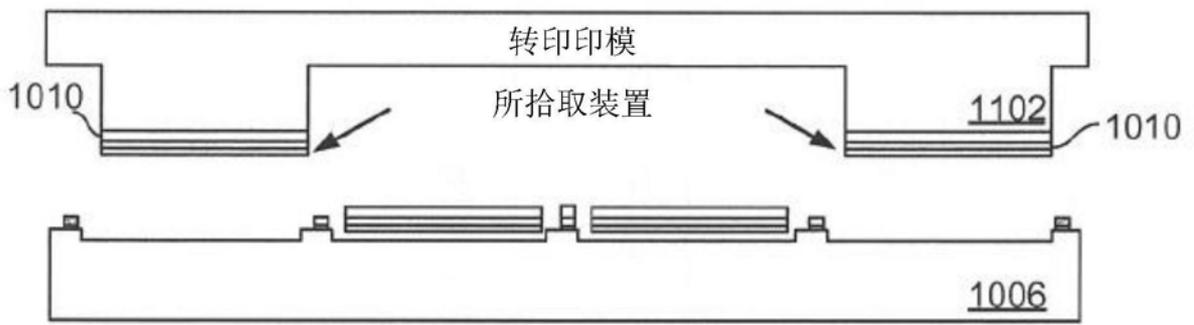


图 11B

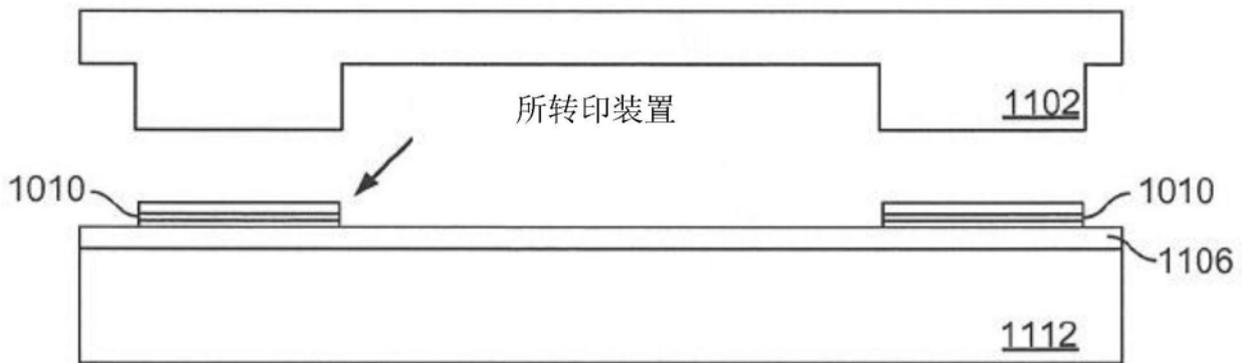


图 11C



图12A

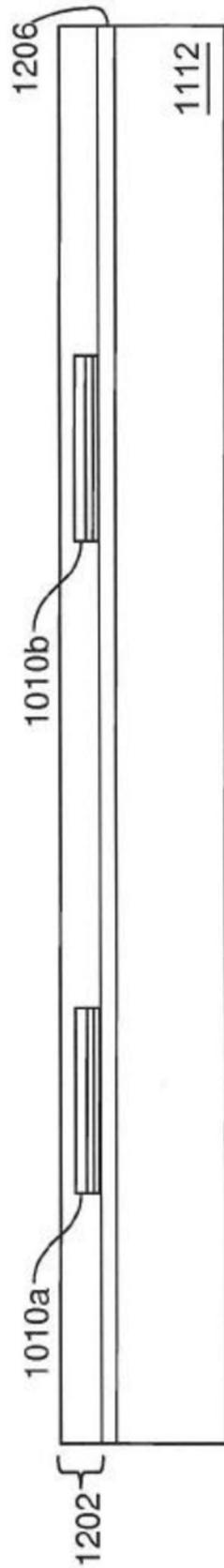


图12B

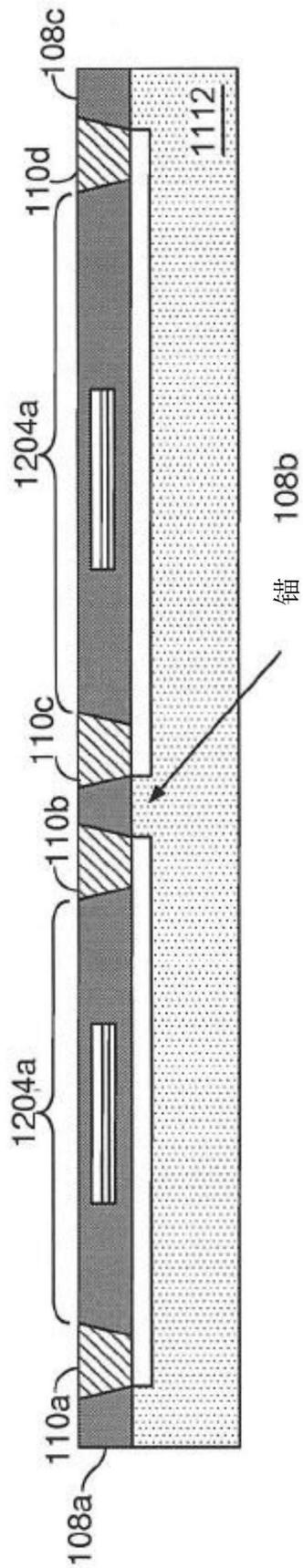


图12C

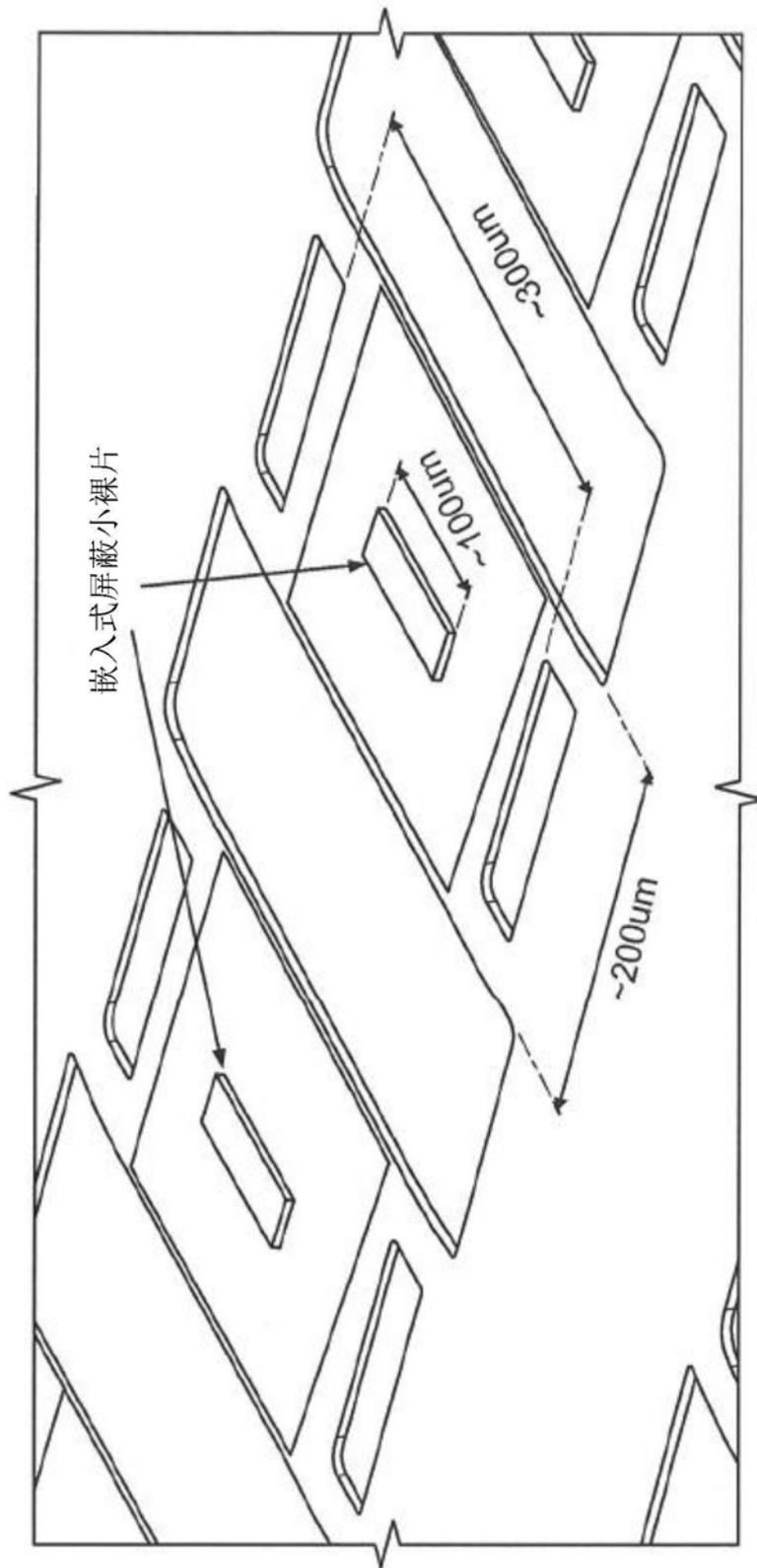


图13

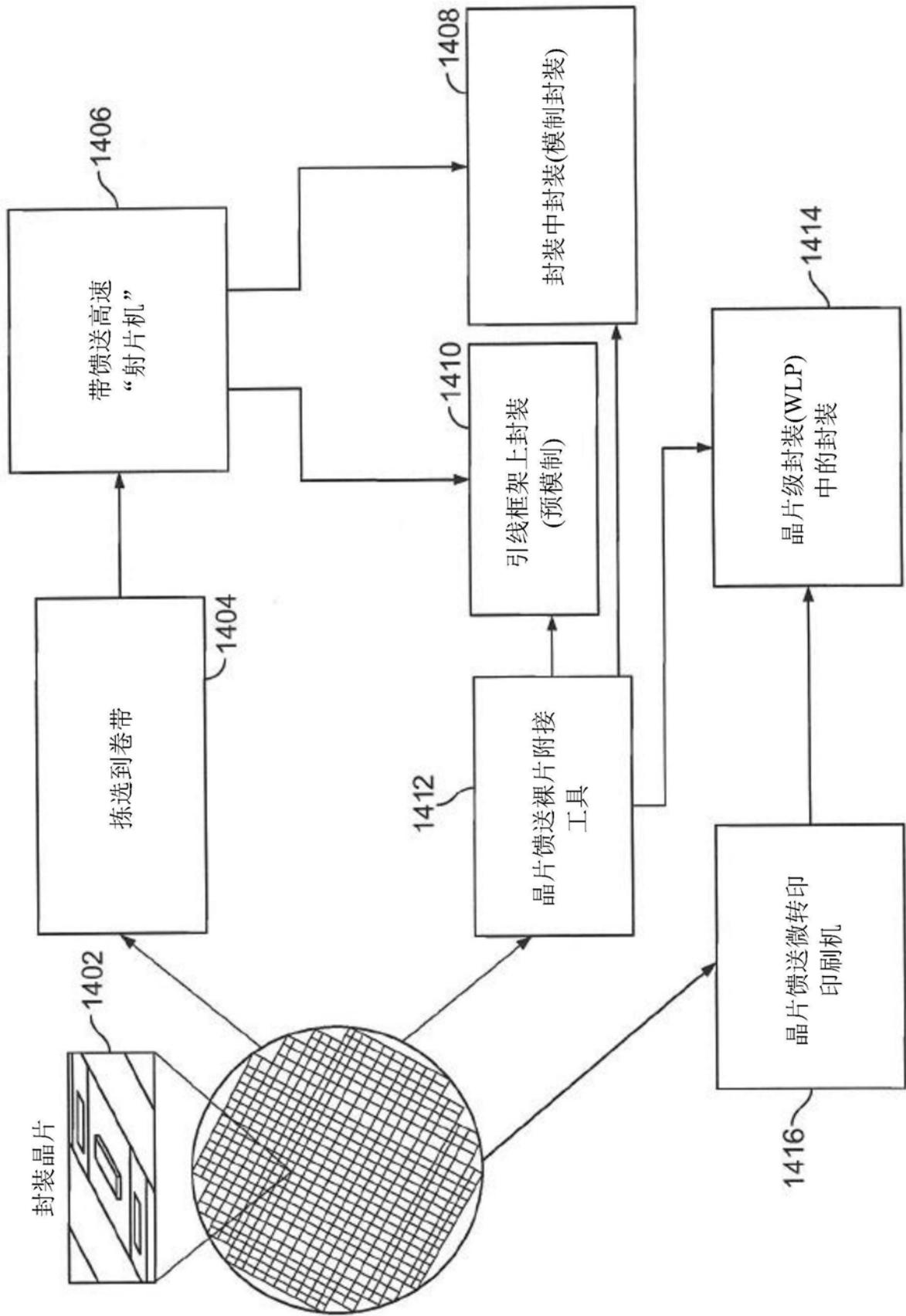


图14

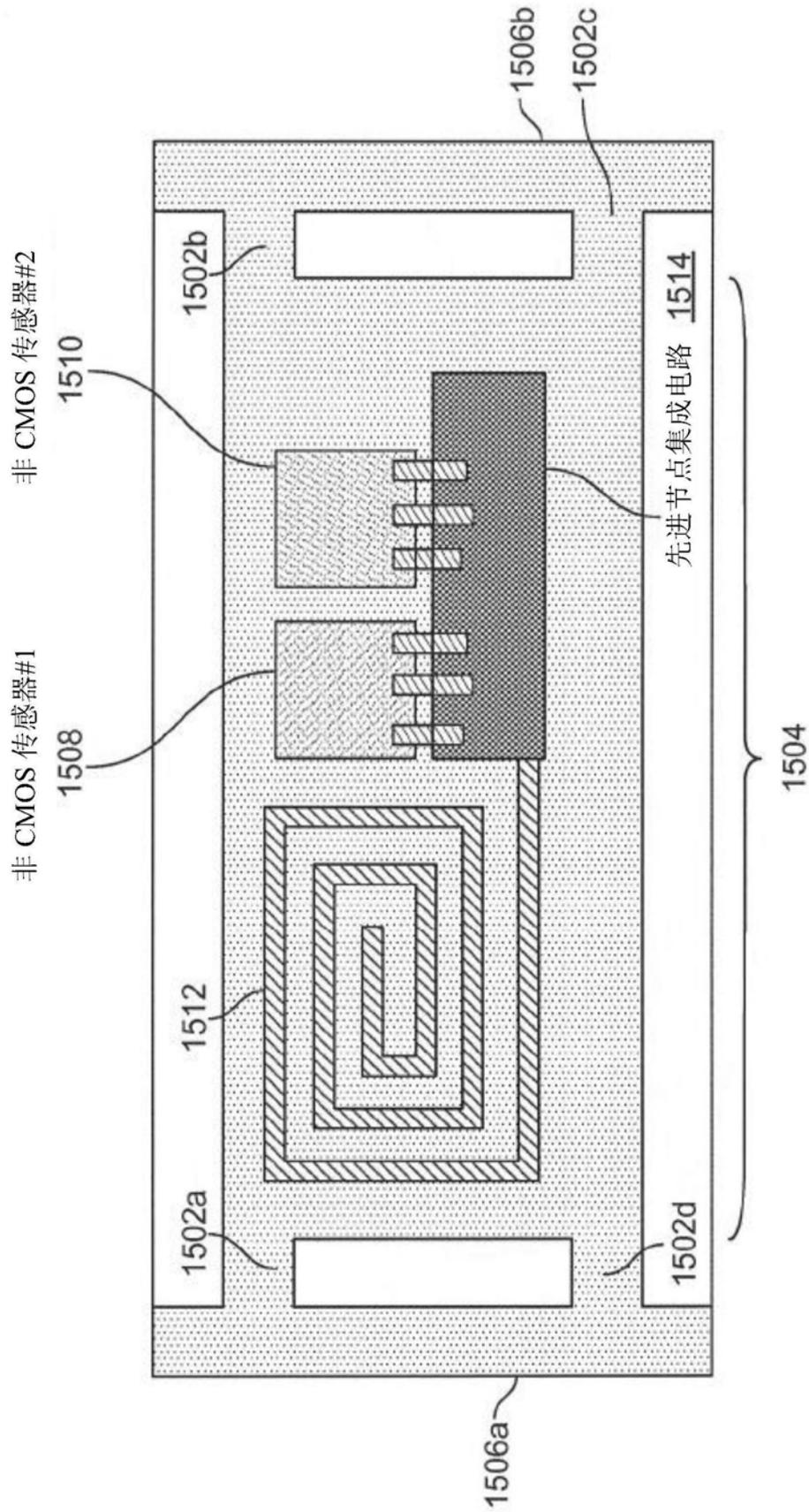


图15

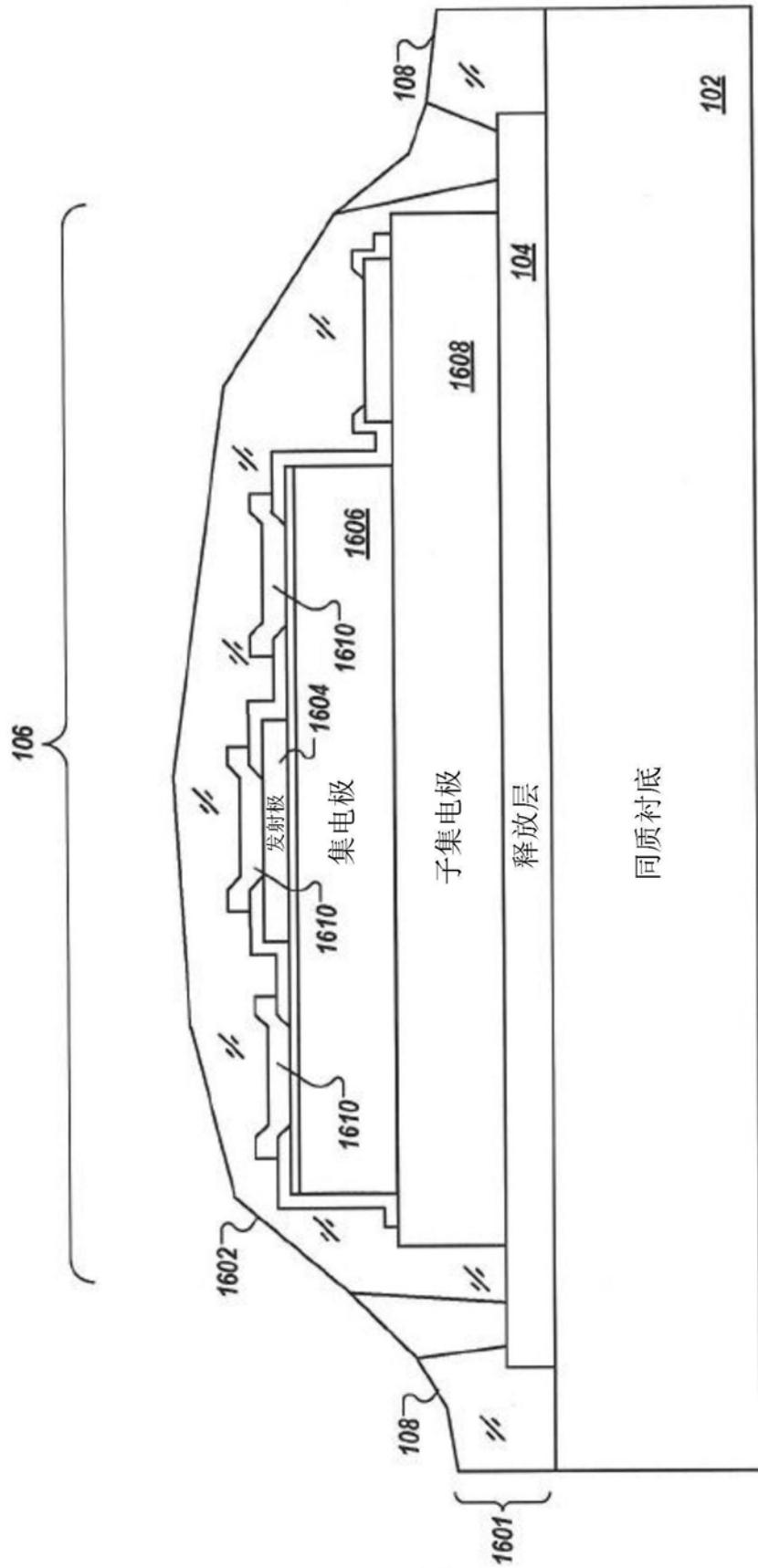


图16

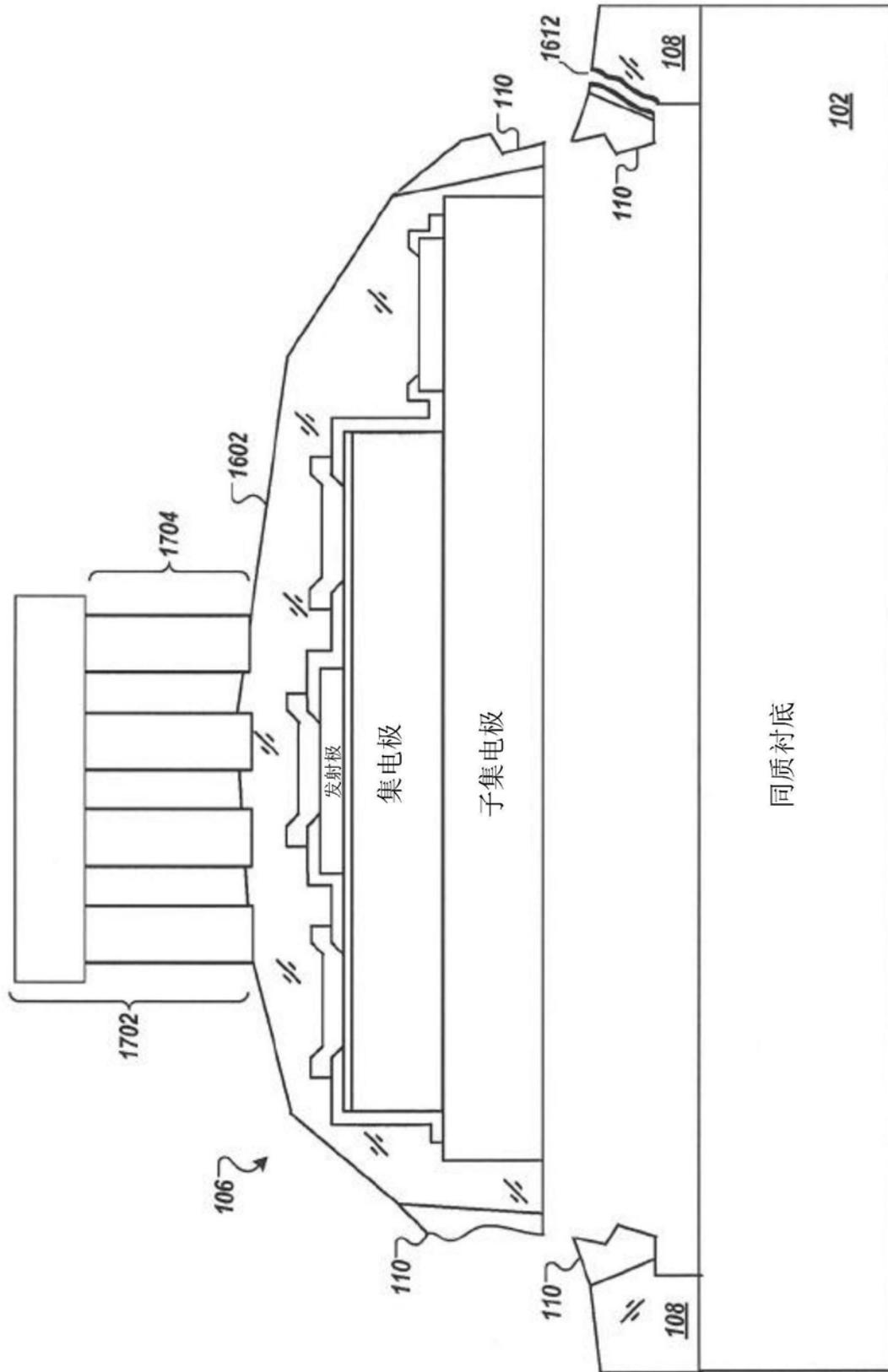


图17

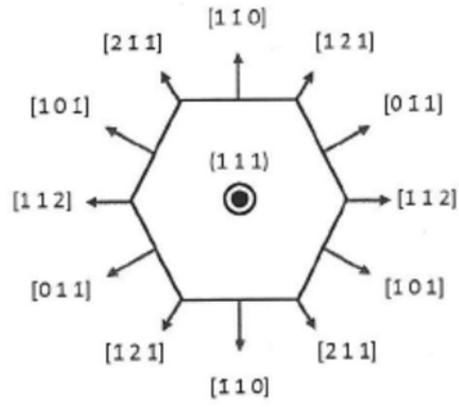


图18现有技术