

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G11C 11/40	(11) 공개번호 (43) 공개일자	특 1990-0003896 1990년03월27일
(21) 출원번호	특 1989-0011920	
(22) 출원일자	1989년08월22일	
(30) 우선권주장	212159 1988년08월25일 일본(JP)	
(71) 출원인	소니 가부시끼 가이샤 오오가 노리오	
(72) 발명자	일본국 도오교도 시나가와꾸 기다시나가와 6쵸메 7반 35고 마쯔시따 다께시	
(74) 대리인	일본국 도오교도 시나가와꾸 기다시나가와 6쵸메 7반 35고 소니 가부시끼 가이샤 나이 이병호, 최달용	
<b>심사청구 : 없음</b>		

(54) 반도체 메모리와 그 제조방법

**요약**

내용 없음

**대표도**

**도1**

**명세서**

[발명의 명칭]  
반도체 메모리와 그 제조방법  
[도면의 간단한 설명]  
제1도는 본 발명 반도체 메모리의 일 실시예를 나타내는 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**

MIS트랜지스터와 용량 소자로서 메모리 셀이 구성된 반도체 메모리에 있어서, 반도체 기판상의 절연층표면에 반도체 영역이 형성되며, 상기 반도체 영역의 표면부에 상기 MIS트랜지스터가 형성되고, 상기 반도체 기판의 MIS트랜지스터의 하측부분에 반도체 기판을 제1전극으로 하고, 이것과 유전체막을 거쳐 대향하는 전극층을 제2전극으로 하는 상기 용량 소자가 형성되고, 상기 용량 소자의 제2전극을 이루는 전극층과, 상기 반도체 영역에 형성된 MIS트랜지스터가 절연층에 형성된 콘택트홀을 통하여 전기적으로 접속되는 것을 특징으로 하는 반도체 메모리.

**청구항 2**

제1반도체 기판의 표면에 뒤에서 MIS트랜지스터가 형성되는 반도체 영역인 볼록부를 형성하는 공정과, 상기 반도체 기판의 표면에 절연층을 형성하는 공정과, 상기 절연층에 상기 반도체 기판의 볼록부 표면을 노출시키는 콘택트홀을 형성하는 공정과, 상기 절연층상에 상기 콘택트홀을 통하여 상기 반도체 기판의 볼록부표면에 접속되는 전극층을 형성하는 공정과, 상기 전극층 표면에 유전체막을 형성하는 공정과, 상기 전극층을 상기 유전체막을 거쳐 덮는 반도체 층을 절연층상에 형성하는 공정과, 상기 반도체층의 표면을 평탄화한 것에서 그 표면에 제2반도체 기판을 접착하는 공정과, 상기 제1반도체 기판을 그 이면측에서 상기 볼록부가 반도체 영역으로서 잔존하도록 제거하는 공정과, 상기 제1반도체 기판의 잔존한 반도체 영역에 MIS트랜지스터를 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 메모리 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

도면1

