

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6561612号
(P6561612)

(45) 発行日 令和1年8月21日(2019.8.21)

(24) 登録日 令和1年8月2日(2019.8.2)

(51) Int. Cl. F 1
HO2M 3/28 (2006.01) HO2M 3/28 H

請求項の数 10 (全 24 頁)

<p>(21) 出願番号 特願2015-122171 (P2015-122171) (22) 出願日 平成27年6月17日 (2015. 6. 17) (65) 公開番号 特開2017-11796 (P2017-11796A) (43) 公開日 平成29年1月12日 (2017. 1. 12) 審査請求日 平成30年4月16日 (2018. 4. 16)</p>	<p>(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 (74) 代理人 110002918 特許業務法人扶桑国際特許事務所 (72) 発明者 川島 鉄也 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 審査官 柳下 勝幸 (56) 参考文献 米国特許出願公開第2015/0103 566 (US, A1)</p>
--	---

最終頁に続く

(54) 【発明の名称】 スイッチング電源の制御装置

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子のオンオフにもとづき、トランスを挟んで1次側の入力電圧を2次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、

前記トランスの補助巻線で発生する補助巻線電圧を、前記トランスの2次側導通期間の開始タイミングから一定時間経過したタイミングで出力する出力電圧誤差検出部と、

前記2次側導通期間に流れる2次側電流によって発生する2次側電圧降下分を、前記2次側導通期間の開始タイミングにおける、1次側に位置する前記スイッチング素子に流れる1次側電流にもとづいて算出し、算出結果を前記出力電圧の目標値に対する補正量として出力する補正量算出部と、

前記出力電圧の目標電圧に、前記補正量に相当する電圧を加えた基準電圧を生成する基準電圧生成部と、

一定時間遅延後の前記補助巻線電圧と、前記基準電圧との誤差が小さくなるようにフィードバック制御をして、フィードバック信号を生成する制御部と、

前記フィードバック信号に応じてPWM信号を制御して前記スイッチング素子のスイッチングを調整し、前記出力電圧を一定に制御するPWM制御部と、

を備え、

前記補正量算出部は、2次側に接続されるダイオードの特性、前記ダイオードおよび2次側の出力電圧経路の抵抗成分、前記トランスの特性、前記出力電圧誤差検出部で設定される遅延時間を定数として前記補正量を算出する、

ことを特徴とするスイッチング電源の制御装置。

【請求項 2】

スイッチング素子のオンオフにもとづき、トランスを挟んで 1 次側の入力電圧を 2 次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、

前記トランスの補助巻線で発生する補助巻線電圧を、前記トランスの 2 次側導通期間の開始タイミングから一定時間経過したタイミングで出力する出力電圧誤差検出部と、

前記 2 次側導通期間に流れる 2 次側電流によって発生する 2 次側電圧降下分を、前記 2 次側導通期間の開始タイミングにおける、1 次側に位置する前記スイッチング素子に流れる 1 次側電流にもとづいて算出し、算出結果を前記出力電圧の目標値に対する補正量として出力する補正量算出部と、

前記出力電圧の目標電圧に、前記補正量に相当する電圧を加えた基準電圧を生成する基準電圧生成部と、

一定時間遅延後の前記補助巻線電圧と、前記基準電圧との誤差が小さくなるようにフィードバック制御をして、フィードバック信号を生成する制御部と、

前記フィードバック信号に応じて P W M 信号を制御して前記スイッチング素子のスイッチングを調整し、前記出力電圧を一定に制御する P W M 制御部と、

前記 1 次側電流を検出する端子にかかる電圧に対して、スロープ補償用のランプ電圧を加算するスロープ補償器と、

前記制御部から出力される前記 1 次側電流を示す信号値に対して、前記ランプ電圧に相当する信号を加算して前記補正量算出部へ入力し、前記ランプ電圧を加算したことによる誤差を低減するスロープ補償模擬回路と、

を有することを特徴とするスイッチング電源の制御装置。

【請求項 3】

スイッチング素子のオンオフにもとづき、トランスを挟んで 1 次側の入力電圧を 2 次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、

前記トランスの補助巻線で発生する補助巻線電圧を、前記トランスの 2 次側導通期間の開始タイミングから一定時間経過したタイミングで出力する出力電圧誤差検出部と、

前記 2 次側導通期間に流れる 2 次側電流によって発生する 2 次側電圧降下分を、前記 2 次側導通期間の開始タイミングにおける、1 次側に位置する前記スイッチング素子に流れる 1 次側電流にもとづいて算出し、算出結果を前記出力電圧の目標値に対する補正量として出力する補正量算出部と、

前記出力電圧の目標電圧に、前記補正量に相当する電圧を加えた基準電圧を生成する基準電圧生成部と、

一定時間遅延後の前記補助巻線電圧と、前記基準電圧との誤差が小さくなるようにフィードバック制御をして、フィードバック信号を生成する制御部と、

前記フィードバック信号に応じて P W M 信号を制御して前記スイッチング素子のスイッチングを調整し、前記出力電圧を一定に制御する P W M 制御部と、

前記 1 次側電流に過電流が発生しているか否かを検出する過電流検出部と、

前記過電流の発生有無を示すフラグを生成するフラグ生成部と、

前記フラグの値に応じて、前記 1 次側電流または過電流制限値のいずれかを選択して前記補正量算出部へ入力するセレクタと、

を有することを特徴とするスイッチング電源の制御装置。

【請求項 4】

スイッチング素子のオンオフにもとづき、トランスを挟んで 1 次側の入力電圧を 2 次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、

前記トランスの 2 次側導通期間の開始タイミングから一定時間経過したタイミングにおける、前記 2 次側導通期間に流れる 2 次側電流によって発生する 2 次側電圧降下分による前記出力電圧の目標値に対する補正量を、1 次側に位置する前記スイッチング素子に流れる 1 次側電流にもとづいて算出する補正量算出部と、

前記出力電圧の目標電圧に、前記補正量を加えた基準電圧を生成する基準電圧生成部と

10

20

30

40

50

を備え、

前記トランスの前記 2 次側導通期間の開始タイミングから一定時間経過したタイミングにおける前記トランスの補助巻線で発生する補助巻線電圧と、前記 2 次側導通期間の開始タイミングから一定時間経過したタイミングにおける前記補正量を加えた前記基準電圧とを比較して、フィードバック制御を実行する、

ことを特徴とするスイッチング電源の制御装置。

【請求項 5】

前記フィードバック制御を実行するフィードバック信号を生成する制御部と、
前記フィードバック信号に応じて PWM 信号を制御して前記スイッチング素子のスイッチングを調整する PWM 制御部と、

をさらに備えることを特徴とする請求項 4 記載のスイッチング電源の制御装置。

【請求項 6】

前記補正量算出部は、2 次側に接続されるダイオードの特性、前記ダイオードおよび 2 次側の出力電圧経路の抵抗成分、前記トランスの特性、前記トランスの前記 2 次側導通期間の開始タイミングから一定時間経過したタイミングまでの遅延時間を定数として前記補正量を算出することを特徴とする請求項 4 または 5 記載のスイッチング電源の制御装置。

【請求項 7】

前記補正量算出部は、
前記 2 次側電流がゼロのときの前記トランスの 2 次巻線の一端に接続する前記ダイオードの電圧降下分を V_{F0} 、前記ダイオードおよび 2 次側の出力電圧経路の前記抵抗成分を r 、前記トランスの 2 次巻線のインダクタンス成分を L_s 、前記トランスの 1 次巻線の巻数を N_1 、前記トランスの 2 次巻線の巻数を N_2 、前記トランスの前記 2 次側導通期間の開始タイミングから一定時間経過したタイミングまでの前記遅延時間を T_{sh} 、前記出力電圧を V_{out} 、前記 1 次側電流を $I_{p_{pk}}$ とした場合に、前記補正量 $V_{out_{corr}}$ を、

【数 2】

$$V_{out_{corr}} = \left(V_{F0} - r \times \frac{V_{out}}{L_s} \times T_{sh} \right) + r \times \frac{N_1}{N_2} \times I_{p_{pk}}$$

により算出することを特徴とする請求項 6 記載のスイッチング電源の制御装置。

【請求項 8】

前記 1 次側電流を検出する端子にかかる電圧に対して、スロープ補償用のランプ電圧を加算するスロープ補償器と、

前記制御部から出力される前記 1 次側電流を示す信号値に対して、前記ランプ電圧に相当する信号を加算して前記補正量算出部へ入力し、前記ランプ電圧を加算したことによる誤差を低減するスロープ補償模擬回路と、

をさらに備えることを特徴とする請求項 5 記載のスイッチング電源の制御装置。

【請求項 9】

前記制御部から出力される前記 1 次側電流を示す前記信号値と、スロープ補償の実行有無を判定するための判定値とを比較し、比較結果にもとづいて、スロープ補償の実行または停止を決定する比較器をさらに備えることを特徴とする請求項 8 記載のスイッチング電源の制御装置。

【請求項 10】

前記 1 次側電流に過電流が発生しているか否かを検出する過電流検出部と、
前記過電流の発生有無を示すフラグを生成するフラグ生成部と、
前記フラグの値に応じて、前記 1 次側電流または過電流制限値のいずれかを選択して前記補正量算出部へ入力するセレクタと、

をさらに備えることを特徴とする請求項 4 記載のスイッチング電源の制御装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本技術は、スイッチング電源の制御装置に関する。

【背景技術】

【0002】

スイッチング電源のAC (Alternate Current) / DC (Direct Current) コンバータの回路方式として、フライバック方式が広く採用されている。

フライバック方式のスイッチング電源は、トランスおよびスイッチングトランジスタ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) を有し、AC入力電圧をダイオードブリッジにて整流した電圧から、所望のDCの出力電圧を得ている。

10

【0003】

また、このようなAC / DCコンバータでは、AC入力電圧や負荷の変動、または温度変化などの要因に対して、出力電圧の安定供給を行うために、制御回路が備えられている。

【0004】

制御回路は、トランスの1次側に配置されており、トランス2次側の出力電圧の情報にもとづき、MOSFETのスイッチングのフィードバック制御を行って、出力電圧を一定に保っている。

【0005】

このように2次側から1次側へ出力電圧情報を送るため、従前のフライバック方式のスイッチング電源では、出力電圧誤差増幅器 (シャントレギュレータ) とフォトカプラなどの絶縁素子が用いられていた。

20

【0006】

一方、近年では、コスト削減や部品点数削減等のため、出力誤差増幅器とフォトカプラを用いず、トランスの補助巻線で発生する電圧を用いて出力電圧のフィードバックを行う電源が開発されており、1次側制御フライバック電源などと呼ばれている。

【0007】

従来の1次側制御フライバック電源の技術としては、例えば、2次側電流のゼロとなるタイミングで1次側電圧を検出して2次側電圧の損失分を補正し、出力電圧の制御を行う技術が提案されている (特許文献1)。

30

【0008】

また、補助巻線に発生する検出電圧と基準値との比較結果により、検出期間を決定し、検出期間内で2つのパルスでサンプリングした一方の検出電圧を出力する技術が提案されている (特許文献2)。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特表2010-521954号公報

【特許文献2】特開2013-121214号公報

【特許文献3】米国特許出願公開第2010/0246216号明細書

40

【発明の概要】

【発明が解決しようとする課題】

【0010】

フライバック電源は、出力電圧がねらいの値となるよう制御を行う。1次側制御フライバック電源でも、トランスに補助巻線を備えて、理想的にはその補助巻線により出力電圧に対応する電圧を得、その電圧を用いて出力電圧の制御を行っている。具体的には例えば、トランスの2次巻線の巻数と、補助巻線との巻数とを同じにして、出力電圧に対応する電圧を補助巻線で発生させ、2次側導通期間においてその補助巻線電圧を検出することで、PWM制御回路によって出力電圧制御を行っている。

【0011】

50

しかし、実際には2次側にあるダイオードによる電圧降下などがあることから出力電圧は目標値からずれ、誤差を生じてしまう。

そのため、単純な1次側制御フライバック電源の制御回路では、この誤差補正は行わず高精度を必要としない用途に使われる。一方、この誤差を補正する手段も提案されている。例えば、特許文献1では、2次側導通期間に複数回補助巻線電圧をサンプリングし、2次側電流がゼロとなり補助巻線電圧が低下し始める直前のサンプリング結果を用いて制御を行うようにしている。またその他の例として特許文献3に開示されているように、補助巻線電圧の時間経過による傾きを監視し、2次側電圧がゼロとなり、補助巻線電圧の傾きが大きく変化した時点の補助巻線電圧を用いて制御を行うものも知られている。これらはいずれも補助電圧が急峻に低下するタイミングを検出することで、2次側電流がゼロにな

10

【0012】

これら先行技術では、2次側電流がスイッチング周期ごとにゼロになる電流不連続モード(以下「DCM」と呼ぶ)動作の場合には2次側における損失分を除去して高精度の出力制御が期待できる。しかしながら、入力電圧が低い条件であったり、負荷電流が大きい条件であったりすると、電流連続モード(以下「CCM」と呼ぶ)での動作が起こり得る。この場合、上述の先行技術においては補助巻線電圧が急峻に低下するタイミングでは、2次側電流はゼロになっておらず、2次側損失による誤差を除去しきれないという課題があった。

【0013】

本発明はこのような点に鑑みてなされたものであり、誤差電圧を高精度に補正して、出力電圧の安定供給を実現したスイッチング電源の制御装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記課題を解決するために、スイッチング素子のオンオフにもとづき、トランスを挟んで1次側の入力電圧を2次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、前記トランスの補助巻線で発生する補助巻線電圧を、前記トランスの2次側導通期間の開始タイミングから一定時間経過したタイミングで出力する出力電圧誤差検出部と、前記2次側導通期間に流れる2次側電流によって発生する2次側電圧降下分を、前記2次側導通期間の開始タイミングにおける、1次側に位置する前記スイッチング素子に流れる1次側電流にもとづいて算出し、算出結果を前記出力電圧の目標値に対する補正量として出力する補正量算出部と、前記出力電圧の目標電圧に、前記補正量に相当する電圧を加えた基準電圧を生成する基準電圧生成部と、一定時間遅延後の前記補助巻線電圧と、前記基準電圧との誤差が小さくなるようにフィードバック制御をして、フィードバック信号を生成する制御部と、前記フィードバック信号に応じてPWM信号を制御して前記スイッチング素子のスイッチングを調整し、前記出力電圧を一定に制御するPWM制御部と、を備え、前記補正量算出部は、2次側に接続されるダイオードの特性、前記ダイオードおよび2次側の出力電圧経路の抵抗成分、前記トランスの特性、前記出力電圧誤差検出部で設定される遅延時間を定数として前記補正量を算出する、ことを特徴とするスイッチング電源の制御装置を提供する。

30

40

【0015】

または、上記課題を解決するために、スイッチング素子のオンオフにもとづき、トランスを挟んで1次側の入力電圧を2次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、前記トランスの補助巻線で発生する補助巻線電圧を、前記トランスの2次側導通期間の開始タイミングから一定時間経過したタイミングで出力する出力電圧誤差検出部と、前記2次側導通期間に流れる2次側電流によって発生する2次側電圧降下分を、前記2次側導通期間の開始タイミングにおける、1次側に位置する前記スイッチング素子に流れる1次側電流にもとづいて算出し、算出結果を前記出力電圧の目標値に対する補正量として出力する補正量算出部と、前記出力電圧の目標電圧に、前記補正量に相当する電圧を加えた基準電圧を生成する基準電圧生成部と、一定時間遅延後の前

50

記補助巻線電圧と、前記基準電圧との誤差が小さくなるようにフィードバック制御をして、フィードバック信号を生成する制御部と、前記フィードバック信号に応じてPWM信号を制御して前記スイッチング素子のスイッチングを調整し、前記出力電圧を一定に制御するPWM制御部と、前記1次側電流を検出する端子にかかる電圧に対して、スロー補償用のランプ電圧を加算するスロー補償器と、前記制御部から出力される前記1次側電流を示す信号値に対して、前記ランプ電圧に相当する信号を加算して前記補正量算出部へ入力し、前記ランプ電圧を加算したことによる誤差を低減するスロー補償模擬回路と、を有することを特徴とするスイッチング電源の制御装置を提供する。

【0016】

または、上記課題を解決するために、スイッチング素子のオンオフにもとづき、トランスを挟んで1次側の入力電圧を2次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、前記トランスの補助巻線で発生する補助巻線電圧を、前記トランスの2次側導通期間の開始タイミングから一定時間経過したタイミングで出力する出力電圧誤差検出部と、前記2次側導通期間に流れる2次側電流によって発生する2次側電圧降下分を、前記2次側導通期間の開始タイミングにおける、1次側に位置する前記スイッチング素子に流れる1次側電流にもとづいて算出し、算出結果を前記出力電圧の目標値に対する補正量として出力する補正量算出部と、前記出力電圧の目標電圧に、前記補正量に相当する電圧を加えた基準電圧を生成する基準電圧生成部と、一定時間遅延後の前記補助巻線電圧と、前記基準電圧との誤差が小さくなるようにフィードバック制御をして、フィードバック信号を生成する制御部と、前記フィードバック信号に応じてPWM信号を制御して前記スイッチング素子のスイッチングを調整し、前記出力電圧を一定に制御するPWM制御部と、前記1次側電流に過電流が発生しているか否かを検出する過電流検出部と、前記過電流の発生有無を示すフラグを生成するフラグ生成部と、前記フラグの値に応じて、前記1次側電流または過電流制限値のいずれかを選択して前記補正量算出部に入力するセレクタと、を有することを特徴とするスイッチング電源の制御装置を提供する。

または、上記課題を解決するために、スイッチング素子のオンオフにもとづき、トランスを挟んで1次側の入力電圧を2次側の直流の出力電圧に変換して負荷に供給するスイッチング電源の制御装置において、前記トランスの2次側導通期間の開始タイミングから一定時間経過したタイミングにおける、前記2次側導通期間に流れる2次側電流によって発生する2次側電圧降下分による前記出力電圧の目標値に対する補正量を、1次側に位置する前記スイッチング素子に流れる1次側電流にもとづいて算出する補正量算出部と、前記出力電圧の目標電圧に、前記補正量を加えた基準電圧を生成する基準電圧生成部と、を備え、前記トランスの前記2次側導通期間の開始タイミングから一定時間経過したタイミングにおける前記トランスの補助巻線で発生する補助巻線電圧と、前記2次側導通期間の開始タイミングから一定時間経過したタイミングにおける前記補正量を加えた前記基準電圧とを比較して、フィードバック制御を実行する、ことを特徴とするスイッチング電源の制御装置を提供する。

【発明の効果】

【0017】

目標電圧に対する出力電圧誤差を高精度に補正して、出力電圧の安定供給を図ることが可能になる。

【図面の簡単な説明】

【0018】

【図1】スイッチング電源の構成例を示す図である。

【図2】1次側制御フライバック電源の構成例を示す図である。

【図3】1次側制御フライバック電源の理想的な動作の波形を示す図である。

【図4】1次側制御フライバック電源の実動作の波形を示す図である。

【図5】1次側制御フライバック電源の実動作の波形を示す図である。

【図6】スイッチング電源の制御装置の構成例を示す図である。

【図7】フライバック方式スイッチング電源の構成例を示す図である。

10

20

30

40

50

【図 8】スイッチング電源の制御装置の構成例を示す図である。

【図 9】スイッチング電源の制御装置の構成例を示す図である。

【図 10】動作波形のタイミングチャートを示す図である。

【図 11】スイッチング電源の制御装置の構成例を示す図である。

【図 12】スイッチング電源の制御装置の構成例を示す図である。

【図 13】スイッチング電源の制御装置の構成例を示す図である。

【発明を実施するための形態】

【0019】

以下、実施の形態について図面を参照して説明する。図 1 はスイッチング電源の構成例を示す図である。スイッチング電源 1 は、トランス 10、ブリッジ回路 11、スイッチング素子 12、入力コンデンサ C1、ダイオード D_s、出力コンデンサ C2、抵抗 R_d および制御装置 2 を備える。

10

【0020】

ブリッジ回路 11 は、AC 電圧源 a1 から出力された交流電圧を整流する。入力コンデンサ C1 は、整流電圧を平滑化して直流電圧に変換する。

トランス 10 は、1 次巻線 L1、2 次巻線 L2 および補助巻線 L_{aux} を含み、1 次側で発生したエネルギーを 2 次側に伝達する。ダイオード D_s は、2 次巻線 L2 で発生した電圧を整流する。

【0021】

出力コンデンサ C2 は、整流電圧を平滑化する。平滑化された電圧は、スイッチング電源 1 の出力端子に接続されている負荷 5 に供給される。抵抗 R_d は、無負荷時に出力電圧が上昇しすぎないように放電するための抵抗であって、ブリーダ抵抗などと呼ばれるものである。

20

【0022】

補助巻線 L_{aux} は、2 次巻線 L2 と同じ方向に巻かれた巻線であり、補助巻線 L_{aux} で生じた補助巻線電圧 V_{aux} は、制御装置 2 に送られる。C_s 信号は、スイッチング素子 12 に流れる 1 次側電流に相当する電圧であって、同様に制御装置 2 に送られる。

【0023】

制御装置 2 は、出力電圧誤差検出部 2a、補正量算出部 2b、基準電圧生成部 2c、制御部 2d および PWM 信号生成部 2e を含む。

30

出力電圧誤差検出部 2a は、トランス 10 の 2 次巻線 L2 と同じ巻数の補助巻線 L_{aux} で発生する補助巻線電圧 V_{aux} について、トランス 10 の 2 次側導通期間の開始タイミングから一定時間経過したタイミングで補助巻線電圧をサンプルホールドして出力する。

【0024】

補正量算出部 2b は、2 次側導通期間に流れる 2 次側電流 I_s によって発生する 2 次側電圧 V₂ から出力電圧端子までの電圧降下分を、2 次側導通期間の開始タイミングにおける、1 次側に位置するスイッチング素子 12 に流れる 1 次側電流 I_p にもとづいて算出し、算出結果を出力電圧の目標値に対する補正量として出力する。

【0025】

基準電圧生成部 2c は、出力電圧の目標電圧値に補正量に相当する電圧を加算した基準電圧 V_{ref} を生成する。制御部 2d は、出力電圧誤差検出部 2a から出力された一定時間遅延後の補助巻線電圧と、基準電圧 V_{ref} との誤差が小さくなるように制御してフィードバック信号（電圧）を生成する。PWM 信号生成部 2e はフィードバック電圧に応じて PWM 信号を生成し、スイッチング素子 12 のスイッチングを調整し、出力電圧を一定に制御する。

40

【0026】

次に本発明の技術の詳細を説明する前に、一般的な 1 次側制御フライバック電源の構成およびその課題について説明する。

図 2 は 1 次側制御フライバック電源の構成例を示す図である。1 次側制御フライバック

50

電源 1 a は、ブリッジ回路 1 1、コンデンサ C 1 ~ C 3、抵抗 R 1 ~ R 5、R d、ダイオード D 1、D s、トランス 1 0、スイッチング素子 M 1 および制御 IC (Integrated Circuit) 2 0 0 a を備える。制御 IC の電源の供給は図示しないが、ブリッジダイオードの高電位側出力端子や補助巻線電圧を整流した出力端子、または外部の電源装置などから電源を供給して使用する。

【 0 0 2 7 】

制御 IC の電源の供給は図示しないが、ブリッジダイオードの高電位側出力端子や補助巻線電圧を整流した出力端子、または外部の電源装置などから電源を供給して使用する。

なお、スイッチング素子 M 1 には、N M O S トランジスタが使用されている (I G B T や、バイポーラトランジスタでも可)。

10

【 0 0 2 8 】

また、トランス 1 0 は、1 次巻線 L 1、2 次巻線 L 2 を含み、さらに補助巻線 L a u x を有している。

回路素子の接続関係を記すと、ブリッジ回路 1 1 の 2 つの入力端子は、A C 電圧入力端子 1 0 0 a に接続する。ブリッジ回路 1 1 の正極側出力端子は、コンデンサ C 1 の正極側端子、抵抗 R 2 の一方の端子、コンデンサ C 3 の一端およびトランス 1 0 の 1 次巻線 L 1 の一端に接続する。

【 0 0 2 9 】

ブリッジ回路 1 1 の負極側出力端子は、コンデンサ C 1 の負極側端子とグランド (以下、G N D と表記) に接続する。抵抗 R 2 の他端は、コンデンサ C 3 の他端および抵抗 R 1

20

【 0 0 3 0 】

抵抗 R 1 の他端は、ダイオード D 1 のカソードに接続し、ダイオード D 1 のアノードは、1 次巻線 L 1 の他端、スイッチング素子 M 1 のドレインに接続する。なお、R 1、R 2、C 3、D 1 で形成されるスナバ回路はこの構成に限定するものではない。

【 0 0 3 1 】

トランス 1 0 の補助巻線 L a u x の一端は、抵抗 R 3 の一端に接続し、補助巻線 L a u x の他端は、G N D に接続する。制御 IC 2 0 0 a の端子 V s は、抵抗 R 3 の他端と、抵抗 R 4 の一端と接続し、抵抗 R 4 の他端は、G N D に接続する。

【 0 0 3 2 】

制御 IC 2 0 0 a の端子 C s は、スイッチング素子 M 1 のソースおよび抵抗 R 5 の一端に接続し、抵抗 R 5 の他端は、G N D に接続する。制御 IC 2 0 0 a の端子 V p w m は、スイッチング素子 M 1 のゲートに接続し、制御 IC 2 0 0 a の G N D 端子は、G N D に接続する。

30

【 0 0 3 3 】

トランス 1 0 の 2 次巻線 L 2 の一端は、ダイオード D s のアノードに接続し、ダイオード D s のカソードは、コンデンサ C 2 の一端、抵抗 R d の一端および D C 電圧出力端子 1 0 0 b の一方の端子に接続する。

【 0 0 3 4 】

2 次巻線 L 2 の他端は、コンデンサ C 2 の他端、抵抗 R d の他端および D C 電圧出力端子 1 0 0 b の他方の端子および G N D に接続する。なお、D C 電圧出力端子 1 0 0 b の 2 つの端子には、接地された負荷 5 が接続される。

40

【 0 0 3 5 】

ここで、ブリッジ回路 1 1 は、A C 電圧入力端子 1 0 0 a から入力された交流電圧を整流する。コンデンサ C 1 は、整流電圧を平滑化して直流電圧に変換し、1 次巻線 L 1 には電圧 V 1 が生じる。

【 0 0 3 6 】

2 次側に配置されたダイオード D s は、2 次巻線 L 2 で発生した電圧 V 2 を整流する。コンデンサ C 2 は、整流電圧を平滑化し、平滑化後の電圧は、負荷 5 に供給される。抵抗 R d は、無負荷時に出力電圧が上昇しすぎないように放電するための抵抗であって、ブリ

50

ーダ抵抗などと呼ばれるものである。

【0037】

また、1次巻線L1に発生する電圧V1と、2次巻線L2に発生する電圧V2とは逆極性であり、補助巻線Lauxに発生する電圧Vauxと、2次巻線L2に発生する電圧V2とは同極性である。

【0038】

動作について説明する。1次側制御フライバック電源1aでは、2次巻線L2と同じ方向に巻かれ、1次側のGNDに接地した補助巻線Lauxを有しており、補助巻線Lauxの両端電圧(またはその分圧電圧)が、制御IC200aの出力電圧検出端子Vsに送られる。

10

【0039】

制御IC200aは、出力電圧の設定値となる基準電圧の発生機能を内蔵しており、基準電圧と、補助巻線Lauxを通じて出力電圧検出端子Vsに入力された電圧との差分信号を検出する。

【0040】

そして、制御IC200aは、その差分信号と、電流検出端子Csに入力される電流情報とを用いて、PWM信号を生成し、端子VpwmからPWM信号を出力する。

PWM信号は、ゲート信号として、スイッチング素子M1のゲートに入力される。スイッチング素子M1は、PWM信号にもとづいてオン、オフする。このような動作により、出力電圧を目標値に整定させるPWM制御が行われる。

20

【0041】

図3は1次側制御フライバック電源の理想的な動作の波形を示す図である。なお、“Tsw”は、スイッチング素子M1のオン、オフのスイッチング周期である。

スイッチング素子M1のゲート信号Vgが高電位レベル(Hレベル)になると、スイッチング素子M1は、オン状態になって、図2に示すような1次側電流Ipが流れる。

【0042】

なお、1次巻線L1は、インダクタンス成分を有しているから、1次側電流Ipは、スイッチング素子M1がオン状態の間は、時間経過と共に三角波状に上昇する。また、2次巻線L2は、1次巻線L1とは巻方向が逆なので、スイッチング素子M1がオン状態の間は、2次巻線L2には2次側電流Isは流れない。

30

【0043】

時間Ton経過後、ゲート信号Vgが低電位レベル(Lレベル)になると、スイッチング素子M1はオフ状態となって、1次側電流Ipは流れなくなる。すると、トランス10に溜めこまれたエネルギーが2次側へ移行して2次側が導通するので、2次側電流Isが流れる。2次側電流Isは、時間経過とともに下降する形状となる。

【0044】

2次側導通期間Tdにおいて、2次側のダイオードDsでの電圧降下をゼロとすると、2次巻線L2の両端にかかる2次側電圧は、出力電圧と等しくなり、図3に示すようなフラットな波形となる(出力コンデンサC2の容量は十分大きいものとする)。

【0045】

一方、補助巻線Lauxには、2次巻線L2との巻数比に比例した電圧Vauxが生じる。時刻tにおける補助巻線Lauxの両端電圧Vaux(t)は、以下の式(1)で求められる。

40

【0046】

$$V_{aux}(t) = (N_{aux} / N_2) \times V_2(t) \cdots (1)$$

ここで、N2は2次巻線L2の巻数、Nauxは補助巻線Lauxの巻数、V2(t)は2次巻線L2の両端電圧である。

【0047】

式(1)において、2次巻線L2の巻数N2と、補助巻線Lauxの巻数Nauxとを同じにすると(N2 = Naux)、2次側導通期間Tdには、補助巻線Lauxにも出力

50

電圧相当の電圧が現れることになる ($V_{aux} = V_2$)。

【0048】

したがって、制御IC200aは、2次側導通期間Tdにおいて、補助巻線電圧 V_{aux} を検出することで、2次側で発生する出力電圧情報を得ることができ、出力電圧情報に応じたPWM制御を行うことができる。

【0049】

次に1次側制御フライバック電源1aの課題について説明する。2次側電圧 V_2 と、出力電圧との関係は、2次側の回路構成上、実際には2次側での電圧降下分が含まれるので、これらのパラメータを考慮しなければならない。

【0050】

2次側電圧降下分のパラメータを考慮した場合の、2次側電圧 V_2 と、出力電圧 V_{out} との関係は、式(2)で表わされる。

$$V_2(t) = V_{out}(t) + VF_0 + r \times I_s(t) \cdots (2)$$

ここで、 VF_0 は、 $I_s = 0A$ のときのダイオード D_s の電圧降下分である。また、 $I_s(t)$ は、図2に示すような方向に流れる2次側電流であり、 r は、ダイオード D_s の抵抗および2次側の出力電圧経路における等価的な抵抗成分である。

【0051】

一方、2次側電圧 $V_2(t)$ を出力電圧の目標出力値 V_{out_set} とすると、式(2)は、式(3)のように書ける。

$$V_{out}(t) = V_{out_set} - VF_0 - r \times I_s(t) \cdots (3)$$

式(3)中の、第2項の VF_0 と、第3項の $r \times I_s(t)$ とが、誤差電圧(2次側電圧降下分)であり、目標出力値 V_{out_set} から、これらの誤差電圧を減算した値が、出力電圧 V_{out} になっていることがわかる。

【0052】

したがって、制御IC200aが、出力電圧 V_{out} を正確に認識するためには、出力電圧検出端子 V_s に入力される補助巻線電圧 V_{aux} に対して、第2項の VF_0 と、第3項の $r \times I_s(t)$ との誤差を補正することが重要となる。

【0053】

第2項の VF_0 の誤差分は、 $I_s = 0A$ のときのダイオード D_s の電圧降下分であるから、固定値として扱うことができる。しかし、第3項の $r \times I_s(t)$ の誤差分は、動作中の負荷電流等により $I_s(t)$ が変化する。このため、第3項は、可変する電圧降下分であり、動的な補正を要することになる。

【0054】

第3項の誤差電圧を除去するために、従来では、例えば、2次側電流 I_s がゼロになったときの補助巻線電圧 V_{aux} を用いて、出力電圧制御を行う対策が提案されている(例えば、上述の特許文献1)。

【0055】

この方法では、補助巻線電圧 V_{aux} が急峻に低下する直前のタイミングを検知することで、2次側電流 I_s がゼロになったと判定する。そして、2次側電流 I_s がゼロのときの補助巻線電圧 V_{aux} を用いて出力電圧制御を行うものである。

【0056】

図4は1次側制御フライバック電源の実動作の波形を示す図である。2次側電流 I_s がスイッチング周期 T_{sw} 中にゼロになる電流不連続モード(DCM: Discontinuous Current Mode)の動作波形を示している。

【0057】

制御IC200aは、 $I_s = 0A$ になる2次側導通期間Tdが終了する直前の補助巻線電圧 V_{aux} を検出し、出力電圧検出端子 V_s に入力する。

タイミング t_1 のときの補助巻線電圧 V_{aux} は、 $I_s = 0A$ のため、式(2)は $V_{out}(t_1) + VF_0$ となるから、補正すべき誤差は VF_0 のみとなる。 VF_0 は、上述のように固定値であり、容易に補正することが可能である。

10

20

30

40

50

【0058】

このようにして、2次側電流 I_s がゼロのときの補助巻線電圧 V_{aux} を用いて、2次側電圧降下分の誤差を除去している。しかし、この方法は、DCMの動作時には有効ではあるが、電流連続モード(CCM: Continuous Current Mode)の動作時には、2次側電圧降下分を完全には除去できないという問題がある。

【0059】

図5は1次側制御フライバック電源の実動作の波形を示す図である。2次側電流 I_s がスイッチング周期 T_{sw} 中にゼロにはならないCCMの動作波形を示している。

なお、CCMでは、2次側電流 I_s が流れている途中で(2次側電流 I_s がゼロになっていない途中で)、1次側がオンして1次側電流 I_p が流れるような動作になる。

10

【0060】

2次側導通期間 T_d において、制御 IC 200a は、2次側導通期間 T_d の終了時刻であるタイミング t_1 のときに、出力電圧検出端子 V_s に入力される補助巻線電圧 V_{aux} を検出する。

【0061】

この場合、タイミング t_1 で、2次側電流 I_s は0Aにはなっていない。 $I_s = 0A$ であるので、このときの $V_{aux}(t_1)$ は、式(2)から $V_{out}(t_1) + VF_0 + r \times I_s(t_1)$ であり、第3項の誤差電圧分が含まれていることになる。

【0062】

全動作範囲でDCM動作となる仕様のスイッチング電源もあるが、負荷電流が大きい条件ではCCM動作となる仕様のスイッチング電源もある。

20

したがって、後者のような仕様のスイッチング電源に適用する場合、2次側導通期間 T_d の区間内で補助巻線電圧 V_{aux} が最も低下したときのタイミングを検知して、出力電圧制御を行う方法では、CCM動作時には、2次側電流 I_s はゼロにはなっていないため、2次側電圧降下による誤差を除去しきれないという問題がある。

【0063】

本技術はこのような点に鑑みてなされたものであり、DCMおよびCCMのいずれのモードにおいても高精度な出力電圧を実現したスイッチング電源の制御装置を提供するものである。

【0064】

次に本発明の技術であるスイッチング電源の制御装置の構成および動作原理について説明する。図6はスイッチング電源の制御装置の構成例を示す図である。スイッチング電源の制御装置20は、PWM制御部210、補正制御部220、基準電圧生成部230およびドライバDrを備える。

30

【0065】

PWM制御部210は、遅延部211、出力電圧誤差検出部212、制御部213およびPWM生成部214を含む。補正制御部220は、1次側電流検出部221と補正量演算部222を含み、基準電圧生成部230は、演算器231を含む。

【0066】

なお、PWM制御部210は、図1に示す出力電圧誤差検出部、制御部2d、PWM信号生成部の機能を実現する。補正制御部220は、図1に示す補正量算出部2bの機能を実現する。基準電圧生成部230は、図1に示す基準電圧生成部2cの機能を実現する。

40

【0067】

ここで、制御装置20は、2次側導通期間の開始タイミングから一定時間 T_{sh} の経過後に検出した補助巻線電圧 V_{aux} を用いて出力電圧制御を行う。

なお、2次側導通期間の開始タイミング(1次側導通期間の終了タイミング)は、PWM生成部214から出力されるPWM信号 V_{pwm0} が、Lレベルになる瞬間のタイミングに相当する。

【0068】

このため、遅延部211は、PWM生成部214から出力されるPWM信号 V_{pwm0}

50

を一定時間 T_{sh} だけ遅延して出力し、また、出力電圧誤差検出部 212 は、出力電圧検出端子 V_s から入力される補助巻線電圧 V_{aux} を、遅延部 211 からの出力信号でラッチしている。これにより、2次側導通期間の開始タイミングから一定時間 T_{sh} 経過後の補助巻線電圧 V_{aux} の検出を行っている。

【0069】

また、制御装置 20 は、良好な出力電圧精度を得るために、上述した2次側電流 I_s による2次側電圧降下分 ($r \times I_s (T_{sh})$) の補正を行うものである。以下、2次側電圧降下分の補正制御について詳しく説明する。

【0070】

まず、1次側電流検出部 221 では、PWM信号 V_{pwm0} がLレベルになるときの1次側電流 $I_{p_{pk}}$ (1次側電流のピーク値) を認識する。1次側電流 $I_{p_{pk}}$ から、以下の式(4)を用いて、2次側導通期間の開始時の2次側電流 $I_{s_{pk}}$ (2次側電流のピーク値) が算出される。

【0071】

$$I_{s_{pk}} = (N1 / N2) \times I_{p_{pk}} \cdots (4)$$

また、トランス10の2次巻線L2のインダクタンス L_s は、トランス10の1次巻線L1のインダクタンス L_p と、巻数比 ($N2 / N1$) とから、以下の式(5)で算出される。

【0072】

$$L_s = (N2 / N1)^2 \times L_p \cdots (5)$$

さらに、2次側導通期間の開始から時間 T_{sh} 経過後の2次側電流 $I_s (T_{sh})$ は、以下の式(6)で算出される。

【0073】

$$I_s (T_{sh}) = I_{s_{pk}} - (V_{out} / L_s) \times T_{sh} \cdots (6)$$

そして、式(4)~(6)を式(3)に代入することで、時間 T_{sh} における出力電圧 $V_{out} (T_{sh})$ は、式(7)で表すことができる。

【0074】

【数1】

$$V_{out}(T_{sh}) = V_{out_{set}} - \left\{ \left(VF0 - r \times \frac{V_{out}}{L_s} \times T_{sh} \right) + r \times \frac{N1}{N2} \times I_{p_{pk}} \right\} \cdots (7)$$

【0075】

式(7)の第2項は、2次側電圧降下による電圧降下分に相当し、第2項を $V_{out_{corr}}$ と置くと式(8)となる。

【0076】

【数2】

$$V_{out_{corr}} = \left(VF0 - r \times \frac{V_{out}}{L_s} \times T_{sh} \right) + r \times \frac{N1}{N2} \times I_{p_{pk}} \cdots (8)$$

【0077】

式(7)の目標出力電圧値 $V_{out_{set}}$ に、式(8)に示す電圧降下分の補正量 $V_{out_{corr}}$ を加算することで、出力電圧値を目標出力値に補正することができる。

ここで、式(8)のうち、装置動作中に変化するパラメータは、1次側電流 $I_{p_{pk}}$ のみである。したがって、1次側電流検出部 221 が1次側電流 $I_{p_{pk}}$ を検出し、補正量演算部 222 が式(8)に相当する演算を行うことで、補正量を決定する。

【0078】

また、基準電圧生成部 230 は、演算器 231 を備えており、演算器 231 は、出力目標値 $V_{out_{set}}$ に、補正量演算部 222 で決定された補正量 $V_{out_{corr}}$ を加算し、加

10

20

30

40

50

算結果を基準電圧 V_{ref} として出力する。なお、出力目標値 V_{out_set} は、装置内部で固有の値としてあらかじめ設定してもよいし、外部から設定可能な値としてもよい。

【0079】

出力電圧誤差検出部 212 は、基準電圧 V_{ref} と、時間 T_{sh} の出力電圧値（検出電圧としては補助巻線電圧値）とを比較して誤差電圧を出力する。このような構成により、DCM および CCM のいずれのモードにおいても、2 次側電圧降下の影響を除去した高精度な出力電圧を得ることが可能になる。

【0080】

次にスイッチング電源の制御装置 20 の具体的な回路構成および動作について説明する。最初に、制御装置 20 を備えるフライバック方式のスイッチング電源の全体構成について示す。

10

【0081】

図 7 はフライバック方式スイッチング電源の構成例を示す図である。フライバック方式のスイッチング電源 1-1 は、ブリッジ回路 11、コンデンサ $C1 \sim C3$ 、抵抗 $R1 \sim R5$ 、 R_d 、ダイオード $D1$ 、 D_s 、トランス 10、スイッチング素子 $M1$ および制御装置 20 を備える（図 2 に示した制御 IC 200a を、制御装置 20 に置き換えたものである）。

【0082】

制御装置 20 は、フライバック電源の 1 次側に配置されている。また、制御装置 20 は、補助巻線電圧 V_{aux} の分圧出力を検出する出力電圧検出端子 V_s 、1 次側電流を検出する電流検出端子 C_s 、PWM 信号をゲート信号として出力するゲート出力端子 V_{pwm} を有する。なお、制御装置 20 以外の構成要素については、図 2 で上述したので説明は省略する。

20

【0083】

図 8 はスイッチング電源の制御装置の構成例を示す図である。制御装置 20-1 は、S/H（サンプルホールド）信号生成部 21、出力電圧誤差検出部 22、制御部 23、PWM 生成部 24、補正制御部 25、基準電圧生成部 26 およびドライバ D_r を備える。

【0084】

出力電圧誤差検出部 22 は、S/H 回路 22a と、ADC（A/D コンバータ）22b を含む。制御部 23 は、デジタル制御器 23a、電流制御用 DAC（D/A コンバータ）23b および周波数制御用 DAC 23c を含む。

30

【0085】

PWM 生成部 24 は、コンパレータ 24a、VCO（Voltage Controlled Oscillator：電圧制御発振器）24b および RS フリップフロップ 24c を含む。補正制御部 25 は、1 次側電流検出部 25a と補正量演算部 25b を含む。基準電圧生成部 26 は、演算器 26a と基準電圧用 DAC 26b を含む。

【0086】

なお、図 6 の構成要素との対応関係については、S/H 信号生成部 21 は、図 6 に示す遅延部 211 に対応し、出力電圧誤差検出部 22 は、図 6 に示す出力電圧誤差検出部 212 に対応する。

40

【0087】

制御部 23 は、図 6 に示す制御部 213 に対応し、PWM 生成部 24 は、図 6 に示す PWM 生成部 214 に対応する。補正制御部 25 は、図 6 に示す補正制御部 220 に対応し、基準電圧生成部 26 は、図 6 に示す基準電圧生成部 230 に対応する。

【0088】

ここで、S/H 回路 22a は、出力電圧検出端子 V_s からの入力電圧を、スイッチング素子 $M1$ のスイッチング周期毎に検出する。このときの S/H 回路 22a が行うサンプリングは、PWM 信号 V_{pwm0} が H レベルから L レベルに変化した瞬間（2 次側導通が開始した瞬間）から時間 T_{sh} 後に行い、後段のデジタル制御器 23a の演算が完了するまでの間、そのサンプリング値をホールドする。

50

【 0 0 8 9 】

A D C 2 2 b は、S / H 回路 2 2 a からの出力信号 V s h にもとづいて、デジタル信号を出力する。例えば、A D C 2 2 b は、ウインドウ型 A D C であって、S / H 回路 2 2 a からの出力信号 V s h と、基準電圧 V r e f との誤差分をデジタル値として出力する。なお、基準電圧 V r e f は、S / H 回路 2 2 a の出力の目標電圧であって、後述の基準電圧用 D A C 2 6 b から出力される。

【 0 0 9 0 】

デジタル制御器 2 3 a には、A D C 2 2 b からの出力信号 A D C [m : 0] とクロック c k p i とが入力する。なお、[m : 0] の表記は、最下位ビットが 0 ビットで、最上位ビットが m ビットであり、0 ビット目から m ビット目までの全部で m + 1 ビットの信号であることを表す。

10

【 0 0 9 1 】

デジタル制御器 2 3 a は、A D C 2 2 b から出力された信号 A D C [m : 0] をゼロにするための制御演算を行う。具体的には、S / H 回路 2 2 a の出力信号 V s h と、基準電圧 V r e f との誤差を例えば、1 L S B (Least Significant Bit) 以下にするための制御演算を行う。また、この場合の制御演算式としては、P I (Proportional Integral) 制御の式や、P I D (Proportional Integral Derivative) 制御の式などを用いることができる。

【 0 0 9 2 】

デジタル制御器 2 3 a からの出力信号 D n I p [n : 0] は、電流制御用 D A C 2 3 b 、周波数制御用 D A C 2 3 c および 1 次側電流検出部 2 5 a に入力される。電流制御用 D A C 2 3 b は、デジタル信号 D n I p [n : 0] をアナログ信号 V c s t h に変換する。

20

【 0 0 9 3 】

コンパレータ 2 4 a は、電流制御用 D A C 2 3 b から出力された信号 V c s t h と、電流検出端子 C s から入力される入力電圧 V c s とを比較する。

入力電圧 V c s は、コンパレータ 2 4 a の正側入力端子に入力し、信号 V c s t h は、コンパレータ 2 4 a の負側入力端子に入力している。したがって、入力電圧 V c s のレベルが信号 V c s t h のレベル未満の場合は、コンパレータ 2 4 a から L レベルが出力され、入力電圧 V c s のレベルが信号 V c s t h のレベル以上の場合は、コンパレータ 2 4 a から H レベルが出力される。

30

【 0 0 9 4 】

コンパレータ 2 4 a の出力は、後段に位置する、P W M 信号を生成するための R S フリップフロップ 2 4 c のリセット端子 (R) に入力しており、P W M 信号の H レベルの出力期間を決定している。

【 0 0 9 5 】

一方、周波数制御用 D A C 2 3 c は、デジタル制御器 2 3 a の出力信号 D n I p [n : 0] をアナログ信号に変換し、V C O 2 4 b の発振周波数を制御するための電圧信号を出力する。V C O 2 4 b は、周波数制御用 D A C 2 3 c から出力された電圧信号にもとづくスイッチング周波数を持つパルス信号を生成し、R S フリップフロップ 2 4 c のセット端子 (S) に入力する。

40

【 0 0 9 6 】

なお、負荷条件に応じてスイッチング周波数を変更させるため、図 8 に示す構成では、周波数制御用 D A C 2 3 c と V C O 2 4 b によって、内部制御量 (デジタル制御器 2 3 a の出力値) に応じて、スイッチング周波数を変更させる構成としている。

【 0 0 9 7 】

次に補正制御部 2 5 および基準電圧生成部 2 6 について説明する。1 次側電流検出部 2 5 a は、P W M 信号が H レベルから L レベルに変化する瞬間 (1 次側のスイッチング素子 M 1 がオフする瞬間) における、デジタル制御器 2 3 a の出力信号 D n I p [n : 0] の値を取得する。

【 0 0 9 8 】

50

このタイミングのデジタル制御器23aの出力信号 $DnIp[n:0]$ は、電流制御用DAC23bを介して、コンパレータ24aに接続されていることからわかるとおり、1次側のスイッチング素子M1がオフする瞬間の1次側電流値 $I_{p_{pk}}$ に相当する。

【0099】

また、S/H回路22aにて、出力電圧検出端子Vsから入力される信号の検出は、PWM信号の立ち下りから時間Tsh後に固定することで既知としている。このため、式(4)~(8)に示したとおり、1次側電流値 $I_{p_{pk}}$ の情報を得ることにより、補正量演算部25bでは、スイッチング周期毎に補正量 $V_{out_{corr}}$ に相当するデジタル値を算出することができる。

【0100】

補正量演算部25bが出力する補正量 $V_{out_{corr}}$ に相当するデジタル値の補正量 Dn_{corr} は、以下のデジタル演算式(9)となる。

【0101】

【数3】

$$Dn_{corr} = Rdiv \times \frac{Naux}{N2} \times \left\{ \left(VF0 - r \times \frac{Vout}{Ls} \times Tsh \right) + r \times \frac{N1}{N2} \times Kdac1 \times DnIp \right\}$$

...(9)

【0102】

なお、Rdivは、補助巻線両端に備えた分圧抵抗の抵抗比、N1、N2、Nauxはそれぞれ1次巻線、2次巻線、補助巻線の巻数、Lsは2次巻線のインダクタンス値、VF0は2次側ダイオードDsの電流ゼロでの電圧降下分、rはダイオードDsと2次側出力電圧経路との抵抗成分、Voutは出力電圧値、Tshは2次側導通開始からS/H回路22aでのサンプリング実施までの遅延設定時間に相当するデジタル値である。またKdac1は、電流制御用DAC23bの変換ゲインであり、DnIpは、デジタル制御器23aの出力値である。

【0103】

演算器26aは、目標電圧値 $V_{out_{set}}$ に相当するデジタル基準値 Dn_{ref0} と、補正量 $Dn_{corr}[p:0]$ を加算して、演算結果 Dn_{ref} を出力する。基準電圧用DAC26bは、演算器26aから出力された演算結果 Dn_{ref} のデジタル値をアナログ値に変換し、出力電圧検出端子電圧Vsの目標値となる基準電圧Vrefを生成して、ADC22bへ入力する。

【0104】

以上説明したように、スイッチング電源の制御装置20-1では、スイッチング周期毎に2次側電圧降下分に相当する補正量を算出し、出力電圧値の目標値を決める基準電圧を変化させる構成とした。

【0105】

これにより、DCM、CCMのいずれの動作を問わず、負荷が変わって2次側電圧降下分が変わった場合に対しても、2次側電圧降下による誤差電圧を高精度に補正することができ、良好なロードレギュレーション特性(負荷電流の変動に対する出力電圧の変動の割合)を得ることが可能になる。

【0106】

次にスロープ補償機能について説明する。図8に示したような、トランス10のインダクタ電流をフィードバックして定電圧制御を行うピーク電流制御の電流モードでは、デューティ比((パルスのHレベル期間/周期)×100%)が50%以上での動作条件において、サブハーモニック発振が発生する場合がある。このため、スロープ補償機能を備えることが好ましい。

10

20

30

40

50

【0107】

図8に示した制御装置20-1に対して、スロープ補償機能を備える場合、例えば、ランプ電圧と、電流検出端子電圧 C_s から入力された電圧とを重畳し、その重畳結果を、コンパレータ24aの正側入力端子に入力することでスロープ補償を行うことが考えられる。

【0108】

ただし、図8に示した制御装置20-1では、1次側のスイッチング素子 M_1 がオフする瞬間のデジタル制御量 D_{nIp} が1次側電流 $I_{p_{pk}}$ に相当するとして2次側電流を推定し、2次側電圧降下分の補正を行っている。

【0109】

そのため、上記のようなスロープ補償機能のみを備えた場合、1次側電流の検出電圧にランプ電圧が重畳されるため、デジタル制御量 D_{nIp} を含む式(9)の補正式では、ランプ電圧の分だけ補正量が大きくなってしまい、出力電圧は高い方に誤差を生じてしまう。

【0110】

したがって、このような誤差を抑制するため、例えば、デジタル制御器23aの出力にランプ電圧に相当するデジタル信号を加え、ランプ信号を加えたデジタル出力 $D_{nIpslope}$ を1次側電流検出部25aと、電流制御用DAC23bとにそれぞれ入力する方法が考えられる。これにより、上記のようなランプ電圧分の誤差を回避できる。

【0111】

次にスロープ補償を行うスイッチング電源の制御装置について説明する。図9はスイッチング電源の制御装置の構成例を示す図であり、図10は動作波形のタイミングチャートを示す図である。

【0112】

図8に示した回路構成に対し、制御装置20-2は新たな回路素子として、スロープ補償器31、演算器32、33およびスロープ補償模擬回路3を備えている。その他の構成は、図8と同じである。

【0113】

また、図10に示す動作波形について、“ V_{ramp} ”は、スロープ補償器31の出力である。“ V_{cs} ”は、電流検出端子 C_s の入力電圧である。“ $V_{csslope}$ ”は、 V_{ramp} 値と V_{cs} 値との加算値である。

【0114】

“ V_{pwm0} ”は、ドライバDrの入力である。“ D_{nslope} ”は、スロープ補償模擬回路3の出力である。“ $ckpi$ ”は、デジタル制御器23aのクロック入力である。

【0115】

“ $D_{nIpslope}$ ”は、デジタル制御器23aから出力される D_{nIp} 値から D_{nslope} 値を減算した減算値である。“ D_{ncorr} ”は、補正量演算部25bの出力である。“ V_{ref} ”は、基準電圧用DAC26bの出力である。“ $cksh$ ”はS/H回路22aのクロック入力である。“ V_{sh} ”は、S/H回路22aの出力である。

【0116】

ここで、スロープ補償器31は、ランプ電圧を生成する。演算器32は、ランプ電圧と、電流検出端子電圧 C_s から入力された電圧とを重畳する。演算器32から出力された重畳結果は、コンパレータ24aの正側入力端子に入力される。

【0117】

スロープ補償模擬回路3は、発振器3a、カウンタ3bおよびレジスタ3cを含む。カウンタ3bは、PWM信号 V_{pwm0} の立ち上り(1次側のスイッチング素子 M_1 がオンするタイミング)でリセットして、発振器3aからの出力信号をクロックにしてカウントを開始する。

【0118】

10

20

30

40

50

また、カウンタ3bは、PWM信号Vpwm0の立ち下り（1次側のスイッチング素子M1がオフするタイミング）でカウントを停止する。レジスタ3cは、PWM信号Vpwm0の立ち下りでカウント出力値の保持をリセットし、PWM信号Vpwm0の立ち上りでカウント出力値を保持する。

【0119】

ここで、スローブ補償器31のランプ電圧の時間変化に対する電圧変化（ V/t ）に相当するように、カウンタ3bの動作クロック周期Tcntを設定する（ $1/Tcnt$ ）。

【0120】

なお、最大スイッチング周期 $T_{s_{max}}$ よりも、カウンタ3bのクロック周期 T_{cnt} と最大カウント数 N_{cnt} との積が大きくなるように、カウント範囲も併せて設定する別の手段として、カウンタ出力に対してはゲインを設定して出力するような構成にしても良い。

10

【0121】

演算器33は、PWM信号の立ち下りで、スローブ補償模擬回路3の出力Dnslope[n:0]と、デジタル制御器23aの出力DnIp[n:0]との演算処理を実行し、スローブ補償を行った1次側電流値Ipに相当するデジタル値DnIpslope[n:0]を生成して、1次側電流検出部25aに入力する。

【0122】

その後の動作は、図8に示した制御装置20-1と同様である。すなわち、補正量演算部25bで補正量を演算し、演算器26aでデジタル基準値Dnref0と補正量に相当する電圧値を加算する。基準電圧用DAC26bは、加算結果から1スイッチング周期毎に補正した基準電圧Vrefを生成し、ADC22bで、基準電圧Vrefと、S/H回路22aの出力Vshとを比較することにより、所望のPWM制御が行われる。

20

【0123】

このような制御装置20-2の構成により、ランプ信号生成用のクロックよりも高速な応答特性を有する電流制御用DAC23bを用いることなく、スローブ補償を行うことが可能になる。

【0124】

また、スローブ補償動作を要する動作条件下においても、2次側電圧降下分を高精度に補正することができ、良好なロードレギュレーション特性を得ることが可能になる。

30

次にスローブ補償の実行/停止を制御できるスイッチング電源の制御装置について説明する。スローブ補償は、装置動作中に常に実行しなくてもよく、入出力条件において、スローブ補償を不要とする場合もある。

【0125】

例えば、負荷電流が小さく、デューティ比が小さいような場合は、サブハーモニック発振は発生しないため、スローブ補償は不要である。したがって、図9に示した制御装置20-2に対して、スローブ補償の実行/停止を制御できる機能を設けてもよい。

【0126】

図11、図12はスイッチング電源の制御装置の構成例を示す図である。スイッチング電源の制御装置20-3は、デジタル制御器23aの出力信号DnIpにもとづいて、スローブ補償回路の実行/停止を決定する。

40

【0127】

図9に示した回路構成に対し、制御装置20-3は新たな回路素子として、スローブ補償用コンパレータ（比較器）34を備えている。また、スローブ補償器31-1およびスローブ補償模擬回路3-1は、スローブ補償用コンパレータ34からの出力信号Enslopeが入力するための新たな入力端子を有している。その他の基本構成は、図9と同じである。

【0128】

スローブ補償用コンパレータ34の正側入力端子には、デジタル制御器23aの出力信号DnIPが入力し、負側入力端子には、スローブ補償の実行/停止を決定するための判

50

定値 $Dnslope_{th}$ が入力する。なお、判定値 $Dnslope_{th}$ は、装置内部で固有の値としてあらかじめ設定してもよいし、外部から設定可能な値としてもよい。

【0129】

スロー補償用コンパレータ34は、信号 $DnIp$ の値が判定値 $Dnslope_{th}$ 以上の場合は、Hレベルのパルス信号 $Enslope$ を出力する（スロー補償の実行）。

また、スロー補償用コンパレータ34は、信号 $DnIp$ の値が判定値 $Dnslope_{th}$ 未満の場合は、Lレベルのパルス信号 $Enslope$ を出力する（スロー補償の停止）。

【0130】

スロー補償器31-1およびスロー補償模擬回路3-1には、パルス信号 $Enslope$ 10
を受け取る入力端子が設けられ、スロー補償器31-1は、パルス信号 $Enslope$
 に応じて出力を停止する。スロー補償模擬回路3-1は、パルス信号 $Enslope$
 に応じて出力を停止する。このような構成により、入出力条件に応じて、スロー補償
 の実行/停止を柔軟に制御することが可能になる。

【0131】

次に過電流保護について説明する。スイッチング電源では、多くの場合、誤動作による
 負荷やスイッチング素子の破壊を防止するため、過電流保護回路が設けられる。

ここで、電流検出端子 Cs の電圧で、1次側のスイッチング素子 $M1$ への過電流を検出
 し、過電流を検出時には、ゲート信号（PWM信号）をオフさせる過電流保護回路を想定
 する。 20

【0132】

このような過電流保護回路を有するスイッチング電源の場合、図8の制御装置20-1
 の構成では、デジタル制御器23aの出力 $DnIp$ によって決まるゲート信号のHレベル
 期間よりも、短い期間で過電流保護によりゲート信号がLレベルになるおそれがある。す
 ると、デジタル制御器23aの出力 $DnIp$ とPWM信号とがLレベルになる瞬間の1次
 側電流 $I_{p_{pk}}$ が不一致となってしまう、この場合、出力電圧を上げる方向に基準電圧を補
 正してしまうことになる。

【0133】

次に過電流保護に伴う上述の問題点を解決しつつ、高精度の過電流保護を行うスイッ
 チング電源の制御装置について説明する。 30

図13はスイッチング電源の制御装置の構成例を示す図である。スイッチング電源の制
 御装置20-4は、過電流保護機能を有している。

【0134】

図8に示した回路構成に対し、制御装置20-4は新たな回路素子として、過電流保護
 用DAC41、過電流検出用コンパレータ（過電流検出部）42、フラグ生成部43およ
 びセレクタ44を備える。また、ドライバ $Dr1$ は、過電流検出用コンパレータ42から
 出力される過電流信号 $Enocp$ の値が“H”（過電流状態）の場合はドライバ出力を“L”
 とし、スイッチングを停止させる。

【0135】

過電流保護用DAC41は、あらかじめ設定したデジタル値の過電流基準値 $Dnocp_{th}$ 40
 をアナログ信号に変換する。過電流基準値 $Dnocp_{th}$ は、装置内部で固有の値と
 してあらかじめ設定してもよいし、外部から設定可能な値としてもよい。

【0136】

また、過電流検出用コンパレータ42の正側入力端子には、電流検出端子 Cs からの信
 号 Vcs が入力し、負側入力端子には、過電流保護用DAC41からの出力信号が入力す
 る。

【0137】

過電流検出用コンパレータ42は、入力電圧 Vcs のレベルが過電流保護用DAC41
 からの出力信号のレベル以上の場合は、Hレベルの過電流信号 $Enocp$ を出力する（過
 電流が発生している状態）。 50

【 0 1 3 8 】

また、過電流検出用コンパレータ 4 2 は、入力電圧 V_{cs} のレベルが過電流保護用 D A C 4 1 からの出力信号のレベル未満の場合は、L レベルの過電流信号 E_{nocp} を出力する（過電流が発生していない状態）。

【 0 1 3 9 】

フラグ生成部 4 3 は、過電流検出用コンパレータ 4 2 から出力される過電流検出信号 E_{nocp} のレベルを一定期間保持して過電流フラグとして出力する。

1 次側電流検出部 2 5 a の前段に設けられたセレクトア 4 4 には、一方の入力端子には、デジタル制御器 2 3 a の出力信号 D_{nip} が入力し、他方の入力端子には、デジタル値の過電流基準値 D_{nocpth} が入力し、選択端子には、過電流フラグが入力する。

10

【 0 1 4 0 】

セレクトア 4 4 は、過電流フラグが H レベルの場合は、過電流制限値に相当するデジタル値 D_{nocpth} を出力し、過電流フラグが L レベルの場合は、デジタル制御器 2 3 a の出力信号 D_{nip} を出力する。セレクトア 4 4 からの出力は、1 次側電流検出部 2 5 a に入力される。なお、以降の動作は同様である。

【 0 1 4 1 】

このような制御装置 2 0 - 4 の回路構成により、例えば、デジタル制御器 2 3 a の出力 D_{nip} と P W M 信号とが L レベルになる瞬間の 1 次側電流 I_{pk} が不一致となるような現象を抑制しながら、良好な過電流保護を行うことが可能になる。

【 0 1 4 2 】

以上説明したように、本発明では、電圧フィードバック制御回路内部の各制御量と 1 次側スイッチング素子に流れる電流とから、2 次側電流による損失分を推定し、損失分を補正する構成とした。これにより、2 次側における電圧降下分を高精度に補正して、スイッチング電源のロードレギュレーション特性を改善することが可能になる。

20

【 0 1 4 3 】

以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。

【 符号の説明 】

【 0 1 4 4 】

- 1 スイッチング電源
- a 1 A C 電圧源
- 1 0 トランス
- 1 1 ブリッジ回路
- 1 2 スイッチング素子
- C 1 入力コンデンサ
- C 2 出力コンデンサ
- D s ダイオード
- R d 抵抗
- L 1 1 次巻線
- L 2 2 次巻線
- L a u x 補助巻線
- 2 制御装置
- 2 a 出力電圧誤差検出部
- 2 b 補正量算出部
- 2 c 基準電圧生成部
- 2 d 制御部
- 2 e P W M 信号生成部
- 5 負荷
- I p 1 次側電流
- I s 2 次側電流

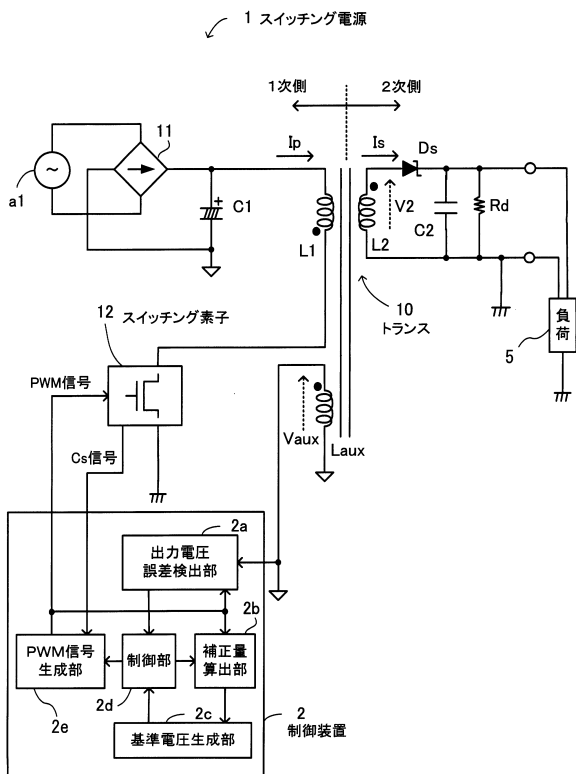
30

40

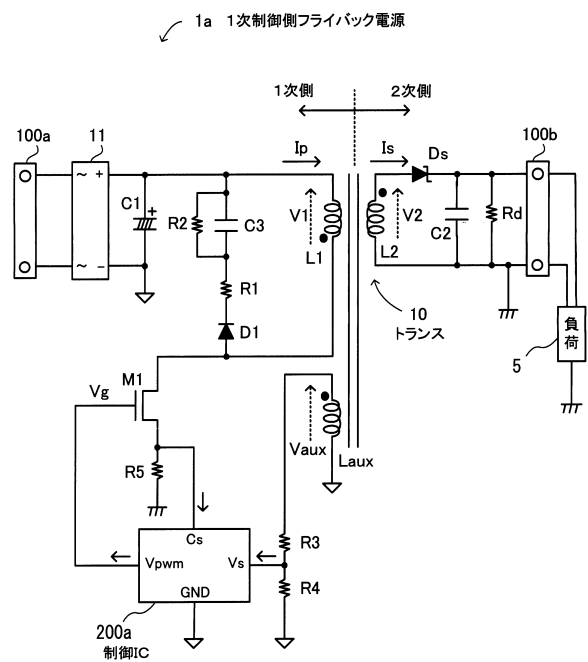
50

V₂ 2次側電圧
V_{ref} 基準電圧
V_{aux} 補助巻線電圧

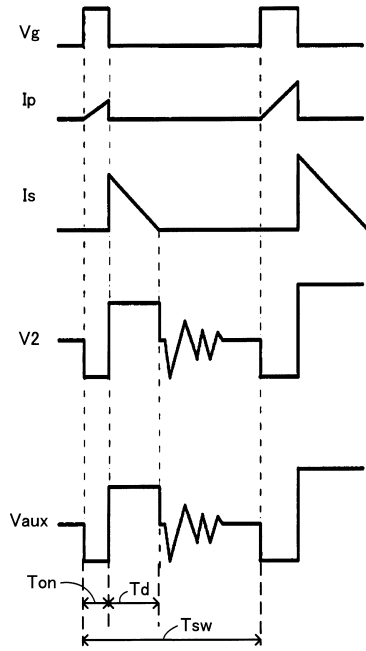
【図1】



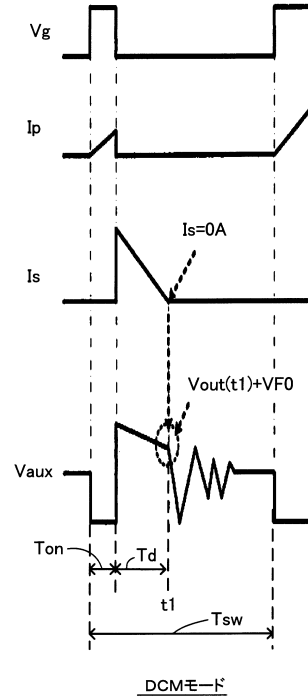
【図2】



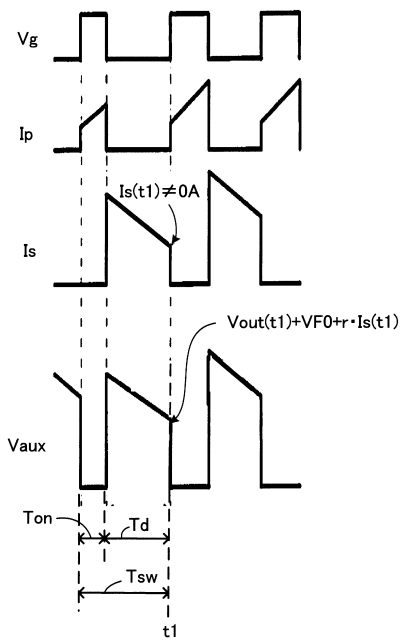
【図3】



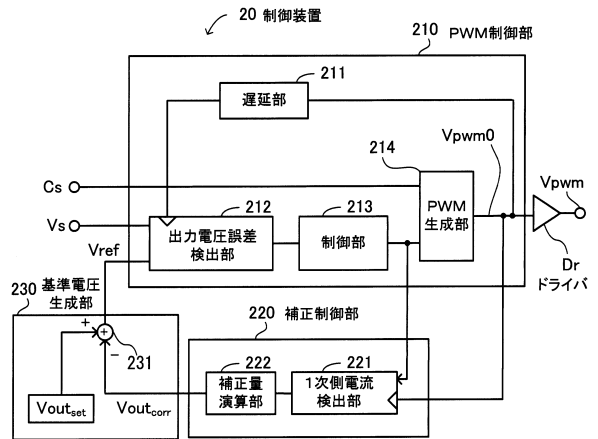
【図4】



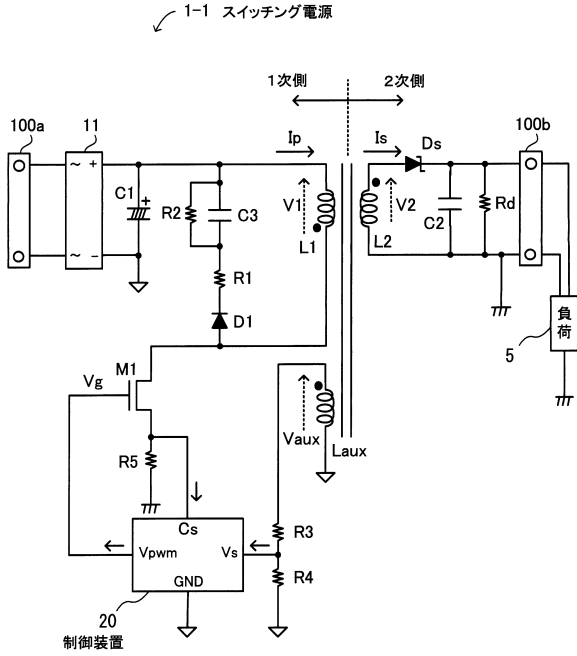
【図5】



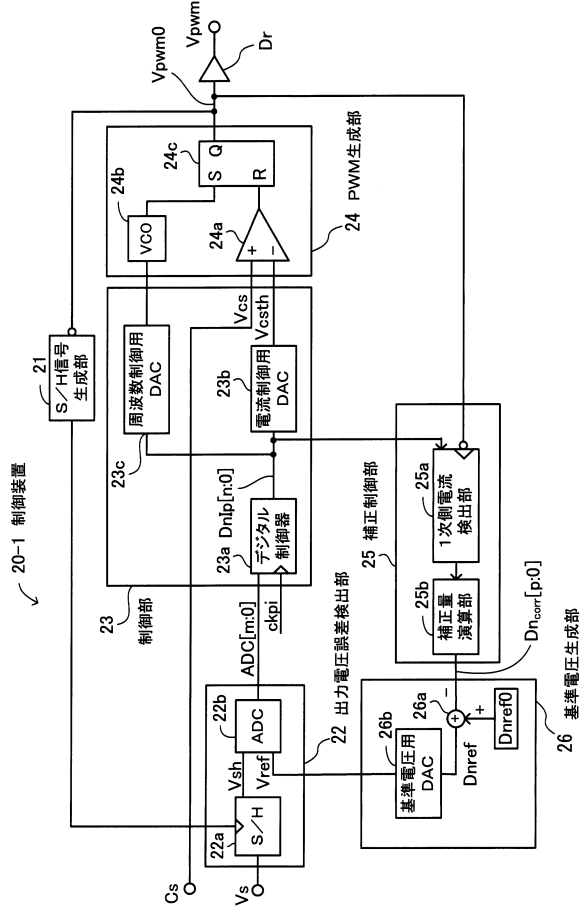
【図6】



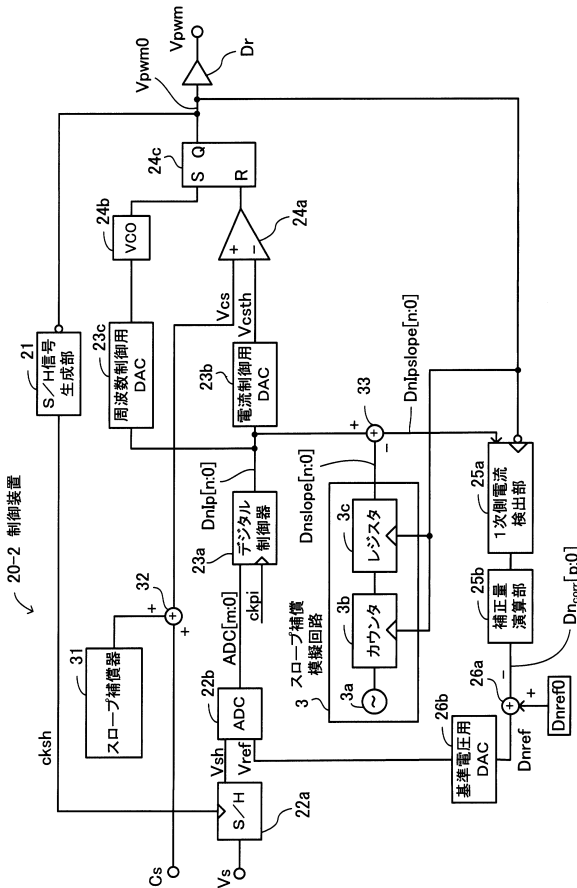
【図7】



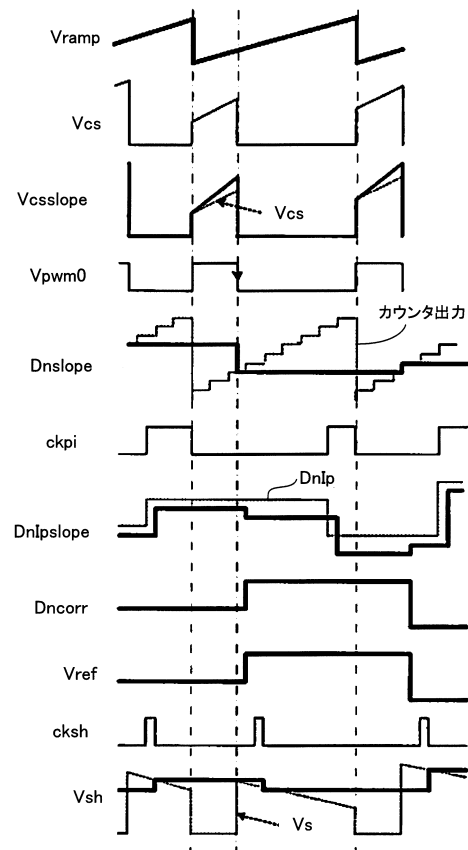
【図8】



【図9】



【図10】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H02M 1/00 - 11/00