



(12) 发明专利

(10) 授权公告号 CN 116581150 B

(45) 授权公告日 2023. 09. 05

(21) 申请号 202310855052.6

H01L 29/78 (2006.01)

(22) 申请日 2023.07.13

H01L 21/336 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 116581150 A

(56) 对比文件

CN 116072710 A, 2023.05.05

CN 114023810 A, 2022.02.08

(43) 申请公布日 2023.08.11

CN 110212020 A, 2019.09.06

(73) 专利权人 北京昕感科技有限责任公司

CN 109920854 A, 2019.06.21

地址 100176 北京市大兴区北京经济技术

CN 114038908 A, 2022.02.11

开发区同济中路甲7号18幢5层1单元

CN 114843332 A, 2022.08.02

509

US 2014264563 A1, 2014.09.18

(72) 发明人 马鸿铭 张文渊 王哲

审查员 赖风平

(74) 专利代理机构 北京惟专知识产权代理事务

所(普通合伙) 16074

专利代理师 赵星

(51) Int. Cl.

H01L 29/06 (2006.01)

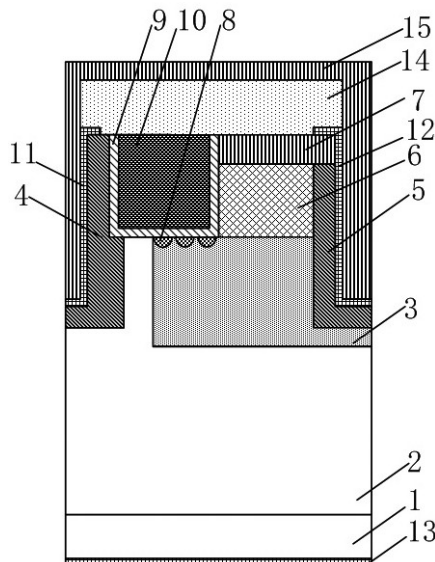
权利要求书2页 说明书9页 附图17页

(54) 发明名称

非对称双沟槽SiC MOSFET元胞结构、器件及制备方法

(57) 摘要

本发明涉及一种非对称双沟槽SiC MOSFET元胞结构、器件及制备方法,属于半导体器件技术领域,该元胞结构包括:N++型SiC衬底、N-型SiC漂移层、伪源极沟槽、源极沟槽、伪源极沟槽P+型屏蔽层、源极沟槽P+型屏蔽层、栅极沟槽和堆叠结构,其中,伪源极沟槽P+型屏蔽层包围所述栅极沟槽的左侧以及下方的部分位置。本发明提供的非对称双沟槽SiC MOSFET元胞结构、器件及制备方法,可加强对栅极沟槽的保护,使得栅介质层的可靠性提升,有利于延长器件的使用寿命;通过采用掺杂浓度更高的N型电流传导层,在相同导通电流下,可降低导通电阻;高压下具有更低的瞬时功率即更优的短路特性,有利于提高系统的安全性。



1. 一种非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述结构包括:
依次堆叠的N++型SiC衬底(1)以及N-型SiC漂移层(2);
设置在所述N-型SiC漂移层(2)的左侧位置处的呈倒L型的伪源极沟槽,以及设置在所述N-型SiC漂移层(2)的右侧位置处的呈L型的源极沟槽;
设置在所述N-型SiC漂移层(2)中的包围所述伪源极沟槽的伪源极沟槽P+型屏蔽层(4),以及设置在所述N-型SiC漂移层(2)中的包围所述源极沟槽的源极沟槽P+型屏蔽层(5);
依次设置在所述伪源极沟槽P+型屏蔽层(4)和所述源极沟槽P+型屏蔽层(5)之间的栅极沟槽和堆叠结构;
其中,所述伪源极沟槽P+型屏蔽层(4)包围所述栅极沟槽的左侧以及下方的部分位置;
其中,所述堆叠结构包括设置N型电流传导层(3)、P型基区(6)和N+型源区(7),所述N型电流传导层(3)包围所述源极沟槽P+型屏蔽层(5)的下方以及左侧的部分位置,所述N型电流传导层(3)的左侧延伸至所述栅极沟槽下方的部分位置,所述P型基区(6)位于所述N型电流传导层(3)上方且位于所述栅极沟槽与所述源极沟槽P+型屏蔽层(5)之间,所述N+型源区(7)位于所述栅极沟槽与所述源极沟槽之间,且位于所述P型基区(6)以及所述源极沟槽P+型屏蔽层(5)的上方;
在所述栅极沟槽下方的N型电流传导层(3)中设置栅极P+型渐变屏蔽环(8)。
2. 根据权利要求1所述的非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述结构还包括:
设置在所述栅极沟槽的底部和内侧壁上的栅介质层(9)以及设置在所述栅介质层(9)上的栅电极(10);
设置在所述伪源极沟槽的底部、侧壁以及部分顶面位置处的第一源极欧姆接触电极(11);
设置在所述源极沟槽的底部、侧壁以及顶面上方的N+型源区(7)上方的第二源极欧姆接触电极(12);
设置在所述N++型SiC衬底(1)下方的漏极欧姆接触电极(13);
设置在所述伪源极沟槽顶面上的第一源极欧姆接触电极(11)上方、裸露的伪源极沟槽P+型屏蔽层(4)上方、裸露的栅介质层(9)上方、栅电极(10)上方、裸露的N+型源区(7)上方、所述N+型源区(7)上方的第二源极欧姆接触电极(12)上方的隔离介质层(14);
设置在裸露的第一源极欧姆接触电极(11)上、裸露的第二源极欧姆接触电极(12)上以及裸露的隔离介质层(14)上的金属层(15)。
3. 根据权利要求1所述的非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述N型电流传导层(3)的掺杂浓度高于所述N-型SiC漂移层(2)的掺杂浓度。
4. 根据权利要求1所述的非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述N型电流传导层(3)与所述伪源极沟槽P+型屏蔽层(4)之间的间距大于0.1 μm 。
5. 根据权利要求1所述的非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述栅极P+型渐变屏蔽环(8)的截面形状为半圆,所述栅极P+型渐变屏蔽环(8)的边缘与所述N型电流传导层(3)的边缘重合。
6. 根据权利要求1所述的非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述栅极P+

型渐变屏蔽环(8)的掺杂浓度高于所述N型电流传导层(3)的掺杂浓度。

7. 根据权利要求1所述的非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述伪源极沟槽与所述源极沟槽的深度相同,且大于所述栅极沟槽的深度。

8. 一种非对称双沟槽SiC MOSFET器件,其特征在于,包括如权利要求1-7中任一项所述的非对称双沟槽SiC MOSFET元胞结构。

9. 一种如权利要求1-7任意一项所述的非对称双沟槽SiC MOSFET元胞结构的制备方法,其特征在于,所述方法包括:

步骤S1:提供依次堆叠的N++型SiC衬底(1)和N-型SiC漂移层(2),并在所述N-型SiC漂移层(2)中的右侧位置处形成N型电流传导层(3);

步骤S2:在所述N-型SiC漂移层(2)中的左侧位置处形成伪源极沟槽P+型屏蔽层(4),并在所述N型电流传导层(3)中的右侧位置处形成源极沟槽P+型屏蔽层(5),以及在所述伪源极沟槽P+型屏蔽层(4)与所述源极沟槽P+型屏蔽层(5)之间形成P型基区(6),在所述源极沟槽P+型屏蔽层(5)和所述P型基区(6)中形成N+型源区(7);

步骤S3:对所述伪源极沟槽P+型屏蔽层(4)的右侧进行部分刻蚀,并对所述N+型源区(7)的左侧以及所述N+型源区(7)左侧下方的P型基区(6)进行刻蚀,形成栅极沟槽;

步骤S4:在所述栅极沟槽下方的N型电流传导层(3)中形成栅极P+型渐变屏蔽环(8);

步骤S5:在所述栅极沟槽的底部和内侧壁上形成栅介质层(9),并在所述栅介质层(9)上形成栅电极(10);

步骤S6:对所述伪源极沟槽P+型屏蔽层(4)的左侧进行部分刻蚀,形成伪源极沟槽,并对所述N+型源区(7)的右侧以及所述N+型源区(7)右侧下方的源极沟槽P+型屏蔽层(5)进行部分刻蚀,形成源极沟槽;

步骤S7:在上述步骤形成的结构上分别形成第一源极欧姆接触电极(11)、第二源极欧姆接触电极(12)、漏极欧姆接触电极(13)、隔离介质层(14)和金属层(15)。

10. 根据权利要求9所述的非对称双沟槽SiC MOSFET元胞结构的制备方法,其特征在于,步骤S7包括:

在所述伪源极沟槽的底部、侧壁以及部分顶面位置处形成第一源极欧姆接触电极(11),并在所述源极沟槽的底部、侧壁以及顶面上方的N+型源区(7)上方形成第二源极欧姆接触电极(12),以及在所述N++型SiC衬底(1)的下方形成漏极欧姆接触电极(13);

在所述伪源极沟槽顶面上的第一源极欧姆接触电极(11)上方、裸露的伪源极沟槽P+型屏蔽层(4)上方、裸露的栅介质层(9)上方、栅电极(10)上方、裸露的N+型源区(7)上方、所述N+型源区(7)上方的第二源极欧姆接触电极(12)上方的隔离介质层(14);

分别在裸露的第一源极欧姆接触电极(11)上、裸露的第二源极欧姆接触电极(12)上以及裸露的隔离介质层(14)上形成金属层(15)。

非对称双沟槽SiC MOSFET元胞结构、器件及制备方法

技术领域

[0001] 本发明涉及半导体器件技术领域,尤其涉及一种非对称双沟槽SiC MOSFET元胞结构、器件及制备方法。

背景技术

[0002] SiC MOSFET面临的一个关键挑战是在SiC/SiO₂界面处存在界面态和陷阱电荷对电子的散射效应,导致沟道迁移率较低,导通电阻较大。对此,采用沟槽型SiCMOSFET结构可以消除平面型SiCMOSFET结构的JFET区域电阻,并可以在另一晶向提高沟道迁移率,还可以减小元胞尺寸、增大元胞密度,共同促进导通电阻减小。但沟槽型SiCMOSFET结构的栅极沟槽底部存在电场集中效应,导致临界击穿电压降低,栅介质层存在可靠性问题。

[0003] 为了解决这一问题,可以在栅极沟槽底部形成高掺杂的P+型屏蔽层,使得电场峰值从栅介质层转移到屏蔽层。但这会压缩电流从沟道流入漂移层的路径宽度,导致导通电阻增大。现有的双沟槽型SiCMOSFET结构可以较好地实现临界击穿电压和导通电阻之间的折衷,但栅极沟槽底部中中间位置的电场集中效应依然较严重,且栅漏电容较高,限制了开关频率和工作效率的提高。

发明内容

[0004] 本发明意在提供一种非对称双沟槽SiC MOSFET元胞结构、器件及制备方法,以解决现有技术中存在的不足,本发明要解决的技术问题通过以下技术方案来实现。

[0005] 本发明提供的非对称双沟槽SiC MOSFET元胞结构,包括:

[0006] 依次堆叠的N++型SiC衬底以及N-型SiC漂移层;

[0007] 设置在所述N-型SiC漂移层的左侧位置处的呈倒L型的伪源极沟槽,以及设置在所述N-型SiC漂移层的右侧位置处的呈L型的源极沟槽;

[0008] 设置在所述N-型SiC漂移层中的包围所述伪源极沟槽的伪源极沟槽P+型屏蔽层,以及设置在所述N-型SiC漂移层中的包围所述源极沟槽的源极沟槽P+型屏蔽层;

[0009] 依次设置在所述伪源极沟槽P+型屏蔽层和所述源极沟槽P+型屏蔽层之间的栅极沟槽和堆叠结构;

[0010] 其中,所述伪源极沟槽P+型屏蔽层包围所述栅极沟槽的左侧以及下方的部分位置;

[0011] 其中,所述堆叠结构包括设置N型电流传导层、P型基区和N+型源区,所述N型电流传导层包围所述源极沟槽P+型屏蔽层的下方以及左侧的部分位置,所述N型电流传导层的左侧延伸至所述栅极沟槽下方的部分位置,所述P型基区位于所述N型电流传导层上方且位于所述栅极沟槽与所述源极沟槽P+型屏蔽层之间,所述N+型源区位于所述栅极沟槽与所述源极沟槽之间,且位于所述P型基区以及所述源极沟槽P+型屏蔽层的上方;

[0012] 在所述栅极沟槽下方的N型电流传导层中设置栅极P+型渐变屏蔽环。

[0013] 在上述的方案中,所述结构还包括:

- [0014] 设置在所述栅极沟槽的底部和内侧壁上的栅介质层以及设置在所述栅介质层上的栅电极；
- [0015] 设置在所述伪源极沟槽的底部、侧壁以及部分顶面位置处的第一源极欧姆接触电极；
- [0016] 设置在所述源极沟槽的底部、侧壁以及顶面上方的N+型源区上方的第二源极欧姆接触电极；
- [0017] 设置在所述N++型SiC衬底下方的漏极欧姆接触电极；
- [0018] 设置在所述伪源极沟槽顶面上的第一源极欧姆接触电极上方、裸露的伪源极沟槽P+型屏蔽层上方、裸露的栅介质层上方、栅电极上方、裸露的N+型源区上方、所述N+型源区上方的第二源极欧姆接触电极上方的隔离介质层；
- [0019] 设置在裸露的第一源极欧姆接触电极上、裸露的第二源极欧姆接触电极上以及裸露的隔离介质层上的金属层。
- [0020] 在上述的方案中,所述N型电流传导层的掺杂浓度高于所述N-型SiC漂移层的掺杂浓度。
- [0021] 在上述的方案中,所述N型电流传导层与所述伪源极沟槽P+型屏蔽层之间的间距大于0.1 μm 。
- [0022] 在上述的方案中,所述栅极P+型渐变屏蔽环截面形状为半圆,所述栅极P+型渐变屏蔽环的边缘与所述N型电流传导层的边缘重合。
- [0023] 在上述的方案中,所述栅极P+型渐变屏蔽环的掺杂浓度高于所述N型电流传导层的掺杂浓度。
- [0024] 在上述的方案中,所述伪源极沟槽与所述源极沟槽的深度相同,且大于所述栅极沟槽的深度。
- [0025] 本发明提供的非对称双沟槽SiC MOSFET器件,包括如上所述的非对称双沟槽SiC MOSFET元胞结构。
- [0026] 本发明提供的如上所述的非对称双沟槽SiC MOSFET元胞结构的制备方法,包括:
- [0027] 步骤S1:提供依次堆叠的N++型SiC衬底和N-型SiC漂移层,并在所述N-型SiC漂移层中的右侧位置处形成N型电流传导层;
- [0028] 步骤S2:在所述N-型SiC漂移层中的左侧位置处形成伪源极沟槽P+型屏蔽层,并在所述N型电流传导层中的右侧位置处形成源极沟槽P+型屏蔽层,以及在所述伪源极沟槽P+型屏蔽层与所述源极沟槽P+型屏蔽层之间形成P型基区,在所述源极沟槽P+型屏蔽层和所述P型基区中形成N+型源区;
- [0029] 步骤S3:对所述伪源极沟槽P+型屏蔽层的右侧进行部分刻蚀,并对所述N+型源区的左侧以及所述N+型源区左侧下方的P型基区进行刻蚀,形成栅极沟槽;
- [0030] 步骤S4:在所述栅极沟槽下方的N型电流传导层中形成栅极P+型渐变屏蔽环;
- [0031] 步骤S5:在所述栅极沟槽的底部和内侧壁上形成栅介质层,并在所述栅介质层上形成栅电极;
- [0032] 步骤S6:对所述伪源极沟槽P+型屏蔽层的左侧进行部分刻蚀,形成伪源极沟槽,并对所述N+型源区的右侧以及所述N+型源区右侧下方的源极沟槽P+型屏蔽层进行部分刻蚀,形成源极沟槽;

[0033] 步骤S7:在上述步骤形成的结构上分别形成第一源极欧姆接触电极、第二源极欧姆接触电极、漏极欧姆接触电极、隔离介质层和金属层。

[0034] 在上述的方案中,步骤S7包括:

[0035] 在所述伪源极沟槽的底部、侧壁以及部分顶面位置处形成第一源极欧姆接触电极,并在所述源极沟槽的底部、侧壁以及顶面上方的N+型源区上方形成第二源极欧姆接触电极,以及在所述N++型SiC衬底的下方形成漏极欧姆接触电极;

[0036] 在所述伪源极沟槽顶面上的第一源极欧姆接触电极上方、裸露的伪源极沟槽P+型屏蔽层上方、裸露的栅介质层上方、栅电极上方、裸露的N+型源区上方、所述N+型源区上方的第二源极欧姆接触电极上方的隔离介质层;

[0037] 分别在裸露的第一源极欧姆接触电极上、裸露的第二源极欧姆接触电极上以及裸露的隔离介质层上形成金属层。

[0038] 本发明实施例包括以下优点:

[0039] 本发明实施例提供的非对称双沟槽SiC MOSFET元胞结构、器件及制备方法,通过设置在栅极沟槽下方的栅极P+型渐变屏蔽环以及与栅极沟槽间距更小的伪源极沟槽P+型屏蔽层可加强对栅极沟槽的保护,使得栅介质层的可靠性提升,有利于延长器件的使用寿命;通过采用掺杂浓度更高的N型电流传导层,在相同导通电流下,可降低导通电阻;通过采用栅极P+型渐变屏蔽环进行夹断,高压下可具有更低的瞬时功率即更优的短路特性,有利于提高系统的安全性;且本发明提供的结构可降低器件的开关时间和开关损耗。

附图说明

[0040] 图1是本发明的一种非对称双沟槽SiC MOSFET元胞结构的结构图。

[0041] 图2是本发明的一种非对称双沟槽SiC MOSFET元胞结构的制备方法步骤图。

[0042] 图3是本发明的形成N++型SiC衬底和N-型SiC漂移层的工艺示意图。

[0043] 图4是本发明的形成N型电流传导层的工艺示意图。

[0044] 图5是本发明的形成伪源极沟槽P+型屏蔽层和源极沟槽P+型屏蔽层的工艺示意图。

[0045] 图6是本发明的形成P型基区的工艺示意图。

[0046] 图7是本发明的形成N+型源区的工艺示意图。

[0047] 图8是本发明的形成栅极沟槽的工艺示意图。

[0048] 图9是本发明的形成栅极P+型渐变屏蔽环的工艺示意图。

[0049] 图10是本发明的形成栅介质层的工艺示意图。

[0050] 图11是本发明的形成栅电极的工艺示意图。

[0051] 图12是本发明的形成伪源极沟槽以及源极沟槽的工艺示意图。

[0052] 图13是本发明的形成第一源极欧姆接触电极、第二源极欧姆接触电极以及漏极欧姆接触电极的工艺示意图。

[0053] 图14是本发明的形成隔离介质层的工艺示意图。

[0054] 图15是本发明的形成金属层的工艺示意图。

[0055] 图16是本发明对比实施例中的电场分布图。

[0056] 图17是本发明对比实施例中的第一漏电压-漏极电流密度曲线图。

[0057] 图18是本发明对比实施例中的第二漏电压-漏极电流密度曲线图。

[0058] 图19是本发明对比实施例中的栅电荷-栅电压曲线图。

具体实施方式

[0059] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本发明。

[0060] 如图1所示,本发明提供一种非对称双沟槽SiC MOSFET元胞结构,其特征在于,所述结构包括:

[0061] 依次堆叠的N++型SiC衬底1以及N-型SiC漂移层2;

[0062] 设置在所述N-型SiC漂移层2的左侧位置处的呈倒L型的伪源极沟槽,以及设置在所述N-型SiC漂移层2的右侧位置处的呈L型的源极沟槽;

[0063] 设置在所述N-型SiC漂移层2中的包围所述伪源极沟槽的伪源极沟槽P+型屏蔽层4,以及设置在所述N-型SiC漂移层2中的包围所述源极沟槽的源极沟槽P+型屏蔽层5;

[0064] 依次设置在所述伪源极沟槽P+型屏蔽层4和所述源极沟槽P+型屏蔽层5之间的栅极沟槽和堆叠结构;

[0065] 其中,所述伪源极沟槽P+型屏蔽层4包围所述栅极沟槽的左侧以及下方的部分位置,伪源极沟槽P+型屏蔽层4覆盖到栅极沟槽底部拐角处乃至下方,可以加强对栅介质层9的保护,同时也增加了器件正面P+区域的面积,可以降低体二极管的导通压降,在一些应用中可以使得SiC MOSFET器件不需要与额外的二极管反并联使用,降低芯片面积成本;

[0066] 其中,所述堆叠结构包括N型电流传导层3、P型基区6和N+型源区7,所述N型电流传导层3包围所述源极沟槽P+型屏蔽层5的下方以及左侧的部分位置,所述N型电流传导层3的左侧延伸至所述栅极沟槽下方的部分位置,所述N型电流传导层3与所述伪源极沟槽P+型屏蔽层4之间的间距大于 $0.1\mu\text{m}$,所述P型基区6位于所述N型电流传导层3上方且位于所述栅极沟槽与所述源极沟槽P+型屏蔽层5之间,所述N+型源区7位于所述栅极沟槽与所述源极沟槽之间,且位于所述P型基区6以及所述源极沟槽P+型屏蔽层5的上方,所述P型基区6的下方与所述栅极沟槽的底部位于同一水平面上(批注:由于P型基区6中形成了N+型源区7,从而剩余的P型基区6与栅极沟槽从上到下的深度并不相同,因此,此处采用这样的表达);

[0067] 在所述栅极沟槽下方的N型电流传导层3中设置栅极P+型渐变屏蔽环8,具体地,所述栅极P+型渐变屏蔽环8的边缘与所述N型电流传导层3的边缘重合,可减小对器件阻断能力和寄生电容的影响,且所述栅极P+型渐变屏蔽环8的截面形状为半圆,所述栅极P+型渐变屏蔽环8之间的间距不小于 $0.1\mu\text{m}$ 且不大于 $0.5\mu\text{m}$,在确保阻断状态下对栅极沟槽底部提供足够保护面积的同时减小导通状态下对电流通道的压缩,提升器件综合性能;高漏极电压下,所述栅极P+型渐变屏蔽环8可以对电流通道进行夹断,降低电流的峰值,避免高瞬时功率损坏器件,提升器件的短路能力;

[0068] 设置在所述栅极沟槽的底部和内侧壁上的栅介质层9以及设置在所述栅介质层9上的栅电极10;

[0069] 设置在所述伪源极沟槽的底部、侧壁以及部分顶面位置处的第一源极欧姆接触电极11;

[0070] 设置在所述源极沟槽的底部、侧壁以及顶面上方的N+型源区7上方的第二源极欧

姆接触电极12；

[0071] 设置在所述N++型SiC衬底1下方的漏极欧姆接触电极13；

[0072] 设置在所述伪源极沟槽顶面上的第一源极欧姆接触电极11上方、裸露的伪源极沟槽P+型屏蔽层4上方、裸露的栅介质层9上方、栅电极10上方、裸露的N+型源区7上方、所述N+型源区7上方的第二源极欧姆接触电极12上方的隔离介质层14；

[0073] 设置在裸露的第一源极欧姆接触电极11上、裸露的第二源极欧姆接触电极12上以及裸露的隔离介质层14上的金属层15。

[0074] 具体地，本发明提供的非对称双沟槽SiC MOSFET元胞结构使用非对称结构，电流通道只存在于栅极沟槽靠近源极沟槽的一侧，另一侧伪源极沟槽和栅极沟槽的间距可以压缩，减小元胞宽度从而提升元胞密度。

[0075] 具体地，所述N型电流传导层3的掺杂浓度高于所述N-型SiC漂移层2的掺杂浓度，且所述N型电流传导层3的掺杂浓度至少是所述N-型SiC漂移层2的掺杂浓度的5倍，可提升电子的导通能力、降低器件电阻、减小静态损耗。

[0076] 具体地，所述栅极P+型渐变屏蔽环8的掺杂浓度高于所述N型电流传导层3的掺杂浓度，且比所述N型电流传导层3的掺杂浓度至少大两个数量级。

[0077] 具体地，所述伪源极沟槽与所述源极沟槽的深度相同，为1-1.5 μm ，且大于所述栅极沟槽的深度。

[0078] 具体地，所述伪源极沟槽P+型屏蔽层4和所述源极沟槽P+型屏蔽层5的掺杂浓度相同，且比所述N型电流传导层3的掺杂浓度至少大两个数量级。

[0079] 具体地，所述栅极沟槽和所述伪源极沟槽之间的间距不小于0.2 μm 。

[0080] 在本发明的一个实施例中，本发明提供的非对称双沟槽SiC MOSFET元胞结构的相关参数如下表所示：

[0081] 表1 元胞结构的相关参数表

项目	数值	单位
栅极沟槽深度	0.7	μm
源极沟槽深度	1.2	μm
元胞宽度	4	μm
N-型 SiC 漂移层厚度	10	μm
N-型 SiC 漂移层掺杂浓度	8e15	cm^{-3}
N 型电流传导层掺杂浓度	7e16	cm^{-3}
P 型基区掺杂浓度	2e17	cm^{-3}
栅极 P+型渐变屏蔽环掺杂浓度	1e19	cm^{-3}
栅极 P+型渐变屏蔽环半径	0.3	μm
沟道长度	0.5	μm
栅介质层厚度	50	nm

[0083] 本发明还提供一种非对称双沟槽SiC MOSFET器件,包括如上所述的非对称双沟槽SiC MOSFET元胞结构,在非对称双沟槽SiC MOSFET器件中,一个双沟槽SiC MOSFET元胞结构的伪源极沟槽和相邻双沟槽SiCMOSFET元胞结构的源极沟槽连续,且一个双沟槽SiC MOSFET元胞结构的伪源极沟槽P+型屏蔽层和相邻元胞的源极沟槽P+型屏蔽层连续。

[0084] 如图2所示,本发明提供一种如上所述的非对称双沟槽SiC MOSFET元胞结构的制备方法,所述方法包括:

[0085] 步骤S1:提供依次堆叠的N++型SiC衬底1和N-型SiC漂移层2,并在所述N-型SiC漂移层2中的右侧位置处形成N型电流传导层3。

[0086] 如图3所示,提供一N++型SiC衬底1,在所述N++型SiC衬底1上通过外延工艺生长一层N-型SiC漂移层2。

[0087] 如图4所示,在N-型SiC漂移层2中的右侧位置处采用局部离子注入法形成N型电流传导层3。

[0088] 步骤S2:在所述N-型SiC漂移层2中的左侧位置处形成伪源极沟槽P+型屏蔽层4,并在所述N型电流传导层3中的右侧位置处形成源极沟槽P+型屏蔽层5,以及在所述伪源极沟槽P+型屏蔽层4与所述源极沟槽P+型屏蔽层5之间形成P型基区6,在所述源极沟槽P+型屏蔽层5和所述P型基区6中形成N+型源区7。

[0089] 如图5所示,采用局部离子注入法在所述N-型SiC漂移层2中的左侧位置处形成伪

源极沟槽P+型屏蔽层4,并在所述N型电流传导层3中的右侧位置处同时形成源极沟槽P+型屏蔽层5,其中,伪源极沟槽P+型屏蔽层4和源极沟槽P+型屏蔽层5的掺杂浓度相同。

[0090] 如图6所示,采用局部离子注入法在所述伪源极沟槽P+型屏蔽层4与所述源极沟槽P+型屏蔽层5之间形成P型基区6。

[0091] 如图7所示,采用局部离子注入法在所述源极沟槽P+型屏蔽层5和所述P型基区6中形成N+型源区7。

[0092] 步骤S3:对所述伪源极沟槽P+型屏蔽层4的右侧进行部分刻蚀,并对所述N+型源区7的左侧以及所述N+型源区7左侧下方的P型基区6进行刻蚀,形成栅极沟槽。

[0093] 如图8所示,采用局部刻蚀法对所述伪源极沟槽P+型屏蔽层4的右侧进行部分刻蚀,并对所述N+型源区7的左侧以及所述N+型源区7左侧下方的P型基区6进行刻蚀,形成栅极沟槽。

[0094] 步骤S4:在所述栅极沟槽下方的N型电流传导层3中形成栅极P+型渐变屏蔽环8。

[0095] 如图9所示,通过使用不同厚度的掩模版进行多次离子注入工艺,在所述栅极沟槽下方的N型电流传导层3中形成栅极P+型渐变屏蔽环8,可以使得单个栅极P+型渐变屏蔽环的宽度从上到下逐步降低,其截面形状为半圆,在确保阻断状态下对栅极沟槽底部提供足够保护面积的同时减小导通状态下对电流通道的压缩,可提升器件综合性能。

[0096] 步骤S5:在所述栅极沟槽的底部和内侧壁上形成栅介质层9,并在所述栅介质层9上形成栅电极10。

[0097] 如图10所示,通过热氧化工艺在所述栅极沟槽的底部和内侧壁上形成栅介质层9。

[0098] 如图11所示,在所述栅介质层9上通过多晶硅淀积工艺形成栅电极10。

[0099] 步骤S6:对所述伪源极沟槽P+型屏蔽层4的左侧进行部分刻蚀,形成伪源极沟槽,并对所述N+型源区7的右侧以及所述N+型源区7右侧下方的源极沟槽P+型屏蔽层5进行部分刻蚀,形成源极沟槽。

[0100] 如图12所示,采用局部刻蚀工艺,对所述伪源极沟槽P+型屏蔽层4的左侧进行部分刻蚀,形成伪源极沟槽,同时对所述N+型源区7的右侧以及所述N+型源区7右侧下方的源极沟槽P+型屏蔽层5进行部分刻蚀,形成源极沟槽。

[0101] 步骤S7:在上述步骤形成的结构上分别形成第一源极欧姆接触电极11、第二源极欧姆接触电极12、漏极欧姆接触电极13、隔离介质层14和金属层15。

[0102] 如图13所示,在所述伪源极沟槽的底部、侧壁以及部分顶面位置处形成第一源极欧姆接触电极11,并在所述源极沟槽的底部、侧壁以及顶面上方的N+型源区7上方形成第二源极欧姆接触电极12,以及在所述N++型SiC衬底1的下方形成漏极欧姆接触电极13。

[0103] 如图14所示,采用淀积工艺在所述伪源极沟槽顶面上的第一源极欧姆接触电极11上方、裸露的伪源极沟槽P+型屏蔽层4上方、裸露的栅介质层9上方、栅电极10上方、裸露的N+型源区7上方、所述N+型源区7上方的第二源极欧姆接触电极12上方淀积隔离介质,并对其进行平坦化形成隔离介质层14。

[0104] 如图15所示,采用淀积工艺,分别在裸露的第一源极欧姆接触电极11上、裸露的第二源极欧姆接触电极12上以及裸露的隔离介质层14上淀积金属,并对其进行平坦化形成金属层15。

[0105] 在本发明的一个对比实施例中,采用元胞宽度为5 μm 、源极P+型屏蔽层的掺杂浓度

为 $5e18\text{cm}^{-3}$ 、源极P+型屏蔽层宽度为 $0.4\mu\text{m}$ 的传统双沟槽型SiC MOSFET,并采用本发明提供的非对称双沟槽SiC MOSFET元胞结构,将传统双沟槽型SiC MOSFET与本发明提供的非对称双沟槽SiC MOSFET元胞结构进行比较。

[0106] 如图16所示,在漏电压为1200V时,因为本发明提供的非对称双沟槽SiC MOSFET元胞结构使用了栅极沟槽下方的栅极P+型渐变屏蔽环以及与栅极沟槽间距更小的伪源极沟槽P+型屏蔽层加强对栅极沟槽的保护,本发明提供的非对称双沟槽SiC MOSFET元胞结构的栅介质层中的电场峰值小于传统双沟槽型SiC MOSFET元胞结构的栅介质层中的电场峰值的一半,意味着栅介质层的可靠性提升,有利于延长器件的使用寿命。

[0107] 如图17所示,将传统双沟槽型SiC MOSFET元胞结构与本发明提供的非对称双沟槽SiC MOSFET元胞结构在栅电压为20V时分别对应的漏电压-漏极电流密度曲线进行比较,在漏电压较低时,因为使用了掺杂浓度更高的N型电流传导层,本发明提供的非对称双沟槽SiC MOSFET元胞结构在相同漏电压下有更高的漏极电流,意味着更低的导通电阻,有利于降低系统静态损耗。

[0108] 如图18所示,将传统双沟槽型SiC MOSFET元胞结构与本发明提供的非对称双沟槽SiC MOSFET元胞结构在栅电压为20V时分别对应的漏电压-漏极电流密度曲线进行比较,在漏电压较高时,本发明提供的非对称双沟槽SiC MOSFET元胞结构由于栅极P+型渐变屏蔽环的夹断作用,有更低的饱和漏极电流,意味着更低的瞬时功率即更优的短路特性,有利于提高系统的安全性。

[0109] 如图19所示,将传统双沟槽型SiC MOSFET元胞结构与本发明提供的非对称双沟槽SiC MOSFET元胞结构分别对应的栅电荷-栅电压曲线进行比较,本发明提供的非对称双沟槽SiC MOSFET元胞结构可以显著降低栅漏电荷,这意味着更小的密勒电容,可以降低器件的开关时间和开关损耗,有利于提高系统的工作频率。

[0110] 应该指出,上述详细说明都是示例性的,旨在对本申请提供进一步的说明。除非另有指明,本文使用的所有技术和科学术语均具有与本申请所属技术领域的普通技术人员的通常理解所相同的含义。

[0111] 需要注意的是,这里所使用的术语仅是为了描述具体实施方式,而非意图限制根据本申请的示例性实施方式。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0112] 需要说明的是,本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的术语在适当情况下可以互换,以便这里描述的本申请的实施方式能够以除了在这里图示或描述的那些以外的顺序实施。

[0113] 此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含。例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0114] 为了便于描述,在这里可以使用空间相对术语,如“在……之上”、“在……上方”、“在……上表面”、“上面的”等,用来描述如在图中所示的一个器件或特征与其他器件或特

征的空间位置关系。应当理解的是,空间相对术语旨在包含除了器件在图中所描述的方位之外的在使用或操作中的不同方位。例如,如果附图中的器件被倒置,则描述为“在其他器件或构造上方”或“在其他器件或构造之上”的器件之后将被定位为“在其他器件或构造下方”或“在其他器件或构造之下”。因而,示例性术语“在……上方”可以包括“在……上方”和“在……下方”两种方位。该器件也可以其他不同方式定位,如旋转90度或处于其他方位,并且对这里所使用的空间相对描述作出相应解释。

[0115] 在上面详细的说明中,参考了附图,附图形成本文的一部分。在附图中,类似的符号典型地确定类似的部件,除非上下文以其他方式指明。在详细的说明书、附图及权利要求书中所描述的图示说明的实施方案不意味是限制性的。在不脱离本文所呈现的主题的精神或范围下,其他实施方案可以被使用,并且可以作其他改变。

[0116] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

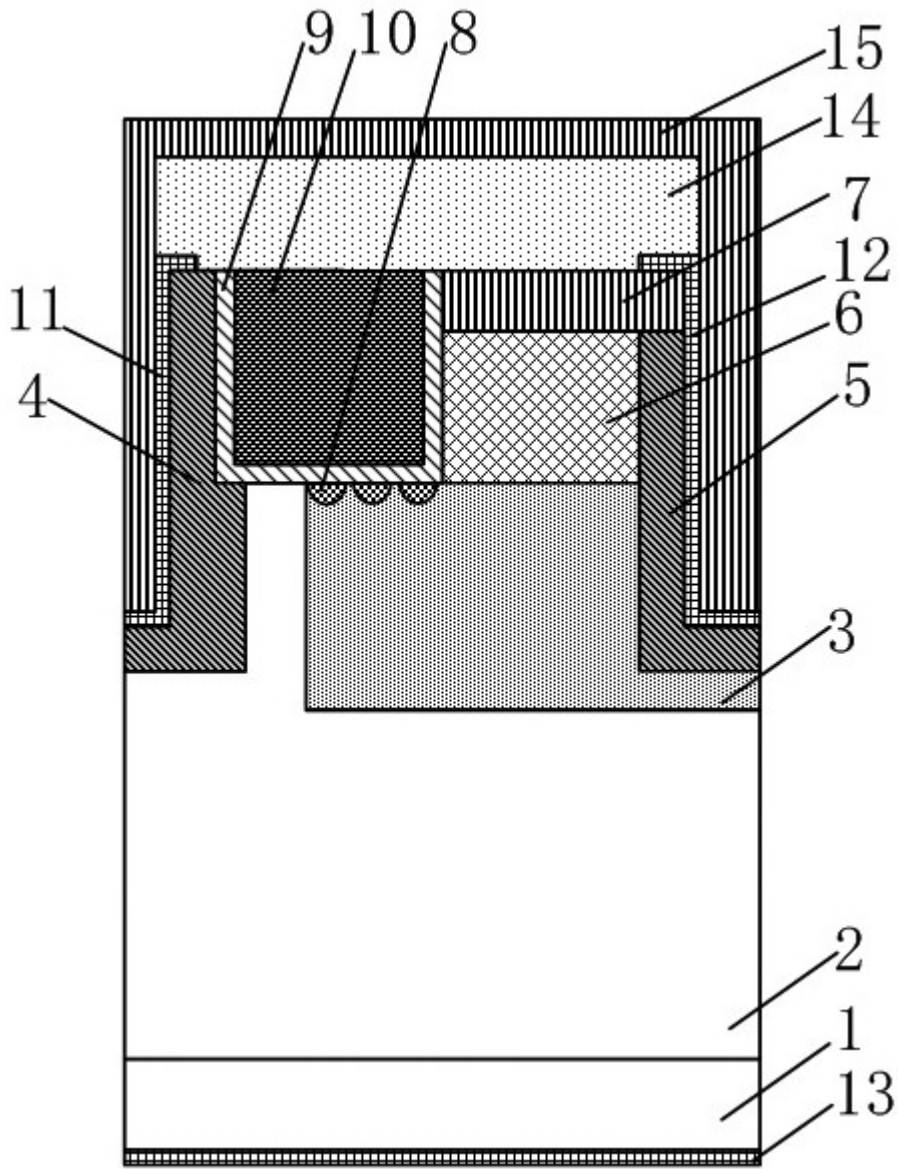


图1

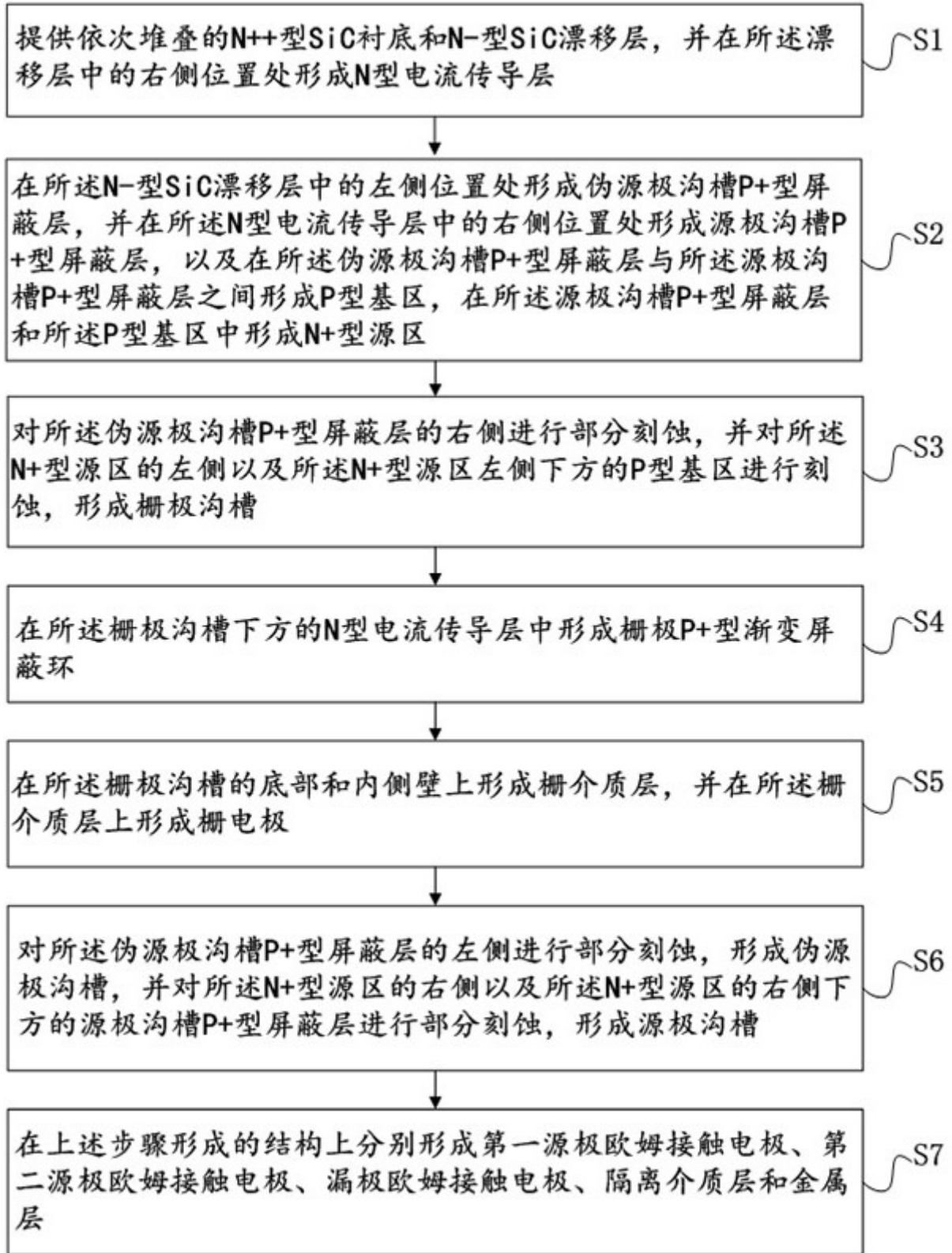


图2

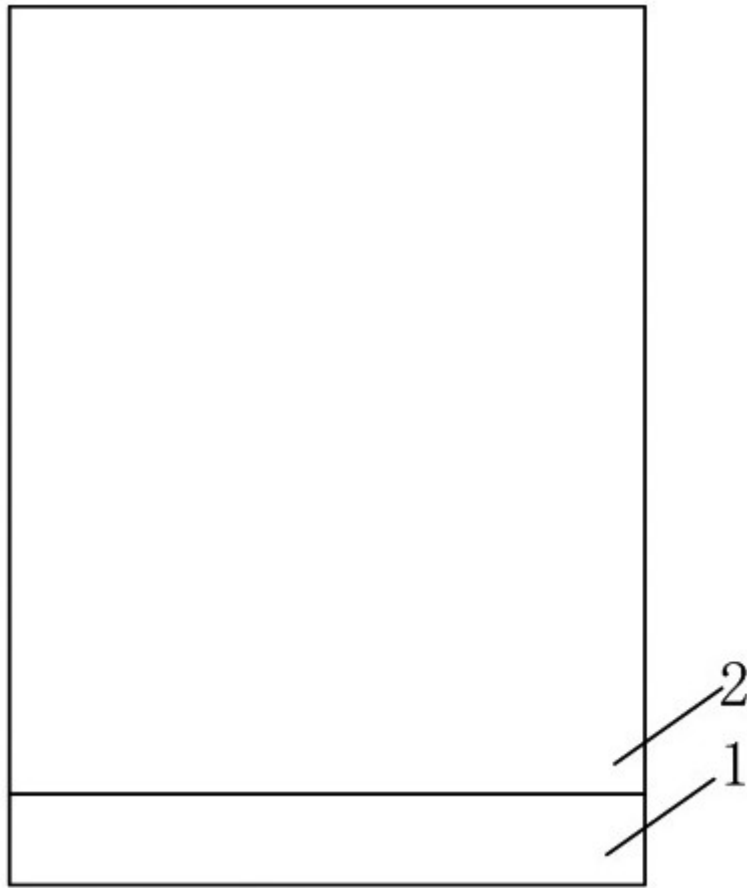


图3

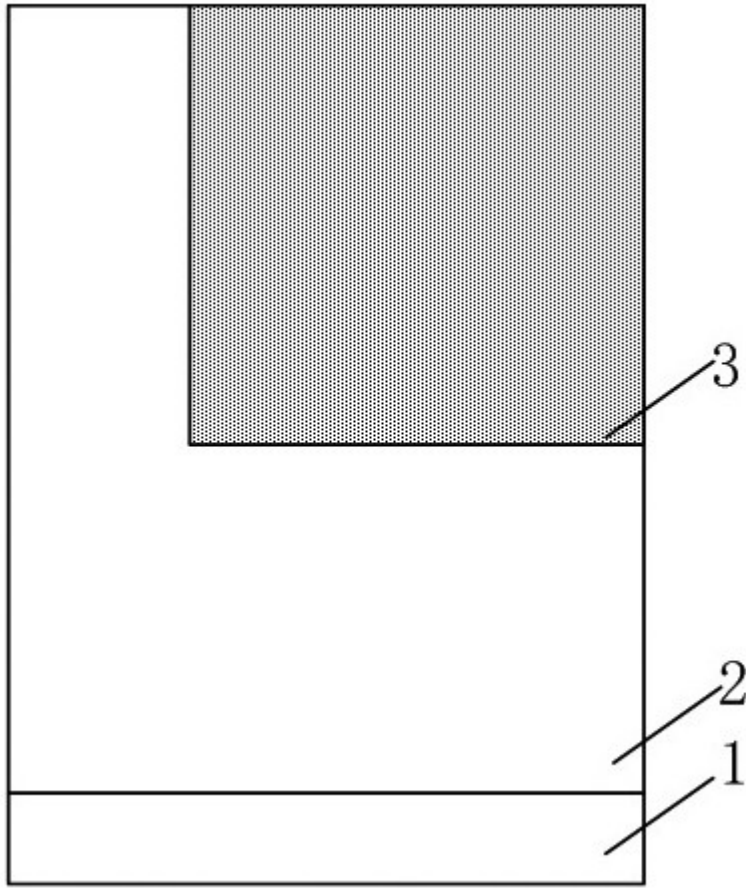


图4

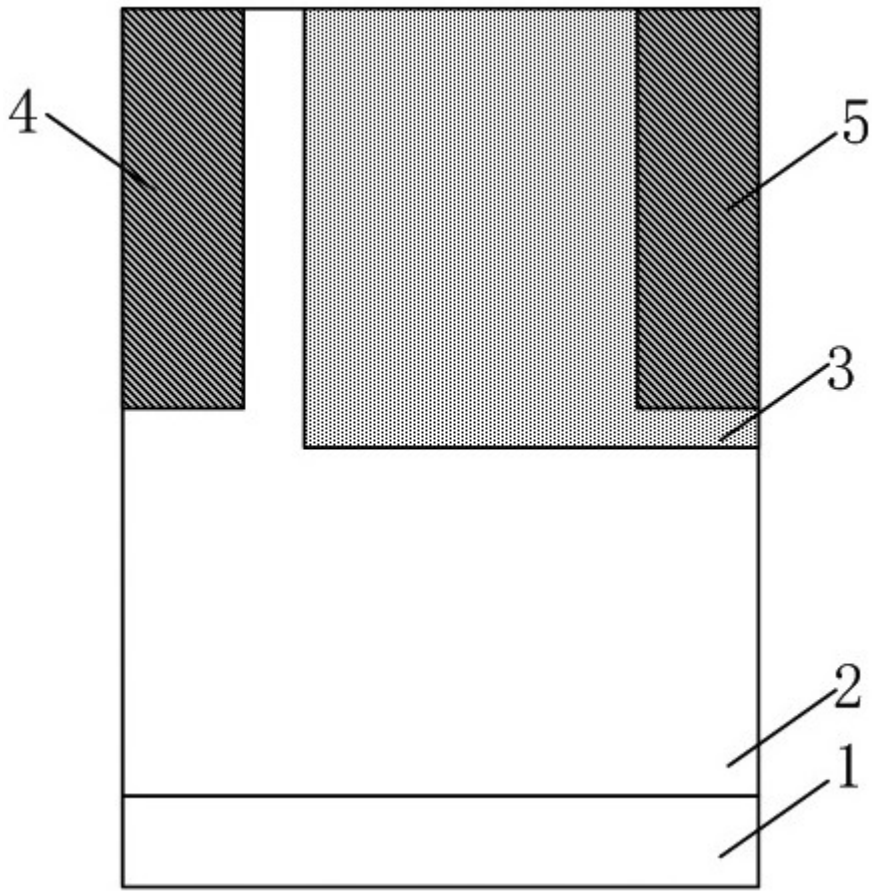


图5

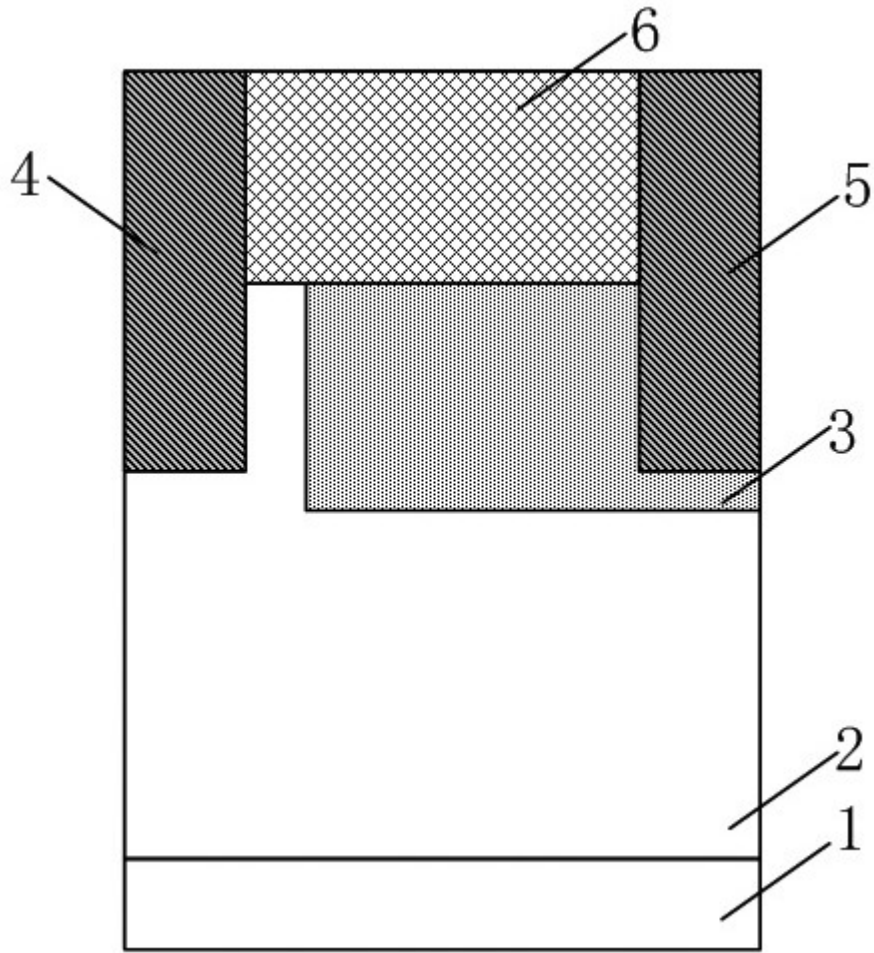


图6

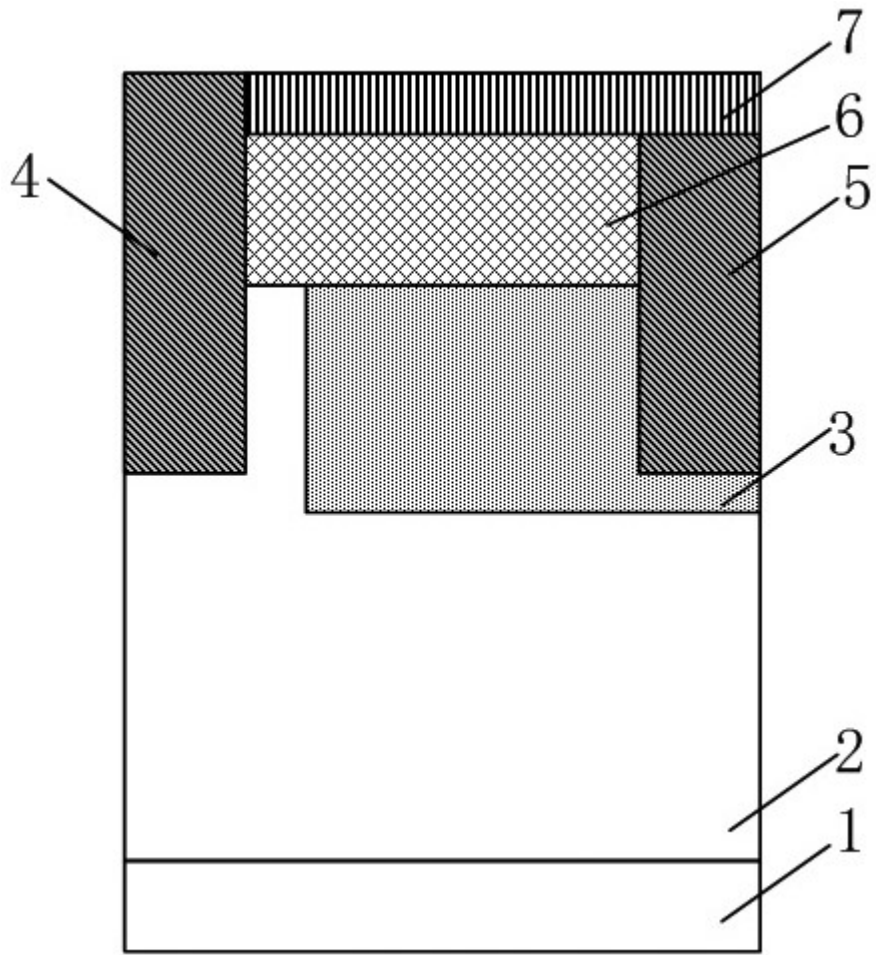


图7

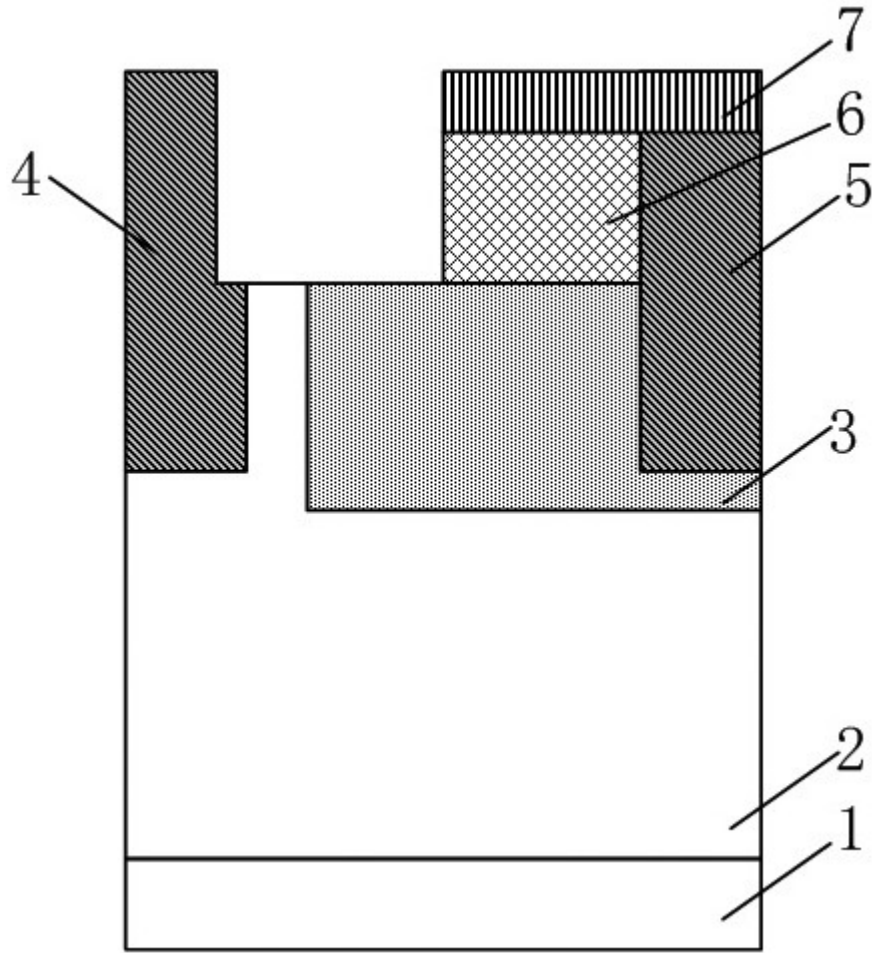


图8

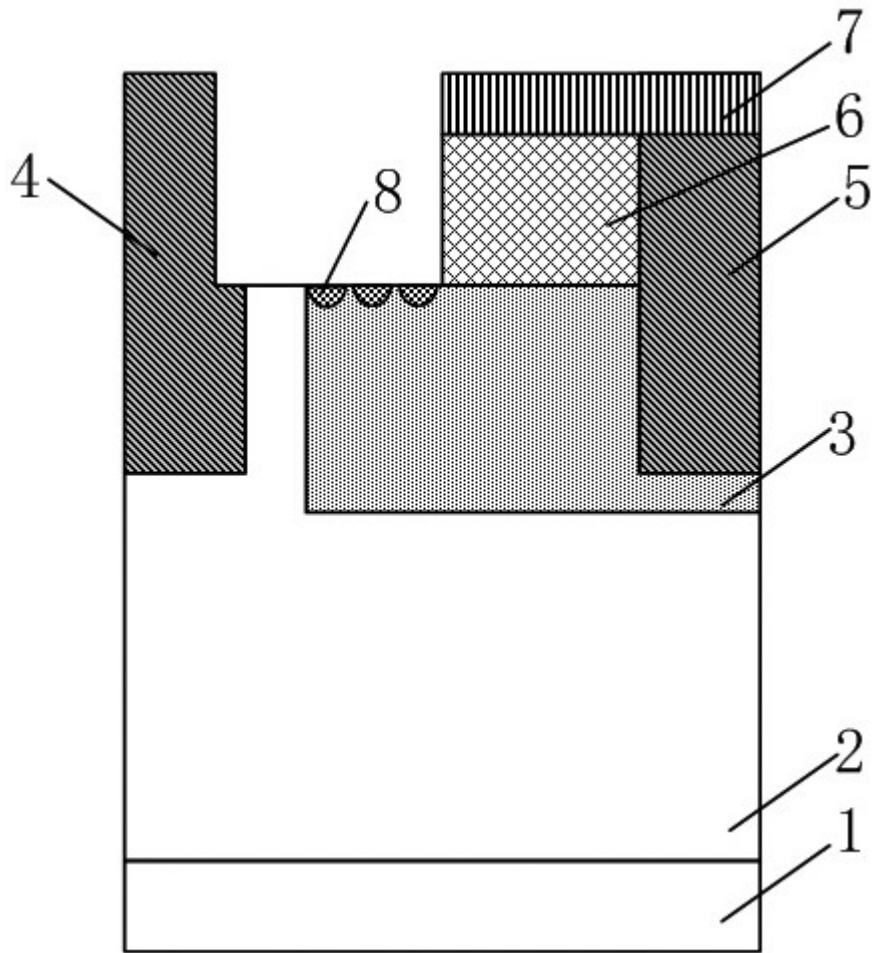


图9

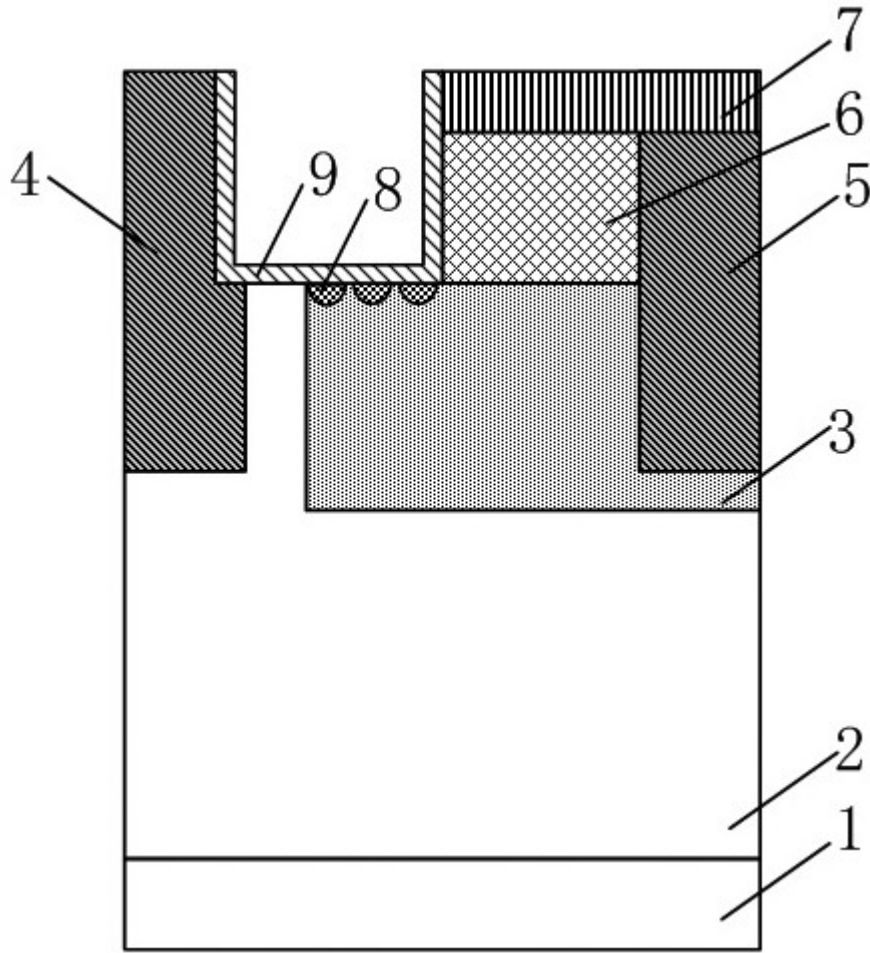


图10

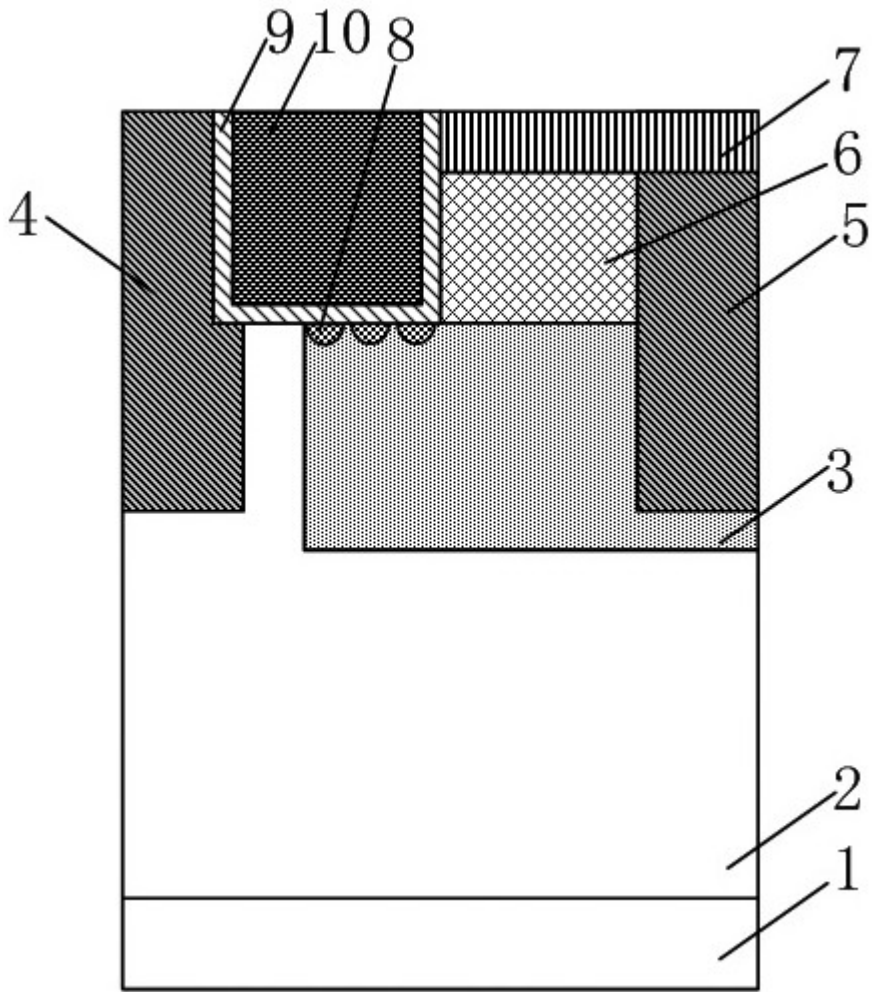


图11

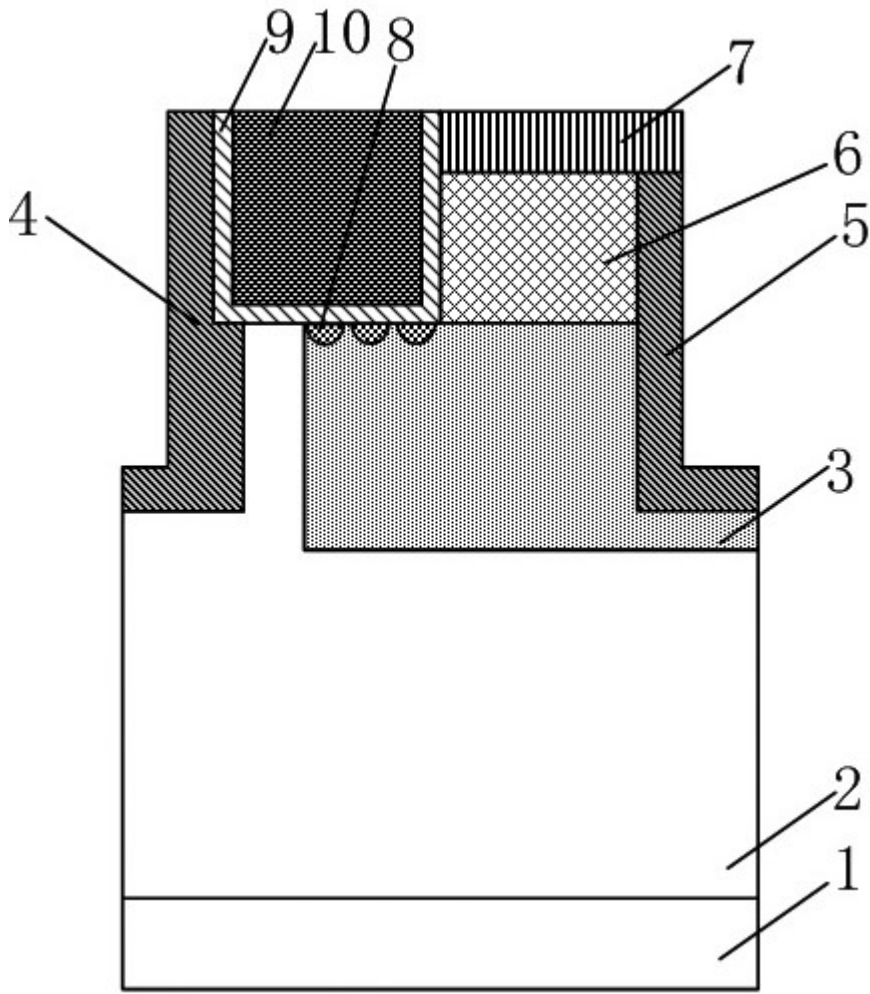


图12

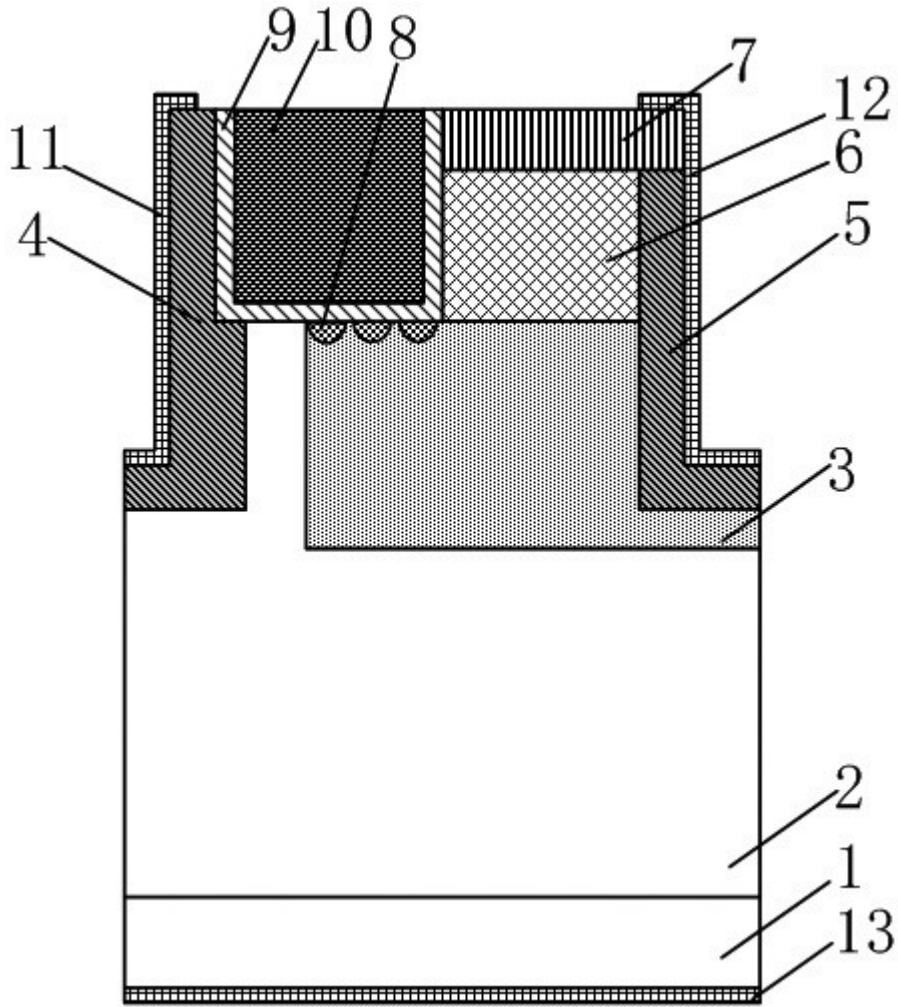


图13

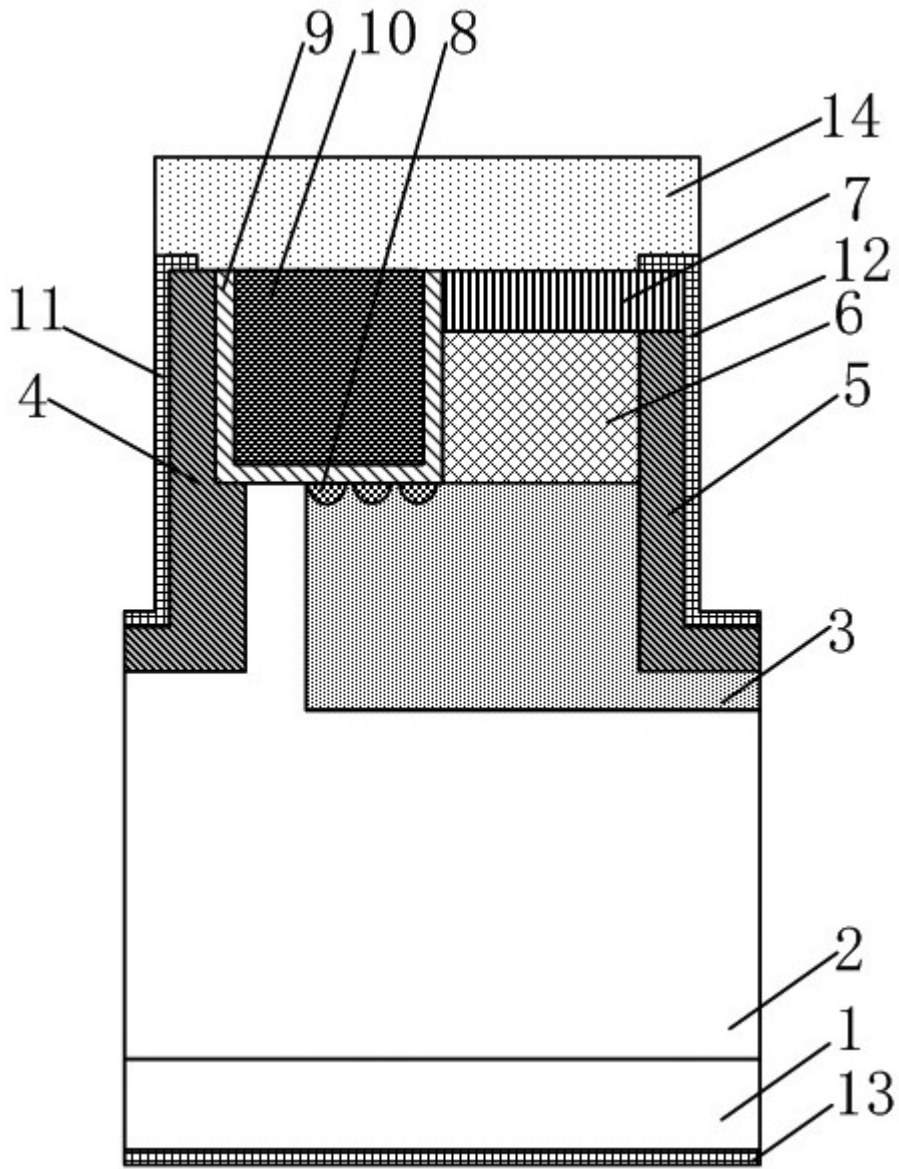


图14

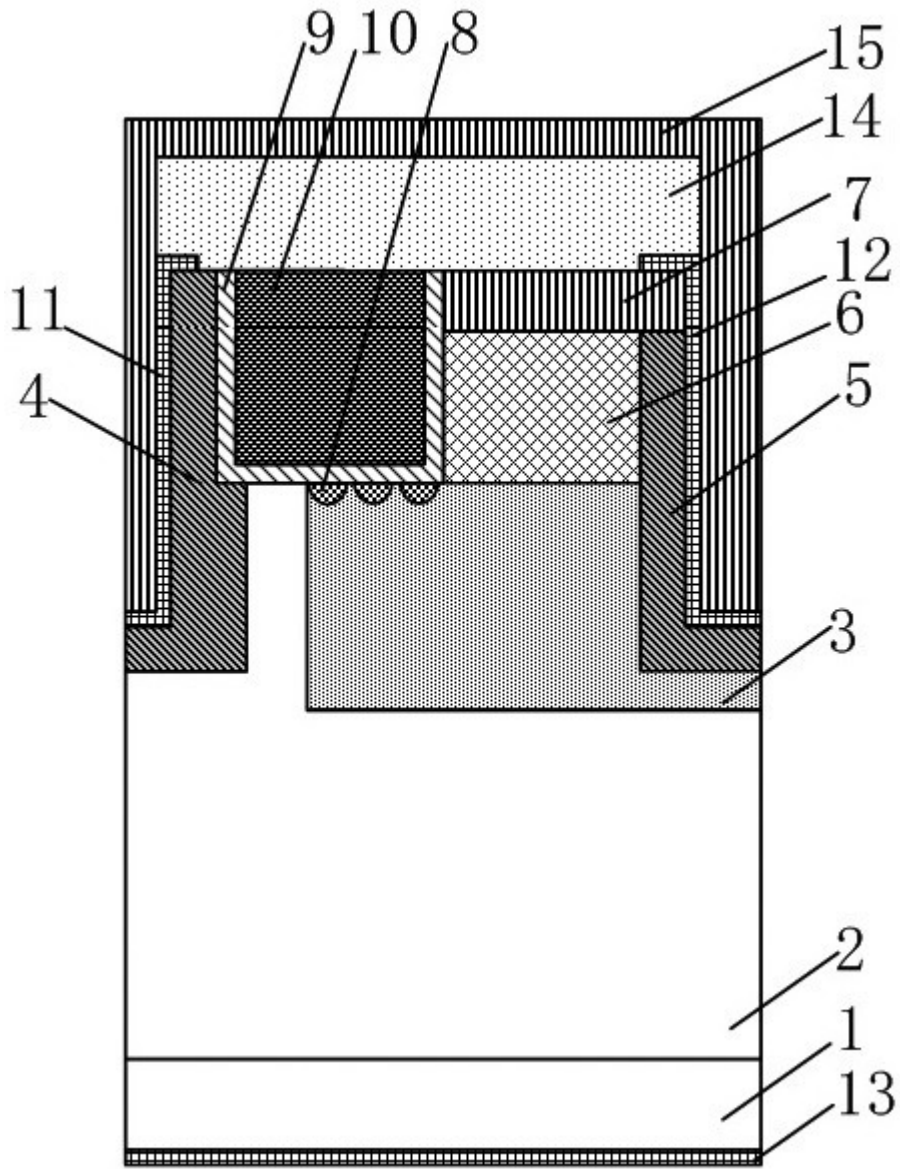


图15

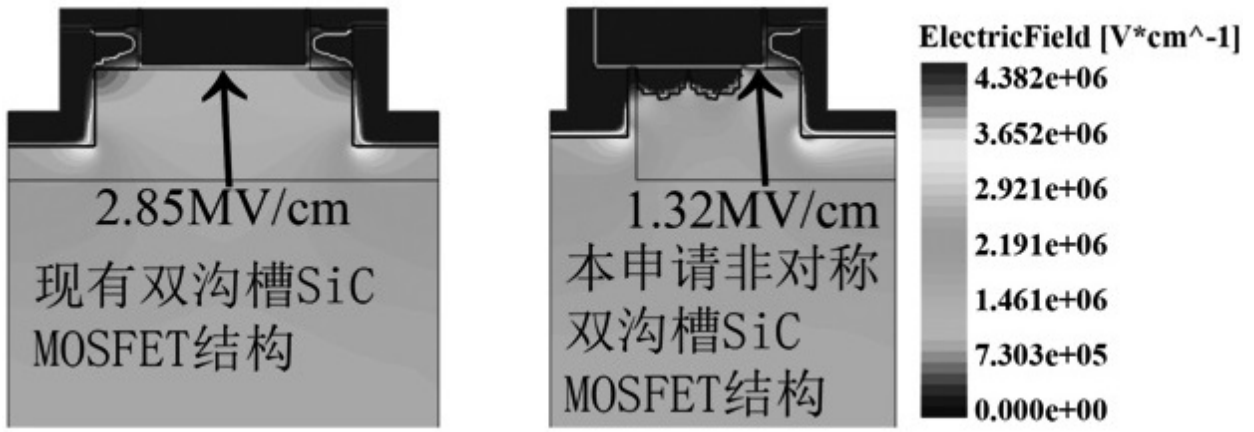


图16

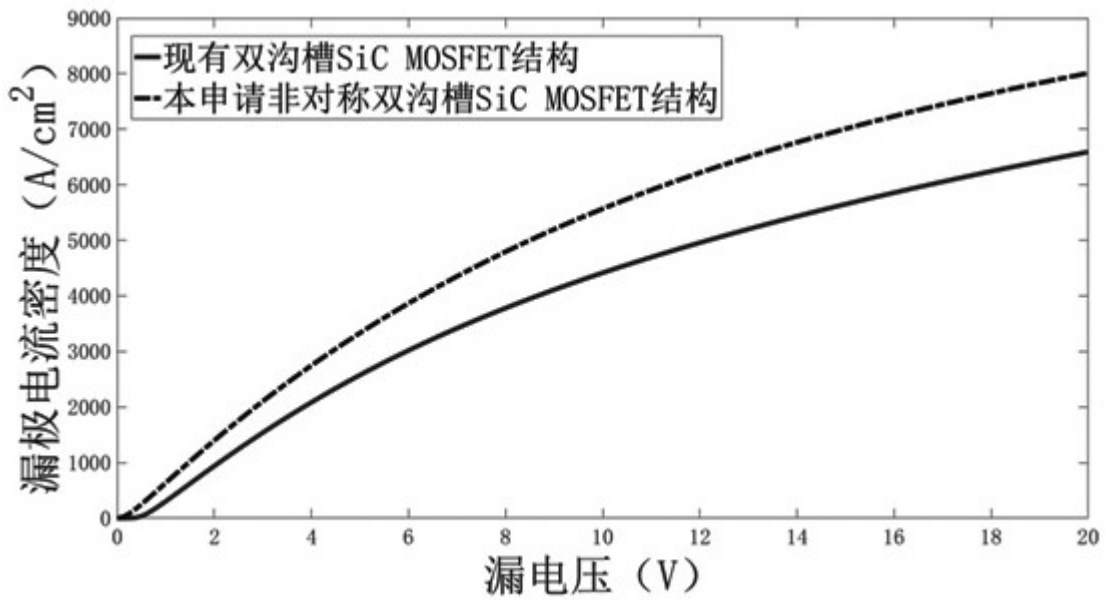


图17

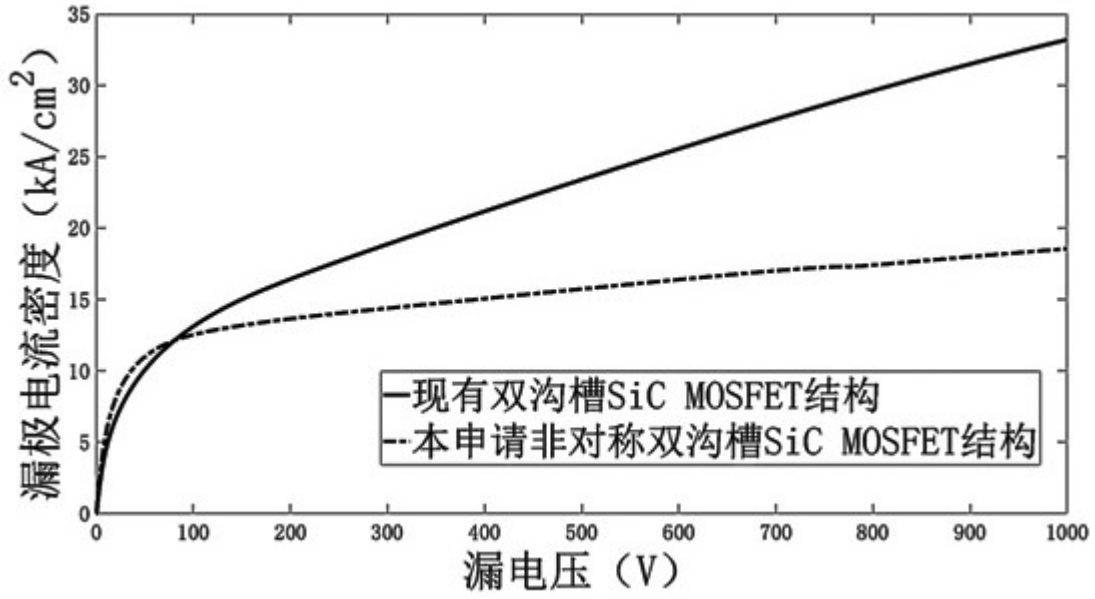


图18

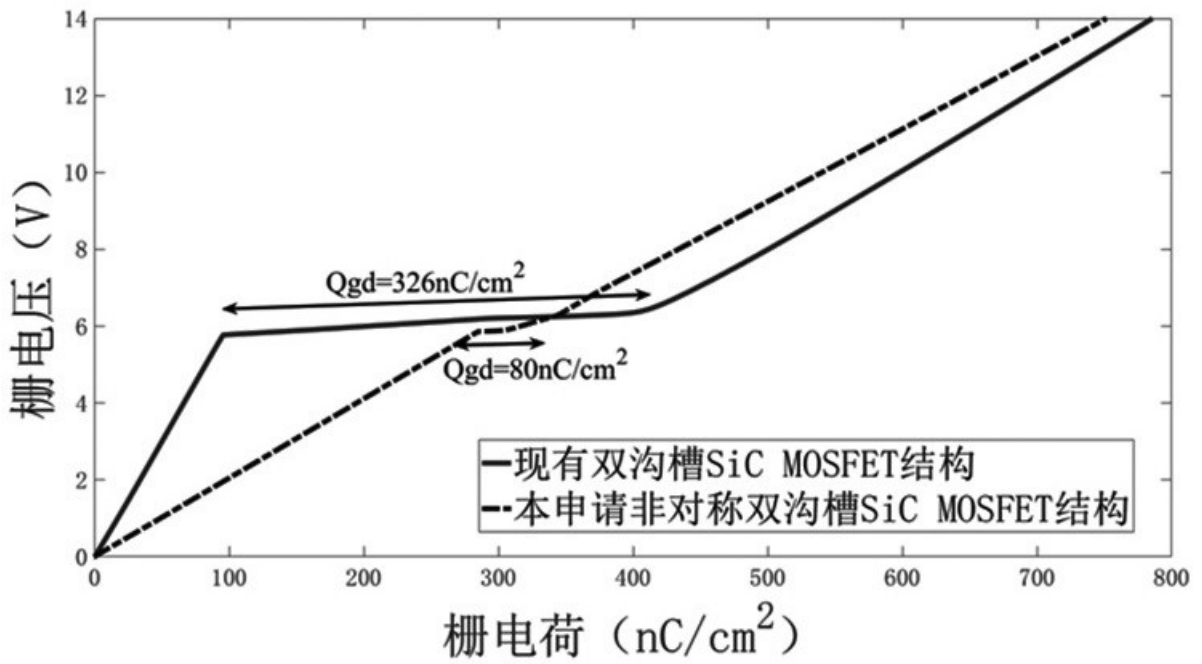


图19