



(12) 发明专利申请

(10) 申请公布号 CN 104637446 A

(43) 申请公布日 2015. 05. 20

(21) 申请号 201510059758. 7

(22) 申请日 2015. 02. 03

(71) 申请人 北京大学深圳研究生院
地址 518055 广东省深圳市南山区西丽深圳
大学城北大园区

(72) 发明人 林兴武 张盛东 孟雪 冷传利
王翠翠

(74) 专利代理机构 深圳鼎合诚知识产权代理有
限公司 44281
代理人 郭燕 彭家恩

(51) Int. Cl.
G09G 3/32(2006. 01)

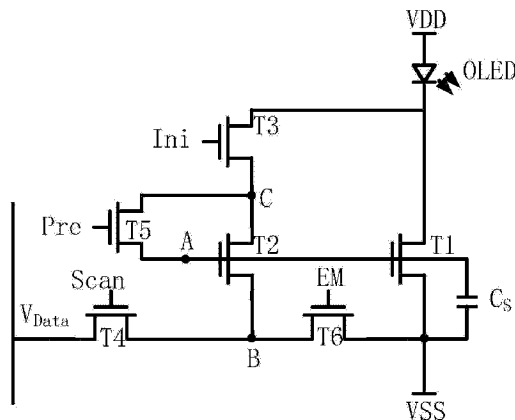
权利要求书2页 说明书10页 附图4页

(54) 发明名称

像素电路及其驱动方法和一种显示装置

(57) 摘要

提供一种像素电路及其驱动方法，在初始化阶段，第三晶体管导通，初始化第二晶体管各电极电位；在编程阶段，第二晶体管的阈值电压和数据信号存储于存储电容，该阈值电压能够表征驱动晶体管的阈值电压；在发光阶段，驱动晶体管根据存储电容两端的压差驱动产生驱动电流，并驱动发光元件发光。由于第二晶体管和驱动晶体管所处像素电路中的位置临近以及栅极电压一样，源极电压在发光是一致的，第二晶体管能够镜像驱动晶体管的初始时的阈值电压及其使用后阈值电压漂移情况，并在编程阶段通过存储电容存储该阈值电压，从而能够在发光阶段补偿驱动晶体管的阈值电压不均匀或者阈值电压漂移的问题。还提供了一种显示装置。



1. 一种像素电路，用于布置在按第一方向排列的用于提供扫描信号的扫描线和按第二方向排列的用于提供数据信号的数据线之间，其特征在于，所述像素电路包括：驱动晶体管、发光元件、存储电容、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管；

驱动晶体管的控制极耦合至第二晶体管的控制极，驱动晶体管的第二极耦合至发光元件的第二端；

驱动晶体管的第一极用于耦合至第一电平端，发光元件的第一端用于耦合至第二电平端；

存储电容的第一端耦合至驱动晶体管的控制极，存储电容的第二端耦合至驱动晶体管的第一极；

第二晶体管的第一极耦合至第三晶体管的第二极，第二晶体管的第二极耦合至第六晶体管的第一极；

第三晶体管的第一极耦合至驱动晶体管的第二极，第三晶体管的控制极用于耦合至扫描线；

第四晶体管的控制极用于耦合至扫描线，第四晶体管的第一极用于耦合至数据线，第四晶体管的第二极耦合至第六晶体管的第一极；

第五晶体管的第一极耦合至第二晶体管的第一极，第五晶体管的第二极耦合至第二晶体管的控制极，第五晶体管的控制极用于耦合至扫描线；

第六晶体管的控制极用于耦合至扫描线，第六晶体管的第二极耦合至驱动晶体管的第一极。

2. 如权利要求 1 所述的像素电路，其特征在于，所述扫描线包括第一扫描线、第二扫描线、第三扫描线和第四扫描线；

第五晶体管的控制极用于耦合至第一扫描线；

第六晶体管的控制极用于耦合至第二扫描线；

第四晶体管的控制极用于耦合至第三扫描线；

第三晶体管的控制极用于耦合至第四扫描线；

第一扫描线所传输的信号与第二扫描线所传输的信号反相；

第三扫描线所传输的信号和第四扫描线所传输的信号反相；

第三扫描线所传输信号的有效电平的到来时间滞后于第一扫描线所传输信号的有效电平的到来时间。

3. 如权利要求 1 所述的像素电路，其特征在于，

在初始化阶段，第四晶体管和第六晶体管分别由各自扫描线控制在截止状态；第三晶体管和第五晶体管分别响应各自扫描线提供的有效电平导通，初始化第二晶体管的控制极、第一极和第二极的电位；

在编程阶段，第四晶体管和第五晶体管分别响应各自扫描线提供的有效电平导通，第三晶体管和第六晶体管分别由各自扫描线控制在截止状态；第二晶体管基于数据线的电位调整其控制极的电位，并将该电位存储于存储电容，该电位能够表征驱动晶体管的阈值电压和数据线所传输的数据信号；

在发光阶段，第四晶体管和第五晶体管分别由各自扫描线控制在截止状态；第三晶体

管和第六晶体管响应其扫描线提供的有效电平导通,驱动晶体管根据存储电容两端的压差驱动产生驱动电流,并驱动发光元件发光。

4. 如权利要求 1-3 任意一项所述的像素电路,其特征在于,各晶体管为薄膜晶体管;或者,

各晶体管为薄膜晶体管,所述发光元件为有机发光元件。

5. 如权利要求 4 所述的像素电路,其特征在于,

驱动晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管为 N 沟道薄膜晶体管,各晶体管导通的有效电平为高电平;第一电平端为低电平端或地线,第二电平端为高电平端;发光元件的第一端为阳极,发光元件的第二端为阴极;或者,

驱动晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管为 P 沟道薄膜晶体管,各晶体管导通的有效电平为低电平;第一电平端为高电平端,第二电平端为低电平端或地线;发光元件的第一端为阴极,发光元件的第二端为阳极;或者,

驱动晶体管和第二晶体管为 P 沟道薄膜晶体管,导通的有效电平为低电平;第三晶体管、第四晶体管、第五晶体管和第六晶体管为 N 沟道薄膜晶体管,导通的有效电平为高电平;第一电平端为高电平端,第二电平端为低电平端或地线;发光元件的第一端为阴极,发光元件的第二端为阳极。

6. 一种显示装置,其特征在于,包括:

像素电路矩阵,所述像素电路矩阵包括排列成 n 行 m 列矩阵的如权利要求 1-5 任意一项所述的像素电路,所述 n 和 m 为大于 0 的整数;

栅极驱动电路,用于产生扫描脉冲信号,并通过沿第一方向形成的各行扫描线向像素电路提供扫描控制信号;

数据驱动电路,用于产生代表灰度信息的数据电压信号,并通过沿第二方向形成的各数据线向像素电路提供数据信号;

控制器,用于向栅极驱动电路和数据驱动电路提供控制时序。

7. 一种像素电路驱动方法,其特征在于,所述像素电路的每一驱动周期包括编程阶段和发光阶段,所述驱动方法包括:

在所述初始化阶段,第三晶体管和第五晶体管导通,初始化第二晶体管各电极电位;

在所述编程阶段,第四晶体管导通,第四晶体管传输数据信号;第二晶体管根据其阈值电压和数据信号的电位调整其控制极电位并存储于存储电容,第二晶体管控制极电位包括数据信号和第二晶体管的阈值电压信息,第二晶体管的阈值电压能够表征驱动晶体管的阈值电压;

在所述发光阶段,驱动晶体管根据存储电容两端的压差驱动产生驱动电流,并驱动发光元件发光。

像素电路及其驱动方法和一种显示装置

技术领域

[0001] 本申请涉及显示器件领域,具体涉及一种像素电路及其驱动方法和一种显示装置。

背景技术

[0002] 有机发光二极管 (Organic Light-Emitting Diode, OLED) 显示因具有高亮度、高发光效率、宽视角和低功耗等优点,近年来被人们广泛研究,并迅速应用到新一代的显示当中。OLED 显示的驱动方式可以为无源矩阵驱动 (Passive Matrix OLED, PMOLED) 和有源矩阵驱动 (Active Matrix OLED, AMOLED) 两种。无源矩阵驱动虽然成本低廉,但是存在交叉串扰现象不能实现高分辨率的显示,且无源矩阵驱动电流大,降低了 OLED 的使用寿命。相比之下,有源矩阵驱动方式在每个像素上设置数目不同的晶体管作为电流源,避免了交叉串扰,所需的驱动电流较小,功耗较低,使 OLED 的寿命增加,可以实现高分辨的显示,同时,有源矩阵驱动更容易满足大面积和高灰度级显示的需要。

[0003] 传统 AMOLED 的像素电路是简单的两薄膜场效应晶体管 (Thin Film Transistor, TFT) 结构,如图 1 所示,这种电路虽然结构简单,但是不能补偿驱动晶体管 T1 和 OLED 阈值电压漂移或因 TFT 器件采用多晶材料制成而导致面板各处 TFT 器件的阈值电压不均匀性。当驱动晶体管 T1 阈值电压、OLED 阈值电压发生漂移或在面板上各处的值不一致时,驱动电流 I_{DS} 就会改变,并且面板上不同的像素因偏置电压的不同漂移情况也不一样,这样就会造成面板显示的不均匀性。

[0004] 因此,就目前来说,为了解决 TFT 器件的 V_{TH} 不均匀或者漂移带来的问题,不管 AMOLED 的像素电路采用的工艺是多晶硅 (poly-Si) 技术、非晶硅 (a-Si) 技术还是氧化物半导体技术,其在构成像素电路时都需要提供 V_{TH} 补偿机制。目前提出的在像素点内进行补偿的方法主要分为电流型和电压型两种。电流型像素电路的补偿精度比较高,但是需要一个比较长的建立时间,特别是在小电流并且数据线上具有很大的寄生电容的情况下。这一点严重地限制了电流型像素电路在大面积、高分辨率显示器中的应用。电压型像素电路补偿精度没有电流型像素电路的高,且电路结构或 / 和驱动信号一般相对复杂,但驱动速度快。如何更好地感应驱动晶体管 T1 阈值电压的不均匀性或者漂移并对其进行补偿,以减少阈值电压所造成的显示不均匀成为亟待解决的问题。

发明内容

[0005] 本申请提供一种像素电路及其驱动方法和一种显示装置,以补偿驱动晶体管的阈值电压的不均匀性或者阈值电压漂移。

[0006] 根据本申请的第一方面,一种实施例中提供一种像素电路,用于布置在按第一方向排列的用于提供扫描信号的扫描线和按第二方向排列的用于提供数据信号的数据线之间,包括:驱动晶体管、发光元件、存储电容、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管,其中,

[0007] 驱动晶体管的控制极耦合至第二晶体管的控制极,驱动晶体管的第二极耦合至发光元件的第二端;驱动晶体管的第一极用于耦合至第一电平端,发光元件的第一端用于耦合至第二电平端;存储电容的第一端耦合至驱动晶体管的控制极,存储电容的第二端耦合至驱动晶体管的第一极;第二晶体管的第一极耦合至第三晶体管的第二极,第二晶体管的第二极耦合至第六晶体管的第一极;第三晶体管的第一极耦合至驱动晶体管的第二极,第三晶体管的控制极用于耦合至扫描线;第四晶体管的控制极用于耦合至扫描线,第四晶体管的第一极用于耦合至数据线,第四晶体管的第二极耦合至第六晶体管的第一极;第五晶体管的第一极耦合至第二晶体管的第一极,第五晶体管的第二极耦合至第二晶体管的控制极,第五晶体管的控制极用于耦合至扫描线;第六晶体管的控制极用于耦合至扫描线,第六晶体管的第二极耦合至驱动晶体管的第一极。

[0008] 根据第二方面,一种实施例中提供一种显示装置,包括:

[0009] 像素电路矩阵,所述像素电路矩阵包括排列成 n 行 m 列矩阵的上述像素电路,所述 n 和 m 为大于0的整数;栅极驱动电路,用于产生扫描脉冲信号,并通过沿第一方向形成的各行扫描线向像素电路提供扫描控制信号;数据驱动电路,用于产生代表灰度信息的数据电压信号,并通过沿第二方向形成的各数据线向像素电路提供数据信号;控制器,用于向栅极驱动电路和数据驱动电路提供控制时序。

[0010] 根据第三方面,一种实施例中提供一种像素电路驱动方法,像素电路的每一驱动周期包括初始化阶段、编程阶段和发光阶段,驱动方法包括:

[0011] 在初始化阶段,第三晶体管和第五晶体管导通,初始化第二晶体管各电极电位;在编程阶段,第四晶体管导通,第四晶体管传输数据信号;第二晶体管根据其阈值电压和数据信号的电位调整其控制极电位并存储于存储电容,第二晶体管控制极电位包括数据信号和第二晶体管的阈值电压信息,第二晶体管的阈值电压能够表征驱动晶体管的阈值电压;在发光阶段,驱动晶体管根据存储电容两端的压差驱动产生驱动电流,并驱动发光元件发光。

[0012] 依据上述实施例的像素电路,由于第二晶体管的控制极耦合至驱动晶体管的控制极,二者所处像素电路中的位置临近,第二晶体管能够镜像驱动晶体管的阈值电压,又由于二者各端所受应力情况相同,所以第二晶体管能够镜像驱动阈值电压的漂移情况。存储电容可以存储该阈值电压,从而能够补偿驱动晶体管的阈值电压,继而可以缓解因驱动晶体管阈值电压不均匀或者阈值电压漂移而造成的显示装置显示不均匀的问题。

附图说明

[0013] 图1为现有技术中像素电路结构示意图;

[0014] 图2为本申请实施例一公开的一种像素电路结构图;

[0015] 图3为本申请实施例一像素电路的一种工作时序图;

[0016] 图4为本申请实施例二公开的一种像素电路结构图;

[0017] 图5为本申请实施例二像素电路的一种工作时序图;

[0018] 图6为本申请实施例三公开的一种像素电路结构图;

[0019] 图7为本申请实施例三像素电路的一种工作时序图;

[0020] 图8为一种实施例中提供一种显示装置结构框图。

具体实施方式

[0021] 下面通过具体实施方式结合附图对本发明作进一步详细说明。

[0022] 首先对一些术语进行说明：本申请中的晶体管可以是任何结构的晶体管，比如双极型晶体管 (BJT) 或者场效应晶体管 (FET)。当晶体管为双极型晶体管时，其控制极是指双极型晶体管的基极，第一极可以为双极型晶体管的集电极或发射极，对应的第二极可以为双极型晶体管的发射极或集电极，在实际应用过程中，“发射极”和“集电极”可以依据信号流向而互换；当晶体管为场效应晶体管时，其控制极是指场效应晶体管的栅极，第一极可以为场效应晶体管的漏极或源极，对应的第二极可以为场效应晶体管的源极或漏极，在实际应用过程中，“源极”和“漏极”可以依据信号流向而互换。显示器中的晶体管通常为一种场效应晶体管：薄膜晶体管 (TFT)。下面以晶体管为场效应晶体管为例对本申请做详细的说明，在其它实施例中晶体管也可以是双极型晶体管。

[0023] 发光元件为有机发光二极管 (Organic Light-Emitting Diode, OLED)，在其它实施例中，也可以是其它发光元件。发光元件的第一端可以是阴极或阳极，相应地，则发光元件的第二端为阳极或阴极。本领域技术人员应当理解：电流应从发光元件的阳极流向阴极，因此，基于电流的流向，可以确定发光元件的阳极和阴极。

[0024] 交叠是指两路信号至少在某一相同时刻都处于有效电平状态，因此，不交叠为两路信号没有共同处于有效电平状态的时刻。

[0025] 有效电平可以是高电平，也可以是低电平，在本实施例中，在不作特别说明的情况下，有效电平为高电平。

[0026] 第一电平端和第二电平端是为像素电路工作所提供的电源两端。在一种实施例中，第一电平端可以为高电平端 V_{DD} ，第二电平端为低电平端 V_{SS} 或地线，在其它实施例中，也可以作适应性地置换。需要说明的是：对于像素电路而言，第一电平端（例如高电平端 V_{DD} ）和第二电平端（例如低电平端 V_{SS} ）并非本申请像素电路的一部分，为了使本领域技术人员更好地理解本申请的技术方案，而特别引入第一电平端和第二电平端予以描述。

[0027] 需要说明的是，为了描述方便，也为了使本领域技术人员更清楚地理解本申请的技术方案，本申请文件中引入第一节点 A、第二节点 B 和第三节点 C 对电路结构相关部分进行标识，不能认定为电路中额外引入的端子。

[0028] 实施例一：

[0029] 请参考图 2，为本实施例公开的一种像素电路结构图，该像素电路用于布置在按第一方向排列的用于提供扫描信号的扫描线和按第二方向排列的用于提供数据信号的数据线之间，在本实施例中，第一电平端为低电平端 V_{SS} 或地线，第二电平端为高电平端 V_{DD} ，该像素电路包括：驱动晶体管 T1、发光元件 OLED、存储电容 C_s 、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6，其中，

[0030] 驱动晶体管 T1 的控制极耦合至第二晶体管 T2 的控制极，如图 2 所示，耦合节点为第一节点 A；驱动晶体管 T1 的第二极耦合至发光元件 OLED 的第二端；发光元件 OLED 的第一端用于耦合至高电平端 V_{DD} ，驱动晶体管 T1 的第一极用于耦合至低电平端 V_{SS} 。在本实施例中，发光元件 OLED 的第一端为阳极，第二端为阴极。

[0031] 存储电容 C_s 的第一端耦合至驱动晶体管 T1 的控制极，存储电容 C_s 的第二端耦合至驱动晶体管 T1 的第一极。

[0032] 第二晶体管 T2 的第一极耦合至第三晶体管 T3 的第二极,如图 2 所示,耦合节点为第三节点 C;第二晶体管 T2 的第二极耦合至第六晶体管 T6 的第一极,如图 2 所示,耦合节点为第二节点 B。

[0033] 第三晶体管 T3 的第一极耦合至驱动晶体管 T1 的第二极,第三晶体管 T3 的控制极用于耦合至扫描线。

[0034] 第四晶体管 T4 的控制极用于耦合至扫描线,第四晶体管 T4 的第一极用于耦合至数据线,第四晶体管 T4 的第二极耦合至第六晶体管 T6 的第一极。

[0035] 第五晶体管 T5 的第一极耦合至第二晶体管 T2 的第一极,第五晶体管 T5 的第二极耦合至第二晶体管 T2 的控制极,第五晶体管 T5 的控制极用于耦合至扫描线。

[0036] 第六晶体管 T6 的控制极用于耦合至扫描线,第六晶体管 T6 的第二极耦合至驱动晶体管 T1 的第一极。

[0037] 在本实施例中,各晶体管优选为 N 沟道薄膜晶体管,各晶体管导通的有效电平为高电平。

[0038] 在具体实施例中,数据线用于提供数据信号 V_{DATA} 。扫描线包括第一扫描线、第二扫描线、第三扫描线和第四扫描线。第一扫描线、第二扫描线、第三扫描线和第四扫描线分别传输第一信号 Pre、发光控制信号 EM、扫描信号 Scan 和初始化信号 Ini。请参考图 2,第五晶体管 T5 的控制极用于耦合至第一扫描线,用于输入第一信号 Pre;第六晶体管 T6 的控制极用于耦合至第二扫描线,用于输入发光控制信号 EM;第四晶体管 T4 的控制极用于耦合至第三扫描线,用于输入扫描信号 Scan;第三晶体管 T3 的控制极用于耦合至第四扫描线,用于输入初始化信号 Ini。第一扫描线所传输的信号与第二扫描线所传输的信号反相,即第一信号 Pre 和发光控制信号 EM 反相;第三扫描线所传输的信号和第四扫描线所传输的信号反相,即扫描信号 Scan 和初始化信号 Ini 反相。

[0039] 本实施例中,第三扫描线所传输信号的有效电平的到来时间滞后于第一扫描线所传输信号的有效电平的到来时间,即初始化信号 Ini 的有效电平、扫描信号 Scan 的有效电平和发光控制信号 EM 的有效电平依次到来。

[0040] 本实施例的像素电路驱动过程分为初始化阶段、编程阶段和发光阶段,如图 3 所示为本实施例的信号时序,结合图 2 和图 3 具体描述本实施例的驱动过程。本实施例中,有效电平为高电平。

[0041] 在初始化阶段:高电平端 V_{DD} 提供高电平 V_H ,第一信号 Pre 和初始化信号 Ini 为高电平,扫描信号 Scan 和发光控制信号 EM 为低电平。此时,第三晶体管 T3 和第五晶体管 T5 处于导通状态,第四晶体管 T4 和第六晶体管 T6 处于截止状态。导通的第五晶体管 T5 将第二晶体管 T2 连接成二极管形式,连通第一节点 A 和第三节点 C,连通的第一节点 A 和第三节点 C 通过导通的第三晶体管 T3 被高电平端 V_{DD} 充电至 $V_H - V_{OLED}$,其中, V_{OLED} 为发光元件 OLED 两端压降。完成了各节点电位的初始化,即完成了第二晶体管 T2 的控制极、第一极和第二极的电位的初始化。

[0042] 在编程阶段:第一信号 Pre 继续维持高电平,发光控制信号 EM 继续维持低电平,扫描信号 Scan 变为高电平,初始化信号 Ini 变为低电平。此时,第三晶体管 T3 和第六晶体管 T6 处于截止状态,第四晶体管 T4 和第五晶体管 T5 处于导通状态。第二晶体管 T2 通过第五晶体管 T5 连接成二极管形式;数据信号 V_{DATA} 通过导通的第四晶体管 T4 写入到第二节

点 B,使得第二节点 B 的电位变为 V_{DATA} ,与此同时,二极管连接形式的第二晶体管 T2 尚处于导通状态,其根据自身的阈值电压以及第二节点 B 的电位来调整第二晶体管 T2 控制极(栅极)的电位(即第一节点 A 的电位),在本实施例中,第二晶体管 T2 控制极(栅极)通过向数据线放电来调整第一节点 A 的电位,即从导通的第二晶体管 T2 和第四晶体管 T4 进行放电,第一节点 A 的电位慢慢降低,直到该节点的电位降低到 $V_{DATA}+V_{TH2}$ 时,第二晶体管 T2 会进入截止状态,此时,第一节点 A 的电位维持在 $V_{DATA}+V_{TH2}$,其中 V_{TH2} 为第二晶体管 T2 的阈值电压。编程阶段结束后,第二晶体管 T2 的阈值电压信息和数据信号 V_{DATA} 就被存储在电容 C_s 中。需要说明的是,在编程阶段结束时,第三节点 C 的电位与第一节点 A 的电位大致相同。

[0043] 在发光阶段:第一信号 Pre 和扫描信号 Scan 变为低电平,初始化信号 Ini 和发光控制信号 EM 变为高电平。此时,第四晶体管 T4 和第五晶体管 T5 被置于截止状态,第三晶体管 T3 和第六晶体管 T6 被置于导通状态,第二节点 B 通过导通的第六晶体管 T6 耦合至低电平端 V_{SS} ,驱动晶体管 T1 的第一极和第二节点 B 的电位被置为零,流过发光元件 OLED 的电流为:

[0044]

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS,T1} - V_{TH1})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH2} - V_{TH1})^2 \quad \dots \dots (1-1)$$

[0045] 其中, I_{DS} 为流经发光元件 OLED 的电流, $V_{GS,T1}$ 为驱动晶体管 T1 控制极和第一极之间的电位差, V_{TH1} 和 V_{TH2} 分别表示驱动晶体管 T1 和第二晶体管 T2 的阈值电压, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管 T1 的有效迁移率、单位面积栅电容、沟道宽度和沟道长度。由于驱动晶体管 T1 和第二晶体管 T2 在像素电路中的位置是临近的,并且,栅极和源极之间的电压差在发光时一样,优选地,还采用了相同的工艺,因此,可以认为两者的阈值电压是相等的,即 $V_{TH2} = V_{TH1}$,于是,式 (1-1) 可化简为:

$$[0046] \quad I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA})^2 \quad \dots \dots (1-2)$$

[0047] 式 (1-2) 表明,流过发光元件 OLED 的电流与驱动晶体管 T1 的阈值电压 V_{TH} 无关,因为发光元件 OLED 放置于驱动晶体管 T1 的第二极(例如漏极)和高电平端 V_{DD} 之间,所以流过发光元件 OLED 的电流与发光元件 OLED 的阈值电压也无关,从而可以很好的补偿因为阈值电压漂移造成的显示不均匀性。

[0048] 本实施例的像素电路利用镜像管(第二晶体管 T2)提取阈值电压,一方面通过设计像素电路结构使镜像管处于相同偏置条件下,从而更准确的实现阈值电压的等值替换;另一方面避免了驱动晶体管 T1 和发光元件 OLED 组成的发光支路上存在过多晶体管,影响驱动能力;再一方面,发光元件 OLED 放置于靠近高电平端 V_{DD} ,所需的数据电压更小。

[0049] 此外,本实施例中的像素电路中存储电容 C_s 的一端连接到驱动晶体管 T1 的控制极,另一端可以连接到低电平端 V_{SS} ,也可连接到高电平端 V_{DD} ,发光元件 OLED 可以放置于驱动晶体管的漏端,也可放置于源端,驱动过程也和本实施例的驱动过程相同,此处不再赘述。

[0050] 实施例二:

[0051] 与上述实施例不同,本实施例公开的像素电路中,各晶体管为 P 沟道薄膜晶体管,各晶体管导通的有效电平为低电平。请参考图 4,为本实施例公开的一种像素电路结构图。

[0052] 驱动晶体管 T1 的控制极耦合至第二晶体管 T2 的控制极,耦合节点为第一节点 A;驱动晶体管 T1 的第二极耦合至发光元件 OLED 的第二端;发光元件 OLED 的第一端用于耦合至低电平端 V_{SS} ,驱动晶体管 T1 的第一极用于耦合至高电平端 V_{DD} 。在本实施例中,发光元件 OLED 的第一端为阴极,第二端为阳极。

[0053] 存储电容 C_s 的第一端耦合至驱动晶体管 T1 的控制极,存储电容 C_s 的第二端耦合至驱动晶体管 T1 的第一极。

[0054] 第二晶体管 T2 的第一极耦合至第三晶体管 T3 的第二极,耦合节点为第三节点 C;第二晶体管 T2 的第二极耦合至第六晶体管 T6 的第一极,耦合节点为第二节点 B。

[0055] 第三晶体管 T3 的第一极耦合至驱动晶体管 T1 的第二极,第三晶体管 T3 的控制极用于耦合至扫描线。

[0056] 第四晶体管 T4 的控制极用于耦合至扫描线,第四晶体管 T4 的第一极用于耦合至数据线,第四晶体管 T4 的第二极耦合至第六晶体管 T6 的第一极。

[0057] 第五晶体管 T5 的第一极耦合至第二晶体管 T2 的第一极,第五晶体管 T5 的第二极耦合至第二晶体管 T2 的控制极,第五晶体管 T5 的控制极用于耦合至扫描线。

[0058] 第六晶体管 T6 的控制极用于耦合至扫描线,第六晶体管 T6 的第二极耦合至驱动晶体管 T1 的第一极。

[0059] 在本实施例中,第一电平端为高电平端 V_{DD} ,第二电平端为低电平端 V_{SS} 。像素电路驱动过程分为初始化阶段、编程阶段和发光阶段,请参考图 5,为本实施例的信号时序,结合图 4 和图 5 具体描述本实施例的驱动过程。本实施例中,有效电平为低电平。

[0060] 在初始化阶段:第一信号 Pre 和初始化信号 Ini 为低电平,扫描信号 Scan 和发光控制信号 EM 为高电平。此时,第三晶体管 T3 和第五晶体管 T5 处于导通状态,第四晶体管 T4 和第六晶体管 T6 处于截止状态。导通的第五晶体管 T5 将第二晶体管 T2 连接成二极管形式,连通第一节点 A 和第三节点 C,连通的第一节点 A 和第三节点 C 通过导通的第三晶体管 T3 放电至 V_{OLED} ,其中, V_{OLED} 为发光元件 OLED 两端压降。完成各节点电位的初始化,即完成了第二晶体管 T2 的控制极、第一极和第二极的电位的初始化。

[0061] 在编程阶段:第一信号 Pre 继续维持低电平,发光控制信号 EM 继续维持高电平,扫描信号 Scan 变为低电平,初始化信号 Ini 变为高电平。此时,第三晶体管 T3 和第六晶体管 T6 处于截止状态,第四晶体管 T4 和第五晶体管 T5 处于导通状态。第二晶体管 T2 通过第五晶体管 T5 连接成二极管形式;数据信号 V_{DATA} 通过导通的第四晶体管 T4 写入到第二节点 B,使得第二节点 B 的电压变为 V_{DATA} ,与此同时,二极管连接形式的第二晶体管 T2 尚处于导通状态,其根据第二节点 B 的电位来调整第二晶体管 T2 控制极(栅极)的电位(即第一节点 A 的电位),在本实施例中,第二晶体管 T2 控制极(栅极)通过自身的阈值电压和数据线提供的数据信号 V_{DATA} 充电来调整第一节点 A 的电位,第一节点 A 的电位慢慢升高,直到该节点的电位升高到 $V_{DATA}+V_{TH2}$ 时,第二晶体管 T2 会进入截止状态,此时,第一节点 A 的电位维持在 $V_{DATA}+V_{TH2}$,其中 V_{TH2} 为第二晶体管 T2 的阈值电压。编程阶段结束后,第二晶体管 T2 的阈值电压信息和数据信号 V_{DATA} 就被存储在电容 C_s 中。需要说明的是,在编程阶段结束时,第三节点 C 的电位与第一节点 A 的电位大致相同。

[0062] 在发光阶段:第一信号 Pre 和扫描信号 Scan 变为高电平,初始化信号 Ini 和发光控制信号 EM 变为低电平。此时,第四晶体管 T4 和第五晶体管 T5 被置于截止状态,第三晶体

管 T3 和第六晶体管 T6 被置于导通状态,第二节点 B 通过导通的第六晶体管 T6 耦合至高电平端 V_{DD} ,驱动晶体管 T1 的第一极和第二节点 B 的电位被置为高电平 V_H ,流过发光元件 OLED 的电流为:

[0063]

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS,T1} - V_{TH1})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH2} - V_H - V_{TH1})^2 \quad \dots \dots (2-1)$$

[0064] 其中, I_{DS} 为流经发光元件 OLED 的电流, $V_{GS,T1}$ 为驱动晶体管 T1 控制极和第一极之间的电位差, V_{TH1} 和 V_{TH2} 分别表示驱动晶体管 T1 和第二晶体管 T2 的阈值电压, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管 T1 的有效迁移率、单位面积栅电容、沟道宽度和沟道长度。由于驱动晶体管 T1 和第二晶体管 T2 在像素电路中的位置是临近的,并且,栅极和源极之间的电压差在发光时一样,优选地,还采用了相同的工艺,因此,可以认为两者的阈值电压是相等的,即 $V_{TH2} = V_{TH1}$,于是,式 (2-1) 可化简为:

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} - V_H)^2 \quad \dots \dots (2-2)$$

[0066] 式 (2-2) 表明,流过发光元件 OLED 的电流与驱动晶体管 T1 的阈值电压 V_{TH} 无关,因为发光元件 OLED 放置于驱动晶体管 T1 的第二极和低电平端 V_{SS} 之间,所以流过发光元件 OLED 的电流与发光元件 OLED 的阈值电压也无关,从而可以很好的补偿因为阈值电压漂移造成的显示不均匀性。

[0067] 实施例三:

[0068] 请参考图 6,为本实施例公开的一种像素电路结构图,与实施例二不同之处在于,本实施例像素电路中,驱动晶体管 T1 和第二晶体管 T2 为 P 沟道薄膜晶体管,第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 均为 N 沟道薄膜晶体管。驱动晶体管 T1 和第二晶体管 T2 导通的有效电平为低电平;第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 导通的有效电平为高电平。

[0069] 驱动晶体管 T1 的控制极耦合至第二晶体管 T2 的控制极,耦合节点为第一节点 A;驱动晶体管 T1 的第二极耦合至发光元件 OLED 的第二端;发光元件 OLED 的第一端用于耦合至高电平端 V_{DD} ,驱动晶体管 T1 的第一极用于耦合至低电平端 V_{SS} 。在本实施例中,发光元件 OLED 的第一端为阳极,第二端为阴极。

[0070] 存储电容 C_s 的第一端耦合至驱动晶体管 T1 的控制极,存储电容 C_s 的第二端耦合至驱动晶体管 T1 的第一极。

[0071] 第二晶体管 T2 的第一极耦合至第三晶体管 T3 的第二极,耦合节点为第三节点 C;第二晶体管 T2 的第二极耦合至第六晶体管 T6 的第一极,耦合节点为第二节点 B。

[0072] 第三晶体管 T3 的第一极耦合至驱动晶体管 T1 的第二极,第三晶体管 T3 的控制极用于耦合至扫描线。

[0073] 第四晶体管 T4 的控制极用于耦合至扫描线,第四晶体管 T4 的第一极用于耦合至数据线,第四晶体管 T4 的第二极耦合至第六晶体管 T6 的第一极。

[0074] 第五晶体管 T5 的第一极耦合至第二晶体管 T2 的第一极,第五晶体管 T5 的第二极耦合至第二晶体管 T2 的控制极,第五晶体管 T5 的控制极用于耦合至扫描线。

[0075] 第六晶体管 T6 的控制极用于耦合至扫描线,第六晶体管 T6 的第二极耦合至驱动

晶体管 T1 的第一极。

[0076] 在本实施例中,第二电平端为高电平端 V_{DD} ,第一电平端为低电平端 V_{SS} 。

[0077] 像素电路驱动过程分为初始化阶段、编程阶段和发光阶段,请参考图 7,为本实施例的信号时序,该像素电路的驱动过程和实施例二相似,不同之处是第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 导通的有效电平为高电平。

[0078] 在初始化阶段:第一信号 Pre 和初始化信号 Ini 为高电平,扫描信号 Scan 和发光控制信号 EM 为低电平。此时,第三晶体管 T3 和第五晶体管 T5 处于导通状态,第四晶体管 T4 和第六晶体管 T6 处于截止状态。导通的第五晶体管 T5 将第二晶体管 T2 连接成二极管形式,连通第一节点 A 和第三节点 C,连通的第一节点 A 和第三节点 C 通过导通的第三晶体管 T3 放电至 V_{OLED} ,其中, V_{OLED} 为发光元件 OLED 两端压降。完成各节点电位的初始化,即完成了第二晶体管 T2 的控制极、第一极和第二极的电位的初始化。

[0079] 在编程阶段:第一信号 Pre 继续维持高电平,发光控制信号 EM 继续维持低电平,扫描信号 Scan 变为高电平,初始化信号 Ini 变为低电平。此时,第三晶体管 T3 和第六晶体管 T6 处于截止状态,第四晶体管 T4 和第五晶体管 T5 处于导通状态。第二晶体管 T2 通过第五晶体管 T5 连接成二极管形式;数据信号 V_{DATA} 通过导通的第四晶体管 T4 写入到第二节点 B,使得第二节点 B 的电压变为 V_{DATA} ,与此同时,二极管连接形式的第二晶体管 T2 尚处于导通状态,其根据第二节点 B 的电位来调整第二晶体管 T2 控制极(栅极)的电位(即第一节点 A 的电位),在本实施例中,第二晶体管 T2 控制极(栅极)通过自身的阈值电压和数据线提供的数据信号 V_{DATA} 充电来调整第一节点 A 的电位,第一节点 A 的电位慢慢升高,直到该节点的电位升高到 $V_{DATA}+V_{TH2}$ 时,第二晶体管 T2 会进入截止状态,此时,第一节点 A 的电位维持在 $V_{DATA}+V_{TH2}$,其中 V_{TH2} 为第二晶体管 T2 的阈值电压。编程阶段结束后,第二晶体管 T2 的阈值电压信息和数据信号 V_{DATA} 就被存储在电容 C_s 中。需要说明的是,在编程阶段结束时,第三节点 C 的电位与第一节点 A 的电位大致相同。

[0080] 在发光阶段:第一信号 Pre 和扫描信号 Scan 变为低电平,初始化信号 Ini 和发光控制信号 EM 变为高电平。此时,第四晶体管 T4 和第五晶体管 T5 被置于截止状态,第三晶体管 T3 和第六晶体管 T6 被置于导通状态,第二节点 B 通过导通的第六晶体管 T6 耦合至高电平端 V_{DD} ,驱动晶体管 T1 的第一极和第二节点 B 的电位被置为高电平 V_H ,流过发光元件 OLED 的电流为:

[0081]

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS_T1} - V_{TH1})^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} + V_{TH2} - V_H - V_{TH1})^2 \quad \dots \dots (3-1)$$

[0082] 其中, I_{DS} 为流经发光元件 OLED 的电流, V_{GS_T1} 为驱动晶体管 T1 控制极和第一极之间的电位差, V_{TH1} 和 V_{TH2} 分别表示驱动晶体管 T1 和第二晶体管 T2 的阈值电压, μ_n 、 C_{ox} 、 W 、 L 分别为驱动晶体管 T1 的有效迁移率、单位面积栅电容、沟道宽度和沟道长度。由于驱动晶体管 T1 和第二晶体管 T2 在像素电路中的位置是临近的,并且,栅极和源极之间的电压差在发光时一样,优选地,还采用了相同的工艺,因此,可以认为两者的阈值电压是相等的,即 $V_{TH2} = V_{TH1}$,于是,式 (3-1) 可化简为:

[0083]
$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DATA} - V_H)^2 \quad \dots \dots (3-2)$$

[0084] 式 (3-2) 表明, 流过发光元件 OLED 的电流与驱动晶体管 T1 的阈值电压 V_{th} 无关, 因为发光元件 OLED 放置于驱动晶体管 T1 的第二极和低电平端 V_{ss} 之间, 所以流过发光元件 OLED 的电流与发光元件 OLED 的阈值电压也无关, 从而可以很好的补偿因为阈值电压漂移造成的显示不均匀性。

[0085] 实施例四:

[0086] 本实施例还公开了一种显示装置, 请参考图 8, 为本实施例还公开的显示装置结构原理图, 该显示装置包括:

[0087] 显示面板 100, 显示面板 100 包括排列成 n 行 m 列矩阵的上述实施例提供的像素电路 Pixel[1][1]……Pixel[n][m], 其中, n 和 m 为大于 0 的整数, Pixel[n][m] 表征第 n 行 m 列的像素电路; 与每个像素相连的第一方向 (例如横向) 的多条扫描线 Gate[1]……Gate[n], 其中, Gate[n] 表示第 n 行像素电路对应的扫描线, 用于向提供向本行像素电路提供扫描控制信号, 例如扫描信号 Scan、发光控制信号 EM、初始化信号 Ini 和第一信号 Pre; 和第二方向 (例如纵向) 的多条数据线 Data[1]……Data[m], 其中, Data[m] 表示第 m 列像素电路对应的数据线, 用于提供各像素电路的数据信号 V_{DATA} 。显示面板可以是液晶显示面板、有机发光显示面板、电子纸显示面板等, 而对应的显示装置可以是液晶显示器、有机发光显示器、电子纸显示器等。

[0088] 栅极驱动电路 200, 用于产生扫描脉冲信号, 并通过沿第一方向形成的各行扫描线 Gate[1]……Gate[n] 向像素电路提供扫描控制信号。栅极驱动电路 200 可以通过焊接与显示面板 100 相连或者集成于显示面板 100 内。

[0089] 数据驱动电路 300, 数据驱动电路 300 的信号输出端耦合到显示面板 100 中与其对应的数据线 Data[1]……Data[m] 上, 数据驱动电路 300 产生的数据电压信号 V_{DATA} 通过数据线 Data[1]……Data[m] 传输到对应的像素单元内以实现图像灰度。数据驱动电路 300 可以通过焊接与显示面板 100 相连或者集成于显示面板 100 内。

[0090] 控制器 400, 控制器 400 用于向栅极驱动电路和数据驱动电路提供控制时序。

[0091] 需要说明的是, 在有些实施例中, 第一信号 Pre 和发光控制信号 EM 以及扫描信号 Scan 和初始化信号 Ini 分别为两组反相信号, 因此, 可以通过栅极驱动电路的同一信号输出端提供一组中的两路信号, 将该组中的另一路信号进行反相。

[0092] 需要说明的是, 在具体实施例中, 虽然在发光阶段初始化信号 Ini 需要维持与初始化阶段同样的电平 (例如高电平), 在编程阶段的开始与结束时, 初始化信号 Ini 发生跳变, 但是, 在发光阶段初期, 初始化信号 Ini 的电平 (高或低) 对像素电路的发光影响不大, 并且, 像素电路的初始化时间很短, 而初始化信号 Ini 和发光控制信号 EM 的电平存在类似的波形。因此, 在有些实施例中, 初始化信号 Ini 和发光控制信号 EM 也可以由同一信号源 (如栅极驱动电路的信号输出端) 提供, 此时需要增加延迟环节, 例如, 将栅极驱动电路的信号输出端输出的信号用于提供发光控制信号 EM, 并同时对该输出信号增加适当的延迟环节, 并将延迟后的信号用于提供初始化信号 Ini。

[0093] 需要说明的是, 在有些实施例中, 初始化信号 Ini 超前于扫描信号 Scan, 且该两路信号的有效电平不交叠, 因此, 本行像素电路的初始化信号 Ini 与上一行像素电路的扫描信号 Scan 由同一信号源提供, 从而能够节省信号线。

[0094] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明, 不能认定本发

明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换。

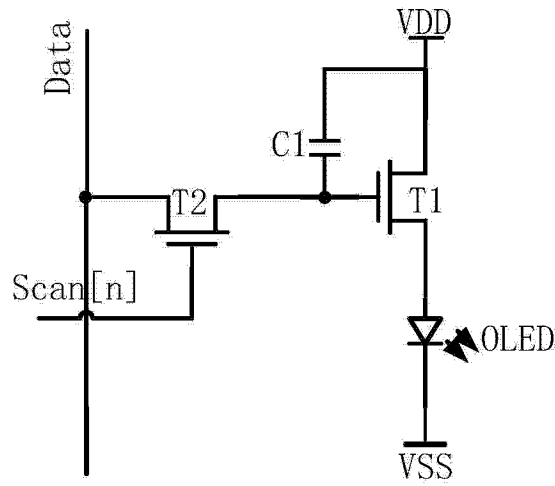


图 1

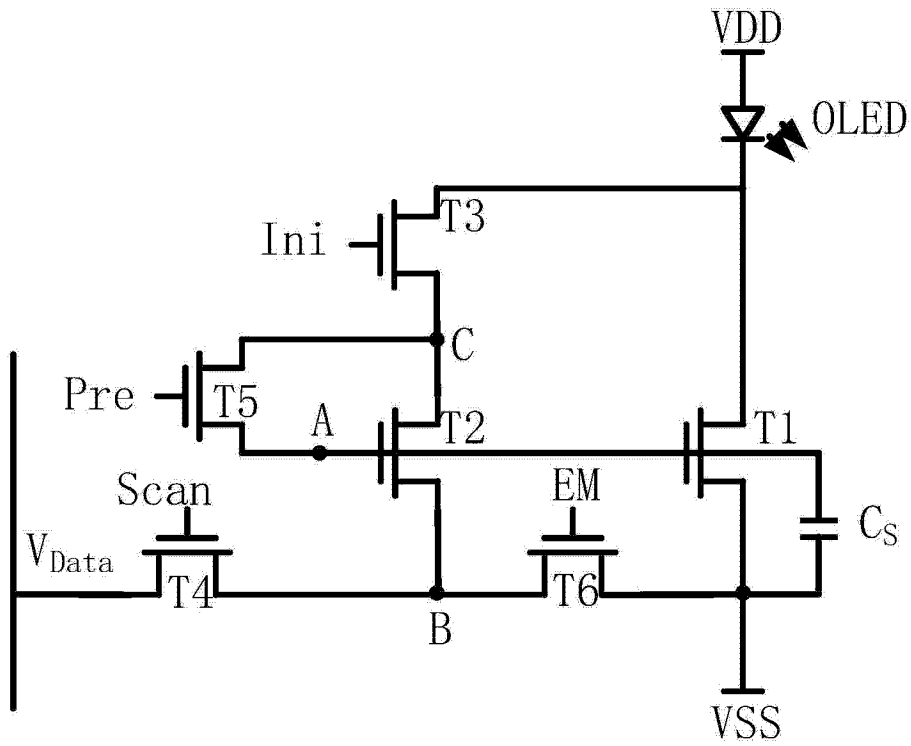


图 2

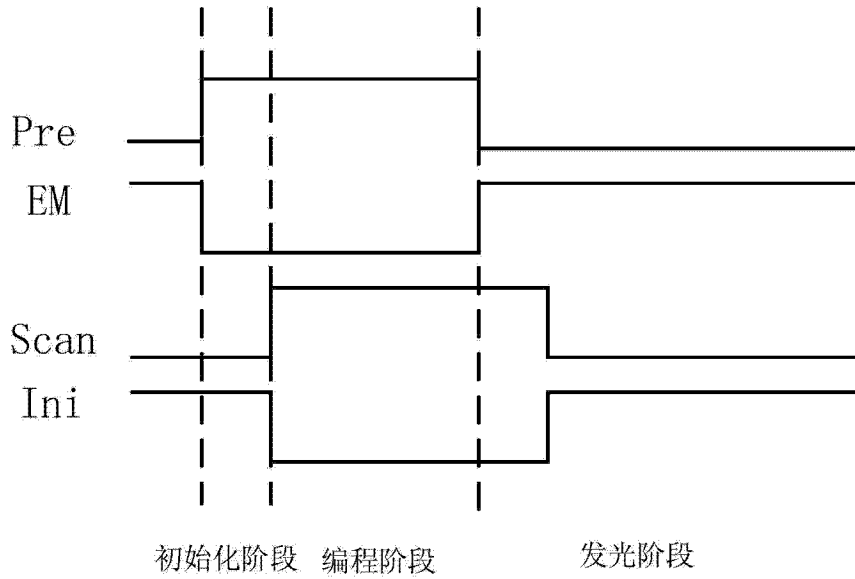


图 3

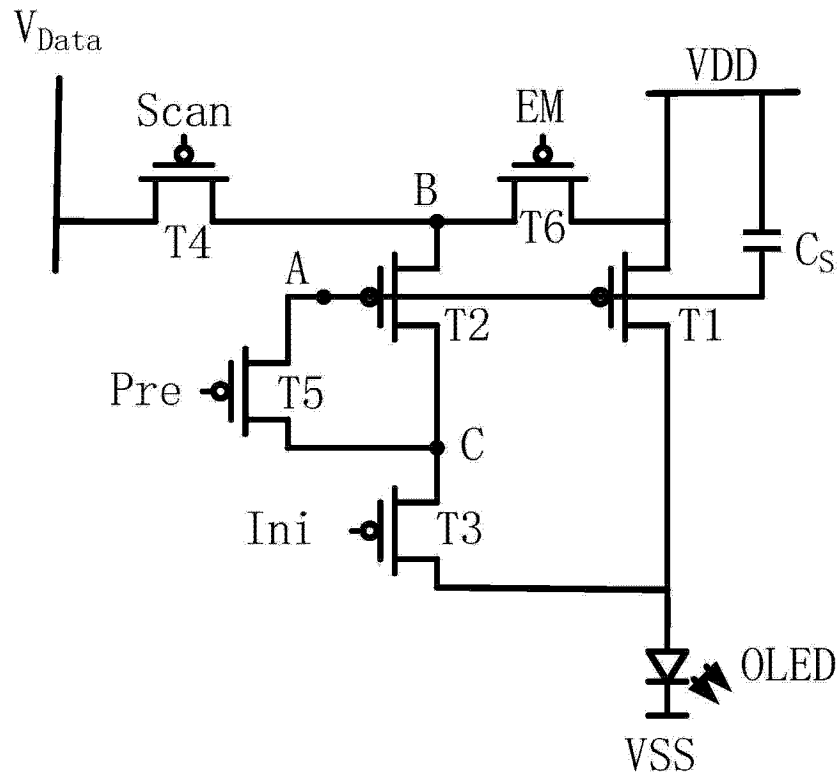


图 4

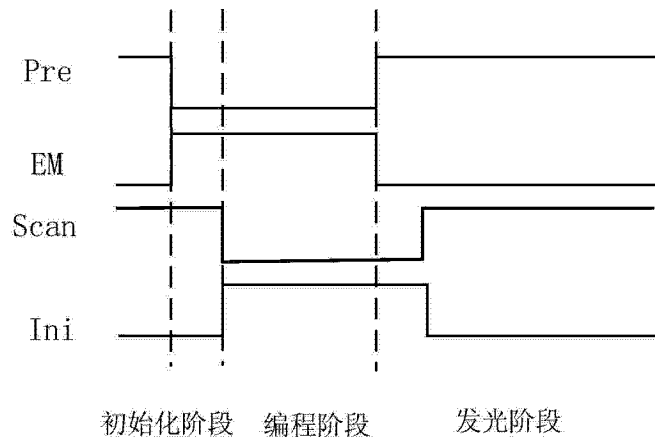


图 5

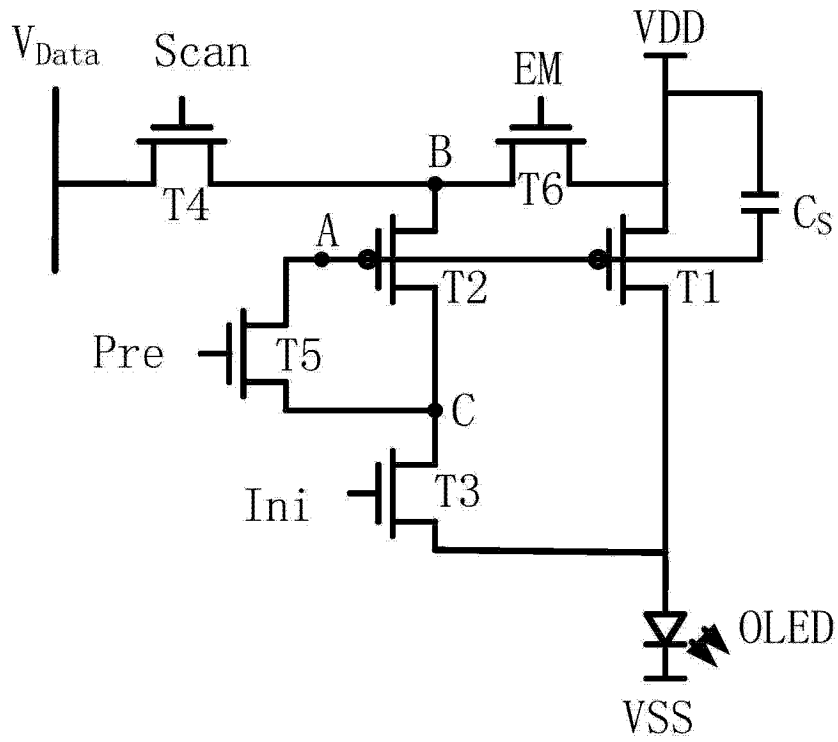


图 6

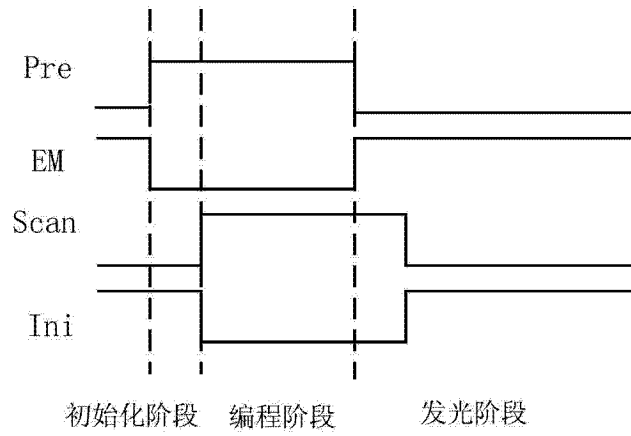


图 7

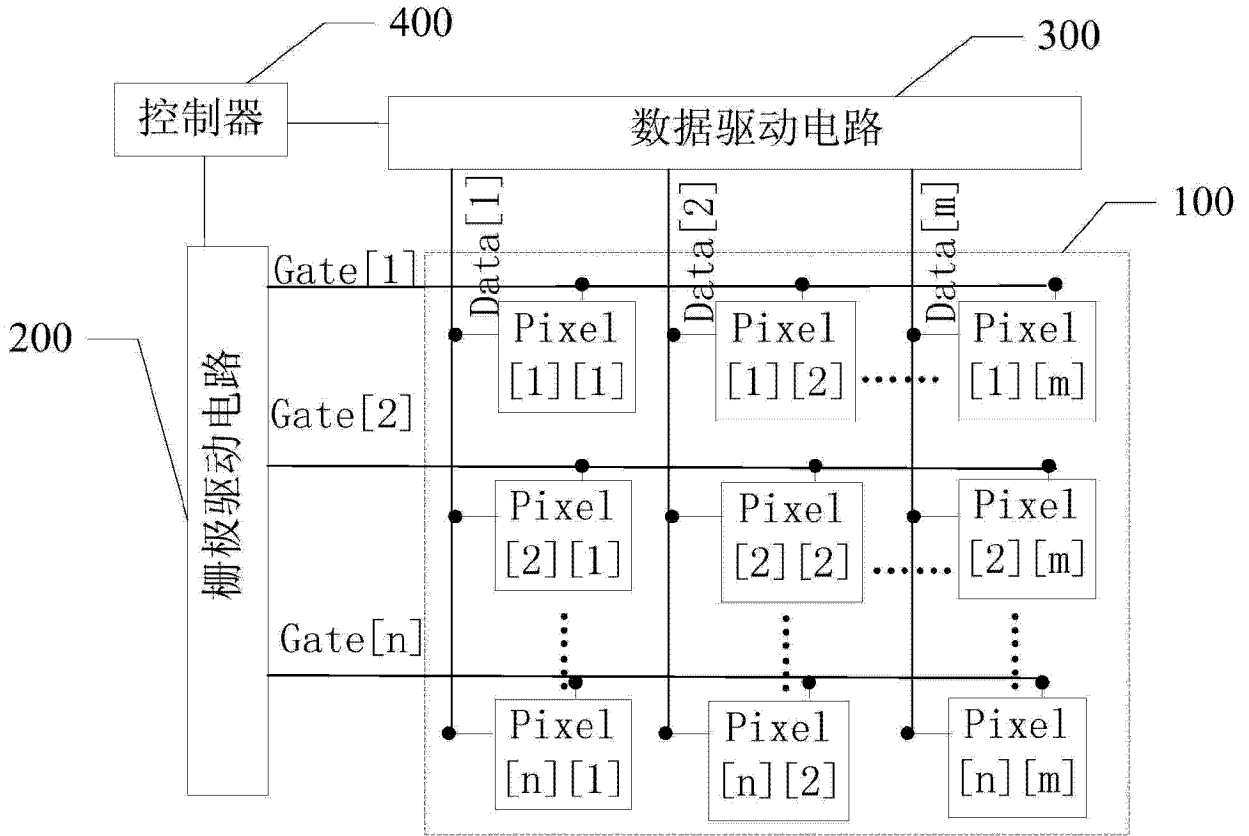


图 8