

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6399267号
(P6399267)

(45) 発行日 平成30年10月3日(2018.10.3)

(24) 登録日 平成30年9月14日(2018.9.14)

(51) Int. Cl. F I
 H03F 1/32 (2006.01) H03F 1/32
 H03F 3/60 (2006.01) H03F 3/60

請求項の数 3 (全 12 頁)

<p>(21) 出願番号 特願2018-533713 (P2018-533713)</p> <p>(86) (22) 出願日 平成30年2月9日(2018.2.9)</p> <p>(86) 国際出願番号 PCT/JP2018/004581</p> <p>審査請求日 平成30年6月25日(2018.6.25)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 100082175 弁理士 高田 守</p> <p>(74) 代理人 100106150 弁理士 高橋 英樹</p> <p>(74) 代理人 100148057 弁理士 久野 淑己</p> <p>(72) 発明者 吉岡 貴章 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>審査官 緒方 寿彦</p>
--	---

最終頁に続く

(54) 【発明の名称】 増幅器

(57) 【特許請求の範囲】

【請求項1】

長さの異なる複数の信号経路を提供する回路パターンと、
トランジスタチップと、

前記回路パターンに電氣的に接続され、前記トランジスタチップの上に配置された複数のトランジスタセルのパッドと、

複数のトランジスタセルと、

前記複数のパッドと前記複数のトランジスタセルを1つずつ接続する、前記トランジスタチップ上に配置された複数の伝送線路と、

前記複数の伝送線路に1つずつ接続され、前記トランジスタチップ上に配置された複数の 10
 高調波処理回路と、を備え、

前記複数の高調波処理回路は、それぞれ、接地用端子へ直列に接続されたキャパシタと
 インダクタを有し、

前記キャパシタの容量は、前記キャパシタが接続された前記信号経路の長さが長いほど
 小さく、

前記キャパシタと前記インダクタの積を、前記複数の高調波処理回路のそれぞれについ
 て一定としたことを特徴とする増幅器。

【請求項2】

前記複数の高調波処理回路は回路内抵抗を備え、

前記回路内抵抗の抵抗値は、前記回路内抵抗が接続された前記信号経路の長さが長いほ 20

ど大きいことを特徴とする請求項 1 に記載の増幅器。

【請求項 3】

前記複数の伝送線路に少なくとも 1 つずつ設けられた複数の線路抵抗を備え、
前記線路抵抗の抵抗値は、前記線路抵抗が接続された前記信号経路の長さが長いほど小さいことを特徴とする請求項 1 に記載の増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は増幅器に関する。

【背景技術】

【0002】

特許文献 1 には、複数のトランジスタセルに接続される伝送線路上にスリットを設けることで、各々のトランジスタセルに接続された出力端子へ伝送される信号の位相偏差および振幅偏差を改善させる方法が示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】日本特開 2013 - 115491 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に示された高周波電力増幅器では、伝送線路のレイアウトについて制約を受ける。例えばメタルパターン幅又はスリット幅等が製造上の制約を受ける。また、接続端子数、すなわちトランジスタセルの数が大きくなった場合に、信号の位相偏差および振幅偏差を抑制できないという問題点があった。

【0005】

キャパシタとインダクタからなる高調波処理回路をトランジスタセル毎に配置することで、高調波の位相偏差を改善させようとしても、基本波の位相偏差を改善することができない。その場合、基本波の位相偏差によって生じたインピーダンスの不整合により、トランジスタの最大性能を引き出せない。

【0006】

本発明は上述の問題を解決するためになされたものであり、効率および利得等の性能を高めた増幅器を提供することを目的とする。

【課題を解決するための手段】

【0007】

本願の発明に係る増幅器は、長さの異なる複数の信号経路を提供する回路パターンと、トランジスタチップと、該回路パターンに電氣的に接続され、該トランジスタチップの上に配置された複数のトランジスタセルのパッドと、複数のトランジスタセルと、該複数のパッドと該複数のトランジスタセルを 1 つずつ接続する、該トランジスタチップ上に配置された複数の伝送線路と、該複数の伝送線路に 1 つずつ接続され、該トランジスタチップ上に配置された複数の高調波処理回路と、を備え、該複数の高調波処理回路は、それぞれ、接地用端子へ直列に接続されたキャパシタとインダクタを有し、該キャパシタの容量は、該キャパシタが接続された該信号経路の長さが長いほど小さく、該キャパシタと該インダクタの積を、該複数の高調波処理回路のそれぞれについて一定としたことを特徴とする

【0008】

本発明のその他の特徴は以下に明らかにする。

【発明の効果】

【0009】

この発明によれば、高調波処理回路のキャパシタの容量を調整することで効率および利

10

20

30

40

50

得等の性能を高めた増幅器を提供できる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1に係る増幅器の全体図である。

【図2】トランジスタセルの拡大図である。

【図3】トランジスタチップの拡大図である。

【図4】基本波インピーダンスに対する利得の等高線図である。

【図5】比較例における基本波インピーダンスの計算例を示す図である。

【図6】実施の形態1の増幅器について、各トランジスタセルから回路側を見込んだ基本波インピーダンスの計算例を示す図である。

10

【図7】2倍波インピーダンスに対する利得の等高線図である。

【図8】比較例における2倍波インピーダンスの計算例を示す図である。

【図9】実施の形態1の増幅器について、各トランジスタセルから回路側を見込んだ2倍波インピーダンスの計算例を示す図である。

【図10】実施の形態2に係る増幅器の全体図である。

【図11】トランジスタセルの拡大図である。

【図12】トランジスタチップの拡大図である。

【図13】実施の形態3に係る増幅器が有するトランジスタセルを示す図である。

【図14】トランジスタチップの拡大図である。

【図15】実施の形態4に係る増幅器が有するトランジスタセルを示す図である。

20

【発明を実施するための形態】

【0011】

本発明の実施の形態に係る増幅器について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0012】

実施の形態1

図1は、実施の形態1に係る増幅器10の全体図である。この増幅器は10、入力整合回路基板12と、トランジスタチップ14と、出力整合回路基板16を備えている。入力整合回路基板12はメタライズ配線で形成された回路パターン12aを有している。出力整合回路基板16はメタライズ配線で形成された回路パターン16aを有している。回路パターン12a、16aは整合回路である。回路パターン12a、16aは、長さの異なる複数の信号経路を提供する。すなわち、回路パターン12aは、左端に1つの入力端を有し、右端に複数の出力端を有することで、長さの異なる複数の信号経路を提供している。また、回路パターン16aは、左端に複数の入力端を有し、右端に1つの出力端を有することで、長さの異なる複数の信号経路を提供している。

30

【0013】

トランジスタチップ14はトランジスタセルを複数有している。トランジスタセルは単位トランジスタセルを構成する。図1では、複数のトランジスタセルのうちの1つのトランジスタセル14aを破線で囲んで示す。実施の形態1では、図1に示されるように8つのトランジスタセルが一行に並べられている。回路パターン12aとトランジスタセル14aはワイヤ20で接続されている。回路パターン16aとトランジスタセル14aはワイヤ22で接続されている。

40

【0014】

図2は、トランジスタセル14aの拡大図である。トランジスタセル14aは、ゲートパッド30、伝送線路32、合成線路34、複数本のフィンガーを有するトランジスタ36およびドレインパッド38を備えている。ゲートパッド30はワイヤ20で回路パターン12aに接続され、ドレインパッド38はワイヤ22で回路パターン16aに接続される。伝送線路32および合成線路34でゲートパッド30とトランジスタ36を接続する。

【0015】

50

伝送線路 3 2 には高調波処理回路 4 0 が接続されている。高調波処理回路 4 0 は、伝送線路 3 2 に接続された伝送線路 4 0 a、伝送線路 4 0 a に接続されたキャパシタ 4 0 b、キャパシタ 4 0 b に接続された伝送線路 4 0 c、伝送線路 4 0 c に接続されたインダクタ 4 0 d、インダクタ 4 0 d に接続された伝送線路 4 0 e、および接地用端子 4 0 f を備えている。キャパシタ 4 0 b は例えば M I M キャパシタである。インダクタ 4 0 d は例えばスパイラルインダクタである。接地用端子 4 0 f は例えばビアホールに形成され、接地されたビアである。本実施形態の高調波処理回路 4 0 は、伝送線路 3 2 と接地用端子 4 0 f の間にキャパシタ 4 0 b とインダクタ 4 0 d が直列に接続された L C 回路である。つまり、高調波処理回路 4 0 を共振回路で構成することができる。

【 0 0 1 6 】

10

図 3 は、トランジスタチップ 1 4 の拡大図である。実施の形態 1 のトランジスタチップ 1 4 は、一例として 8 つのトランジスタセル 1 4 a、1 4 b、1 4 c、1 4 d、1 4 e、1 4 f、1 4 g、1 4 h を有する。トランジスタセル 1 4 a、1 4 b、1 4 c、1 4 d、1 4 e、1 4 f、1 4 g、1 4 h は一列に設けられている。トランジスタセル 1 4 b、1 4 c、1 4 d、1 4 e、1 4 f、1 4 g、1 4 h の基本構成は、前述のトランジスタセル 1 4 a の基本構成と同じである。各トランジスタセルは、ワイヤ 2 0 によって回路パターン 1 2 a の異なる部分に接続され、ワイヤ 2 2 によって回路パターン 1 6 a の異なる部分に接続される。

【 0 0 1 7 】

トランジスタセル 1 4 a、1 4 b、1 4 c、1 4 d、1 4 e、1 4 f、1 4 g、1 4 h は、それぞれ高調波処理回路 4 0、4 1、4 2、4 3、4 4、4 5、4 6、4 7 を備えている。高調波処理回路 4 0 は、容量が C 1 のキャパシタ 4 0 b と、インダクタンスが L 1 のインダクタ 4 0 d を備えている。高調波処理回路 4 1 は、容量が C 2 のキャパシタ 4 1 b と、インダクタンスが L 2 のインダクタ 4 1 d を備えている。高調波処理回路 4 2 は、容量が C 3 のキャパシタ 4 2 b と、インダクタンスが L 3 のインダクタ 4 2 d を備えている。高調波処理回路 4 3 は、容量が C 4 のキャパシタ 4 3 b と、インダクタンスが L 4 のインダクタ 4 3 d を備えている。

20

【 0 0 1 8 】

高調波処理回路 4 4 は、容量が C 4 のキャパシタ 4 4 b と、インダクタンスが L 4 のインダクタ 4 4 d を備えている。高調波処理回路 4 5 は、容量が C 3 のキャパシタ 4 5 b と、インダクタンスが L 3 のインダクタ 4 5 d を備えている。高調波処理回路 4 6 は、容量が C 2 のキャパシタ 4 6 b と、インダクタンスが L 2 のインダクタ 4 6 d を備えている。高調波処理回路 4 7 は、容量が C 1 のキャパシタ 4 7 b と、インダクタンスが L 1 のインダクタ 4 7 d を備えている。

30

【 0 0 1 9 】

本実施形態では、上述の容量が $C 1 < C 2 < C 3 < C 4$ の関係を満たす。図 1 の回路パターン 1 2 a は、入力端からトランジスタセル 1 4 a、1 4 h に至る信号経路の長さ、入力端からトランジスタセル 1 4 b、1 4 g に至る信号経路の長さ、入力端からトランジスタセル 1 4 c、1 4 f に至る信号経路の長さ、入力端からトランジスタセル 1 4 d、1 4 e に至る信号経路の長さ、の順に長くなっている。

40

【 0 0 2 0 】

そのため、回路パターン 1 2 a からトランジスタセル 1 4 a、1 4 h に伝送する信号の位相は、回路パターン 1 2 a から他のトランジスタセルに伝送する信号の位相より大きい。この位相偏差を補償するために、高調波処理回路 4 0、4 7 のキャパシタ 4 0 b、4 7 b の容量 C 1 を、他のキャパシタの容量より小さくした。

【 0 0 2 1 】

反対に、回路パターン 1 2 a からトランジスタセル 1 4 d、1 4 e に伝送する信号の位相は、回路パターン 1 2 a から他のトランジスタセルに伝送する信号の位相より小さい。そのため、高調波処理回路 4 3、4 4 のキャパシタ 4 4 b、4 4 b の容量 C 4 を、他のキャパシタの容量より大きくした。

50

【 0 0 2 2 】

このように、入力整合回路基板 1 2 で生じた信号の位相偏差を補償するように各キャパシタの容量を設定する。その結果、上述の容量が $C 1 < C 2 < C 3 < C 4$ の関係を満たす。言い換えれば、各キャパシタの容量は、キャパシタが接続された信号経路の長さが長いほど小さくする。そのため、キャパシタの容量は $C 1 < C 2 < C 3 < C 4$ となる。なお、図 1 では、トランジスタチップ 1 4 の中心線に対して同じ容量のキャパシタが対称に配置されている。

【 0 0 2 3 】

さらに、複数の高調波処理回路のそれぞれについてのキャパシタとインダクタの積を一定とした。つまり、 $L 1 > L 2 > L 3 > L 4$ として、 $C 1 \times L 1$ と、 $C 2 \times L 2$ と、 $C 3 \times L 3$ と、 $C 4 \times L 4$ と、が概ね等しくなるようにした。これにより各共振回路の共振周波数が概ね一定となる。このように、高調波処理回路のキャパシタの容量とインダクタのインダクタンスは、トランジスタセル毎に異なる。

【 0 0 2 4 】

上述のとおり、トランジスタセル毎に入力整合回路基板 1 2 で生じた基本波の位相偏差を補償する容量値のキャパシタを配置することで、すべてのトランジスタセルについて基本波の反射位相を実質的に均一にできる。トランジスタセルの数によらず基本波の位相偏差のばらつきを抑えることより、すべてのトランジスタセルに対して最大性能を引き出すことが可能となり、高性能な増幅器を得ることができる。また、共振回路の共振周波数をすべての高調波処理回路において一定にすることで、高調波の反射位相も均一にできる。

【 0 0 2 5 】

基本波インピーダンスの整合について詳しく説明する。図 4 に、基本波インピーダンスに対する利得の等高線図の例を示す。星印で記した点が、最大利得が得られる基本波インピーダンスであり、楕円はその最大点からの利得低下量を示した等高線である。すなわち、星印で記した箇所のインピーダンスを実現する整合回路がトランジスタに接続されたとき、トランジスタは最大利得を持ち、星印で記した箇所からインピーダンスが外れることによって、利得が次第に低下する。

【 0 0 2 6 】

図 5 は、本発明を適用しない場合の、各トランジスタセルから回路側を見込んだ基本波インピーダンスの計算例を示す図である。本計算例では、高周波電力増幅器の信号入力端からトランジスタセルの入力端までの線路長が、トランジスタセルによって異なるため、各トランジスタセルから回路側を見込んだインピーダンスにはばらつきが生じている。

【 0 0 2 7 】

図 6 は、実施の形態 1 の増幅器について、各トランジスタセルから回路側を見込んだ基本波インピーダンスの計算例を示す。高調波処理回路を用いて基本波の不整合をトランジスタセル毎に補償することで、すべてのトランジスタセルについて、各トランジスタセルから回路側を見込んだインピーダンスを図 4 に示した最大利得が得られる基本波インピーダンス近傍へ整合することができる。これにより、本発明を適用しない場合と比べて、高利得な増幅器を得ることができる。また、入力側のセル間アンバランスを解消することで、出力電力と効率が向上するといった効果も得られる。

【 0 0 2 8 】

次に、2 倍波インピーダンスの整合について詳しく説明する。図 7 に、2 倍波インピーダンスに対する利得の等高線図の例を示す。星印で記した点が、最大利得が得られる 2 倍波インピーダンスであり、楕円はその最大点からの利得低下量を示した等高線である。

【 0 0 2 9 】

図 8 に、本発明を適用しない場合の、各トランジスタセルから回路側を見込んだ 2 倍波インピーダンスの計算例を示す。キャパシタとインダクタからなる共振回路の共振周波数を、高周波電力増幅器の動作周波数の 2 倍に設定することで、すべてのトランジスタセルにおいて 2 倍波に対するショート点を形成している。この状態において、高調波処理回路の諸元を変更すると、各トランジスタセルから回路側を見込んだ 2 倍波インピーダンスは

10

20

30

40

50

変動する。しかしこのとき、 $C_n \times L_n$ ($n = 1 \sim 4$) がいずれの共振回路においても一定となるよう容量とインダクタンスを設定することで、2倍波整合への影響を生じさせない。

【0030】

図9に、実施の形態1の増幅器について、各トランジスタセルから回路側を見込んだ2倍波インピーダンスの計算例を示す。各トランジスタセルから回路側を見込んだ2倍波インピーダンスは、本発明を適用しない場合のインピーダンスを維持している。すなわち、2倍波に対する最適負荷からの不整合を生じさせないため、高調波処理回路の諸元変更による性能低下を招かずに済む。

【0031】

このように、実施の形態1に係る増幅器は、整合回路基板の接続端子数すなわちトランジスタセルの数が大きくなった状態であっても、基本波、高調波両方の信号の位相偏差を抑えることができるものである。これにより、各トランジスタセルに対して生じるインピーダンスの不整合を最小化でき、効率および利得等を高めた高性能な増幅器を得ることができる。実施の形態1では8つのトランジスタセルが配置されたトランジスタチップを増幅素子としたが、トランジスタセルは必ずしも8つである必要はない。また、実施の形態1では、高調波処理回路をトランジスタチップ14上に配置したが、各トランジスタセルに対して1対1に高調波処理回路を配置できるのであれば、高調波処理回路を整合回路基板上に配置していてもよい。また、整合回路基板およびトランジスタチップの数を変更してもよい。整合回路基板は、パッケージの内部に配置してもよいしパッケージの外部に配置してもよい。

【0032】

実施の形態1で言及した変形は以後の実施の形態にも応用することができる。なお、以下の実施の形態に係る増幅器は、実施の形態1との類似点が多いので実施の形態1との相違点を中心に説明する。

【0033】

実施の形態2。

図10は、実施の形態2に係る増幅器50の全体図である。実施の形態2の高調波処理回路は、キャパシタとインダクタに加えて抵抗を有している。キャパシタの容量値とインダクタのインダクタンスは、実施の形態1と同様に設定することができる。

【0034】

図11は、図10のトランジスタセル14aの拡大図である。伝送線路40aの途中に回路内抵抗40rが設けられている。回路内抵抗40rは、伝送線路32にシャント接続されている。

【0035】

図12は、図10のトランジスタチップ14の拡大図である。各高調波処理回路はそれぞれ、回路内抵抗40r、41r、42r、43r、44r、45r、46r、47rを備えている。回路内抵抗40r、41r、42r、43r、44r、45r、46r、47rの抵抗値は、それぞれ、 R_1 、 R_2 、 R_3 、 R_4 、 R_4 、 R_3 、 R_2 、 R_1 である。各回路内抵抗の抵抗値は $R_1 > R_2 > R_3 > R_4$ を満たす。つまり対応する信号経路が長いほど回路内抵抗の抵抗値を大きくした。言い換えれば、回路内抵抗の抵抗値は、回路内抵抗が接続された信号経路の長さが長いほど大きい。そのため、信号経路間の抵抗差による信号の振幅偏差を回路内抵抗によって補償することができる。

【0036】

トランジスタセル毎に、入力整合回路基板12で生じた基本波の位相偏差を補償する容量値のキャパシタを配置するとともに、振幅偏差を補償する抵抗値の回路内抵抗を配置する。これにより、すべてのトランジスタセルに対して基本波の反射位相と反射振幅を均一にできる。また、共振回路の共振周波数をすべての高調波処理回路において一定にすることで、高調波の反射位相も均一にできる。

【0037】

10

20

30

40

50

実施の形態 2 に係る増幅器 50 によれば、基本波の位相偏差および振幅偏差をトランジスタセルの数によらず抑えることができる。そのため、実施の形態 1 にも増してすべてのトランジスタセルについて最大性能を引き出すことが可能となり、より高性能な増幅器を得ることができる。

【0038】

実施の形態 3 .

図 13 は、実施の形態 3 に係る増幅器が有するトランジスタセルを示す図である。実施の形態 3 に係る増幅器は、基本的に実施の形態 2 の増幅器と同じであるが、抵抗の配置位置が異なる。実施の形態 3 に係るトランジスタセルは、回路内抵抗を有するのではなく、図 13 に示すように伝送線路 32 に線路抵抗 $40r$ を備えている。

10

【0039】

図 14 は、実施の形態 3 に係るトランジスタチップ 14 の拡大図である。各高調波処理回路 40、41、42、43、44、45、46、47 はそれぞれ、線路抵抗 $40r$ 、 $41r$ 、 $42r$ 、 $43r$ 、 $44r$ 、 $45r$ 、 $46r$ 、 $47r$ を備えている。線路抵抗 $40r$ 、 $41r$ 、 $42r$ 、 $43r$ 、 $44r$ 、 $45r$ 、 $46r$ 、 $47r$ の抵抗値は、それぞれ、 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ 、 $R4$ 、 $R3$ 、 $R2$ 、 $R1$ である。各線路抵抗の抵抗値は、 $R1 < R2 < R3 < R4$ を満たす。つまり、対応する信号経路が長いほど線路抵抗の抵抗値を小さくした。言い換えれば、線路抵抗の抵抗値は、線路抵抗が接続された信号経路の長さが高いほど小さい。そのため、入力整合回路基板 12 で生じた信号の振幅偏差を線路抵抗によって補償することができる。

20

【0040】

このように、伝送線路に少なくとも 1 つずつ線路抵抗を設ける。そして、上述のとおり抵抗値を調整することで、実施の形態 2 と同様の効果を得ることができる。また、抵抗を伝送線路上に配置したことにより、高調波の反射振幅の減少を防ぐことができるため、より高性能な増幅器を得ることができる。

【0041】

実施の形態 4 .

実施の形態 4 にかかる増幅器は、実施の形態 1 と高調波処理回路の配置位置を除き同様の構成および動作を有する。図 15 は、実施の形態 4 に係る増幅器が有するトランジスタセルを示す図である。ドレインパッド 38 とトランジスタ 36 は、合成線路 60 と伝送線路 62 によって接続されている。伝送線路 62 に高調波処理回路 40 が接続されている。高調波処理回路 40 は図 2 の高調波処理回路 40 と同じ回路とすることができる。そして、各トランジスタセルにおいて、ドレインパッドとトランジスタを接続する伝送線路に高調波処理回路が接続される。高調波処理回路のキャパシタの容量とインダクタのインダクタンスは実施の形態 1 と同様に設定することができる。

30

【0042】

このような増幅器の動作と効果について、実施の形態 1 の増幅器と同様に考えることができる。トランジスタの効率あるいは出力は、トランジスタに接続した整合回路のインピーダンスが最適負荷から外れることによって次第に低下する。高調波処理回路を用いて基本波の不整合をトランジスタセル毎に補償することで、すべてのトランジスタセルについて、各トランジスタセルから回路側を見込んだインピーダンスを最大効率あるいは最大出力が得られる基本波インピーダンス近傍へ整合することができる。これにより、本発明を適用しない場合と比べて、高効率かつ高出力な増幅器を得ることができる。

40

【0043】

ドレインパッドとトランジスタを接続する伝送線路に、実施の形態 2 の高調波処理回路を接続したり、実施の形態 3 の高調波処理回路と線路抵抗を設けたりしてもよい。2 つの回路パターン 12a、16a のいずれかに電氣的に接続されたパッド、つまりゲートパッド又はドレインパッドと、複数のトランジスタセルを 1 つずつ接続する複数の伝送線路に、1 つずつ上述の高調波処理回路を接続することができる。上記の各実施の形態に係る増幅器の特徴を組み合わせることができる。

50

【符号の説明】

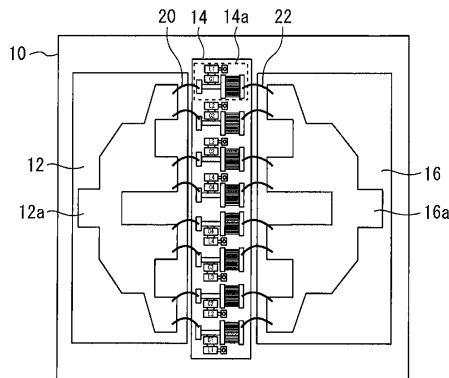
【0044】

10 増幅器、 12 入力整合回路基板、 14 トランジスタチップ、 16 出力整合回路基板

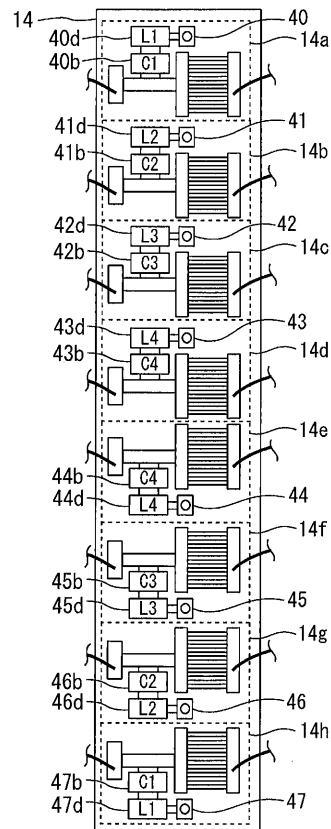
【要約】

長さの異なる複数の信号経路を提供する回路パターンと、該回路パターンに電氣的に接続された複数のパッドと、複数のトランジスタセルと、該複数のパッドと該複数のトランジスタセルを1つずつ接続する複数の伝送線路と、該複数の伝送線路に1つずつ接続された複数の高調波処理回路と、を備え、該複数の高調波処理回路は、それぞれ、キャパシタとインダクタを有し、該キャパシタの容量は、該キャパシタが接続された該信号経路の長さが長いほど小さくしたことを特徴とする。

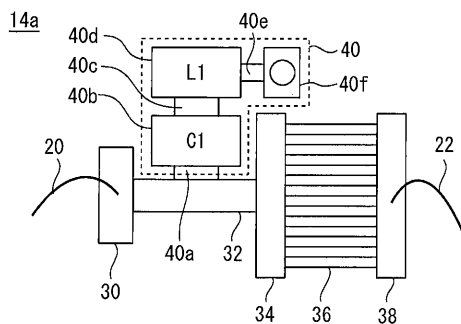
【図1】



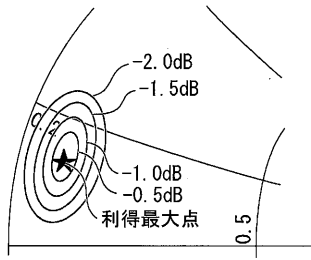
【図3】



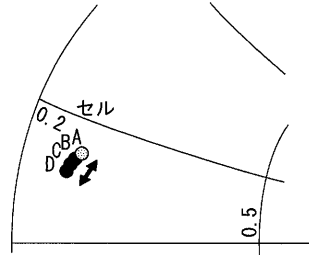
【図2】



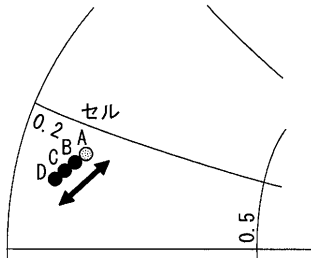
【図4】



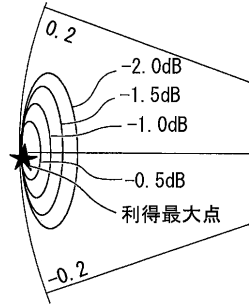
【図6】



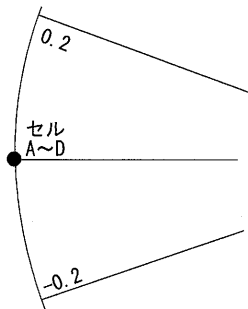
【図5】



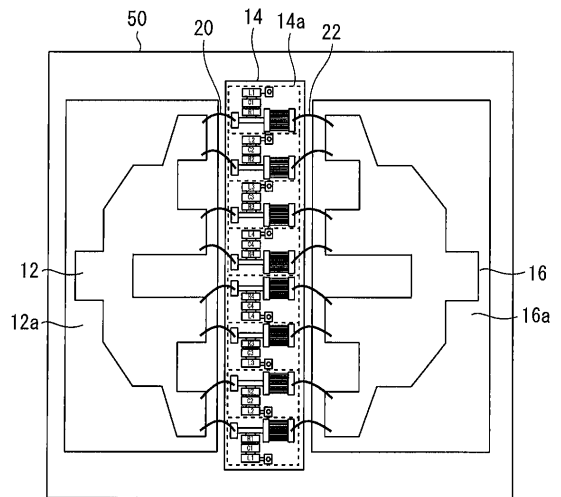
【図7】



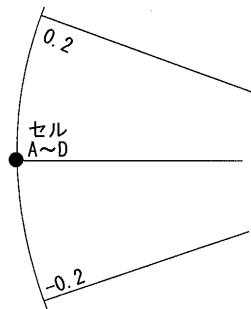
【図8】



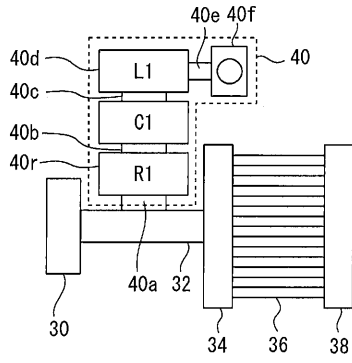
【図10】



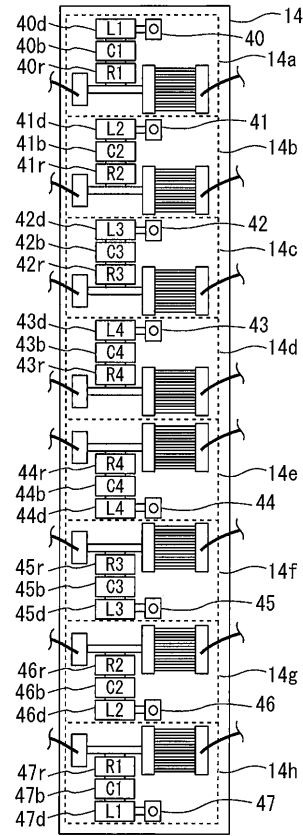
【図9】



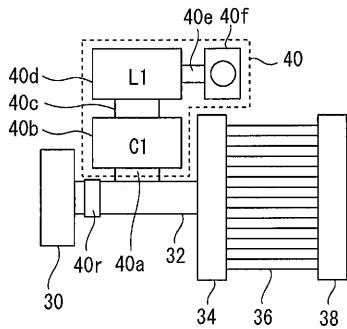
【図 1 1】



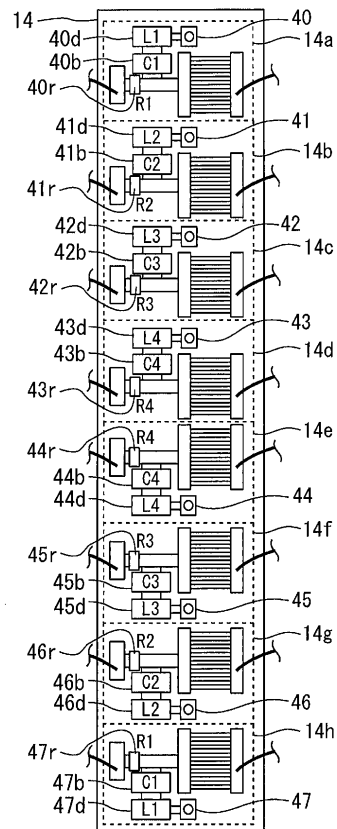
【図 1 2】



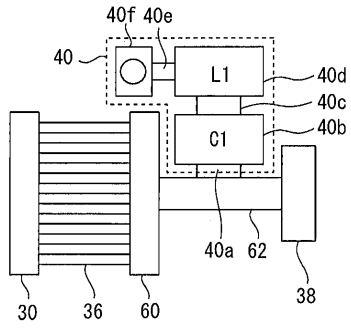
【図 1 3】



【図 1 4】



【 図 15 】



フロントページの続き

- (56)参考文献 特開2008-109227(JP,A)
特開平11-340748(JP,A)
特開平11-346130(JP,A)
特開昭63-246013(JP,A)
特開平4-306906(JP,A)
特開2003-209447(JP,A)
米国特許出願公開第2008/0061886(US,A1)

(58)調査した分野(Int.Cl., DB名)

H03F	1/32
H03F	3/60