

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6848317号
(P6848317)

(45) 発行日 令和3年3月24日(2021.3.24)

(24) 登録日 令和3年3月8日(2021.3.8)

(51) Int.Cl.	F I				
HO 1 L 29/12	(2006.01)	HO 1 L 29/78	6 5 2 T		
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 3 A		
HO 1 L 29/06	(2006.01)	HO 1 L 29/78	6 5 2 Q		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 5 2 C		
HO 1 L 21/28	(2006.01)	HO 1 L 29/78	6 5 2 H		
請求項の数 8 (全 25 頁) 最終頁に続く					

(21) 出願番号	特願2016-197609 (P2016-197609)	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成28年10月5日(2016.10.5)	(74) 代理人	100104190 弁理士 酒井 昭徳
(65) 公開番号	特開2018-60924 (P2018-60924A)	(72) 発明者	内海 誠 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公開日	平成30年4月12日(2018.4.12)	(72) 発明者	木下 明将 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	令和1年9月13日(2019.9.13)	審査官	恩田 和彦
最終頁に続く			

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコンよりもバンドギャップの広い半導体からなる半導体基板と、
 前記半導体基板のおもて面に設けられた、シリコンよりもバンドギャップの広い半導体からなる第1導電型の第1半導体層と、
 前記第1半導体層の、前記半導体基板側に対して反対側の表面に設けられた、シリコンよりもバンドギャップの広い半導体からなる第2導電型の第2半導体層と、
 前記第1半導体層の内部に、前記第2半導体層に接して選択的に設けられた第2導電型の第1半導体領域と、
 前記第1半導体層の内部に、前記第2半導体層および前記第1半導体領域と離して選択的に設けられた第2導電型の第2半導体領域と、
 前記第2半導体層の内部に選択的に設けられた第1導電型の第3半導体領域と、
 前記第3半導体領域および前記第2半導体層を貫通して前記第1半導体層に達し、前記第1半導体層の両表面間の厚さ方向に前記第2半導体領域に対向するトレンチと、
 前記トレンチの内壁に沿って、前記トレンチの内壁全面にわたって均一な厚さで設けられたゲート絶縁膜と、
 前記トレンチの内部において、前記ゲート絶縁膜上に設けられたゲート電極と、
 前記第3半導体領域および前記第2半導体層に電氣的に接続された第1電極と、
 前記半導体基板の裏面に電氣的に接続された第2電極と、
 を備え、

前記トレンチは、
 側壁に前記第 1 半導体層が露出する第 1 部位と、
 側壁に前記第 2 半導体層の、前記第 3 半導体領域以外の部分が露出する第 2 部位と、
 側壁に前記第 3 半導体領域が露出し、かつ前記第 1 部位よりも幅の広い第 3 部位と、を
 有し、

前記トレンチには、前記第 2 部位の側壁に、前記第 3 部位の側壁に連続して、前記第 3 部位の側壁と斜度の異なる段差部が設けられ、

前記トレンチの前記第 2 部位の前記段差部における幅は、前記第 3 部位側から前記第 2 電極側へ向かうにしたがって狭くなっていることを特徴とする半導体装置。

【請求項 2】

前記第 2 半導体層の不純物濃度は、前記第 3 半導体領域の不純物濃度よりも低いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート電極と前記第 1 電極とを電氣的に絶縁する層間絶縁膜をさらに備え、
前記ゲート絶縁膜は、前記第 2 半導体層の、前記第 1 半導体層側に対して反対側の表面上にまで延在しており、

前記層間絶縁膜は、前記ゲート絶縁膜および前記ゲート電極を覆い、
前記層間絶縁膜と前記ゲート電極との界面は、前記層間絶縁膜と前記ゲート絶縁膜との界面よりも前記第 2 電極側に位置することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

シリコンよりもバンドギャップの広い半導体は炭化珪素であることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

【請求項 5】

シリコンよりもバンドギャップの広い半導体からなる半導体基板のおもて面に、第 1 導電型の第 1 エピタキシャル成長層を堆積する第 1 工程と、

前記第 1 エピタキシャル成長層の表面層に第 2 導電型の第 1 半導体領域を選択的に形成する第 2 工程と、

前記第 1 エピタキシャル成長層の内部に第 2 導電型の第 2 半導体領域を選択的に形成する第 3 工程と、

前記第 2 工程および前記第 3 工程の後、前記第 1 エピタキシャル成長層上に、第 2 導電型の第 2 エピタキシャル成長層を堆積する第 4 工程と、

前記第 2 エピタキシャル成長層の内部に、前記第 1 エピタキシャル成長層および前記第 2 エピタキシャル成長層よりも不純物濃度の高い第 1 導電型の第 3 半導体領域を選択的に形成する第 5 工程と、

前記第 3 半導体領域および前記第 2 エピタキシャル成長層を貫通して前記第 1 エピタキシャル成長層に達し、前記第 1 エピタキシャル成長層の両表面間の厚さ方向に前記第 2 半導体領域に対向するトレンチを形成する第 6 工程と、

不可避免的にシランを含む水素ガス雰囲気、または、水素およびシランを含む混合ガス雰囲気での熱処理により、前記トレンチの側壁をエッチングする第 7 工程と、

前記トレンチの内壁に沿ってゲート絶縁膜を形成する第 8 工程と、

前記トレンチの内部において、前記ゲート絶縁膜上にゲート電極を形成する第 9 工程と

、
前記第 3 半導体領域および前記第 2 エピタキシャル成長層に電氣的に接続された第 1 電極を形成する第 10 工程と、

前記半導体基板の裏面に電氣的に接続された第 2 電極を形成する第 11 工程と、
を含み、

前記第 5 工程では、前記第 2 エピタキシャル成長層の表面から前記厚さ方向に所定深さまで不純物濃度に均一にし、当該所定深さから前記厚さ方向に深くなるにしたがって穏やかに不純物濃度を低くした前記第 3 半導体領域を形成し、

10

20

30

40

50

前記第 7 工程では、前記トレンチに、
側壁に前記第 1 エピタキシャル成長層が露出する第 1 部位と、
側壁に前記第 2 エピタキシャル成長層の、前記第 3 半導体領域以外の部分が露出する第 2 部位と、
側壁に前記第 3 半導体領域が露出し、かつ前記第 1 部位よりも幅の広い第 3 部位と、を
形成し、

前記第 7 工程の後、前記第 8 工程の前に、
前記トレンチの内壁を犠牲酸化する第 1 2 工程と、前記第 1 2 工程で形成された犠牲酸化膜を除去して前記トレンチの側壁の形状を調整する第 1 3 工程と、を 1 組とする工程を 1 回以上行い、

当該 1 組とする工程において、
前記トレンチの前記第 2 部位の側壁に、前記第 3 部位の側壁に連続して、前記第 3 部位の側壁と斜度の異なる段差部を形成し、
前記トレンチの前記第 2 部位の前記段差部における幅を、前記第 3 部位側から前記第 2 電極側へ向かうにしたがって狭くすることを特徴とする半導体装置の製造方法。

【請求項 6】

前記第 6 工程では、異方性エッチングにより前記トレンチを形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 8 工程では、前記トレンチの内壁に前記ゲート絶縁膜を堆積することを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】

シリコンよりもバンドギャップの広い半導体は炭化珪素であることを特徴とする請求項 5 ~ 7 のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、縦型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor: 絶縁ゲート型電界効果トランジスタ) では、半導体基板上に平板状に MOS ゲートを設けたプレーナゲート構造と、半導体基板に形成したトレンチ内に MOS ゲートを埋め込んだトレンチゲート構造と、の 2 種類の MOS ゲート構造が広く知られている。

【0003】

トレンチゲート構造では、チャネルが基板おもて面に垂直に形成されるため、チャネルが基板おもて面に平行に形成されるプレーナゲート構造よりもセル幅を縮小することができ、単位面積当たりのセル密度を増やすことができる。このため、一般的に、MOSFET では、トレンチゲート構造とすることで、単位面積当たりの電流密度を増やすことができ、大電流化の要望に応じることが容易となる。

【0004】

また、炭化珪素 (SiC) は、シリコン (Si) と比較して、バンドギャップが 3 倍程度広く、絶縁破壊電界強度が 1 桁近く大きい、および、電子の飽和ドリフト速度が大きい、という優れた物性を有する。このため、シリコンを用いた半導体装置の性能を超える半導体装置を作製 (製造) するには、炭化珪素等の、シリコンよりもバンドギャップが広い半導体 (以下、ワイドギャップ半導体とする) を用いることが有効である。

【0005】

炭化珪素を用いたトレンチゲート構造の MOSFET の製造方法として、炭化珪素のエピタキシャル成長層 (以下、炭化珪素エピタキシャル成長層とする) を積層する工程と、

10

20

30

40

50

MOSゲートを構成する所定領域を形成するためのイオン注入工程と、MOSゲートを構成するトレンチ（以下、ゲートトレンチとする）を形成するためのドライエッチング工程と、を順に行う方法が提案されている（例えば、下記特許文献1参照。）。

【0006】

下記特許文献1では、 n^- 型ドリフト領域となる n^- 型炭化珪素エピタキシャル成長層と、 p 型ベース領域となる p 型炭化珪素エピタキシャル成長層と、を順に積層した後、イオン注入により p 型炭化珪素エピタキシャル成長層に n^+ 型ソース領域を選択的に形成している。チャンネル長は p 型炭化珪素エピタキシャル成長層の厚さによって決まり、 p 型炭化珪素エピタキシャル成長層の厚さは $1.0\ \mu\text{m}$ から $2.0\ \mu\text{m}$ 程度の範囲内に設定される。

10

【0007】

また、炭化珪素等のワイドギャップ半導体を用いた半導体装置では、シリコンを用いた半導体装置に比べて、より高耐圧（耐電圧）で、かつ高速動作を両立した素子構造が求められている。例えば、トレンチゲート構造の縦型MOSFETでは、ターンオフ時に、ゲート電極とドレイン電極との間に高い電位差が生じる。このため、特に、ゲートトレンチの底面に電界が集中し、ゲートトレンチ底面でゲート絶縁膜の絶縁破壊が起きやすいことが知られている。

【0008】

ゲートトレンチ底面でのゲート絶縁膜の絶縁破壊を抑制した、炭化珪素を用いた半導体装置（以下、炭化珪素半導体装置とする）として、ゲート絶縁膜の厚さを、ゲートトレンチ底面の部分で側壁の部分よりも厚くした装置が提案されている（例えば、下記特許文献2（第0006段落、第1図）および下記特許文献3（第0040段落、第3図）参照。）。

20

【0009】

下記特許文献2では、炭化珪素の（000-1）面、いわゆるC面の酸化速度が、C面に垂直な結晶面の酸化速度よりも5倍程度速いことを利用して、ゲートトレンチ底面をC面とし、熱酸化によりゲート絶縁膜を形成している。下記特許文献3では、ゲートトレンチは、基板おもて面に平行な底面と、基板おもて面に直交する側壁と、を基板おもて面に対して所定の斜度を有する傾斜部で連結した断面形状を有する。

【0010】

また、別の炭化珪素半導体装置として、熱エッチングによりゲートトレンチの上部コーナー部および底面コーナー部の角部を部分的に除去して、ゲートトレンチの側壁の斜度を底面側から基板おもて面側に向かって基板おもて面に対して3段階に変化させた装置が提案されている（例えば、下記特許文献4（第0041～0042段落、第3図）参照。）。

下記特許文献4では、炭化珪素、ゲート絶縁膜およびゲート電極の熱膨張係数の違いによってMOSFETの動作時に生じるゲートトレンチの上部コーナー部および底面コーナー部の熱歪みを抑制して、MOSFETの信頼性を向上させている。

30

【0011】

また、別の炭化珪素半導体装置として、不活性ガスでのアニール処理により炭化珪素を表面拡散させて、ゲートトレンチの上部コーナー部および底面コーナー部を円弧状に湾曲させた装置が提案されている（例えば、下記特許文献5（第0111段落、第1,6図）参照。）。

下記特許文献5では、ゲートトレンチの側壁の面方位のずれを抑制して、キャリアのチャンネル移動度を改善している。ゲートトレンチの上部コーナー部とは、基板おもて面とゲートトレンチの側壁の交線である。ゲートトレンチの底面コーナー部とは、ゲートトレンチの側壁と底面との交線である角部である。

40

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特許第3471473号公報

【特許文献2】特許第3471509号公報

50

【特許文献3】国際公開第2010/119789号

【特許文献4】特開2015-135862号公報

【特許文献5】特許第5649152号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、上記特許文献1では、炭化珪素の結晶面に依存して酸化速度が異なるという特長を利用して、ゲートトレンチ底面の部分でゲート絶縁膜（酸化膜）の厚さを容易に厚くすることができるが、利用可能な面方位が限定されるという問題がある。また、炭化珪素基板（炭化珪素からなる半導体基板）のおもて面にゲートトレンチの底面と同じ結晶面が露出していることで、炭化珪素基板のおもて面上にもゲートトレンチの底面上と同じ厚さで酸化膜が成長する。このため、炭化珪素基板のおもて面の表面層に形成されたソース領域等が、炭化珪素基板のおもて面に成長する酸化膜に浸食され消失する虞がある。

10

【0014】

また、通常、ゲート絶縁膜の信頼性を評価するために、ゲート絶縁膜に高電界を印加し流れる電流（Fowler-Nordheimトンネル電流）を算出して、ゲート絶縁膜の経時絶縁破壊（TDDB: Time Dependent Dielectric Breakdown）を評価する信頼性試験を行う。Fowler-Nordheimトンネル電流とは、酸化膜に高電界が印加されたときに、半導体の伝導帯から酸化膜の伝導帯に電子がトンネルするときに流れるリーク（漏れ）電流である。このリーク電流を抑制するために、ゲートトレンチへの局所的な電界集中を抑制することも求められる。

20

【0015】

この発明は、上述した従来技術による問題点を解消するため、ゲート絶縁膜の信頼性を向上させることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。シリコンよりもバンドギャップの広い半導体からなる半導体基板のおもて面に、シリコンよりもバンドギャップの広い半導体からなる第1導電型の第1半導体層が設けられている。前記第1半導体層の、前記半導体基板側に対して反対側の表面に、シリコンよりもバンドギャップの広い半導体からなる第2導電型の第2半導体層が設けられている。前記第1半導体層の内部に、前記第2半導体層に接して、第2導電型の第1半導体領域が選択的に設けられている。前記第1半導体層の内部に、前記第2半導体層および前記第1半導体領域と離して、第2導電型の第2半導体領域が選択的に設けられている。前記第2半導体層の内部に、第1導電型の第3半導体領域が選択的に設けられている。トレンチは、前記第3半導体領域および前記第2半導体層を貫通して前記第1半導体層に達し、前記第1半導体層の両表面間の厚さ方向に前記第2半導体領域に対向する。前記トレンチの内壁に沿って、前記トレンチの内壁全面にわたって均一な厚さで、ゲート絶縁膜が設けられている。前記トレンチの内部において、前記ゲート絶縁膜上にゲート電極が設けられている。第1電極は、前記第3半導体領域および前記第2半導体層に電氣的に接続されている。第2電極は、前記半導体基板の裏面に電氣的に接続されている。そして、前記トレンチは、側壁に前記第1半導体層が露出する第1部位と、側壁に前記第2半導体層の、前記第3半導体領域以外の部分が露出する第2部位と、側壁に前記第3半導体領域が露出し、かつ前記第1部位よりも幅の広い第3部位と、を有する。

30

40

【0017】

また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体層の不純物濃度は、前記第3半導体領域の不純物濃度よりも低いことを特徴とする。

【0018】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチには、前

50

記第2部位の側壁に、前記第3部位の側壁に連続して、前記第3部位の側壁と斜度の異なる段差部が設けられている。前記トレンチの前記第2部位の前記段差部における幅は、前記第3部位側から前記第2電極側へ向かうにしたがって狭くなっていることを特徴とする。

【0019】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチの前記第3部位の幅は、前記第2電極側から前記第1電極側へ向かうにしたがって広がっていることを特徴とする。

【0020】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチの前記第3部位の側壁は、前記第3半導体領域の厚さよりも小さい曲率半径で、前記トレンチの内部に凸状に湾曲する円弧状となっていることを特徴とする。

10

【0021】

また、この発明にかかる半導体装置は、上述した発明において、前記ゲート電極と前記第1電極とを電氣的に絶縁する層間絶縁膜をさらに備える。前記ゲート絶縁膜は、前記第2半導体層の、前記第1半導体層側に対して反対側の表面上にまで延在している。前記層間絶縁膜は、前記ゲート絶縁膜および前記ゲート電極を覆う。前記層間絶縁膜と前記ゲート電極との界面は、前記層間絶縁膜と前記ゲート絶縁膜との界面よりも前記第2電極側に位置することを特徴とする。

【0022】

20

また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップの広い半導体は炭化珪素であることを特徴とする。

【0023】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、シリコンよりもバンドギャップの広い半導体からなる半導体基板のおもて面に、第1導電型の第1エピタキシャル成長層を堆積する第1工程を行う。次に、前記第1エピタキシャル成長層の表面層に第2導電型の第1半導体領域を選択的に形成する第2工程を行う。前記第1エピタキシャル成長層の内部に第2導電型の第2半導体領域を選択的に形成する第3工程を行う。次に、前記第1エピタキシャル成長層上に、第2導電型の第2エピタキシャル成長層を堆積する第4工程を行う。次に、前記第2エピタキシャル成長層の内部に、前記第1エピタキシャル成長層および前記第2エピタキシャル成長層よりも不純物濃度の高い第1導電型の第3半導体領域を選択的に形成する第5工程を行う。次に、前記第3半導体領域および前記第2エピタキシャル成長層を貫通して前記第1エピタキシャル成長層に達し、前記第1エピタキシャル成長層の両表面間の厚さ方向に前記第2半導体領域に対向するトレンチを形成する第6工程を行う。次に、不可避免的にシランを含む水素ガス雰囲気、または、水素およびシランを含む混合ガス雰囲気での熱処理により、前記トレンチの側壁をエッチングする第7工程を行う。次に、前記トレンチの内壁に沿ってゲート絶縁膜を形成する第8工程を行う。次に、前記トレンチの内部において、前記ゲート絶縁膜上にゲート電極を形成する第9工程を行う。次に、前記第3半導体領域および前記第2エピタキシャル成長層に電氣的に接続された第1電極を形成する第10工程を行う。次に、前記半導体基板の裏面に電氣的に接続された第2電極を形成する第11工程を行う。

30

40

【0024】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第5工程では、前記第2エピタキシャル成長層の表面から前記厚さ方向に深くなるにしたがって不純物濃度を低くした前記第3半導体領域を形成することを特徴とする。

【0025】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第6工程では、異方性エッチングにより前記トレンチを形成することを特徴とする。

【0026】

50

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記トレンチの内壁を犠牲酸化する第12工程と、前記第12工程で形成された犠牲酸化膜を除去して前記トレンチの側壁の形状を調整する第13工程と、を1組とする工程を1回以上行うことを特徴とする。

【0027】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第8工程では、前記トレンチの内壁に前記ゲート絶縁膜を堆積することを特徴とする。

【0028】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、シリコンよりもバンドギャップの広い半導体は炭化珪素であることを特徴とする。

10

【0029】

上述した発明によれば、ゲート絶縁膜に局所的に電界が集中することを抑制することができ、ゲート絶縁膜の絶縁破壊電界強度を高くすることができる。

【発明の効果】

【0030】

本発明にかかる半導体装置および半導体装置の製造方法によれば、ゲート絶縁膜の信頼性を向上させることができるという効果を奏する。

【図面の簡単な説明】

【0031】

【図1】実施の形態にかかる半導体装置の構造を示す断面図である。

20

【図2】図1のゲートトレンチの断面形状を拡大して示す断面図である。

【図3】図1のゲートトレンチの断面形状の別の一例を示す断面図である。

【図4】図1のゲートトレンチの断面形状の別の一例を示す断面図である。

【図5】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図6】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図7】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図8】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図9】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図10】比較例のゲートトレンチの断面形状を示す断面図である。

【図11】実施例のゲート絶縁膜の絶縁破壊電界強度を示す図表である。

30

【発明を実施するための形態】

【0032】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数を表している。

40

【0033】

(実施の形態)

本発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体(以下、ワイドバンドギャップ半導体とする)を用いて構成される。ここでは、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いた半導体装置(炭化珪素半導体装置)の構造を例に説明する。図1は、実施の形態にかかる半導体装置の構造を示す断面図である。図2は、図1のゲートトレンチの断面形状を拡大して示す断面図である。図3, 4は、図1のゲートトレンチの断面形状の別の一例を示す断面図である。

【0034】

図1では、実施の形態にかかる半導体装置の全体の構造を明確にするために、ゲートト

50

レンチ（トレンチ）9を模式的に示しており、図1のゲートトレンチ9の詳細な断面形状は図2～4に示す。図2～4では、ゲート絶縁膜11およびゲート電極12を図示省略する。また、図1には、2つの単位セル（素子の構成単位）のみを示し、これらに隣接する他の単位セルや、エッジ終端領域を図示省略する。

【0035】

活性領域は、オン状態のときに主電流が流れる電流経路となる領域である。エッジ終端領域は、活性領域とチップ端部との間の領域である。エッジ終端領域は、活性領域の周囲を囲み、炭化珪素からなる半導体基板（炭化珪素基板）10のおもて面（以下、基板おもて面とする）側の電界を緩和して耐圧（耐電圧）を保持する。耐圧とは、素子が誤動作や破壊を起こさない限界の電圧である。

10

【0036】

図1に示す実施の形態にかかる炭化珪素半導体装置は、炭化珪素基板（半導体チップ）10のおもて面（炭化珪素層22側の面）側にトレンチゲート型のMOSゲートを備えた縦型MOSFETである。炭化珪素基板10は、 n^+ 型出発基板（半導体基板）1のおもて面上に所定の導電型および不純物濃度を有する各炭化珪素層（第1, 2半導体層）21, 22を順にエピタキシャル成長させてなるエピタキシャル基板である。 n^+ 型出発基板1は、 n^+ 型ドレイン領域である。

【0037】

活性領域において、基板おもて面側には、MOSゲートが設けられている。MOSゲートは、第1, 2 p^+ 型領域（第1, 2半導体領域）3, 4、 n 型電流拡散領域5、 p 型ベース領域6、 n^+ 型ソース領域（第3半導体領域）7、 p^{++} 型コンタクト領域8、ゲートトレンチ（トレンチ）9、ゲート絶縁膜11およびゲート電極12で構成される。

20

【0038】

n^- 型炭化珪素層21の内部には、第1, 2 p^+ 型領域3, 4がそれぞれ選択的に設けられている。第1 p^+ 型領域3は、隣り合うゲートトレンチ9間（メサ部）に、ゲートトレンチ9と離して設けられている。第1 p^+ 型領域3は、 p 型炭化珪素層22（ p 型ベース領域6）に接する。また、第1 p^+ 型領域3は、 p 型炭化珪素層22との境界から、 n^- 型炭化珪素層21の厚さ方向（基板おもて面から基板裏面に向かう方向：縦方向）にゲートトレンチ9の底面よりも基板裏面（炭化珪素基板10の裏面）側に深い位置に達する。

【0039】

第2 p^+ 型領域4は、第1 p^+ 型領域3と離して設けられ、ゲートトレンチ9の底面および底面コーナー部9aと厚さ方向に対向する。第2 p^+ 型領域4は、ゲートトレンチ9の底面および底面コーナー部9aを覆っていてもよい。ゲートトレンチ9の底面コーナー部9aとは、ゲートトレンチ9の底面と側壁との交線である。第2 p^+ 型領域4は、 n^- 型炭化珪素層21と p 型炭化珪素層22との界面よりも基板裏面（炭化珪素基板10の裏面）側に深い位置から n^- 型炭化珪素層21の厚さ方向に所定の深さに達する。

30

【0040】

第2 p^+ 型領域4の、 n^- 型炭化珪素層21と p 型炭化珪素層22との界面から基板裏面側への深さ位置は、第1 p^+ 型領域3の同深さ位置と同じであってもよい。このように第1, 2 p^+ 型領域3, 4を設けることで、 n^- 型ドリフト領域2（または後述する n 型電流拡散領域5）との間の pn 接合を、ゲートトレンチ9の底面よりも基板裏面側に深い位置に形成することができる。これにより、ゲート絶縁膜11のゲートトレンチ9底面の部分に高電界が印加されることを防止することができる。

40

【0041】

第1, 2 p^+ 型領域3, 4間に、 n 型電流拡散領域5が設けられていてもよい。 n 型電流拡散領域5は、第2 p^+ 型領域4の周囲の電流経路に設けられキャリアの広がり抵抗を低減させる、いわゆる電流拡散層（Current Spreading Layer: CSL）である。 n 型電流拡散領域5は、例えば、基板おもて面に平行な方向（横方向）に一樣に設けられ、第1, 2 p^+ 型領域3, 4および p 型炭化珪素層22（ p 型ベース領域6）に接する。

50

【 0 0 4 2 】

n型電流拡散領域5の、n⁻型炭化珪素層21とp型炭化珪素層22との界面からの深さ位置は、第1, 2 p⁺型領域3, 4の同深さ位置と同じであってもよいし、第1, 2 p⁺型領域3, 4の同深さ位置よりも基板裏面側に深い位置に達していてもよい。第2 p⁺型領域4の周囲の電流経路とは、MOSFETのオン時にゲートトレンチ9に沿った部分に生じるn型の反転層(チャネル)を通過して、ドレイン側からソース側へ流れる電流の経路である。

【 0 0 4 3 】

n⁻型炭化珪素層21の、第1, 2 p⁺型領域3, 4およびn型電流拡散領域5以外の部分がn⁻型ドリフト領域2である。n⁺型ソース領域7およびp⁺⁺型コンタクト領域8は、p型炭化珪素層22の内部にそれぞれ選択的に設けられ、互いに接する。p⁺⁺型コンタクト領域8の深さは、例えばn⁺型ソース領域7よりも深くてもよい。p型炭化珪素層22の、n⁺型ソース領域7およびp⁺⁺型コンタクト領域8以外の部分がp型ベース領域6である。

10

【 0 0 4 4 】

ゲートトレンチ9は、基板おもて面からn⁺型ソース領域7およびp型ベース領域6を貫通してn型電流拡散領域5に達する。ゲートトレンチ9の底面および底面コーナー部9aは、n⁻型炭化珪素層21の厚さ方向において第2 p⁺型領域4に対向する。ゲートトレンチ9の底面および底面コーナー部9aは、第2 p⁺型領域4に接していてもよいし、第2 p⁺型領域4の内部に位置していてもよい。

20

【 0 0 4 5 】

また、ゲートトレンチ9は、底面から側壁にわたって滑らかに連続していることが好ましい。すなわち、ゲートトレンチ9の底面コーナー部9aは略円弧状の断面形状を有することが好ましく、ゲートトレンチ9は底面から側壁にわたって略曲面状に連続していることが好ましい。これにより、ゲートトレンチ9の内壁に沿って設けられたゲート絶縁膜11への局所的な電界集中を抑制することができる。

【 0 0 4 6 】

また、ゲートトレンチ9は、上部コーナー部9bにおいても、側壁から基板おもて面にわたって平坦面により近づけた形状で連続しているか、側壁から基板おもて面にわたって略曲面状に滑らかに連続している。ゲートトレンチ9の上部コーナー部9bとは、炭化珪素基板10のおもて面とゲートトレンチ9の側壁との交線である。ゲートトレンチ9の詳細な断面形状については後述する。

30

【 0 0 4 7 】

ゲート絶縁膜11は、ゲートトレンチ9の内壁に沿って設けられている。ゲート絶縁膜11の厚さt1は、ゲートトレンチ9の内壁全面にわたって概ね均一である。ゲート電極12は、ゲートトレンチ9の内部において、ゲート絶縁膜11上に設けられている。ゲート電極12の上面12aは、ゲート絶縁膜11の、基板おもて面上の部分の表面11aよりも炭化珪素基板10側に低い位置にする。すなわち、層間絶縁膜13とゲート電極12との界面は、層間絶縁膜13とゲート絶縁膜11との界面よりも炭化珪素基板10側にある。また、ゲート電極12はゲートトレンチ9の内部においてゲート絶縁膜11を挟んでn⁺型ソース領域7に対向する高さ位置まで埋め込まれていればよく、ゲート電極12の上面12aは炭化珪素基板10のおもて面よりもゲートトレンチ9の内部に位置していてもよい。ゲート電極12の上面12a、および、ゲート絶縁膜11の、基板おもて面上の部分の表面11aとは、後述する層間絶縁膜13との界面(接触面)である。

40

【 0 0 4 8 】

上述したようにゲート絶縁膜11の厚さt1が概ね均一であること、かつゲート電極12の上面12aがゲート絶縁膜11の、基板おもて面上の部分の表面11aよりもゲートトレンチ9の内部側に低い位置にあることで、ゲート絶縁膜11を挟んで対向するゲート電極12とp型ベース領域6との距離を、p型ベース領域6の厚さ方向にわたって概ね同じにすることができる。また、ゲート電極12の上面12aがゲート絶縁膜11の、基板

50

おもて面上の部分の表面 1 1 a よりもゲートトレンチ 9 の内部側に低い位置にあることで、層間絶縁膜 1 3 の平坦性を高くすることができる。これにより、層間絶縁膜 1 3 の表面の凹凸が低減されるため、後述するソースパッド 1 5 側から層間絶縁膜 1 3 を通ってゲート電極 1 2 側へ不純物等が侵入することを抑制することができる。

【 0 0 4 9 】

また、ゲート電極 1 2 は、図示省略する部分でゲートパッド（不図示）に電氣的に接続されている。層間絶縁膜 1 3 は、ゲート電極 1 2 を覆うように、活性領域からエッジ終端領域にわたって基板おもて面全面に設けられている。ソース電極（第 1 電極）1 4 は、層間絶縁膜 1 3 に開口されたコンタクトホールを介して n⁺型ソース領域 7 および p⁺⁺型コンタクト領域 8 に接し、p 型ベース領域 6、n⁺型ソース領域 7 および p⁺⁺型コンタクト領域 8 と電氣的に接続されている。また、ソース電極 1 4 は、層間絶縁膜 1 3 によりゲート電極 1 2 と電氣的に絶縁されている。

10

【 0 0 5 0 】

ソース電極 1 4 は、コンタクトホールの内部にのみ設けられていてもよい。ソースパッド 1 5 は、コンタクトホールの内部を埋め込むように、層間絶縁膜 1 3 およびソース電極 1 4 上に設けられている。ソースパッド 1 5 は、すべての単位セルのソース電極 1 4 を電氣的に接続する。炭化珪素基板 1 0 の裏面（n⁺型出発基板 1 の裏面）全体にわたって、ドレイン電極（第 2 電極）1 6 が設けられている。ドレイン電極 1 6 の表面には、ドレインパッド（電極パッド）1 7 が設けられている。

【 0 0 5 1 】

エッジ終端領域の全域にわたって p 型炭化珪素層 2 2 が除去され、炭化珪素基板 1 0 のおもて面にエッジ終端領域を活性領域よりも低くした（ドレイン側に凹ませた）段差（不図示）が形成されている。すなわち、エッジ終端領域において基板おもて面には、n⁻型炭化珪素層 2 1 が露出されている。活性領域とエッジ終端領域との基板おもて面（上段と下段）間の連結部（以下、段差のステアとする）は、基板おもて面に対して斜度を有していてもよいし、略垂直であってもよい。段差のステアには、p 型ベース領域 6 が露出されている。

20

【 0 0 5 2 】

また、段差のステアから、エッジ終端領域において基板おもて面に露出する n⁻型炭化珪素層 2 1 の表面にわたって、活性領域の最も外側に配置された第 1 p⁺型領域 3 が露出されている。ここで露出とは、基板おもて面上の層間絶縁膜（フィールド酸化膜）1 3 に接するように配置されていることである。また、エッジ終端領域において基板おもて面に露出する n⁻型炭化珪素層 2 1 には、例えば、接合終端（JTE: Junction Termination Extension）構造などの耐圧構造が設けられている。

30

【 0 0 5 3 】

JTE 構造は、活性領域の周囲を囲む同心円状に、外側（チップ端部側）に配置されるほど不純物濃度を低くした複数の p 型領域が隣接してなる。JTE 構造の最も内側（活性領域側）の p 型領域は、活性領域の最も外側に配置された第 1 p⁺型領域 3 に連結されている。エッジ終端領域に配置する耐圧構造は、JTE 構造に限らず種々変更可能であり、JTE 構造に代えて、例えばガードリング、フィールドプレートおよびリサーフ等を組み合わせて配置してもよい。

40

【 0 0 5 4 】

次に、ゲートトレンチ 9 の断面形状について、図 2 ~ 4 を参照して説明する。図 2 ~ 4 において、(a) にはゲートトレンチ 9 の断面形状を示し、(b) には n⁺型ソース領域 7 の n 型不純物濃度プロファイル 4 1 a, 4 2, 4 3 を示す。

【 0 0 5 5 】

図 2 (a), 3 (a), 4 (a) に示すように、ゲートトレンチ 9 は、ゲートトレンチ 9 の底面を含む第 1 部位 3 1 と、第 1 部位 3 1 の基板おもて面側に連続する第 2 部位 3 2 と、第 2 部位 3 2 の基板おもて面側に連続する第 3 部位 3 3 と、を有する。図 2 (a), 3 (a), 4 (a) では、ゲートトレンチ 9 の第 1 ~ 3 部位 3 1 ~ 3 3 間の境界を破線で

50

示す。

【0056】

ゲートトレンチ9の第1部位31には、底面および側壁にn型電流拡散領域5が露出する。また、ゲートトレンチ9の底面および底面コーナー部9aが第2p⁺型領域4に接している場合には、ゲートトレンチ9の第1部位31には、底面から側壁にわたって第2p⁺型領域4が露出し、第2p⁺型領域4に連続してn型電流拡散領域5が側壁に露出する。

【0057】

ゲートトレンチ9の第2部位32には、側壁にp型ベース領域6が露出する。ゲートトレンチ9の第2部位32の側壁に沿った部分において、p型ベース領域6はほぼチャネルとして機能する。このため、ゲートトレンチ9の第2部位32の側壁の傾斜角度や曲率は求められる素子特性によって決定されるが、ゲートトレンチ9の第2部位32の幅w2は第1部位31の幅w1以上であることが好ましい(w1 < w2)。これにより、ゲートトレンチ9の内壁全面にわたってゲート絶縁膜11の厚さt1を可能な限り均一に近づけることができる。

【0058】

ゲートトレンチ9の第3部位33には、側壁にn⁺型ソース領域7が露出する。ゲートトレンチ9の第1～3部位31～33の各幅w1～w3は、それぞれ第1～3部位31～33の側壁に露出する領域の不純物濃度で決まる。具体的には、第1～3部位31～33の側壁に露出する領域の不純物濃度が高いほど、その幅w1～w3が広がる。すなわち、ゲートトレンチ9の第3部位33の側壁に露出するn⁺型ソース領域7の不純物濃度は、ゲートトレンチ9の第1, 2部位31, 32の側壁にそれぞれ露出するn型電流拡散領域5やp型ベース領域6の不純物濃度よりも高い。このため、ゲートトレンチ9の第3部位33の幅w3は、ゲートトレンチ9の第1, 2部位31, 32の幅w1, w2よりも広がっている(w1 < w3, w2 < w3)。ゲートトレンチ9の第3部位33の幅w3が少なくともゲートトレンチ9の第1部位31の幅w1よりも広がっていれば、ゲートトレンチ9の第3部位33の幅w3が他の部位の幅よりも広がっていることによる効果が得られる。

【0059】

また、n⁺型ソース領域7のn型不純物濃度プロファイル41a, 42, 43を種々設定することで、少なくともゲートトレンチ9の上部コーナー部9bの形状を、第2部位32側から開口側(基板おもて面側)へ向かって幅w3が広がった滑らかな形状にすることができる。これにより、ゲートトレンチ9の内壁全面にわたって、ゲート絶縁膜11の厚さt1を概ね均一にすることができる。また、ゲートトレンチ9の内壁全面にわたってゲート絶縁膜11の厚さt1が均一であっても、ゲートトレンチ9の第3部位33の幅w3が第2部位32側から開口側へ向かって広がっていることで、ゲート絶縁膜11に局所的に電界が集中することを抑制することができる。

【0060】

例えば、図2(b)に示すように、n⁺型ソース領域7のn型不純物濃度プロファイル41aは、ソース電極14との界面30aからp型ベース領域6との界面30bまで(すなわちn⁺型ソース領域7の厚さt2分)が均一な不純物濃度となっている。p型ベース領域6の内部には、n⁺型ソース領域7のn型不純物濃度プロファイル41aに連続して、基板裏面側に深くなるにしたがって所定の割合(傾き)で穏やかに不純物濃度が減少するテール部41bが形成されていてもよい。n⁺型ソース領域7の厚さt2とは、ソース電極14とn⁺型ソース領域7との界面30aから、n⁺型ソース領域7とp型ベース領域6との界面30bまでの距離である。

【0061】

このようにn⁺型ソース領域7のn型不純物濃度プロファイル41aを有することで、ゲートトレンチ9の第3部位33の幅w3を第1部位31の幅w1よりも広くすることができる。さらに、n⁺型ソース領域7のn型不純物濃度プロファイル41aのテール部41bを有することで、ゲートトレンチ9には、第2部位32の側壁に、第3部位33の側

10

20

30

40

50

壁に連続して、第3部位33の側壁と斜度2の異なる段差部9cが形成される。ゲートトレンチ9の第2部位32の側壁の段差部9cの、炭化珪素基板10内における基板おもて面に対する斜度2は、第3部位33の側壁の、炭化珪素基板10内における基板おもて面に対する斜度1よりも広い($\theta_1 < \theta_2$)。図2(a)には、斜度2を炭化珪素基板10のおもて面に略平行な、 n^+ 型ソース領域7とp型ベース領域6との界面30bに対する角度として図示する。ゲートトレンチ9の第2部位32の段差部9cにおける幅 w_2' は、 n^+ 型ソース領域7とp型ベース領域6との界面30bからテール部41bの深さ t_3 分、基板裏面に向かうにしたがって所定の割合で狭くなっている。

【0062】

また、図3(b)に示すように、 n^+ 型ソース領域7のn型不純物濃度プロファイル42は、ソース電極14との界面30aからp型ベース領域6との界面30bに向かうにしたがって(すなわち n^+ 型ソース領域7の厚さ t_2 分だけ)所定の割合で略線形に不純物濃度が減少していてもよい。このような n^+ 型ソース領域7のn型不純物濃度プロファイル42であっても、図3(a)に示すように、ゲートトレンチ9の第3部位33の幅 w_3 を第1部位31の幅 w_1 よりも広くすることができる。さらに、ゲートトレンチ9の第3部位33の幅 w_3 を、 n^+ 型ソース領域7とp型ベース領域6との界面30bから開口側へ向かって所定の割合で略線形に広げることができる。すなわち、ゲートトレンチ9の第3部位33の側壁の、炭化珪素基板10内における基板おもて面に対する斜度1を鈍角にすることができる($\theta_1 > 90^\circ$)。

【0063】

また、図4(b)に示すように、 n^+ 型ソース領域7のn型不純物濃度プロファイル43は、ソース電極14との界面30aからp型ベース領域6との界面30bに向かうにしたがって(すなわち n^+ 型ソース領域7の厚さ t_2 分だけ)指数関数的に不純物濃度が減少していてもよい。このような n^+ 型ソース領域7のn型不純物濃度プロファイル43であっても、図4(a)に示すように、ゲートトレンチ9の第3部位33の幅 w_3 を第1部位31の幅 w_1 よりも広くすることができる。さらに、ゲートトレンチ9の上部コーナ部9bの断面形状を、 n^+ 型ソース領域7の厚さ t_2 よりも小さい曲率半径で、ゲートトレンチ9の内部に凸状に湾曲する略円弧状にすることができる。図4(a)には、ゲートトレンチ9の上部コーナ部9bが湾曲している状態を、点線円弧を図示して示す。これにより、ゲートトレンチ9の第3部位33の幅 w_3 を開口側から第2部位32側に向かうにしたがって緩やかに狭くすることができる。

【0064】

ゲートトレンチ9の底面および底面コーナ部9aが第2 p^+ 型領域4に接している場合、ゲートトレンチ9の底面および底面コーナ部9aの断面形状を第2 p^+ 型領域4の不純物濃度に応じて変化させてもよい。すなわち、ゲートトレンチ9の底面から側壁にわたって滑らかに連続する断面形状となるように、第2 p^+ 型領域4のn型不純物濃度プロファイルを基板おもて面から基板裏面に向かうにしたがって減少するように設定してもよい。

【0065】

次に、実施の形態にかかる半導体装置の製造方法について説明する。図5~9は、実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。まず、図5に示すように、 n^+ 型出発基板(出発ウエハ)1として、例えば窒素(N)などのn型不純物をドーピングした n^+ 型単結晶基板を用意する。 n^+ 型出発基板1のおもて面は、例えば(0001)面、いわゆるSi面であってもよい。 n^+ 型出発基板1は、 n^+ 型ドレイン領域となる。

【0066】

次に、 n^+ 型出発基板1のおもて面に、図1の n^- 型炭化珪素層(第1エピタキシャル成長層)21となる例えば窒素などのn型不純物をドーピングした n^- 型炭化珪素層21aをエピタキシャル成長させる。 n^- 型炭化珪素層21aの厚さおよび不純物濃度は、それぞれ、例えば10 μm 程度および $3 \times 10^{15} / \text{cm}^3$ 程度であってもよい。次に、例えばブラ

10

20

30

40

50

ズマCVD (Chemical Vapor Deposition: 化学気相成長) 等により、 n^- 型炭化珪素層 21a の表面上に、例えば $1.5 \mu\text{m}$ 程度の厚さの酸化膜 (酸化珪素 (SiO_2) 膜: 不図示) を堆積する。

【0067】

次に、フォトリソグラフィにより、第1, 2 p^+ 型領域 3, 4 の形成領域に対応する部分の酸化膜を除去する。次に、この酸化膜の残部をマスク (酸化膜マスク) としてアルミニウム (Al) 等の p 型不純物をイオン注入し、 n^- 型炭化珪素層 21a の表面層に、第2 p^+ 型領域 4 および p^+ 型領域 (以下、 p^+ 型部分領域とする) 3a をそれぞれ選択的に形成する。この p^+ 型部分領域 3a は、第1 p^+ 型領域 3 の一部である。

【0068】

p^+ 型部分領域 3a および第2 p^+ 型領域 4 のイオン注入深さおよび不純物濃度は、それぞれ、例えば $0.5 \mu\text{m}$ 程度および $5 \times 10^{18} / \text{cm}^3$ 程度であってもよい。 p^+ 型部分領域 3a および第2 p^+ 型領域 4 のイオン注入深さは、熱処理により結晶欠陥を回復可能な $0.7 \mu\text{m}$ 以下であることが好ましい。 p^+ 型部分領域 3a と第2 p^+ 型領域 4 とを異なるイオン注入工程で別々に形成してもよい。

【0069】

次に、 p^+ 型部分領域 3a および第2 p^+ 型領域 4 の形成に用いた酸化膜マスクの一部を除去して、 n^- 型炭化珪素層 21a の、 n 型電流拡散領域 5 の形成領域に対応する部分を露出させる。次に、この酸化膜マスクをマスクとして窒素などの n 型不純物をイオン注入し、 n^- 型炭化珪素層 21a の表面層に n 型領域 (以下、 n 型部分領域とする) 5a を形成する。この n 型部分領域 5a は、 n 型電流拡散領域 5 の一部である。 n 型部分領域 5a のイオン注入深さおよび不純物濃度は、それぞれ、例えば $0.5 \mu\text{m}$ 程度および $1 \times 10^{17} / \text{cm}^3$ 程度であってもよい。

【0070】

n^- 型炭化珪素層 21a の、 p^+ 型部分領域 3a、第2 p^+ 型領域 4 および n 型部分領域 5a 以外の部分が n^- 型ドリフト領域 2 となる。 n^- 型ドリフト領域 2 の厚さ t_{11} は、例えば $3 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下程度になるように設定され ($3 \mu\text{m} < t_{11} < 100 \mu\text{m}$)、素子の耐圧の高さに比例して厚くなる。 p^+ 型部分領域 3a および第2 p^+ 型領域 4 と、 n 型部分領域 5a と、の形成順序を入れ替えてもよい。そして、 n^- 型炭化珪素層 21a 上の酸化膜マスクを除去する。

【0071】

次に、図6に示すように、 n^- 型炭化珪素層 21a 上に、図1の n^- 型炭化珪素層 21 となる例えば窒素などの n 型不純物をドーブした n^- 型炭化珪素層 21b をエピタキシャル成長させる。 n^- 型炭化珪素層 21b の厚さおよび不純物濃度は、例えば n^- 型炭化珪素層 21a と同様である。 n^- 型炭化珪素層 21b の厚さは、MOSFET のオン時に、 n 型電流拡散領域 5 の、ゲートトレンチ 9 に沿った部分の厚さ t_{13} (図8参照) が電流経路となる十分な厚さであることが好ましく、例えば $0.3 \mu\text{m}$ 以上 $0.7 \mu\text{m}$ 以下程度であってもよい。

【0072】

次に、例えばプラズマCVD等により、 n^- 型炭化珪素層 21b の表面上に、例えば $1.5 \mu\text{m}$ 程度の厚さの酸化膜 (SiO_2 膜: 不図示) を堆積する。次に、フォトリソグラフィにより、第1 p^+ 型領域 3 の形成領域に対応する部分の酸化膜を除去する。次に、この酸化膜の残部をマスク (酸化膜マスク) としてアルミニウム等の p 型不純物をイオン注入し、 n^- 型炭化珪素層 21b に p^+ 型部分領域 3b を選択的に形成する。

【0073】

このとき、 p^+ 型部分領域 3b は、 n^- 型炭化珪素層 21b の、厚さ方向に p^+ 型部分領域 3a に対向する部分に、 p^+ 型部分領域 3a に達する深さで形成する。 p^+ 型部分領域 3b の幅および不純物濃度は、例えば p^+ 型部分領域 3a と略同じである。この p^+ 型部分領域 3b は、第1 p^+ 型領域 3 の一部である。 p^+ 型部分領域 3a, 3b が厚さ方向 (縦方向) に連結されることで、第1 p^+ 型領域 3 が形成される。

10

20

30

40

50

【0074】

次に、 p^+ 型部分領域3bの形成に用いた酸化膜マスクの一部を除去して、 n^- 型炭化珪素層21bの、 n 型電流拡散領域5の形成領域に対応する部分を露出させる。次に、この酸化膜マスクをマスクとして窒素などの n 型不純物をイオン注入し、 n^- 型炭化珪素層21bの表面層に n 型部分領域5bを形成する。 n 型部分領域5bの不純物濃度は、 n 型部分領域5aと略同じであってもよい。

【0075】

この n 型部分領域5bは、 n 型電流拡散領域5の一部である。 n 型部分領域5a、5bは少なくとも一部が接するように形成する。 n 型部分領域5a、5bが厚さ方向に連結されることで、 n 型電流拡散領域5が形成される。 p^+ 型部分領域3bと n 型部分領域5bとの形成順序を入れ替えてもよい。そして、 n^- 型炭化珪素層21(n^- 型炭化珪素層21b)上の酸化膜マスクを除去する。

10

【0076】

次に、図7に示すように、 n^- 型炭化珪素層21上に、例えばアルミニウムなどの p 型不純物をドーブした p 型炭化珪素層(第2エピタキシャル成長層)22をエピタキシャル成長させる。 p 型炭化珪素層22の厚さおよび不純物濃度は、それぞれ、例えば $1.3\mu\text{m}$ 程度 $4 \times 10^{17}/\text{cm}^3$ 程度であってもよい。ここまでの工程により、 n^+ 型出発基板1上に n^- 型炭化珪素層21および p 型炭化珪素層22を順に堆積した炭化珪素基板(半導体ウエハ)10が形成される。

【0077】

20

次に、フォトリソグラフィにより、 p 型炭化珪素層22の表面上に、活性領域(チップ中央部)を覆うフォトレジストマスクを形成する。次に、このフォトレジストマスクをマスクとしてエッチングを行い、エッジ終端領域の全域(チップ外周の全域)にわたって p 型炭化珪素層22を除去して、活性領域のみに p 型炭化珪素層22を残す。このエッチングは、例えば、六フッ化硫黄(SF_6)等のフッ素系ガスを用いたドライエッチングであってもよい。

【0078】

このとき、エッジ終端領域において例えば $1.4\mu\text{m}$ 程度の厚さで炭化珪素層を除去することで、 p 型炭化珪素層22とともに下層の n^- 型炭化珪素層21の表面層を若干除去してもよい。これによって、炭化珪素基板10のおもて面に、エッジ終端領域を活性領域よりも低くした段差が形成され、エッジ終端領域において基板おもて面に n^- 型炭化珪素層21が露出される。

30

【0079】

次に、例えばプラズマCVD等により、 p 型炭化珪素層22の表面から基板おもて面に露出した n^- 型炭化珪素層21の表面にわたって、例えば $1.5\mu\text{m}$ 程度の厚さの酸化膜(SiO_2 膜:不図示)を堆積する。次に、フォトリソグラフィにより、 n^+ 型ソース領域7の形成領域に対応する部分の酸化膜を除去する。

【0080】

次に、この酸化膜の残部をマスク(酸化膜マスク)としてリン(P)等の n 型不純物をイオン注入し、 p 型炭化珪素層22の表面層に n^+ 型ソース領域7を選択的に形成する。このとき、イオン注入の n 型不純物のドーズ量を p 型炭化珪素層22の p 型不純物濃度よりも高く設定して、 p 型炭化珪素層22の一部の導電型を n 型に打ち返せばよい。また、 n^+ 型ソース領域7を上述したいずれかの n 型不純物濃度プロファイル41a、42、43(図2(b)、3(b)、4(b)参照)で形成すればよい。そして、 n^+ 型ソース領域7の形成に用いた酸化膜マスクを除去する。

40

【0081】

次に、再度、例えばプラズマCVDにより、 p 型炭化珪素層22の表面から基板おもて面に露出した n^- 型炭化珪素層21の表面にわたって、例えば $1.5\mu\text{m}$ 程度の厚さの酸化膜(SiO_2 膜:不図示)を堆積する。次に、フォトリソグラフィにより、 p^+ 型コンタクト領域8の形成領域に対応する部分の酸化膜を除去する。

50

【 0 0 8 2 】

次に、この酸化膜の残部をマスク（酸化膜マスク）としてアルミニウム等の p 型不純物をイオン注入し、p 型炭化珪素層 2 2 の一部の p 型不純物濃度が高くして、p⁺⁺型コンタクト領域 8 を選択的に形成する。そして、p⁺⁺型コンタクト領域 8 の形成に用いた酸化膜マスクを除去する。n⁺型ソース領域 7 と p⁺⁺型コンタクト領域 8 との形成順序を入れ替えてもよい。p 型炭化珪素層 2 2 の、n⁺型ソース領域 7 および p⁺⁺型コンタクト領域 8 以外の部分が p 型ベース領域 6 となる。

【 0 0 8 3 】

次に、再度、例えばプラズマ CVD により、p 型炭化珪素層 2 2 の表面から基板おもて面に露出した n⁻型炭化珪素層 2 1 の表面にわたって、例えば 1 . 5 μm 程度の厚さの酸化膜（SiO₂膜：不図示）を堆積する。次に、フォトリソグラフィにより、JTE 構造を構成する複数の p 型領域のうちの 1 つの p 型領域の形成領域に対応する部分の酸化膜を除去する。

10

【 0 0 8 4 】

次に、この酸化膜の残部をマスク（酸化膜マスク）としてアルミニウム等の p 型不純物をイオン注入し、p 型炭化珪素層 2 2 の一部の p 型不純物濃度を高くして、JTE 構造を構成する p 型領域を選択的に形成する。そして、この p 型領域の形成に用いた酸化膜マスクを除去する。

【 0 0 8 5 】

これら p 型領域を形成するための酸化膜マスクの形成、p 型不純物をイオン注入、および酸化膜マスクの除去を 1 組とする工程を、JTE 構造を構成する p 型領域の個数分繰り返し行う。JTE 構造の最も内側の p 型領域は、活性領域の最も外側の第 1 p⁺型領域 3 に連結されればよく、その配置は種々変更可能である。

20

【 0 0 8 6 】

次に、イオン注入で形成した全ての領域（第 1 , 2 p⁺型領域 3 , 4、n 型電流拡散領域 5、n⁺型ソース領域 7、p⁺⁺型コンタクト領域 8 および JTE 構造の p 型領域）を、熱処理により活性化（活性化アニール）する。この活性化アニールは、例えば、不活性ガス雰囲気において 1700 程度の温度で行ってもよい。

【 0 0 8 7 】

次に、図 8 に示すように、再度、例えばプラズマ CVD により、p 型炭化珪素層 2 2 の表面から基板おもて面に露出した n⁻型炭化珪素層 2 1 の表面にわたって、例えば 1 . 5 μm 程度の厚さの酸化膜（SiO₂膜：不図示）を堆積する。次に、フォトリソグラフィにより、ゲートトレンチ 9 の形成領域に対応する部分の酸化膜を除去する。

30

【 0 0 8 8 】

次に、この酸化膜の残部をマスク（酸化膜マスク）としてエッチングを行い、n⁺型ソース領域 7、p 型ベース領域 6 を貫通して n 型電流拡散領域 5 に達するゲートトレンチ 9 を形成する。ゲートトレンチ 9 の底面が第 2 p⁺型領域 4 に達していてもよい。このエッチングは、例えばフッ素系ガスを用いたドライエッチングであってもよい。

【 0 0 8 9 】

ゲートトレンチ 9 を形成するためのエッチングにフッ素系ガスを用いることで、炭化珪素のエッチングと、ゲートトレンチ 9 の側壁の保護と、が同時に進行しやすくなるため、ゲートトレンチ 9 の深さ方向に略等しい幅でエッチングが進行する異方性エッチングが可能となる。すなわち、深さ方向に幅の等しいゲートトレンチ 9 が形成される。そして、ゲートトレンチ 9 の形成に用いた酸化膜マスクを除去する。

40

【 0 0 9 0 】

次に、不可避免的にシラン（SiH₄）を含む水素（H₂）ガス雰囲気か、水素およびシランを含む混合ガス雰囲気において例えば 1500 程度の温度での熱処理により、ゲートトレンチ 9 の側壁をエッチングする。このとき、ゲートトレンチ 9 の側壁に露出する部分で炭化珪素の構成元素の再配列が行われ、ゲートトレンチ 9 の第 3 部位 3 3 の幅 w₃ が第 1 部位 3 1 の幅 w₁ よりも広くなる。不可避免的にシランを含む水素ガス雰囲気とは、チャ

50

ンバー内に導入するガスは水素ガスのみであるが、当該水素ガス雰囲気のプロセス中にシランが混入されたガス雰囲気であることである。水素およびシランを含む混合ガス雰囲気とは、チャンバー内に水素ガスおよびシランガスを導入して形成されるガス雰囲気である。

【0091】

次に、酸素 (O_2) 雰囲気において1000 程度の温度の熱処理により、ゲートトレンチ9の内壁を第1犠牲酸化し、第1犠牲酸化により形成された熱酸化膜(犠牲酸化膜)を除去することで、ゲートトレンチ9の第3部位33の幅 w_3 を調整する。ゲートトレンチ9の第3部位33の側壁において、炭化珪素層の酸化速度(熱酸化膜の成長速度)は、炭化珪素層の不純物濃度が高いほど早くなる。例えば、 n^+ 型ソース領域7のリン濃度が $1 \times 10^{20} / \text{cm}^3$ である場合、 n^+ 型ソース領域7の酸化速度は、 n^+ 型ソース領域7のリン濃度が $1 \times 10^{18} / \text{cm}^3$ である場合よりも1.2倍程度早い。このため、熱酸化膜の成長速度差を利用して、第1犠牲酸化においてゲートトレンチ9の第3部位33の幅 w_3 をさらに広げることができる。これにより、ゲートトレンチ9を所定の断面形状(図2~4参照)にすることができる。炭化珪素の構成元素を再配列するための熱処理のみでもゲートトレンチ9を所定の断面形状にすることが可能であるため、第1犠牲酸化を省略してもよい。また、第1犠牲酸化および犠牲酸化膜の除去を1組とする工程を、ゲートトレンチ9の第3部位33が所定の幅 w_3 になるまで連続して繰り返し行ってもよい。

10

【0092】

次に、例えば酸素ガス雰囲気での熱処理および常圧CVDにより、基板おもて面上に、酸化膜(SiO_2 膜)を堆積する。次に、この酸化膜をパターニングして活性領域に対応する部分を除去し、エッジ終端領域を覆う酸化膜をフィールド酸化膜(不図示)として残す。次に、例えば、酸素ガス雰囲気において1000 程度の温度を熱処理により、ゲートトレンチ9の内壁を第2犠牲酸化する。次に、第2犠牲酸化により形成された熱酸化膜(犠牲酸化膜)を除去し、ゲートトレンチ9の内壁に付着している不純物を除去する。この第2犠牲酸化においても、ゲートトレンチ9の第3部位33の幅 w_3 が広がる。このため、第2犠牲酸化後にゲートトレンチ9の第3部位33が所定の幅 w_3 になるように、炭化珪素の構成元素を再配列するための熱処理条件、第1, 2犠牲酸化の条件、および n^+ 型ソース領域7の n 型不純物濃度プロファイル41a, 42, 43等を設定することが好ましい。第2犠牲酸化を省略してもよい。

20

30

【0093】

次に、図9に示すように、例えば、熱CVDにより、炭化珪素基板10のおもて面(n^+ 型ソース領域7および p^{++} 型コンタクト領域8の表面)およびゲートトレンチ9の内壁に沿ってゲート絶縁膜11を形成する。上述したようにゲートトレンチ9の第3部位33の幅 w_3 が第1部位31の幅 w_1 よりも広がっているため、CVDによりゲートトレンチ9の内壁全面にわたって概ね均一の厚さ t_1 にゲート絶縁膜11が堆積される。ゲート絶縁膜11の厚さは、例えば40 μm 以上120 μm 以下程度であってもよい。

【0094】

次に、ゲートトレンチ9の内部に埋め込むように、ゲート絶縁膜11上に例えばリンなどの n 型不純物をドーブした多結晶シリコン(poly-Si)層を堆積する。次に、フォトリソグラフィにより多結晶シリコン層をパターニングし、ゲートトレンチ9の内部にゲート電極12となる多結晶シリコン層を残す。そして、ゲート電極12の上面12aがゲート絶縁膜11の、基板おもて面上の部分の表面11aよりもゲートトレンチ9の内部側に低く位置するように、ゲート電極12となる多結晶シリコン層を例えばエッチバックする。

40

【0095】

ゲート電極12の上面12aがゲート絶縁膜11の、基板おもて面上の部分の表面11aよりもゲートトレンチ9の内部側の低い位置にあることで、後の工程で形成されるソースパッド(電極パッド)15の被覆不良を防止することができる。

【0096】

50

次に、ゲート絶縁膜 11、ゲート電極 12 およびフィールド酸化膜を覆うように、炭化珪素基板 10 のおもて面全面に層間絶縁膜 13 を形成する。層間絶縁膜 13 は、例えば、PSG (Phospho Silicate Glass) や BPSG (Boro Phospho Silicate Glass) であってもよい。層間絶縁膜 13 の厚さは、例えば 1 μm 程度であってもよい。

【0097】

次に、層間絶縁膜 13 およびゲート絶縁膜 11 をパターニングしてコンタクトホールを形成し、コンタクトホール内に n^+ 型ソース領域 7 および p^{++} 型コンタクト領域 8 を露出させる。次に、熱処理 (リフロー) により、層間絶縁膜 13 を平坦化する。

【0098】

次に、コンタクトホール内の炭化珪素部 (n^+ 型ソース領域 7 および p^{++} 型コンタクト領域 8) の表面および層間絶縁膜 13 の表面に沿って、例えばニッケル (Ni) 膜等の導電性膜を形成する。次に、この導電性膜をパターニングして選択的に除去し、コンタクトホール内のみソース電極 14 となる導電性膜を残す。

【0099】

次に、炭化珪素基板 10 の裏面 (n^+ 型出発基板 1 の裏面) に、ドレイン電極 16 となる例えばニッケル (Ni) 膜等の導電性膜を形成する。次に、例えば不活性ガス雰囲気において 100 程度の温度での熱処理により、炭化珪素基板 10 とソース電極 14 およびドレイン電極 16 との各オーミックコンタクト (オーミック性の電氣的接触部) を形成する。

【0100】

次に、スパッタリングにより、コンタクトホールを埋め込むように、炭化珪素基板 10 のおもて面に例えば 5 μm 程度の厚さのアルミニウム膜を堆積する。次に、このアルミニウム膜をパターニングして選択的に除去し、当該アルミニウム膜の、活性領域においてソース電極 14 および層間絶縁膜 13 を覆う部分をソースパッド 15 として残す。当該アルミニウム膜の一部をゲートパッドとして残してもよい。

【0101】

次に、スパッタリングにより、ドレイン電極 16 の表面に、チタン (Ti) 膜、ニッケル膜および金 (Au) を順に積層してドレインパッド 17 を形成する。その後、半導体ウエハをダイシング (切断) してチップ状に個片化することで、図 1 に示す MOSFET が完成する。

【0102】

以上、説明したように、実施の形態によれば、ゲートトレンチの第 3 部位の幅が第 1, 2 部位の幅よりも広がっていることで、ゲートトレンチの内壁全面にわたって、ゲート絶縁膜の厚さが概ね均一にすることができる。かつ、少なくともゲートトレンチの上部コーナー部の形状を、ゲートトレンチの第 2 部位側から開口側 (基板おもて面側) へ向かって幅が広がった滑らかな形状にすることができる。このため、ゲート絶縁膜に局所的に電界が集中することを抑制することができ、ゲート絶縁膜の絶縁破壊電界強度を高くすることができる。したがって、ゲート絶縁膜の信頼性を向上させることができ、MOSFET の通電によるゲート特性の経時劣化を抑制して長期にわたる信頼性を向上させることができる。

【0103】

(実施例)

次に、ゲート絶縁膜 11 の絶縁破壊電界強度について検証した。図 10 は、比較例のゲートトレンチの断面形状を示す断面図である。図 11 は、実施例のゲート絶縁膜の絶縁破壊電界強度を示す図表である。まず、上述した実施の形態にかかる半導体装置の製造方法にしたがい、 n^+ 型ソース領域 7 の n 型不純物濃度プロファイルの異なる 3 つの MOSFET (以下、実施例 1 ~ 3 とする) をそれぞれ複数作製した。実施例 1 ~ 3 ともに、ゲートトレンチ 9 を形成するためのエッチング後、不可避免的にシランを含む水素ガス雰囲気において 1500 の温度で 5 分間の熱処理を行った。その後、ゲートトレンチ 9 の内壁を

10

20

30

40

50

ゲート絶縁膜 11 を形成している。n⁺型ソース領域 7 の厚さ t₂ を 0.5 μm とした。

【0104】

実施例 1 は、図 2 (b) に示す n⁺型ソース領域 7 の n 型不純物濃度プロファイル 41 a およびそのテール部 41 b を有する。具体的には、n⁺型ソース領域 7 は、ソース電極 14 との界面 30 a から p 型ベース領域 6 との界面 30 b まで (すなわち n⁺型ソース領域 7 の厚さ t₂ 分) を $1 \times 10^{20} / \text{cm}^3$ の不純物濃度に均一にした n 型不純物濃度プロファイル 41 a を有する。かつ、p 型ベース領域 6 の内部には、n 型不純物濃度プロファイル 41 a に連続してテール部 41 b が形成されている。テール部 41 b は、n⁺型ソース領域 7 と p 型ベース領域 6 との界面 30 b から基板裏面側に深くなるにしたがって、 $1 \times 10^{20} / \text{cm}^3$ から所定の割合 (傾き) で穏やかに不純物濃度が減少する n 型不純物濃度プロファイルを有する。

10

【0105】

実施例 1 においては、図 2 (b) の n⁺型ソース領域 7 の n 型不純物濃度プロファイル 41 a およびそのテール部 41 b により、第 3 部位 33 の幅 w₃ が第 3 部位 33 以外の部分 (第 1, 2 部位 31, 32) の幅 w₁, w₂ よりも広いゲートトレンチ 9 が形成された。かつ、ゲートトレンチ 9 には、第 2 部位 32 の側壁に、第 3 部位 33 に連続して、第 3 部位 33 の側壁と斜度 2 の異なる段差部 9c が形成された。すなわち、実施例 1 のゲートトレンチ 9 は、図 2 (a) に示す断面形状になった。ゲートトレンチ 9 の第 3 部位 33 の幅 w₃ は約 1.0 μm であり、第 1, 2 部位 31, 32 の幅 w₁, w₂ は約 0.7 μm であった。

20

【0106】

実施例 2 は、図 3 (b) に示す n⁺型ソース領域 7 の n 型不純物濃度プロファイル 42 を有する。具体的には、n⁺型ソース領域 7 は、ソース電極 14 との界面 30 a における n 型不純物濃度を $1 \times 10^{20} / \text{cm}^3$ とし、p 型ベース領域 6 との界面 30 b における n 型不純物濃度を $1 \times 10^{18} / \text{cm}^3$ とした。かつ、n⁺型ソース領域 7 は、ソース電極 14 との界面 30 a から p 型ベース領域 6 との界面 30 b に向かうにしたがって所定の割合で略線形に不純物濃度が減少する n 型不純物濃度プロファイル 42 を有する。

【0107】

実施例 2 においても、図 3 (b) の n⁺型ソース領域 7 の n 型不純物濃度プロファイル 42 により、実施例 1 と同様に、第 3 部位 33 の幅 w₃ が第 1, 2 部位 31, 32 の幅 w₁, w₂ よりも広いゲートトレンチ 9 が形成された。かつ、実施例 2 においては、ゲートトレンチ 9 の第 3 部位 33 の幅 w₃ は、開口側から第 2 部位 32 側に向かうにしたがって所定の割合で略線形に狭くなった。すなわち、実施例 2 のゲートトレンチ 9 は、図 3 (a) に示す断面形状になった。ゲートトレンチ 9 の第 3 部位 33 の幅 w₃ は最も広い開口側で約 1.0 μm であり、最も狭い第 2 部位 32 との境界で約 0.7 μm であった。ゲートトレンチ 9 の第 1, 2 部位 31, 32 の幅 w₁, w₂ は約 0.7 μm であった。

30

【0108】

実施例 3 は、図 4 (b) に示す n⁺型ソース領域 7 の n 型不純物濃度プロファイル 43 を有する。具体的には、n⁺型ソース領域 7 は、ソース電極 14 との界面 30 a における n 型不純物濃度を $1 \times 10^{20} / \text{cm}^3$ とし、p 型ベース領域 6 との界面 30 b における n 型不純物濃度を $1 \times 10^{18} / \text{cm}^3$ とした。かつ、n⁺型ソース領域 7 は、ソース電極 14 との界面 30 a から p 型ベース領域 6 との界面 30 b に向かうにしたがって指数関数的に不純物濃度が減少する n 型不純物濃度プロファイル 43 を有する。

40

【0109】

実施例 3 においても、図 4 (b) の n⁺型ソース領域 7 の n 型不純物濃度プロファイル 43 により、実施例 1 と同様に、第 3 部位 33 の幅 w₃ が第 1, 2 部位 31, 32 の幅 w₁, w₂ よりも広いゲートトレンチ 9 が形成された。かつ、実施例 3 においては、ゲートトレンチ 9 の第 3 部位 33 の幅 w₃ は、開口側から第 2 部位 32 側に向かうにしたがって緩やかに狭くなった。すなわち、実施例 2 のゲートトレンチ 9 は、図 4 (a) に示す断面形状になった。ゲートトレンチ 9 の第 3 部位 33 の幅 w₃ は最も広い開口側で約 0.9 μ

50

mであり、最も狭い第2部位32との境界で約0.7 μmであった。ゲートトレンチ9の第1, 2部位31, 32の幅w1, w2は約0.7 μmであった。

【0110】

比較として、上述した実施の形態にかかる半導体装置の製造方法において、ゲートトレンチ59の形成後、炭化珪素の構成元素を再配列するための熱処理を行わずに、ゲート絶縁膜61を形成してMOSFET（以下、比較例とする）を作製した（図10参照）。比較例では、基板おもて面に略直交する側壁を有するゲートトレンチ59が形成された。すなわち、ゲートトレンチ59の幅w11は、第1～3部位81～83にわたって等しく0.7 μmであった。

【0111】

比較例の、ゲートトレンチ59の断面形状以外の構成は実施例1と同様である。図10は比較例のゲートトレンチ59の形状を簡易的に示したものであり、比較例のゲートトレンチ59の形状は、第1, 2 p⁺型領域の有無に影響されない。符号71はn⁻型の炭化珪素層（エピタキシャル層）であり、n⁻型ドリフト領域52となる。符号72はp型の炭化珪素層であり、炭化珪素層72の、n⁺型ソース領域57およびp⁺⁺型コンタクト領域（不図示）以外の部分がp型ベース領域56となる。符号62, 63, 64, 65は、それぞれゲート電極、層間絶縁膜、ソース電極およびソースパッドである。

【0112】

これら実施例1～3および比較例について、ソース電極およびドレイン電極を接地電位とし、ゲート電圧を上昇させたときの漏れ電流（Fowler-Nordheimトンネル電流）を測定した。図11には、実施例1～3および比較例それぞれ100個ずつの試料において、漏れ電流が 1×10^{-8} Aに達したときのゲート電圧の平均値（図11の「 1×10^{-8} Aに達する電圧平均値」）を示す。また、図11には、実施例1～3および比較例それぞれ100個ずつの試料について、ゲート絶縁膜にかかる電界を8 MV/cmとしたときに、ゲート絶縁膜の絶縁破壊が生じなかった試料のドレイン-ソース間電流の平均値（図11の「8 MV/cmの電流平均値」）と、素子破壊（ゲート絶縁膜の絶縁破壊）が生じた試料数（図11の「8 MV/cmの素子破壊数」）と、を示す。

【0113】

上記検証において、漏れ電流の基準値を 1×10^{-8} Aとした理由は、次の通りである。耐圧1200 Vクラス以上のMOSFETにおいて漏れ電流が 1×10^{-8} A以上となる場合、MOSFETの実使用が困難である。このため、漏れ電流が 1×10^{-8} A以上となるときのMOSFETの電流能力を、MOSFETの動作限界値として取得することができるからである。

【0114】

また、ゲート絶縁膜にかかる電界の基準値を8 MV/cmとした理由は、次の通りである。耐圧1200 Vクラス以上のMOSFETでは、ゲート絶縁膜の厚さを100 nmとし、ゲート電圧を25 Vとしたときに、実使用時に、ゲート絶縁膜に8 MV/cmの電界がかかる。このため、ゲート絶縁膜の絶縁破壊電界強度が少なくとも8 MV/cm程度必要であるからである。

【0115】

図11に示すように、実施例1～3は、比較例に比べて、漏れ電流が 1×10^{-8} Aに達するゲート電圧が大きいことが確認された。また、実施例1～3は、比較例に比べて、ゲート絶縁膜にかかる電界が8 MV/cmであるときのドレイン-ソース間電流が大きいことが確認された。実施例1～3は、比較例に比べて、素子破壊が生じた試料数が少ないことが確認された。

【0116】

また、これら実施例1～3および比較例について、素子破壊が生じた試料の破損個所を集束イオンビーム（FIB: Focused Ion Beam）により切り出し、走査型電子顕微鏡（SEM: Scanning Electron Microscope）により観察した。

10

20

30

40

50

【0117】

その結果、比較例の素子破壊が生じた試料では、ゲートトレンチ59の上部コーナ部59bからゲート絶縁膜61の絶縁破壊が発生したことが推測されるSEM画像が得られた。その理由は、次のように推測される。比較例では、 n^+ 型ソース領域57の表面（炭化珪素基板10のおもて面）からゲートトレンチ59の側壁にわたって、急峻（略直角）に炭化珪素層72の形状が変化する。このため、炭化珪素基板10のおもて面とゲートトレンチ59の側壁との交線（ゲートトレンチ59の上部コーナ部59b）に電界が集中しやすくなっていると推測される。

【0118】

一方、実施例1～3の素子破壊が生じた試料では、ゲートトレンチ9の側壁から底面でゲート絶縁膜11の絶縁破壊が発生していることが確認された。実施例1～3の素子破壊が生じた試料では、ごみの混入など、製造プロセス上の要因により生じるゲート絶縁膜11の形成不良個所で、ゲート絶縁膜11の絶縁破壊が発生していると推測される。すなわち、実施例1～3においては、ゲートトレンチ9の断面形状を要因とするゲート絶縁膜11の絶縁破壊は発生しないため、比較例よりもゲート絶縁膜11の信頼性を高めることができることが確認された。

【0119】

以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した実施の形態にかかる製造方法では、炭化珪素基板のおもて面をSi面とした場合を例に説明しているが、これに限らず、炭化珪素基板のおもて面の面方位は種々変更可能である。また、上述した各実施の形態では、炭化珪素以外の例えば窒化ガリウム（GaN）などのワイドバンドギャップ半導体にも適用可能である。

【0120】

また、上述した各実施の形態では、MOSFETを例に説明しているが、これに限らず、本発明は例えばIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）などのMOS型半導体装置にも適用可能である。また、本発明は、導電型（ n 型、 p 型）を反転させても同様に成り立つ。

【産業上の利用可能性】

【0121】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用される半導体装置に有用であり、特に耐圧1200Vクラス以上の高耐圧な半導体装置に適している。

【符号の説明】

【0122】

- 1 n^+ 型出発基板
- 2 n^- 型ドリフト領域
- 3, 4 p^+ 型領域
- 3a, 3b p^+ 型部分領域
- 5 n 型電流拡散領域
- 5a, 5b n 型部分領域
- 6 p 型ベース領域
- 7 n^+ 型ソース領域
- 8 p^{++} 型コンタクト領域
- 9 ゲートトレンチ
- 9a ゲートトレンチの底面コーナ部
- 9b ゲートトレンチの上部コーナ部
- 9c ゲートトレンチの側壁の段差部
- 10 炭化珪素基板
- 11 ゲート絶縁膜

10

20

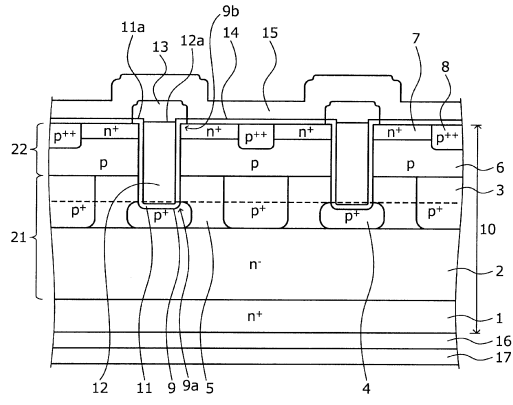
30

40

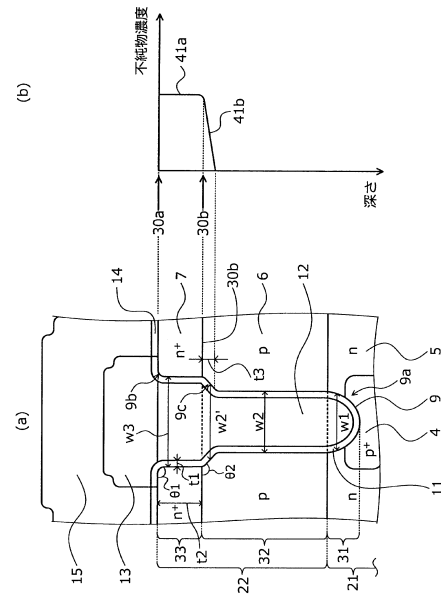
50

1 1 a	ゲート絶縁膜の表面	
1 2	ゲート電極	
1 2 a	ゲート電極の上面	
1 3	層間絶縁膜	
1 4	ソース電極	
1 5	ソースパッド	
1 6	ドレイン電極	
1 7	ドレインパッド	
2 1 , 2 1 a , 2 1 b	n^- 型炭化珪素層	
2 2	p 型炭化珪素層	10
3 0 a	ソース電極と n^+ 型ソース領域との界面	
3 0 b	n^+ 型ソース領域と p 型ベース領域との界面	
3 1	ゲートトレンチの第 1 部位	
3 2	ゲートトレンチの第 2 部位	
3 3	ゲートトレンチの第 3 部位	
4 1 a、4 2 , 4 3	n^+ 型ソース領域の n 型不純物濃度プロファイル	
4 1 b	n 型不純物濃度プロファイルのテール部	
w 1	ゲートトレンチの第 1 部位の幅	
w 2	ゲートトレンチの第 2 部位の幅	
w 2 ' ,	ゲートトレンチの第 2 部位の段差部における幅	20
w 3	ゲートトレンチの第 3 部位の幅	
t 1	ゲート絶縁膜の厚さ	
t 2	n^+ 型ソース領域の厚さ	
t 3	n^+ 型ソース領域の n 型不純物濃度プロファイルのテール部の深さ	
t 1 1	n^- 型ドリフト領域の厚さ	
t 1 2	n 型電流拡散領域の厚さ	
t 1 3	n 型電流拡散領域の、ゲートトレンチに沿った部分の厚さ	

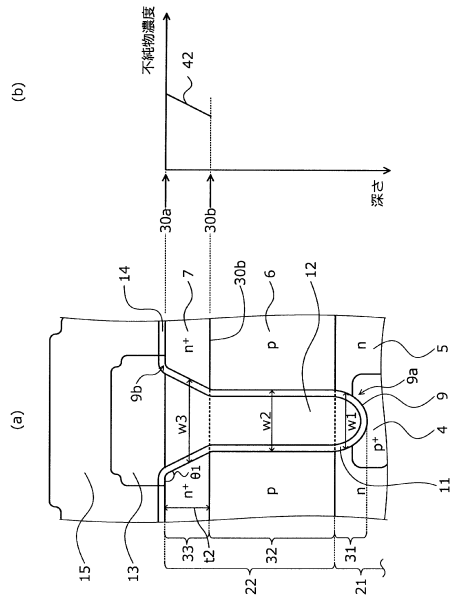
【図1】



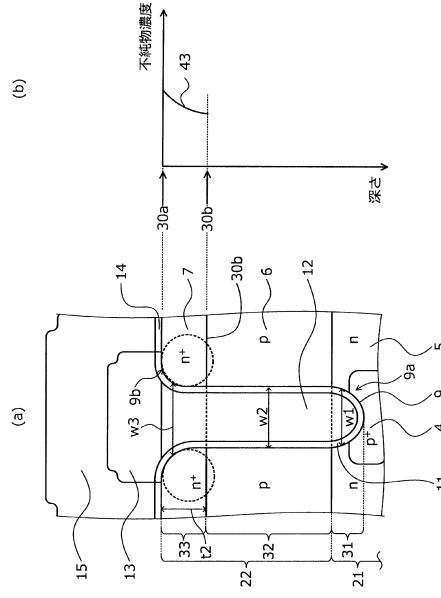
【図2】



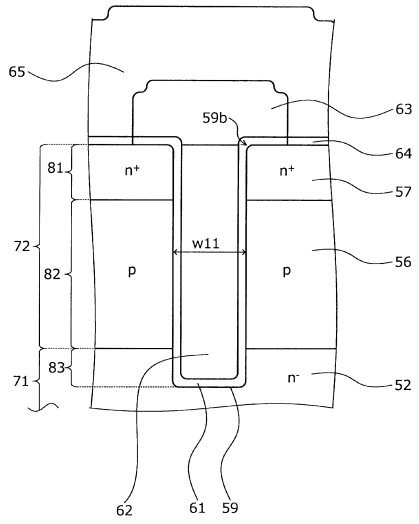
【図3】



【図4】



【図10】



【図11】

	1×10 ⁻³ Aに達する 電圧平均値	8 MV/cmの 電流平均値	8 MV/cmの 素子破壊数
実施例1	43 V	6×10 ⁻³ A	4
実施例2	48 V	5×10 ⁻³ A	3
実施例3	52 V	5×10 ⁻³ A	3
比較例	18 V	1.2×10 ⁻² A	72

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/417 (2006.01) H 0 1 L 29/78 6 5 2 K
H 0 1 L 29/78 6 5 2 P
H 0 1 L 29/78 6 5 8 G
H 0 1 L 21/28 3 0 1 B
H 0 1 L 21/28 3 0 1 R
H 0 1 L 29/50 M

(56)参考文献 米国特許出願公開第2014/0264564(US,A1)
国際公開第2013/042333(WO,A1)
特開2016-122858(JP,A)
特開2012-004312(JP,A)
特開2012-064658(JP,A)
特開2014-038966(JP,A)
特開2008-235546(JP,A)
特開2009-260253(JP,A)
特開2015-220407(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 1 2
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8