



(12)发明专利申请

(10)申请公布号 CN 108346689 A

(43)申请公布日 2018.07.31

(21)申请号 201710058812.5

(22)申请日 2017.01.23

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 赵猛

(74)专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51)Int. Cl.

H01L 29/08(2006.01)

H01L 21/265(2006.01)

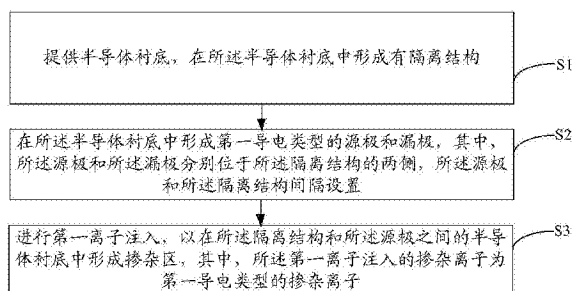
权利要求书2页 说明书13页 附图7页

(54)发明名称

一种半导体器件及其制造方法和电子装置

(57)摘要

本发明提供一种半导体器件及其制造方法和电子装置,包括:提供半导体衬底,在所述半导体衬底中形成有隔离结构;在所述半导体衬底中形成第一导电类型的源极和漏极,其中,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述漏极分别位于所述隔离结构的两侧;进行第一离子注入,以在所述隔离结构和所述源极之间的半导体衬底中形成掺杂区,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。本发明的方法可以有效抑制源/漏极的横向扩散,使驱动电流更稳健,并且使器件的沟道内应力增强,提高了载流子迁移率,改善了短沟道效应,进而提高了器件的性能。



1. 一种半导体器件的制造方法,其特征在于,所述方法包括:
提供半导体衬底,在所述半导体衬底中形成有隔离结构;
在所述半导体衬底中形成第一导电类型的源极和漏极,其中,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置;
进行第一离子注入,以在所述隔离结构和所述源极之间的半导体衬底中形成掺杂区,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。
2. 如权利要求1所述的制造方法,其特征在于,所述掺杂区靠近所述隔离结构。
3. 如权利要求2所述的制造方法,其特征在于,所述掺杂区的深度小于所述漏极的深度。
4. 如权利要求1所述的制造方法,其特征在于,所述第一离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角范围为 $0^{\circ}\sim 40^{\circ}$ 。
5. 如权利要求1所述的制造方法,其特征在于,所述第一导电类型为N型,所述第一导电类型的掺杂离子包括B或 BF_2 或它们的组合。
6. 如权利要求1所述的制造方法,其特征在于,所述第一离子注入的能量范围为10KeV至100KeV,和/或,所述第一离子注入的掺杂剂量范围为 $1\text{E}15/\text{cm}^2$ 至 $1\text{E}16/\text{cm}^2$ 。
7. 如权利要求1所述的制造方法,其特征在于,在所述第一离子注入之后,还包括利用C、N和F中的一种或几种对所述隔离结构和所述源极之间的半导体衬底进行第二离子注入的步骤。
8. 如权利要求7所述的制造方法,其特征在于,所述第二离子注入的能量为0.5KeV至100KeV,和/或,所述第二离子注入的掺杂剂量范围为 $1\text{E}13/\text{cm}^2$ 至 $1\text{E}14/\text{cm}^2$ 。
9. 如权利要求7所述的制造方法,其特征在于,所述第二离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角范围为 $0^{\circ}\sim 40^{\circ}$ 。
10. 如权利要求1所述的制造方法,其特征在于,形成所述源极和所述漏极的方法,包括以下步骤:
在所述半导体衬底上预定形成栅极结构的表面形成掩膜层,其中,所述掩膜层位于所述隔离结构和预定形成的源极之间的所述半导体衬底的表面上;
对所述掩膜层两侧的部分半导体衬底进行源/漏极离子注入,以在所述半导体衬底中形成所述源极和所述漏极。
11. 如权利要求1所述的制造方法,其特征在于,在形成所述源极和所述漏极之前,还包括以下步骤:
在所述半导体衬底中形成所述第一导电类型的第一阱区,之后形成的所述掺杂区位于所述第一阱区内;
在所述半导体衬底中形成第二导电类型的第二阱区,至少部分所述第二阱区位于所述第一阱区中并与所述隔离结构间隔设置,所述源极形成在所述第二阱区内。
12. 如权利要求10所述的制造方法,其特征在于,形成所述源极和所述漏极之后,所述第一离子注入之前,还包括以下步骤:
形成层间介电层,以覆盖所述半导体衬底、所述源极和所述漏极,其中所述层间介电层的顶面和所述掩膜层的顶面齐平;
去除所述掩膜层,以在所述层间介电层中形成开口。

13. 如权利要求1所述的制造方法,其特征在于,在形成所述源极和所述漏极之后,所述第一离子注入之前,还包括进行退火处理,以活化所述半导体衬底中掺杂的掺杂离子的步骤。

14. 如权利要求12所述的制造方法,其特征在于,在所述第一离子注入之后,还包括以下步骤:

在所述层间介电层的所述开口中形成栅极结构,其中,所述栅极结构位于所述隔离结构与所述源极之间的半导体衬底表面上,所述栅极结构填满所述开口,并且所述栅极结构的顶面和所述层间介电层的顶面齐平。

15. 一种半导体器件,其特征在于,包括:

半导体衬底,在所述半导体衬底中形成有隔离结构;

在所述半导体衬底中形成有第一导电类型的源极和漏极,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置;

在所述隔离结构和所述源极之间的所述半导体衬底中形成有掺杂区,在所述掺杂区内掺杂有第一导电类型的掺杂离子。

16. 如权利要求15所述的半导体器件,其特征在于,所述掺杂区靠近所述隔离结构。

17. 如权利要求15所述的半导体器件,其特征在于,所述掺杂区的深度小于所述漏极的深度。

18. 如权利要求15所述的半导体器件,其特征在于,还包括:

在所述半导体衬底上形成有层间介电层,所述层间介电层中形成有开口,所述开口露出所述源极和所述隔离结构之间的区域;

在所述层间介电层的所述开口中形成有栅极结构,其中,所述栅极结构位于所述隔离结构与所述源极之间的半导体衬底表面上,并且所述栅极结构的顶面和所述层间介电层的顶面齐平。

19. 如权利要求15所述的半导体器件,其特征在于,还包括:

在所述半导体衬底中形成有第一导电类型的第一阱区,所述掺杂区位于所述第一阱区内;

在所述半导体衬底中形成有第二导电类型的第二阱区,至少部分所述第二阱区位于所述第一阱区中并与所述隔离结构间隔设置,所述漏极形成在所述第二阱区内。

20. 如权利要求15所述的半导体器件,其特征在于,所述第一导电类型为N型,所述第一导电类型的掺杂离子包括B或BF₂或它们的组合。

21. 如权利要求20所述的半导体器件,其特征在于,在所述掺杂区中还掺杂有C、N和F中的一种或几种。

22. 一种电子装置,其特征在于,所述电子装置包括权利要求15-21之一所述的半导体器件。

一种半导体器件及其制造方法和电子装置

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件及其制造方法和电子装置。

背景技术

[0002] 随着半导体行业的迅猛发展,PIC(Power Integrated Circuit,功率集成电路)不断在多个领域中使用,如电机控制、平板显示驱动控制、电脑外设的驱动控制等等,PIC电路中所使用的功率器件中,DMOS(Double Diffused MOSFET,双扩散金属氧化物半导体场效应管)具有工作电压高、工艺简单、易于同低压CMOS(Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)电路在工艺上兼容等特点而受到广泛关注。

[0003] DMOS主要有两种类型垂直双扩散金属氧化物半导体场效应管VDMOSFET(vertical double-diffused MOSFET,简称VDMOS)和横向双扩散金属氧化物半导体场效应LDMOSFET(lateral double-diffused MOSFET,简称LDMOS)。LDMOS由于更容易与CMOS工艺兼容而在业内被广泛地采用。

[0004] 随着MOS器件的特征尺寸的不断减小,在其制造过程中,对于MOS器件的足够有效的沟道长度的控制变得愈发具有挑战性。为了克服上述难题,现有技术通过多种方法,例如应力技术等,来进一步提升MOS器件的性能。但是,这些方法存在一些不足之处,例如应力技术只是通过提供额外的应力于MOS器件的沟道区来提升其载流子迁移率,例如,对于PLDMOSFET器件,通过具有压应力的SiGe来提供应力,但想利用其进一步地增强应力来提升载流子迁移率却非常困难,另外,目前LDMOS工艺中往往需要在半导体衬底中制备深沟槽隔离结构,而深沟槽隔离结构引起漏端引入的势垒降低(Drain Induced Barrier Lowering, DIBL)效应,并且使器件的饱和阈值电压(V_{tsat})变差,并使沟道内的应力降低。

[0005] 因此,鉴于上述问题的存在,有必要提出一种新的半导体器件的制造方法,以解决现有的技术问题。

发明内容

[0006] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0007] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,所述方法包括:

[0008] 提供半导体衬底,在所述半导体衬底中形成有隔离结构;

[0009] 在所述半导体衬底中形成第一导电类型的源极和漏极,其中,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置;

[0010] 进行第一离子注入,以在所述隔离结构和所述源极之间的半导体衬底中形成掺杂区,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。

[0011] 进一步,所述掺杂区靠近所述隔离结构。

- [0012] 进一步,所述掺杂区的深度小于所述漏极的深度。
- [0013] 进一步,所述第一离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角范围为 $0^{\circ}\sim 40^{\circ}$ 。
- [0014] 进一步,所述第一导电类型为N型,所述第一导电类型的掺杂离子包括B或 BF_2 或它们的组合。
- [0015] 进一步,所述第一离子注入的能量范围为10KeV至100KeV,和/或,所述第一离子注入的掺杂剂量范围为 $1\text{E}15/\text{cm}^2$ 至 $1\text{E}16/\text{cm}^2$ 。
- [0016] 进一步,在所述第一离子注入之后,还包括利用C、N和F中的一种或几种对所述隔离结构和所述源极之间的半导体衬底进行第二离子注入的步骤。
- [0017] 进一步,所述第二离子注入的能量为0.5KeV至100KeV,和/或,所述第二离子注入的掺杂剂量范围为 $1\text{E}13/\text{cm}^2$ 至 $1\text{E}14/\text{cm}^2$ 。
- [0018] 进一步,所述第二离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角范围为 $0^{\circ}\sim 40^{\circ}$ 。
- [0019] 进一步,形成所述源极和所述漏极的方法,包括以下步骤:
- [0020] 在所述半导体衬底上预定形成栅极结构的表面形成掩膜层,其中,所述掩膜层位于所述隔离结构和预定形成的源极之间的所述半导体衬底的表面上;
- [0021] 对所述掩膜层两侧的部分半导体衬底进行源/漏极离子注入,以在所述半导体衬底中形成所述源极和所述漏极。
- [0022] 进一步,在形成所述源极和所述漏极之前,还包括以下步骤:
- [0023] 在所述半导体衬底中形成所述第一导电类型的第一阱区,之后形成的所述掺杂区位于所述第一阱区内;
- [0024] 在所述半导体衬底中形成第二导电类型的第二阱区,至少部分所述第二阱区位于所述第一阱区中并与所述隔离结构间隔设置,所述源极形成在所述第二阱区内。
- [0025] 进一步,形成所述源极和所述漏极之后,所述第一离子注入之前,还包括以下步骤:
- [0026] 形成层间介电层,以覆盖所述半导体衬底、所述源极和所述漏极,其中所述层间介电层的顶面和所述掩膜层的顶面齐平;
- [0027] 去除所述掩膜层,以在所述层间介电层中形成开口。
- [0028] 进一步,在形成所述源极和所述漏极之后,所述第一离子注入之前,还包括进行退火处理,以活化所述半导体衬底中掺杂的掺杂离子的步骤。
- [0029] 进一步,在所述第一离子注入之后,还包括以下步骤:
- [0030] 在所述层间介电层的所述开口中形成栅极结构,其中,所述栅极结构位于所述隔离结构与所述源极之间的半导体衬底表面上,所述栅极结构填满所述开口,并且所述栅极结构的顶面和所述层间介电层的顶面齐平。
- [0031] 本发明另一方面提供一种半导体器件,包括:
- [0032] 半导体衬底,在所述半导体衬底中形成有隔离结构;
- [0033] 在所述半导体衬底中形成有第一导电类型的源极和漏极,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置;
- [0034] 在所述隔离结构和所述源极之间的所述半导体衬底中形成有掺杂区,在所述掺杂

区内掺杂有第一导电类型的掺杂离子。

[0035] 进一步,所述掺杂区靠近所述隔离结构。

[0036] 进一步,所述掺杂区的深度小于所述漏极的深度。

[0037] 进一步,还包括:

[0038] 在所述半导体衬底上形成有层间介电层,所述层间介电层中形成有开口,所述开口露出所述源极和所述隔离结构之间的区域;

[0039] 在所述层间介电层的所述开口中形成有栅极结构,其中,所述栅极结构位于所述隔离结构与所述源极之间的半导体衬底表面上,并且所述栅极结构的顶面和所述层间介电层的顶面齐平。

[0040] 进一步,还包括:

[0041] 在所述半导体衬底中形成有第一导电类型的第一阱区,所述掺杂区位于所述第一阱区内;

[0042] 在所述半导体衬底中形成有第二导电类型的第二阱区,至少部分所述第二阱区位于所述第一阱区中并与所述隔离结构间隔设置,所述漏极形成在所述第二阱区内。

[0043] 进一步,所述第一导电类型为N型,所述第一导电类型的掺杂离子包括B或BF₂或它们的组合。

[0044] 进一步,在所述掺杂区中还掺杂有C、N和F中的一种或几种。

[0045] 本发明再一方面提供一种电子装置,所述电子装置包括前述的半导体器件。

[0046] 根据本发明的制造方法,通过第一离子注入,在所述隔离结构和所述源极之间的半导体衬底中形成第一导电类型的掺杂区,由于掺杂区位于所述隔离结构与源极之间,可以有效抑制源/漏极的横向扩散,使驱动电流更稳健,并且使器件的沟道内应力增强,提高了载流子迁移率,改善了短沟道效应,进而提高了器件的性能。

附图说明

[0047] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0048] 附图中:

[0049] 图1A至图1D示出了现有的一种PLDMOS器件的制造方法的相关步骤所获得的器件的剖面示意图;

[0050] 图2A至图2H示出了本发明一个实施方式的半导体器件的制造方法的相关步骤所获得的器件的剖面示意图;

[0051] 图3示出了本发明一个实施方式的半导体器件的制造方法的工艺流程图;

[0052] 图4示出了本发明一实施例中的电子装置的示意图。

具体实施方式

[0053] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0054] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0055] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0056] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0057] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用时,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0058] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的轻掺杂漏极在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从轻掺杂漏极到非轻掺杂漏极的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0059] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0060] 下面,参考图1A至图1D对目前的一种PLDMOS器件的制造方法做简单说明,其中,图1A至图1D示出了现有的一种PLDMOS器件的制造方法的相关步骤所获得的器件的剖面示意图。

[0061] 首先,如图1A所示,提供半导体衬底,在半导体衬底中形成隔离结构102,其中该隔离结构为在深沟槽中填充隔离材料而获得,为深沟槽隔离结构,在进行离子注入,以在半导体衬底中形成P型阱区101,其中,所述隔离结构的底部位于所述P型阱区中;

[0062] 接着,如图1B所示,在半导体衬底表面上形成图案化的光刻胶层,以该图案化的光刻胶层为掩膜,进行离子注入,以在所述P型阱中形成N型阱区103;

[0063] 接着,如图1C所示,对所述半导体衬底中的部分沟道区域进行阈值电压离子注入,以形成阈值电压注入区,调整阈值电压;

[0064] 接着,如图1D所示,在半导体衬底上形成栅极结构,所述栅极结构包括依次层叠的栅极介电层1051和栅极层1052,进行源/漏极离子注入,以在栅极结构两侧的半导体衬底中形成源极1061和漏极1062,其中所述源极和所述漏极分别位于隔离结构的两侧,所述源极1061位于所述N型阱区103内,漏极1062位于P型阱区101内。

[0065] 随着MOS器件的特征尺寸的不断减小,在其制造过程中,对于MOS器件的足够有效的沟道长度的控制变得愈发具有挑战性。为了克服上述难题,现有技术通过多种方法,例如应力技术等,来进一步提升MOS器件的性能。但是,这些方法存在一些不足之处,例如应力技术只是通过提供额外的应力于MOS器件的沟道区来提升其载流子迁移率,例如,对于PLDMOSFET器件,通过具有压应力的SiGe来提供应力,但想利用其进一步地增强应力来提升载流子迁移率却非常困难,另外,目前LDMOS工艺中往往需要在半导体衬底中制备深沟槽隔离结构,而深沟槽隔离结构引起漏端引入的势垒降低(Drain Induced Barrier Lowering, DIBL)效应,并且使器件的饱和阈值电压(V_{tsat})变差,并使沟道内的应力降低。

[0066] 实施例一

[0067] 为了解决前述的技术问题,提高器件的性能,本发明实施例中提供一种半导体器件的制造方法,如图3所示,所述方法主要包括:

[0068] 步骤S1:提供半导体衬底,在所述半导体衬底中形成有隔离结构;

[0069] 步骤S2:在所述半导体衬底中形成第一导电类型的源极和漏极,其中,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置;

[0070] 步骤S3:进行第一离子注入,以在所述隔离结构和所述源极之间的半导体衬底中形成掺杂区,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。

[0071] 根据本发明的制造方法,通过第一离子注入,在所述隔离结构和所述源极之间的半导体衬底中形成第一导电类型的掺杂区,由于掺杂区位于所述隔离结构与源极之间,可以有效抑制源/漏极的横向扩散,使驱动电流更稳健,并且使器件的沟道内应力增强,提高了载流子迁移率,改善了短沟道效应,进而提高了器件的性能。

[0072] 具体地,下面参考图2A-图2H对本发明的半导体器件的制造方法做详细描述,其中,图图2A-图2H示出了本发明一个实施方式的半导体器件的制造方法的相关步骤所获得的器件的剖面示意图。其中,本发明的半导体器件可以为LDMOS器件,也可以为包括该LDMOS的其他器件,本实施例中,主要以PLDMOS器件为例对本发明的方法进行解释和说明。

[0073] 执行步骤一,提供半导体衬底,在所述半导体衬底中形成有隔离结构。

[0074] 具体地,如图2A所示,提供半导体衬底,在所述半导体衬底中形成有隔离结构202。

[0075] 具体地,所述半导体衬底可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅

(SiGeOI)以及绝缘体上锗(GeOI)等。作为示例,在本实施例中,半导体衬底的构成材料选用单晶硅。

[0076] 示例性地,所述半导体衬底可以为P型衬底,或者N型衬底,具体根据预定形成的器件类型进行合理选择。

[0077] 在一个示例中,所述隔离结构靠近预定形成漏极的区域。其中,隔离结构可以为深沟槽隔离结构。

[0078] 在一个示例中,形成所述隔离结构的步骤包括:在已定义有源区的半导体衬底上形成第一氧化硅层和氮化层;刻蚀所述第一氧化硅层、氮化层和部分深度的衬底,以在所述有源区之间形成沟槽;在所述沟槽内形成隔离材料,例如氧化硅,所述隔离材料覆盖所述氮化层;平坦化所述第二氧化硅层,以暴露覆盖所述的氮化层;去除所述氮化层,进而形成隔离结构。

[0079] 随后,执行步骤二,在所述半导体衬底中形成第一导电类型的第一阱区。

[0080] 继续参考图2A,对半导体衬底中预定形成所述第一阱区的区域进行离子注入,以形成具有第一导电类型的第一阱区201。

[0081] 其中,所述第一导电类型为N型,本步骤中离子注入的掺杂离子为N型掺杂离子,例如磷、砷或他们的组合等;所述第一导电类型为P型时,离子注入的掺杂离子为P型掺杂离子,例如B、BF₂或In或它们的组合。

[0082] 其中,离子注入的剂量和能量等可根据实际的器件的需要进行合理设定。

[0083] 本实施例中,对于制备PLDMOS器件,则所述第一阱区201为P型阱区。

[0084] 进一步地,所述隔离结构的底部位于所述第一阱区201中。

[0085] 随后,执行步骤三,在所述半导体衬底中形成第二导电类型的第二阱区,至少部分所述第二阱区位于所述第一阱区中并与所述隔离结构间隔设置。

[0086] 示例性地,如图2B所示,形成所述第二阱区的步骤包括:在半导体衬底的表面上形成图案化的光刻胶层20,可通过光刻工艺的涂覆、曝光和显影等步骤形成所述光刻胶层20,其中,该图案化的光刻胶层20露出所述半导体衬底中预定形成第二阱区的区域;再以所述图案化的光刻胶层为掩膜,进行离子注入,以形成第二导电类型的第二阱区203。

[0087] 其中,所述第一阱区和所述第二阱区具有相反的导电类型,所述第二导电类型为N型时,本步骤中离子注入的掺杂离子为N型掺杂离子,例如磷、砷或他们的组合等;所述第二导电类型为P型,离子注入的掺杂离子为P型掺杂离子,例如B、BF₂或In或它们的组合。

[0088] 其中,离子注入的剂量和能量等可根据实际的器件的需要进行合理设定。

[0089] 本实施例中,对于制备PLDMOS器件,则所述第二阱区203为N型阱区。

[0090] 进一步地,所述第二阱区203的注入深度小于所述第一阱区201的注入深度。

[0091] 形成所述第二阱区203之后,还包括将所述图案化的光刻胶层去除的步骤,例如使用灰化的方法去除所述光刻胶层。

[0092] 在一个示例中,在形成所述第二阱区之后,还包括进行阈值电压离子注入,以在所述第一阱区的表面形成阈值电压注入区,用于调整阈值电压,其中,所述阈值电压离子注入的掺杂离子为第一导电类型的掺杂离子。其中,形成的阈值电压注入区位于沟道区内。

[0093] 随后,执行步骤四,在所述半导体衬底上预定形成栅极结构的表面形成掩膜层,其中,所述掩膜层位于所述隔离结构和预定形成的源极之间的所述半导体衬底的表面上。

[0094] 具体地,如图2C所示,在所述半导体衬底上预定形成栅极结构的表面形成掩膜层,其中,所述掩膜层位于所述隔离结构和预定形成的源极之间的所述半导体衬底的表面上,其中,所述掩膜层为硬掩膜层,所述硬掩膜层包括依次层叠的第一硬掩膜层2041和第二硬掩膜层2042。

[0095] 所述硬掩膜层可以为本领域技术人员熟知的可以作为硬掩膜的材料,例如,硬掩膜材料为氮化硅,较佳地,硬掩膜材料还可以为氮化硅材料层与其他适合的膜层的叠层等,例如,第一硬掩膜层2041为氧化物,尤其是氧化硅,第二硬掩膜层2042为氮化物,尤其是氮化硅。

[0096] 在一个示例中,形成所述掩膜层的步骤包括:在所述半导体衬底的表面上依次沉积第一硬掩膜层2041和第二硬掩膜层2042,再在所述第二硬掩膜层2042上涂覆光刻胶层205,对所述光刻胶层205进行光刻工艺的显影曝光等步骤,以对其进行图案化,其中,图案化的光刻胶层定义覆盖预定形成的掩膜层的表面;再以所述光刻胶层205为掩膜,依次刻蚀所述第二硬掩膜层2042和第一硬掩膜层2041,停止于所述半导体衬底的表面上,以形成图案化的硬掩膜层。

[0097] 其中,可以使用湿法刻蚀或者干法刻蚀等任意适合的刻蚀方法执行对第二硬掩膜层2042和第一硬掩膜层2041的刻蚀,较佳地使用干法刻蚀。

[0098] 之后,还包括将所述图案化的光刻胶层去除的步骤,例如使用灰化的方法去除所述光刻胶层。

[0099] 随后,执行步骤五,在所述半导体衬底中形成第一导电类型的源极和漏极,其中,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置。

[0100] 具体地,如图2D所示,在所述半导体衬底中形成第一导电类型的源极2061和漏极2062,其中,所述源极2061和所述漏极2062分别位于所述隔离结构202的两侧,所述源极2061和所述隔离结构202间隔设置,所述漏极2062靠近所述隔离结构202。

[0101] 在一个示例中,以所述掩膜层为掩膜,对所述掩膜层两侧的部分半导体衬底进行源/漏极离子注入,以在所述半导体衬底中形成所述源极2061和所述漏极2062。

[0102] 其中,第一导电类型为P型时,本实施例中,执行的为P型掺杂离子的源/漏极重掺杂工艺,形成的为P型重掺杂源/漏极。P型掺杂离子包括但不限于硼离子、镓离子或者它们的组合。

[0103] 第一导电类型为N型,本实施例中,执行的为N型掺杂离子的源/漏极重掺杂工艺,形成的为N型重掺杂源/漏极。N型掺杂离子包括但不限于磷、砷或者它们的组合。

[0104] 其中,形成的源极2061位于所述第二阱区203内,形成的漏极2062位于所述第一阱区203内。

[0105] 随后,执行步骤六,在所述半导体衬底上形成层间介电层,所述层间介电层中形成有开口,所述开口露出所述源极和所述隔离结构之间的区域。

[0106] 在一个示例中,如图2E和图2F所示,形成所述层间介电层207和所述开口2071的方法包括以下步骤:

[0107] 首先,如图2E所示,沉积形成层间介电层207,以覆盖所述半导体衬底以及所述掩膜层,并执行平坦化步骤,停止于所述掩膜层的表面上,使所述层间介电层的顶面和所述掩膜层的顶面齐平。

[0108] 层间介电层207可为氧化硅层,包括利用热化学气相沉积(thermal CVD)制造工艺或高密度等离子体(HDP)制造工艺形成的有掺杂或未掺杂的氧化硅的材料层,例如未经掺杂的硅玻璃(USG)、磷硅玻璃(PSG)或硼磷硅玻璃(BPSG)。此外,层间介电层也可以是掺杂硼或掺杂磷的自旋涂布式玻璃(spin-on-glass,SOG)、掺杂磷的四乙氧基硅烷(PTEOS)或掺杂硼的四乙氧基硅烷(BTEOS)。

[0109] 所述平坦化处理的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。

[0110] 接着,如图2F所示,去除所述掩膜层,以在层间介电层中形成开口2071,具体地,可使用刻蚀的方法去除所述掩膜层,例如湿法刻蚀或者干法刻蚀的方法,其中,在所述掩膜层包括依次层叠的氮化硅和氧化硅时,可以使用湿法刻蚀的方法将其依次去除,例如使用热的磷酸作为刻蚀剂去除氮化硅。

[0111] 在一个示例中,在形成所述源极和所述漏极之后,还包括进行退火处理,以活化所述半导体衬底中掺杂的掺杂离子的步骤。退火处理为快速升温退火工艺,利用900℃至1050℃的高温来活化源极/漏极区域内的掺杂质,并同时修补在各离子注入工艺中受损的半导体衬底表面的晶格结构。

[0112] 该退火处理步骤还可以在形成所述层间介电层之后进行。

[0113] 随后,进行步骤七、进行第一离子注入,以在所述隔离结构和所述源极之间的半导体衬底中形成第一导电类型的掺杂区,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。

[0114] 具体地,如图2G所示,进行第一离子注入,以在所述隔离结构202和所述源极2061之间的半导体衬底中形成第一导电类型的掺杂区208,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。

[0115] 进一步地,所述掺杂区208形成在所述隔离结构202和所述源极2061之间并靠近所述隔离结构202。

[0116] 进一步地,所述掺杂区208形成在所述第一阱区中,所述掺杂区208具有和所述第一阱区相同的导电类型。

[0117] 其中,该所述掺杂区208的深度小于所述漏极2062的深度。

[0118] 可选地,所述第一离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角 α 范围为 $0^\circ \sim 40^\circ$ 。

[0119] 进一步地,为了使形成的掺杂区靠近所述隔离结构,可以使所述第一离子注入的注入方向指向所述隔离结构,而所述第一离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角 α 范围为 $0^\circ \sim 40^\circ$ 。

[0120] 本实施例中,所述第一导电类型为P型时,所述第一导电类型的掺杂离子为P型掺杂离子,例如,B或 BF_2 或In或它们的组合。

[0121] 在其他实施例中,第一导电类型可以为N型,N型掺杂离子,例如为磷或砷或它们的组合。

[0122] 进一步地,所述第一离子注入的能量范围为10KeV至100KeV,和/或,所述第一离子注入的掺杂剂量范围为 $1\text{E}15/\text{cm}^2$ 至 $1\text{E}16/\text{cm}^2$ 。上述数值范围仅作为示例,对于任意适合的能量和剂量也可同样适用于本发明。

[0123] 在一个示例中,在所述第一离子注入之后,还包括利用C、N和F中的一种或几种对所述隔离结构和所述源极之间的半导体衬底进行第二离子注入的步骤。

[0124] 可选地,所述第二离子注入的能量为0.5KeV至100KeV,和/或,所述第二离子注入的掺杂剂量范围为 $1E13/cm^2$ 至 $1E14/cm^2$ 。上述数值范围仅作为示例,对于任意适合的能量和剂量也可同样适用于本发明。

[0125] 可选地,所述第二离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角 α 范围为 $0^\circ\sim 40^\circ$ 。

[0126] 进一步地,为了使形成的掺杂区靠近所述隔离结构,可以使所述第二离子注入的注入方向指向所述隔离结构,所述第二离子注入的注入方向与所述半导体衬底表面垂直的方向的夹角 α 范围为 $0^\circ\sim 40^\circ$ 。

[0127] 其中,所述第二离子注入和所述第一离子注入的注入方向相同,第二离子注入的注入离子也同样注入到所述掺杂区208中。

[0128] 其中,第二离子注入的剂量小于第一离子注入的剂量,所述第二离子注入的能量小于或者等于第一离子注入的能量。

[0129] 在本步骤中,第一离子注入和第二离子注入在注入时,层间介电层可以作为掩膜,进而对其注入到半导体衬底中的位置有一定的限定作用。

[0130] 其中,形成的掺杂区位于沟道区内,例如,掺杂区位于沟道区靠近所述隔离结构一侧的边缘。

[0131] 并且,本发明仅在源极和隔离结构之间形成掺杂区为不对称结构,与现有的在源极和栅极结构以及漏极和栅极结构之间均形成轻掺杂漏极的对称结构不同。

[0132] 在本步骤中,形成的掺杂区208可以称为轻掺杂漏极(LDD),该掺杂区208由于形成在隔离结构和源极之间并靠近所述隔离结构,因此可以有效的源漏极的横向扩散,改善LDMOS器件的驱动电流(drive current),第一离子注入结合利用低剂量的C、N和F中的一种或几种进行的第二离子注入,可以在不对沟道区的应力造成伤害的前提下更进一步地提高器件的性能。

[0133] 随后,执行步骤八,在所述层间介电层的所述开口中形成栅极结构,其中,所述栅极结构位于所述隔离结构与所述源极之间的半导体衬底表面上,所述栅极结构填充满所述开口,并且所述栅极结构的顶面和所述层间介电层的顶面齐平。

[0134] 具体地,参考图2H,在所述层间介电层207的所述开口中形成栅极结构203,其中,所述栅极结构209位于所述隔离结构202与所述源极2061之间的半导体衬底表面上,所述栅极结构209填充满所述开口,并且所述栅极结构209的顶面和所述层间介电层207的顶面齐平。

[0135] 在一个示例中,所述栅极结构209包括形成在半导体衬底表面上的栅极介电层2091,以及形成在所述栅极介电层2091表面上的栅极层2092。

[0136] 示例性地,形成所述栅极结构的方法包括:通过热氧化或者化学氧化的方法,层间介电层的开口中露出的半导体衬底的表面上形成栅极介电层2091,该栅极介电层2091为氧化物,例如氧化硅;再沉栅极层填充满所述开口,并溢出到所述层间介电层的表面上,再执行平坦化停止于层间介电层的表面上,以形成栅极结构。其中,由于层间介电层中的开口的尺寸与栅极结构的尺寸基本相同,因此可以使用该方法形成栅极结构。

[0137] 利用传统沉积工艺在开口中露出的半导体衬底的表面形成栅极介电层2091。或者,栅极介电层可以通过热氧化、氮化或氧氮化工艺形成。在形成栅极介电层时,也可以组合使用上述工艺。栅极介电层可以包括如下的任何传统电介质:SiO₂、Si₃N₄、SiON、SiON₂、诸如TiO₂、Al₂O₃、ZrO₂、HfO₂、Ta₂O₅、La₂O₃的高k电介质以及包括钙钛矿型氧化物的其它类似氧化物,但不限于此。通常,高k电介质能经受高温(900℃)退火。栅极介电层也可以包括上述电介质材料的任何组合。

[0138] 栅极层2092形成于栅极介电层2091上。在一实施例中,栅极层由多晶硅材料组成,一般也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极层的材料。栅极介电层以及栅极层优选的形成方法包括化学气相沉积法(CVD),如低温化学气相沉积(LTCVD)、低压化学气相沉积(LPCVD)、快热化学气相沉积(LTCVD)、等离子体化学气相沉积(PECVD),也可使用例如溅镀及物理气相沉积(PVD)等一般相似方法。

[0139] 至此,完成了本实施例的半导体器件的制造方法的关键步骤的介绍。对于完整的器件制备还可以包括其他步骤,在此并不进行限定。需要解释的是,此外,在本实施例中,“N型”是指掺杂有N型掺杂离子,“P型”是指掺杂有P型掺杂离子。

[0140] 综上所述,本发明的方法一方面的作用在于形成掺杂区,通过将电荷转移至衬底(例如SOI)来消除源/漏极电场对沟道的影响,进而改善器件的DIBL和提高载流子迁移率;本发明的方法的另一方面作用在于消除源/漏极扩散进入沟道以避免对沟道本身造成负面影响,同时高剂量的N型掺杂离子(例如氟化硼)形成的掺杂区还可以产生大的应力,由于该掺杂区位于沟道的边缘,因此该应力作用于沟道可以进一步提高载流子迁移率,改善短沟道效应,使驱动电流更稳健,进而提高了器件的性能。

[0141] 实施例二

[0142] 本发明还提供一种半导体器件,所述半导体器件由前述的实施例一中的制造方法制备获得。

[0143] 下面参考图2H对本发明的半导体器件的结构做详细描述。其中,本实施例中主要以PLDMOS器件为例。

[0144] 具体地,如图2H所示,本发明的半导体器件包括半导体衬底,在所述半导体衬底中形成有隔离结构202。

[0145] 具体地,所述半导体衬底可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。作为示例,在本实施例中,半导体衬底的构成材料选用单晶硅。

[0146] 示例性地,所述半导体衬底可以为P型衬底,或者N型衬底,具体根据预定形成的器件类型进行合理选择。

[0147] 其中,所述隔离结构202位于所述半导体衬底中,所述隔离结构202中填充有隔离材料,例如氧化硅。

[0148] 在一个示例中,在所述半导体衬底中形成有第一导电类型的第一阱区201。

[0149] 本实施例中,对于PLDMOS器件,则所述第一阱区201为P型阱区。

[0150] 进一步地,所述隔离结构202的底部位于所述第一阱区201中。

[0151] 其中,对于NLD MOS器件,所述第一导电类型还可以为N型,则所述第一阱区201为N

型阱区。

[0152] 在一个示例中,在所述半导体衬底中还形成有第二导电类型的第二阱区203,至少部分所述第二阱区203位于所述第一阱区201中并与所述隔离结构202间隔设置。

[0153] 其中,所述第一阱区和所述第二阱区具有相反的导电类型。

[0154] 本实施例中,对于PLDMOS器件,则所述第二阱区203为N型阱区。

[0155] 进一步地,所述第二阱区203的注入深度小于所述第一阱区201的注入深度。

[0156] 进一步地,在所述半导体衬底中形成有第一导电类型的源极2061和漏极2062,所述源极2061和所述漏极2061分别位于所述隔离结构202的两侧,所述源极2061和所述隔离结构202间隔设置。

[0157] 其中,在所述半导体器件为PLDMOS器件时,所述第一导电类型为P型,所述源极和漏极为P型源极和漏极。

[0158] 其中,第一导电类型为P型,本实施例中,执行的为P型掺杂离子的源/漏极重掺杂工艺,形成的为P型重掺杂源/漏极。P型掺杂离子包括但不限于硼离子、镉离子或者它们的组合。

[0159] 第一导电类型为N型,本实施例中,执行的为N型掺杂离子的源/漏极重掺杂工艺,形成的为N型重掺杂源/漏极。N型掺杂离子包括但不限于磷、砷或者它们的组合。

[0160] 其中,源极2061位于所述第二阱区203内,漏极2062位于所述第一阱区203内。

[0161] 进一步地,在所述隔离结构202和所述源极2061之间的半导体衬底中形成有第一导电类型的掺杂区208,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。

[0162] 其中,所述第一导电类型为P型,在所述掺杂区中掺杂有P型掺杂离子,例如B或BF₂或In或它们的组合。

[0163] 在其他实施例中,第一导电类型可以为N型,在所述掺杂区中掺杂有N型掺杂离子,例如为磷或砷或它们的组合。

[0164] 进一步地,所述掺杂区208形成在所述隔离结构202和所述源极2061之间并靠近所述隔离结构202。

[0165] 进一步地,所述掺杂区208的深度小于所述漏极2062和源极2061的深度。

[0166] 其中,形成的掺杂区208位于沟道区内,例如,掺杂区位于沟道区靠近所述隔离结构一侧的边缘。

[0167] 在一个示例中,在所述掺杂区内还掺杂有低剂量的C、N和F中的一种或几种,其中,C、N和F的浓度和深度均小于掺杂区中掺杂的第一导电类型的掺杂离子的浓度和深度。

[0168] 并且,本发明仅在源极和隔离结构之间形成有掺杂区为不对称结构,与现有的在源极和栅极结构以及漏极和栅极结构之间均形成轻掺杂漏极的对称结构不同。

[0169] 掺杂区208可以称为轻掺杂漏极(LDD),该掺杂区208由于形成在隔离结构和源极之间并靠近所述隔离结构,因此可以有效的源漏极的横向扩散,改善LDMOS器件的驱动电流(drive current),第一离子注入结合利用低剂量的C、N和F中的一种或几种进行的第二离子注入,可以在不对沟道区的应力造成伤害的前提下更进一步地提高器件的性能。

[0170] 进一步地,在所述半导体衬底上形成有层间介电层207,所述层间介电层207中形成有开口,所述开口露出所述源极2061和所述隔离结构202之间的区域。

[0171] 层间介电层207可为氧化硅层,包括利用热化学气相沉积(thermal CVD)制造工艺

或高密度等离子体 (HDP) 制造工艺形成的有掺杂或未掺杂的氧化硅的材料层,例如未经掺杂的硅玻璃 (USG)、磷硅玻璃 (PSG) 或硼磷硅玻璃 (BPSG)。此外,层间介电层也可以是掺杂硼或掺杂磷的自旋涂布式玻璃 (spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷 (PTEOS) 或掺杂硼的四乙氧基硅烷 (BTEOS)。

[0172] 在一个示例中,在所述层间介电层207的所述开口中形成有栅极结构209,其中,所述栅极结构209位于所述隔离结构202与所述源极2061之间的半导体衬底表面上,所述栅极结构209填充所述开口,并且所述栅极结构209的顶面和所述层间介电层207的顶面齐平。

[0173] 在一个示例中,所述栅极结构209包括形成在半导体衬底表面上的栅极介电层2091,以及形成在所述栅极介电层2091表面上的栅极层2092。

[0174] 利用传统沉积工艺在开口中露出的半导体衬底的表面形成栅极介电层2091。或者,栅极介电层可以通过热氧化、氮化或氧氮化工艺形成。在形成栅极介电层时,也可以组合使用上述工艺。栅极介电层可以包括如下的任何传统电介质:SiO₂、Si₃N₄、SiON、SiON₂、诸如TiO₂、Al₂O₃、ZrO₂、HfO₂、Ta₂O₅、La₂O₃的高k电介质以及包括钙钛矿型氧化物的其它类似氧化物,但不限于此。通常,高k电介质能经受高温(900℃)退火。栅极介电层也可以包括上述电介质材料的任何组合。

[0175] 栅极层2092形成于栅极介电层2091上。在一实施例中,栅极层由多晶硅材料组成,一般也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极层的材料。栅极介电层以及栅极层优选的形成方法包括化学气相沉积法(CVD),如低温化学气相沉积(LTCVD)、低压化学气相沉积(LPCVD)、快热化学气相沉积(LTCVD)、等离子体化学气相沉积(PECVD),也可使用例如溅镀及物理气相沉积(PVD)等一般相似方法。

[0176] 至此完成了对本发明的半导体器件的关键结构的介绍,对于完整的器件还可能包括其他的构件,在此不做一一赘述。

[0177] 本发明的半导体器件,由于采用了上述制造方法,因而同样具有上述优点。

[0178] 根据本发明的半导体器件在所述隔离结构和所述源极之间的半导体衬底中形成有第一导电类型的掺杂区,由于掺杂区位于所述隔离结构与源极之间(例如,位于沟道的边缘区域),可以有效抑制源/漏极的横向扩散,使驱动电流更稳健,并且使器件的沟道内应力增强,提高了载流子迁移率,改善了短沟道效应,进而提高了器件的性能。

[0179] 实施例三

[0180] 本发明的另一个实施例提供一种电子装置,其包括半导体器件,该半导体器件为前述实施例二中的半导体器件,或根据实施例一所述的半导体器件的制备方法所制得的半导体器件。

[0181] 该电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可以是具有上述半导体器件的中间产品,例如:具有该集成电路的手机主板等。

[0182] 由于包括的半导体器件具有更高的性能,该电子装置同样具有上述优点。

[0183] 其中,图4示出移动电话手机的示例。移动电话手机400被设置有包括在外壳401中的显示部分402、操作按钮403、外部连接端口404、扬声器405、话筒406等。

[0184] 其中所述移动电话手机包括前述实施例二的半导体器件,或根据实施例一所述的半导体器件的制备方法所制得的半导体器件,所述半导体器件包括:

[0185] 提供半导体衬底,在所述半导体衬底中形成有隔离结构;

[0186] 在所述半导体衬底中形成第一导电类型的源极和漏极,其中,所述源极和所述漏极分别位于所述隔离结构的两侧,所述源极和所述隔离结构间隔设置;

[0187] 进行第一离子注入,以在所述隔离结构和所述源极之间的半导体衬底中形成掺杂区,其中,所述第一离子注入的掺杂离子为第一导电类型的掺杂离子。

[0188] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

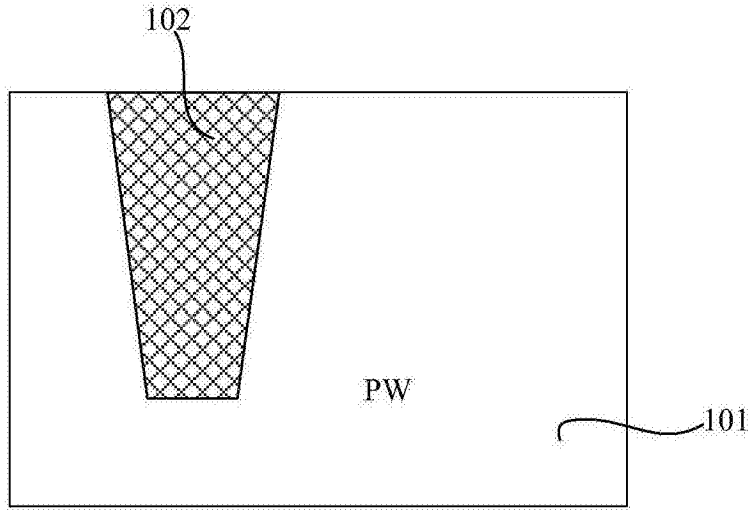


图1A

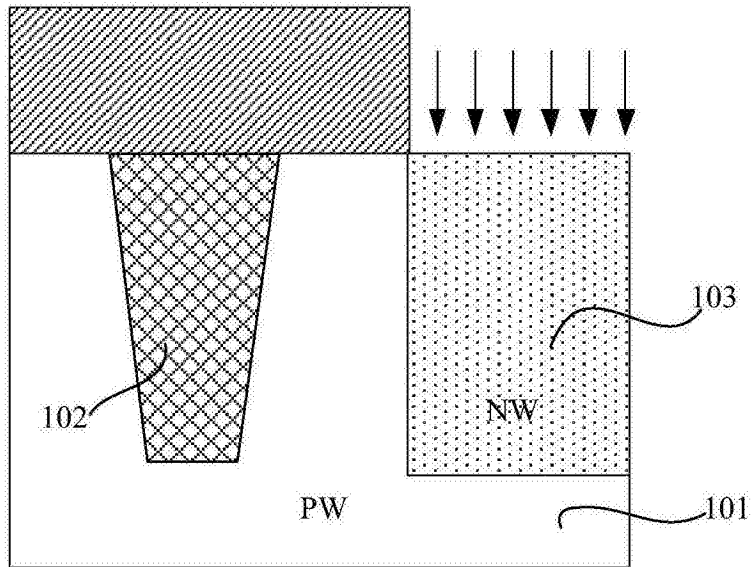


图1B

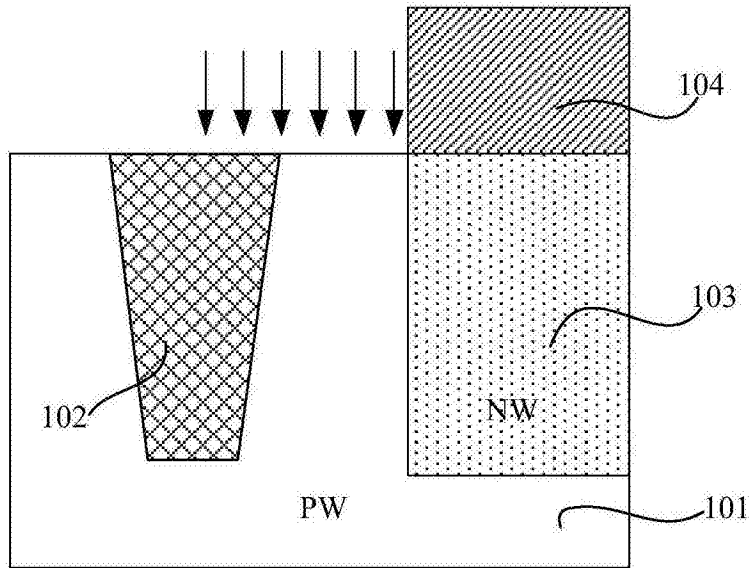


图1C

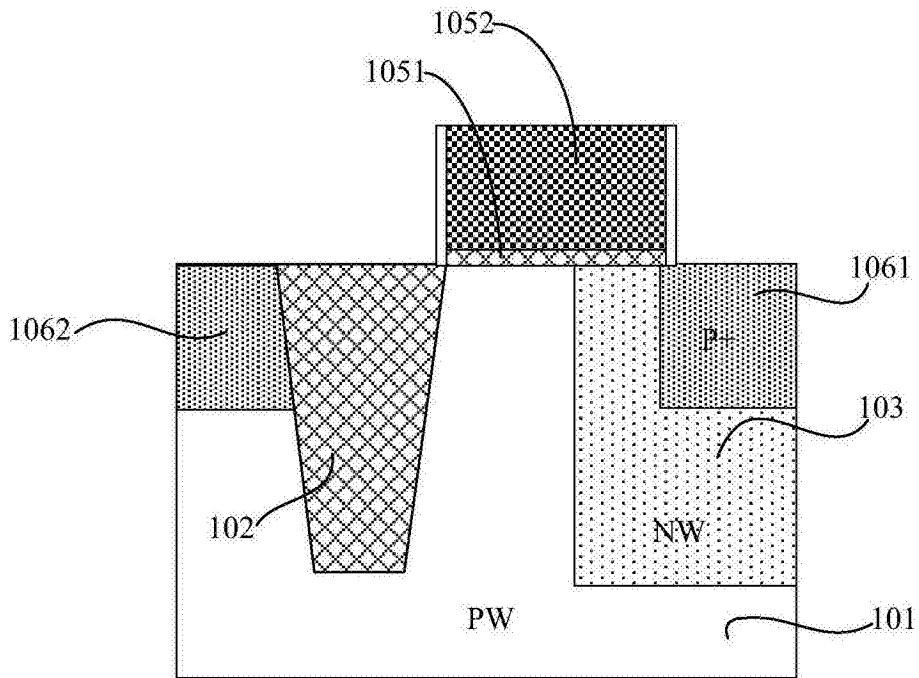


图1D

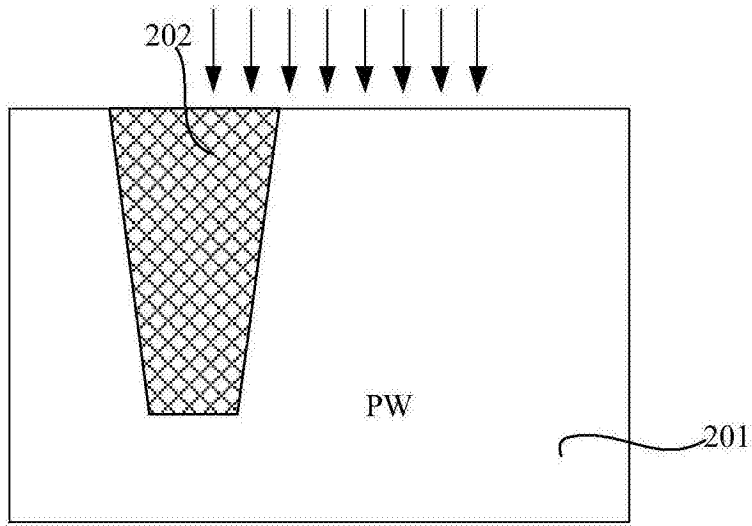


图2A

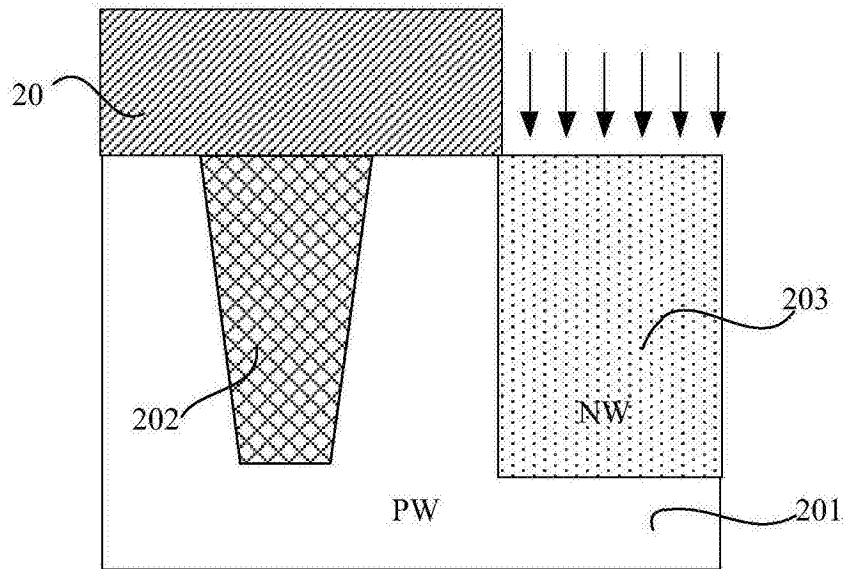


图2B

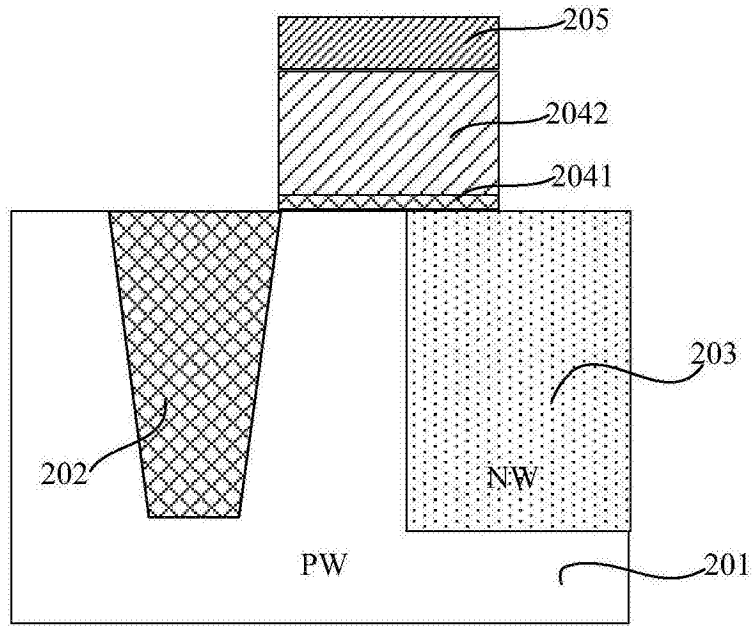


图2C

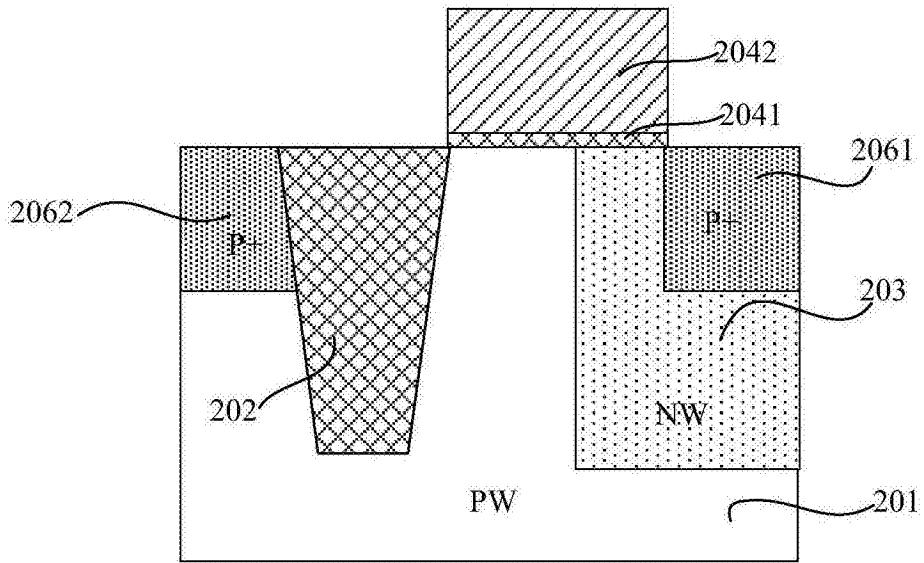


图2D

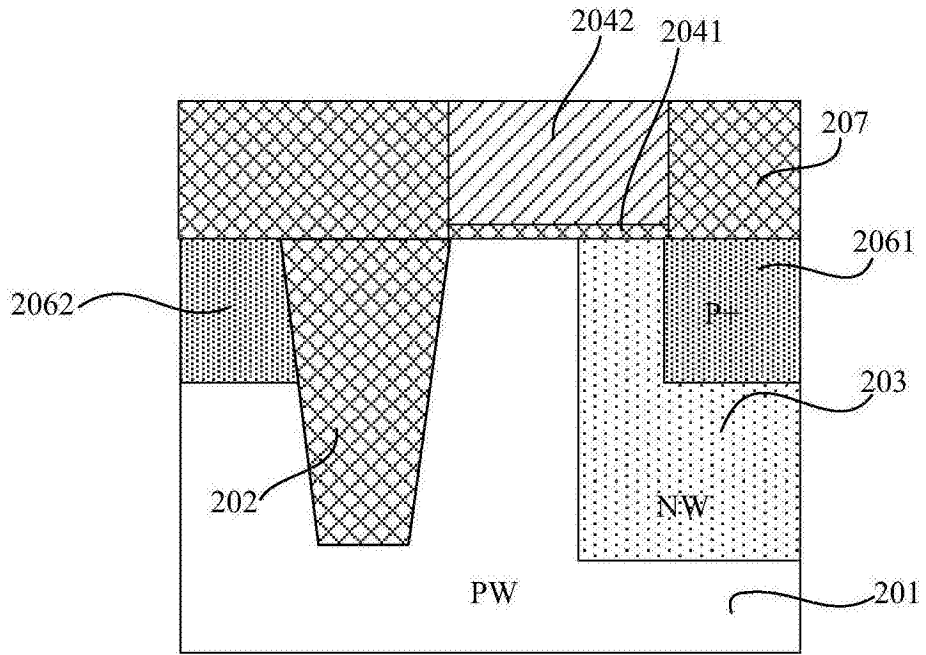


图2E

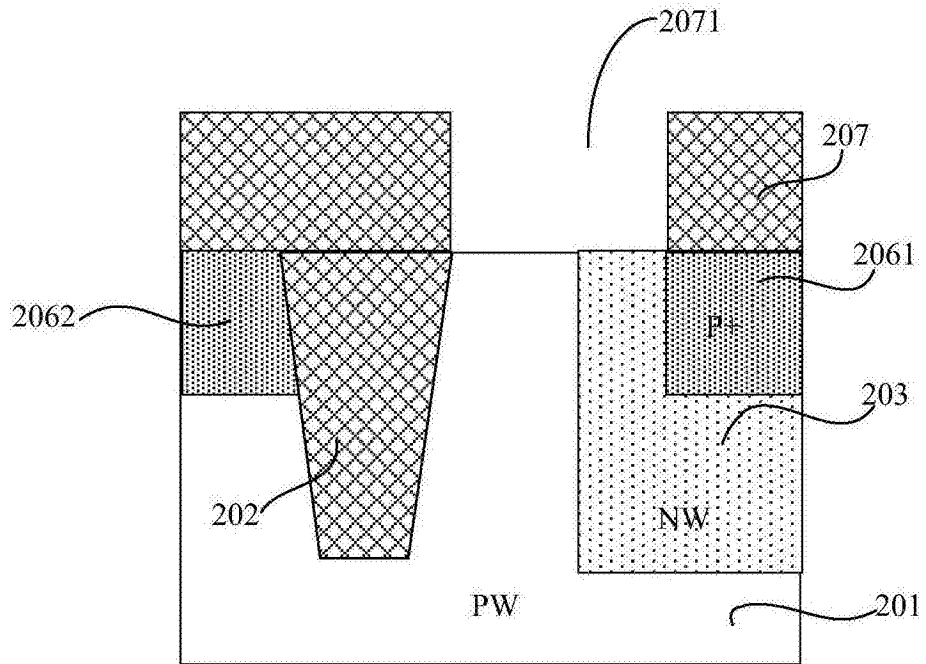


图2F

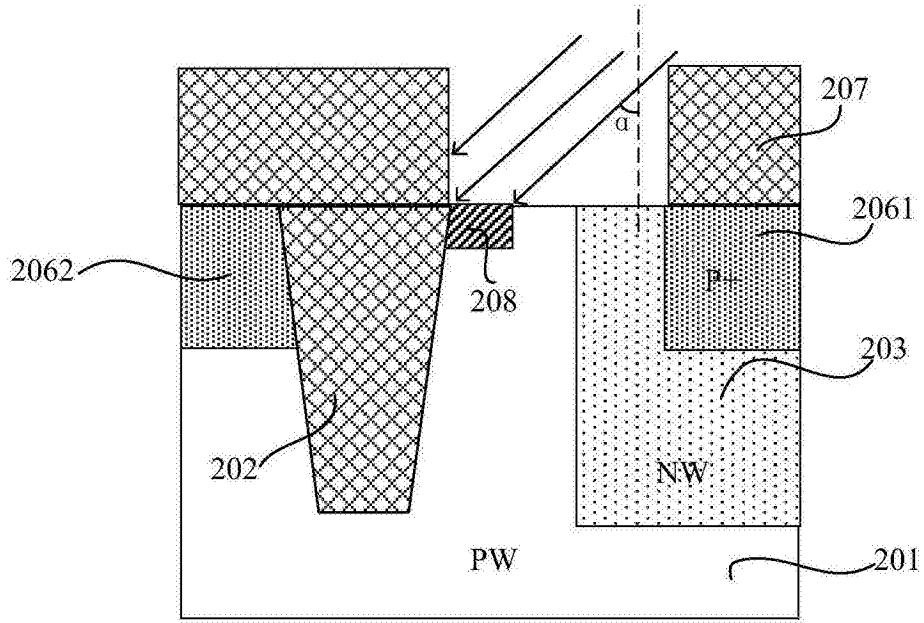


图2G

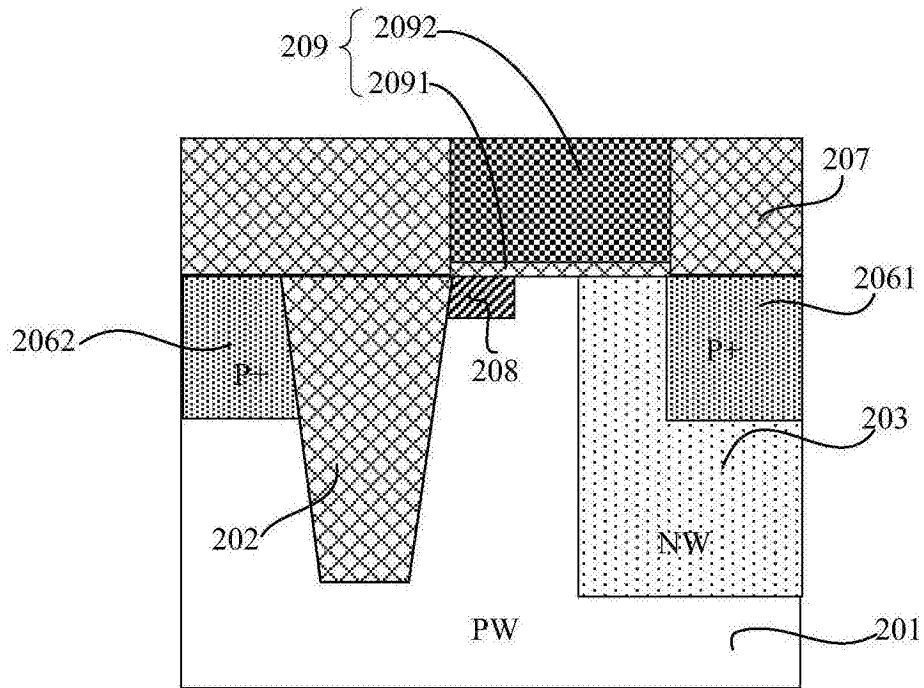


图2H

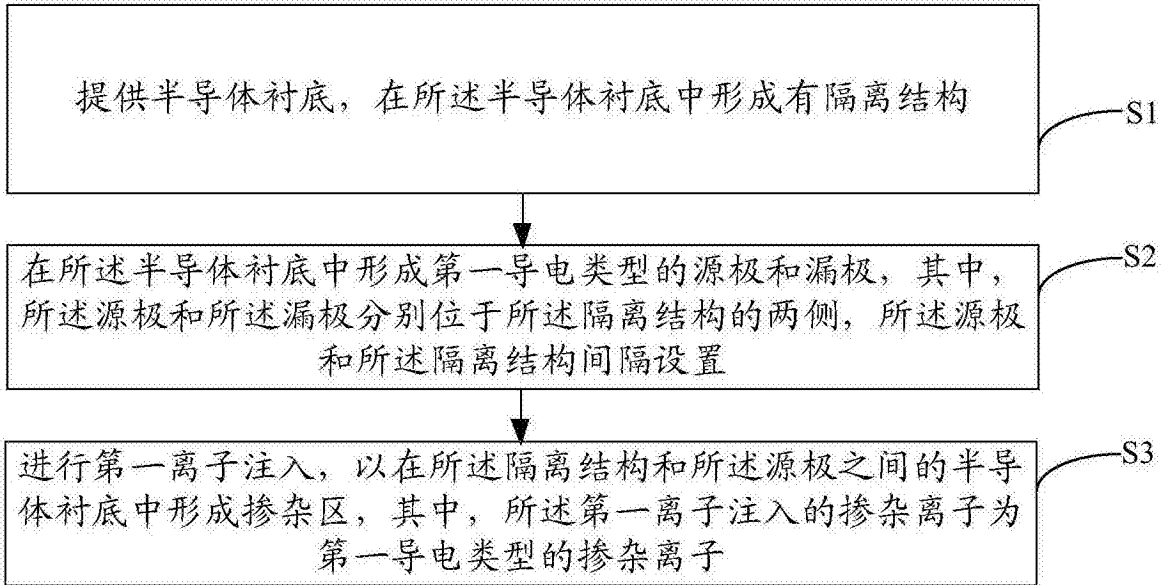


图3

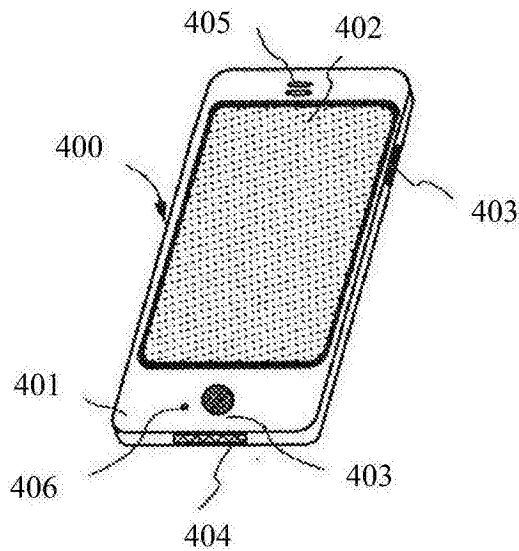


图4