

公告本

88年12月18日 修正/更正/補充 388123

申請日期	86.9.2
案 號	86112718
類 別	H01L 27/108

A4
C4

388123

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	動態隨機存取記憶體之電容製作方法與結構
	英 文	
二、發明人 創作	姓 名	吳協霖
	國 籍	中華民國
	住、居所	新竹縣湖口鄉成功路 454 巷 53 弄 10 號
三、申請人	姓 名 (名稱)	德基半導體股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新二路六號
	代 表 人 姓 名	曾繁城

經濟部中央標準局員工消費合作社印製

裝 訂 線

五、發明說明 ()

發明領域：

本發明與一種半導體製程之動態隨機存取記憶體 (DRAM) 之電容有關，特別是一種高密度溝渠式動態隨機存取記憶體之電容製作方法與結構。

發明背景：

動態隨機存取記憶體 (DRAM) 在積體電路之應用上十分地廣泛，以電腦為例，我們所輸入之資料將儲存在此記憶體中。典型的動態隨機存取記憶體具有許多之記憶胞 (memory cell)，記憶胞通常由電容器與電晶體所構成用來儲存一位元 (bit) 之訊號。電晶體之汲極或源極與電容之一端連接，電容之另一端則與參考電位連接。電晶體之另一端、閘極則分別與位元線 (bit line) 與字語線 (word line) 連接，因此製造 DRAM 記憶胞包含了電晶體與電容之製程。藉由電容器與源極區之電性接觸，數位資訊儲存在電容器並藉金氧半場效電晶體、位元線 (bit line)、字語線 (word line) 陣列來取得電容器之數位資料。為了符合高密度之積體電路設計趨勢，動態隨機存取記憶體製程之尺寸必須降至次微米，因為元件之縮小化而動態隨機存取記憶體中之電容也相對的減小，故其儲存載子之性能亦相對的降低，傳統中最常使用的電容型態為平板形電容，主要原因因是平板形電容較容易製造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

但是，在元件趨向於縮小化之情形下，爲了提高積集度而使傳統電容之表面積減少，因此平板形電容則不適合應用於高密度之 DRAM 製造，爲使電容儲存能力不會降低之電容製造方法與結構，將是電容製程努力之一個方向。假使繼續使用傳統之平板式電容，那麼，將會遭遇到如上所述之電容儲存能力降低，以及電容可靠度降低之問題，例如，電容器在讀取資料時受雜質之影響，如 α 粒子所產生之軟記錯 (soft errors) 將大大提高，並且“再補充 (refresh)”之頻率增加，即使利用高介電常數的 Ta_2O_5 做爲電容介電質，也無法顯著地提昇電容的儲存能力。

爲了解決上述之問題，電容朝向增加電容表面積之方向發展，因此電容之結構朝向發展堆疊式以及溝渠式電容發展 (如 U.S. Patent No. 5,374,580)。而堆疊式電容具有較複雜之結構且地形地勢起伏，因此高深寬比 (aspect ratio) 之深溝渠式電容便逐漸受到重視，製作具有高深寬比之深溝渠式電容在元件不斷縮小化之下更是一挑戰性之工作，溝渠式電容之相關文獻請參閱“Trench Storage Node Technology for Gigabit DRAM Generations, K. P. Muller et al, 1996 IEEE, IEDM 96-507”，另外可以參考文獻“A 0.6 μm^2 256Mb Trench DRAM Cell With Self-Aligned Buried STrap (BEST), L. Nesbit et al, 1993 IEEE, IEDM 93-627”以及“SCALABILITY OF A TRENCH CAPACITOR CELL

(請先閱讀背面之注意事項再填寫本頁)

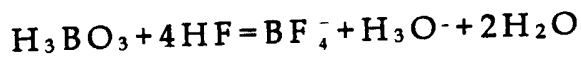
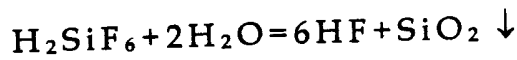
裝

訂

五、發明說明 ()

FOR 64 MBIT DRAM, B. W. Shen et al, 1989 IEEE, IEDM 89-27"。

液相沈積 (liquid phase deposition ; LPD) 之二氧化矽薄膜具有良好選擇性沈積能力，並且其流動性不錯，做為溝渠之填充物質十分恰當，基本上 LPD 二氧化矽形成之反應涉及到 Si-OH 鍵之作用，LPD 二氧化矽之化學反應方程式如下所述：



相關之文獻可以參閱 "A Selective SiO₂ Film-Formation Technology Using Liquid-Phase Deposition for Fully Planarized Multilevel Interconnections, Tetsuya, Homma et al, J. Electrochem Soc., Vol. 140 No. 8, August 1993, The Electrochemical Society, Inc."

發明目的及概述：

本發明之目的為一種動態隨機存取記憶體 (DRAM) 之形成方法。

本發明之另一目的為提供一種可以增加電容電極表面積並且提昇動態隨機存取記憶體儲存能力之方法。

二氧化矽層形成於基板之上做為墊層用以消除基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

與後續氮化矽層間之應力，隨後一氮化矽層形成於該墊層之上。一光阻圖案利用微影製程定義於氮化層之上做為形成溝渠區域之罩幕，然後利用上述之光阻圖案做為蝕刻罩幕藉由蝕刻技術將氮化矽層、氧化墊層以及矽基板蝕刻形成溝渠。對基板施以斜向離子植入形成離子摻雜區域圍繞溝渠之周圍做為電容之底部電極。以液相沈積法選擇性地沈積液相沈積之氧化層(LPD-oxide)於溝渠之中，完成LPD-oxide沈積之後，去除光阻圖案曝露氮化矽層。接著，形成複晶矽層於氮化矽層以及LPD-oxide之上。隨後以非等向性蝕刻製程蝕刻上述之複晶矽層，經由上述之蝕刻之後，複晶矽側壁間隙形成於氮化矽層之上並曝露部份未被複晶矽側壁間隙覆蓋之LPD-oxide。

以氮化矽層與複晶矽側壁間隙做為蝕刻罩幕將被曝露之LPD-oxide蝕刻直至曝露部份之矽基板。利用氮化矽層做為蝕刻罩幕之回蝕刻製程去除複晶矽之側壁間隙並且同時蝕刻被曝露之矽基板形成更深之溝渠。接著沈積第一導電層及氮化矽層之上以及回填進入溝渠之中，隨後以回蝕刻製程蝕刻該第一導電層直到曝露出上述之LPD-oxide，以氫氟酸(HF)或利用BOE(buffer oxide etching)溶液將LPD-oxide完全去除形成以第一導電層組成之柱狀體結構，利用此結構配合摻雜區域做為電容之底部電極，沿著溝渠之表面以及柱狀體表面沈積一介電薄膜做為電容之介電層，第二導電層形成於上述之電容介電薄膜之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

上並回填至溝渠之中用以做為電容之頂部電極。

圖式簡單說明：

第一圖為本發明之形成溝渠於基板中之截面圖；

第二圖為本發明之形成液相沈積之氧化矽層溝渠中之截面圖；

第三圖為本發明之形成複晶矽層於氧化矽層以及液相沈積之氧化矽層上之截面圖；

第四圖為本發明之形成複晶矽側壁間隙之截面圖；

第五圖為本發明之蝕刻上述之液相沈積之氧化矽層之截面圖；

第六圖為本發明之去除複晶矽側壁間隙之截面圖；

第七圖為本發明之形成第一導電層之截面圖；

第八圖為本發明之蝕刻第一導電層之截面圖；

第九圖為本發明之去除液相沈積之氧化矽層之截面圖；

第十圖為本發明之形成電容介電層以及形成第二導電層之截面圖。

發明詳細說明：

本發明所要揭示的為利用增加表面積方式以提昇動態隨機存取記憶體性能之方法以及結構，本發明之溝渠式電容之結構之中具有柱狀之結構，相較於傳統之結構，本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

結構所增加之電容電極表面積十分顯著，另外本發明利用沈積選擇性較佳之液相沈積之二氧化矽來形成上述之柱狀結構，本發明之細節將於下詳述之。

參閱第一圖，一晶向為 $\langle 100 \rangle$ 之矽做為一實施例之基板 2，元件間之絕緣隔離區域可以使用淺溝渠絕緣技術 (STI)，或是區域氧化矽製程 (LOCOS) 形成於基板 2 之上。二氧化矽層 4 形成於基板 2 之上做為墊層 (pad layer) 用以消除基板 2 與後續氮化矽層 6 間之應力，此二氧化矽層 4 一般為利用熱氧化法形成，製程溫度約為 800 至 1100 °C 之間，形成厚度約 30 至 200 埃。當然，一般之技術如化學氣相沈積法以 TEOS 為反應物，製程溫度約 600 至 800 °C，壓力約 0.1 至 10 托耳也可以形成二氧化矽層 4。

隨後，一厚度為 1500 至 2000 埃之氮化矽層 (silicon nitride) 6 形成於該墊層 4 之上。上述之氮化矽層 6 以較佳實施例而言，可以利用低壓化學氣相沈積法 (Low Pressure Chemical Vapor Deposition; LPCVD)、電漿增強式化學氣相沈積法 (Plasma Enhance Chemical Vapor Deposition; PECVD)、或高密度電漿化學氣相沈積法 (High Density Plasma Chemical Vapor Deposition; HDPCVD) 形成，製程溫度為 350-800 °C 之間，反應氣體為 SiH_4 , NH_3 , N_2 , N_2O 或 SiH_2Cl_2 , NH_3 , N_2 , N_2O 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

仍請參閱第一圖，一光阻圖案 8 利用微影製程定義於氮化層 6 之上，做為形成溝渠區域之罩幕。然後，利用上述之光阻圖案 8 做為蝕刻罩幕，藉由蝕刻技術將氮化矽層 6、氧化墊層 4 以及矽基板 2 蝕刻，形成深度約為 2 至 μm 之深溝渠 10。完成溝渠 10 之製作之後，對基板 2 施以斜向離子植入形成離子摻雜區域 11 圍繞溝渠之周圍，做為電容之底部電極。

如第二圖所示，利用液相沈積法選擇性地沈積液相沈積之氧化層 (LPD-oxide) 12 於溝渠之中。形成上述之 LPD-oxide 12 時，光阻圖案 8 仍在氮化矽層 6 之上，具有高選擇性之 LPD-oxide 12，可以很容易地控制使 LPD-oxide 12 只形成於溝渠 10 之中。

參閱第三圖，完成 LPD-oxide 12 之沈積之後，去除光阻圖案 8 曝露氮化矽層 6。接著，以化學氣相沈積形成複晶矽層 14 於氮化矽層 6 以及 LPD-oxide 12 之上。隨後以非等向性蝕刻製程蝕刻上述之複晶矽層 14，經由上述之蝕刻之後，複晶矽側壁間隙 14 形成於氮化矽層 6 之上，並曝露部份未被複晶矽側壁間隙 14 覆蓋之 LPD-oxide 12，如第四圖所示。

參閱第五圖，以氮化矽層 6 以及複晶矽側壁間隙 14 做為蝕刻罩幕，將被曝露之 LPD-oxide 12 蝕刻。此步驟以最

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

佳實施例而言，可以選用二氧化矽對複晶矽具有高選擇性之蝕刻劑。換言之，二氧化矽之蝕刻率遠遠大於複晶矽之蝕刻速率，因此這步驟之蝕刻劑可以使用 CCl_2F_2 、 CHF_3/CF_4 、 CHF_3/O_2 、 CH_3CHF_2 、 CF_4/O_2 、 C_2F_6 或 C_3F_8 。以一實施例而言，利用上述提及之氮化矽層 6、側壁間隙 14 罩幕，將 LPD-oxide 12 蝕刻直至曝露部份之矽基板 2。

參閱第六圖，利用氮化矽層 6 做為蝕刻罩幕之回蝕刻製程，去除複晶矽之側壁間隙 14，並且同時蝕刻被曝露之矽基板 2 形成更深之溝渠 10A。此步驟用以去除複晶矽側壁間隙 14 之蝕刻劑為 $\text{SiCl}_4/\text{Cl}_2$ 、 BCl_3/Cl_2 、 $\text{HBr}/\text{Cl}_2/\text{O}_2$ 、 HBr/O_2 、 Br_2/SF_6 或 SF_6 。原先被側壁間隙 14 遮蓋著之 LPD-oxide 12，於此回蝕刻步驟之後仍留存於溝渠 10 之側壁之上。

參閱第七圖，接著，沈積第一導電層 14 於氮化矽層 6 之上以及回填進入溝渠 10 以及溝渠 10A 之中，以較佳實施例而言，第一導電層 14 為摻雜之非晶形矽 (doped amorphous silicon)。另外，摻雜之複晶矽 (doped polysilicon) 或是利用同步摻雜製程 積之複晶矽 (in-situ doped polysilicon) 亦可以做為此第一導電層 14。以回蝕刻製程蝕刻該第一導電層 14 直到曝露出上述之 LPD-oxide 12，如第八圖所示，蝕刻劑可以使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

續

五、發明說明 ()

$\text{SiCl}_4/\text{Cl}_2$ 、 BCl_3/Cl_2 、 $\text{HBr}/\text{Cl}_2/\text{O}_2$ 、 HBr/O_2 、 Br_2/SF_6 或 SF_6 。

如第九圖所示，以氫氟酸(HF)、HF vapor、HF 溶液或利用 BOE (buffer oxide etching) 溶液將 LPD-oxide 12 完全去除，因此溝渠 10 被曝露並形成以第一導電層組成之柱狀體 14A 之結構，該柱狀體 14A 深入溝渠 10A 之中可以增強其附著之能力，利用此結構配合摻雜區域 11 做為電容之底部電極，此底部電極將大幅提昇電容之表面積。

參閱第十圖，下一步驟為沿著溝渠 10 之表面以及柱狀體 14A 表面沈積一介電薄膜 16 做為電容之介電層，一般此介電層 16 可以利用 N/O、O/N/O 之複合薄膜或是利用高介電之薄膜如 BST、PZT、 Ta_2O_5 。最後第二導電層 18 形成於上述之電容介電薄膜 16 之上，並回填至溝渠 10 之中，用以做為電容之頂部電極。第二導電層 18 可以利用摻雜複晶矽(doped polysilicon)、同步摻雜複晶矽(in-situ doped polysilicon)、摻雜之非晶形矽、銅、鋁、鈦、鎢、白金或上述之任意組合等。上述之墊層 4 以及氮化矽層 6 可以做為矽基板 2 與第二導電層 18 間之絕緣層。

本發明利用矽與二氧化矽間之高選擇性蝕刻形成具有柱狀體之溝渠式電容結構可以大量增加電容之表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

積，因此將提昇電容之儲存能力，另外本發明之電容儲存能力優於傳統之溝渠式電容，因此本發明之溝渠深度可以比傳統之溝渠淺。

本發明以較佳實施例說明如上，而熟悉此領域技藝者，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：

動態隨機存取記憶體之電容製作方法與結構

二氧化矽與氮化矽形成於基板之上，利用微影製程形成溝渠於基板之中，以液相沈積法選擇性地沈積液相沈積之氧化層於溝渠之中，接著形成複晶矽側壁間隙於氮化矽層之側壁上，以複晶矽側壁間隙做為蝕刻罩幕將液相沈積之氧化層蝕刻，利用氮化矽層做為蝕刻罩幕之回蝕刻製程去除複晶矽之側壁間隙，接著沈積第一導電層回填進入溝渠之中，以回蝕刻製程蝕刻該第一導電層，隨後將液相沈積之氧化層去除形成柱狀體結構，沿著溝渠之表面以及柱狀體表面沈積一介電薄膜做為電容之介電層，最後第二導電層形成於上述之電容介電薄膜之上並回填至溝渠之中。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：

六、申請專利範圍

1. 一種形成於半導體基板中之電容製作方法，該方法至少包含：
 - 以一光阻圖案定義一單幕層於該基板之上；
 - 以該光阻圖案為蝕刻單幕形成一溝渠於該基板之中；
 - 於該溝渠周圍內的基板內形成一摻雜區域
 - 以該光阻圖案為單幕選擇性地形成一液相沈積之二氧化矽(LPD-oxide)於該溝渠之中；
 - 去除該光阻圖案；
 - 形成一複晶矽層於該單幕層以及該液相沈積之二氧化矽之上；
 - 以非等向性蝕刻該複晶矽層以形成一複晶矽側壁間隙於該單幕層之側壁上；
 - 以該複晶矽側壁間隙與該單幕層做為蝕刻之單幕蝕刻該液相沈積之二氧化矽；
 - 去除該複晶矽側壁間隙；
 - 形成一第一導電層於該單幕層之上以及該溝渠中；
 - 回蝕刻該第一導電層以曝露該液相沈積之二氧化矽；
 - 去除該液相沈積之二氧化矽以形成一柱狀體結構於該溝渠之中；
 - 形成一介電層於該單幕層以及該柱狀體結構之表面；及
 - 形成一第二導電層於該介電層之上。
2. 如申請專利範圍第1項之電容製作方法，其中上述之單幕層更包含：

煩請委員明示
修正本有無變更實質內容是否准予修正。
89年4月30日所提之

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1. 一種形成於半導體基板中之電容製作方法，該方法至少包含：
 - 以一光阻圖案定義一單幕層於該基板之上；
 - 以該光阻圖案為蝕刻單幕形成一溝渠於該基板之中；
 - 於該溝渠周圍內的基板內形成一摻雜區域
 - 以該光阻圖案為單幕選擇性地形成一液相沈積之二氧化矽(LPD-oxide)於該溝渠之中；
 - 去除該光阻圖案；
 - 形成一複晶矽層於該單幕層以及該液相沈積之二氧化矽之上；
 - 以非等向性蝕刻該複晶矽層以形成一複晶矽側壁間隙於該單幕層之側壁上；
 - 以該複晶矽側壁間隙與該單幕層做為蝕刻之單幕蝕刻該液相沈積之二氧化矽；
 - 去除該複晶矽側壁間隙；
 - 形成一第一導電層於該單幕層之上以及該溝渠中；
 - 回蝕刻該第一導電層以曝露該液相沈積之二氧化矽；
 - 去除該液相沈積之二氧化矽以形成一柱狀體結構於該溝渠之中；
 - 形成一介電層於該單幕層以及該柱狀體結構之表面；及
 - 形成一第二導電層於該介電層之上。
2. 如申請專利範圍第1項之電容製作方法，其中上述之單幕層更包含：

煩請委員明示
修正本有無變更實質內容是否准予修正。
89年4月30日所提之

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

氧化整層，形成於該基板之上；及
氮化矽層，形成於該氧化整層之上。

3.如申請專利範圍第1項之電容製作方法，其中以上述之複晶矽側壁間隙與該單幕層做為蝕刻單幕蝕刻液相沈積之二氧化矽之蝕刻劑係選自 CCl_2F_2 、 CHF_3/CF_4 、 CHF_3/O_2 、 CH_3CHF_2 、 CF_4/O_2 、 C_2F_6 與 C_3F_8 之族群之一。

4.如申請專利範圍第1項之電容製作方法，其中去除上述之複晶矽側壁間隙之蝕刻劑係選自 $\text{SiCl}_4/\text{Cl}_2$ 、 BCl_3/Cl_2 、 $\text{HBr}/\text{Cl}_2/\text{O}_2$ 、 HBr/O_2 、 Br_2/SF_6 與 SF_6 之族群之一。

5.如申請專利範圍第1項之電容製作方法，其中去除上述之液相沈積之二氧化矽之蝕刻劑係選自氫氟酸與 BOE 溶液之族群之一。

6.如申請專利範圍第1項之電容製作方法，其中上述之第一導電層係選自摻雜之非晶形矽 (doped amorphous silicon)、摻雜之複晶矽 (doped polysilicon) 與同步摻雜製程之複晶矽 (in-situ doped polysilicon) 之族群之一。

7.如申請專利範圍第6項之電容製作方法，其中回蝕刻上述之第一導電層之蝕刻劑係選自 $\text{SiCl}_4/\text{Cl}_2$ 、 BCl_3 、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

~~/Cl₂、HBr/Cl₂/O₂、HBr/O₂、Br₂/SF₆ 與 SF₆ 之族群之一。~~

8.如申請專利範圍第1項之電容製作方法，其中上述之電容介電層係選自 ~~N/O 複合薄膜、O/N/O 之複合薄膜~~ BST、PZT 與 Ta₂O₅ 之族群之一。

9.如申請專利範圍第1項之電容製作方法，其中上述之第二導電層係選自 ~~摻雜複晶矽(doped polysilicon)、同步摻雜複晶矽(in-situ doped polysilicon)、銅、鋁、鈦、鎢、白金與上述之任意組合之族群之一。~~

10.一種形成於半導體基板中之電容結構，該結構至少包含：

溝渠，形成於該基板之中；

第一電極，該第一電極包含摻雜區域形成於該溝渠之周圍以及導電柱狀結構形成於該溝渠之中；

絕緣結構，形成於該基板之上；

電容介電層，形成於該絕緣結構之上、該溝渠之表面上以及該導電柱狀結構之表面上；及

第二電極，形成於該絕緣結構之上以及該電容介電層之上。

11.如申請專利範圍第10項之電容結構，其中上述之導電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

柱狀結構係選自摻雜之非晶形矽 (doped amorphous silicon)、摻雜之複晶矽 (doped polysilicon) 與同步摻雜製程之複晶矽 (in-situ doped polysilicon) 之族群之一。

12. 如申請專利範圍第 10 項之電容結構，其中上述之電容介電層係選自 N/O 複合薄膜、O/N/O 之複合薄膜 BST、PZT 與 Ta_2O_5 之族群之一。

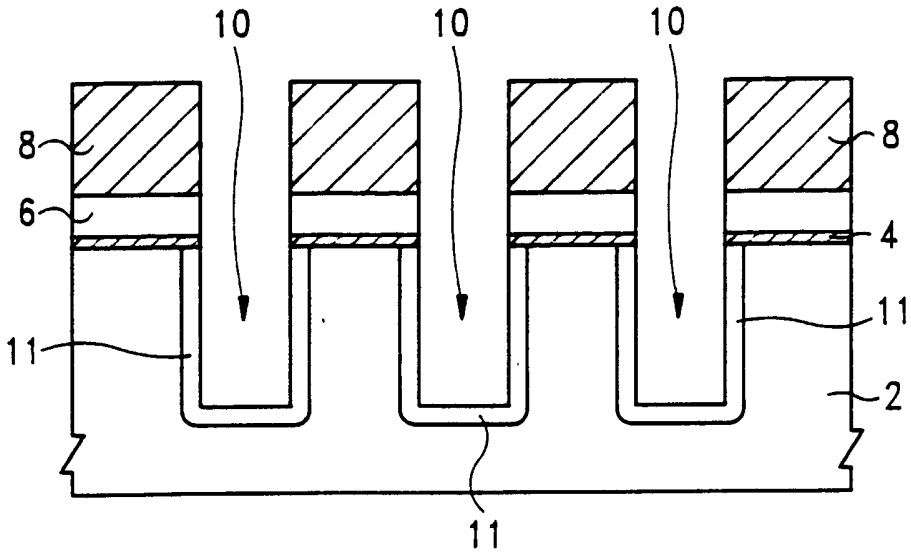
13. 如申請專利範圍第 10 項之電容結構，其中上述之第二電極係選自摻雜複晶矽 (doped polysilicon)、同步摻雜複晶矽 (in-situ doped polysilicon)、銅、鋁、鈦、鎢、白金與上述之任意組合之族群之一。

(請先閱讀背面之注意事項再填寫本頁)

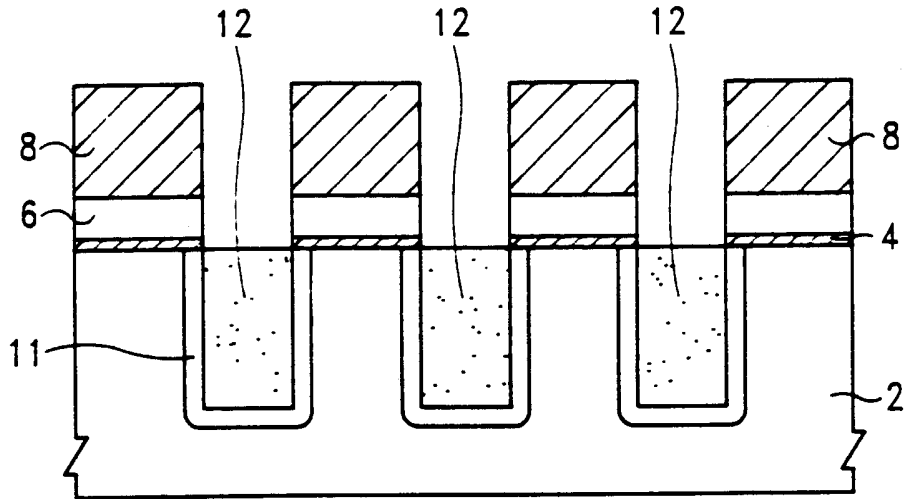
裝

訂

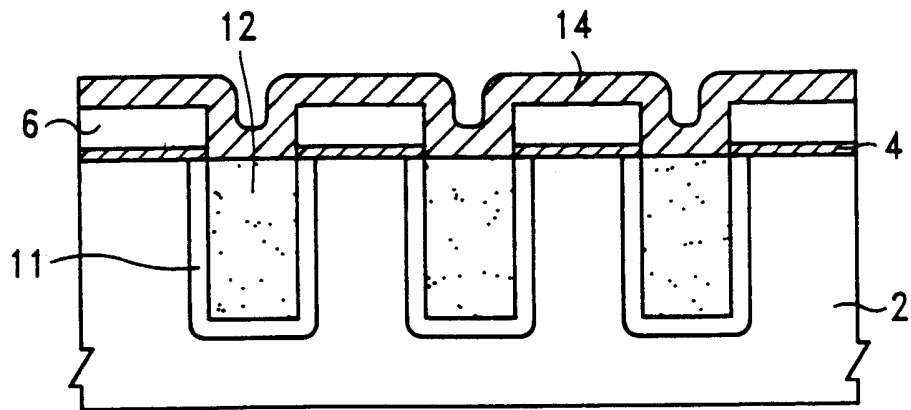
線



第一圖

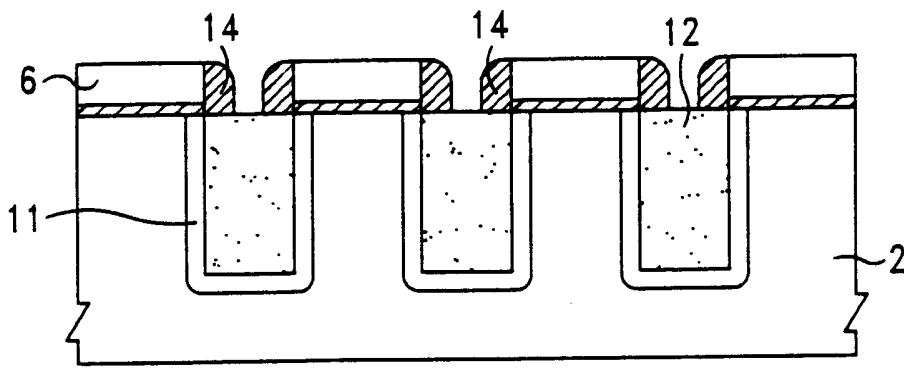


第二圖

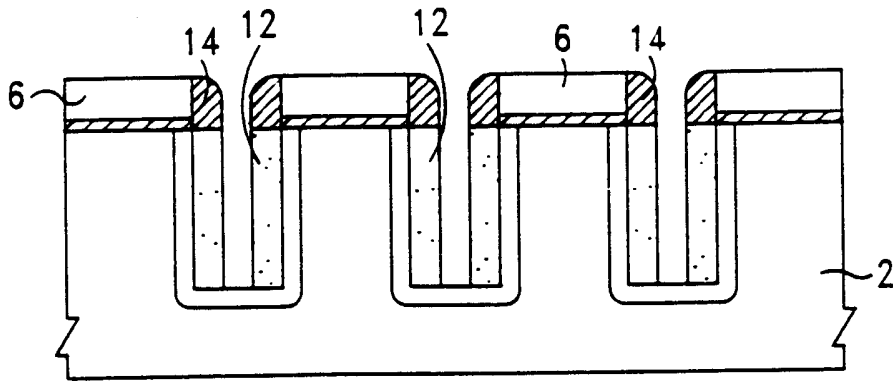


第三圖

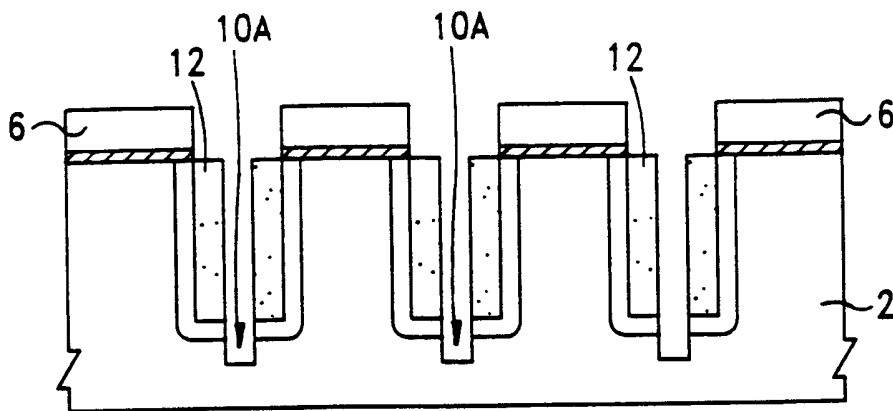
388123



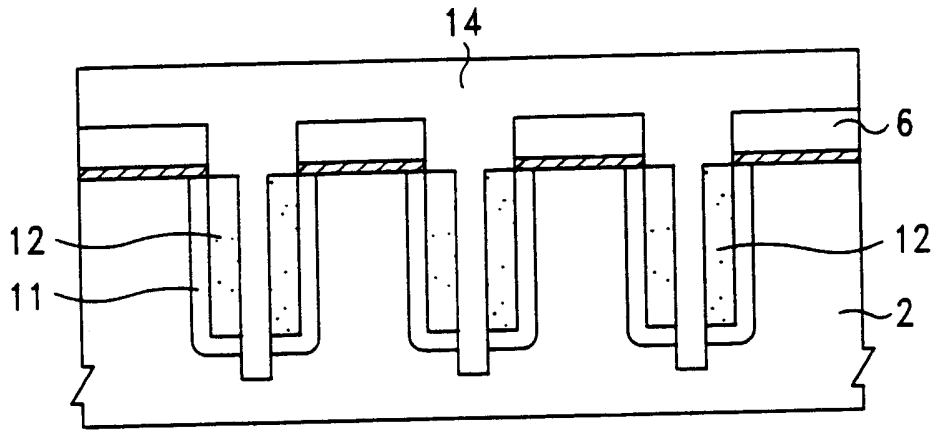
第四圖



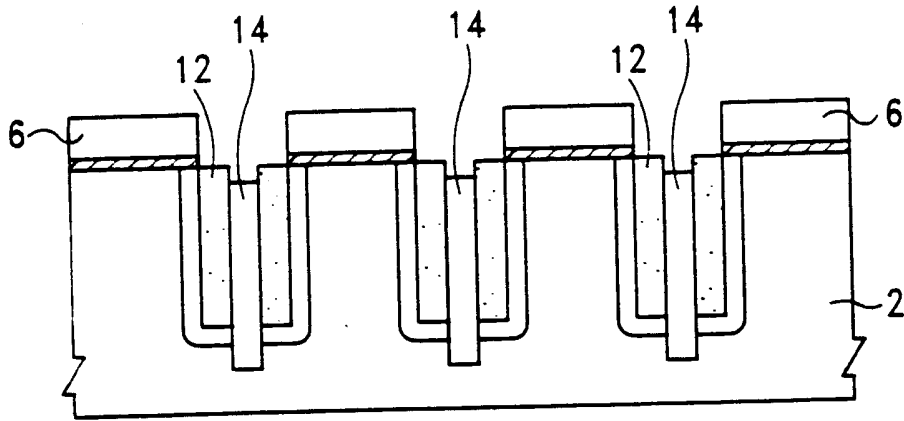
第五圖



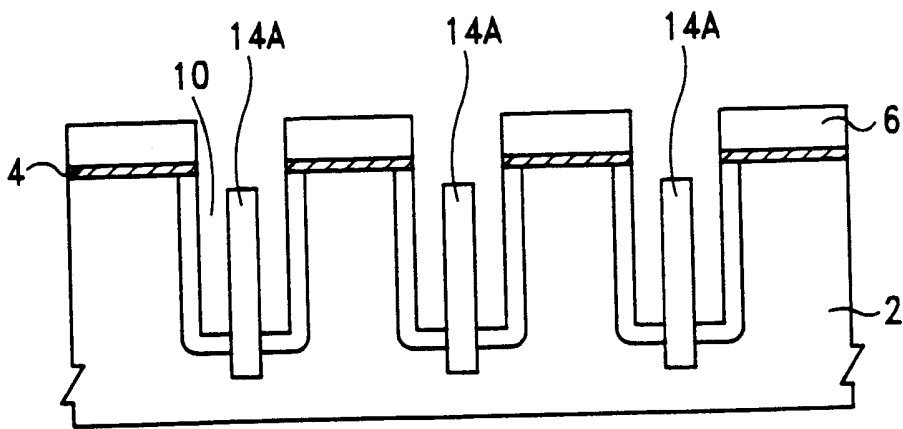
第六圖



第七圖

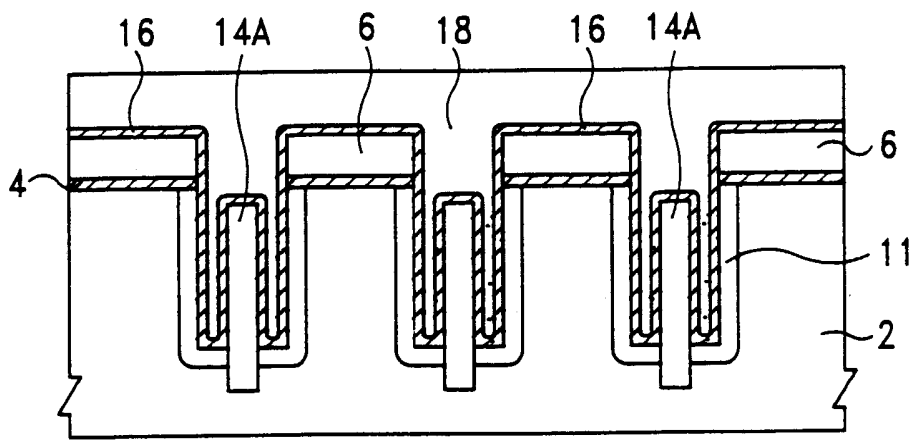


第八圖



第九圖

388123



第十圖