



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2009-0008240  
 (43) 공개일자 2009년01월21일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<sup>9</sup><br/> <i>H01L 21/8247</i> (2006.01) <i>H01L 27/115</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7025349<br/>                 (22) 출원일자 2008년10월16일<br/>                 심사청구일자 없음<br/>                 번역문제출일자 2008년10월16일</p> <p>(86) 국제출원번호 PCT/US2007/006607<br/>                 국제출원일자 2007년03월16일</p> <p>(87) 국제공개번호 WO 2007/109117<br/>                 국제공개일자 2007년09월27일</p> <p>(30) 우선권주장<br/>                 11/724,556 2007년03월14일 미국(US)<br/>                 60/783,157 2006년03월16일 미국(US)</p> | <p>(71) 출원인<br/> <b>테갈 코퍼레이션</b><br/>                 미국 캘리포니아 94954 페탈루마 사우쓰 맥도웰<br/>                 불러바드 2201</p> <p>(72) 발명자<br/> <b>디티지오, 로버트</b><br/>                 미국 캘리포니아 94954 페탈루마 레이너 서클<br/>                 1901</p> <p>(74) 대리인<br/> <b>박장원</b></p> |
|---|--|

전체 청구항 수 : 총 81 항

**(54) MRAM 디바이스 구조체에서 전기적 단락을 제거하기 위한 건식 식각정지 방법**

**(57) 요약**

본 발명은 일반적으로 반도체 제조에 관한 것이며, 특히 자기 터널 접합 디바이스들을 제조하는 것에 관한 것이다. 특히, 본 발명은 패터닝 공정으로부터 야기될 수 있는 전기적 단락을 제거하기 위하여, 터널 접합들에서 유전체층을 식각정지층으로 사용하기 위한 방법에 관한 것이다.

**특허청구의 범위**

**청구항 1**

자기 접합 메모리 디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 금속층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는 비-반응성 가스 환경에서 발생하며 상기 상부 금속층과 상기 절연층 스퍼터 드레시홀드 사이의 바이어스 전력으로 상기 기판에 바이어스를 인가하는 단계를 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 2**

제1항에 있어서,

상기 비-반응성 가스는 Ar, He, Ne, Kr, N<sub>2</sub>, 또는 Xe 및 이들의 조합으로 이루어진 군인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 3**

제1항에 있어서,

상기 절연층 아래에 하부 금속층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 4**

제1항에 있어서,

플라즈마는 비-반응성 가스를 이용하여 생성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 5**

제1항에 있어서,

상기 절연층은 알루미늄 산화물, 마그네슘 산화물, 또는 다른 절연 산화물을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 6**

제1항에 있어서,

상부 금속층은 자기층, MRAM 스택 구조체의 일부, 또는 NiFe, CoFe, CoNiFe, 그리고 CoFeB의 하나 또는 그 이상의 층들을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 7**

자기 접합 메모리 디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는 비-반응성 가스 및 산소-함유 가스의 <1%의 혼합물을 사용하는 물리적 스퍼링 단계를 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 8**

제7항에 있어서,

상기 비-반응성 가스는 Ar, He, Ne, Kr, N<sub>2</sub>, 또는 Xe 및 이들의 조합으로 이루어진 군인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 9**

제7항에 있어서,

상기 산소-함유 가스는 O, O<sub>2</sub>, N<sub>2</sub>O, NO, 공기, CO 및 이들의 조합으로 이루어진 군인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 10**

제7항에 있어서,

상기 혼합물은 99.9% Ar 그리고 0.1% O<sub>2</sub> 인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 11**

제7항에 있어서,

비-반응성 가스와 산소-함유 가스의 혼합물은 제1 흐름 제어기를 통하여 유입되고, 비-반응성 가스는 제2 흐름 제어기를 통하여 유입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 12**

제7항에 있어서,

제1 흐름 제어기는 80 sccm의 아르곤 및 0.08 ccm의 O<sub>2</sub>를 제공하고, 제2 흐름 제어기는 270ccm의 아르곤을 제공하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 13**

제7항에 있어서,

상기 비-반응성 가스는 10 에서 350 sccm의 범위이고 상기 산소-함유 가스는 0.02에서 0.15 sccm의 범위인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 14**

제7항에 있어서,

산소-함유 가스는 산소-함유 고체의 고체 소스의 스퍼터링으로부터 상기 공정으로 유입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 15**

제14항에 있어서,

상기 고체 소스는 알루미늄이나 또는 석영을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 16**

제7항에 있어서,

산소-함유 가스는 주변으로부터의 누출 제어로부터 유입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 17**

제7항에 있어서,

상기 절연층 아래의 하부 자기층을 형성하는 단계를 더 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 18**

제7항에 있어서,

플라즈마는 상기 비-반응성 가스와 함께 생성되는것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 19**

제7항에 있어서,

상기 절연층은 알루미늄 산화물, 마그네슘 산화물, 또는 다른 절연 산화물을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 20**

제7항에 있어서,

상부 자기층은 자기층, MRAM 스택 구조체의 일부, 또는 NiFe, CoFe, CoNiFe, 그리고 CoFeB의 하나 또는 그 이상의 층을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 21**

자기 접합 메모리 디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
  - (b) 상기 기판 위에 절연층을 형성하는 단계;
  - (c) 상기 절연층 위에 상부 금속층을 형성하는 단계; 그리고
  - (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는:
    - i) 상기 상부 금속층과 상기 절연층의 스퍼터 드레시홀드 사이의 바이어스 전력으로 상기 기판에 바이어스를 인가하는 단계; 그리고
    - ii) 비-반응성 가스와, <1% 의 산소-함유가스의 혼합물을 이용한 물리 스퍼터링 단계.
- 를 포함하여 구성되는것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 22**

제21항에 있어서,

상기 비-반응성 가스는 Ar, He, Ne, Kr, N<sub>2</sub>, 또는 Xe 및 이들의 조합으로 이루어진 군인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 23**

제21항에 있어서,

상기 산소-함유 가스는 O, O<sub>2</sub>, N<sub>2</sub>O, NO, 공기, CO 및 이들의 조합으로 이루어진 군인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 24**

제21항에 있어서,

상기 혼합물은 99.9% Ar 그리고 0.1% O<sub>2</sub> 인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 25**

제21항에 있어서,

비-반응성 가스와 산소-함유 가스의 혼합물은 제1 흐름 제어기를 통하여 유입되고, 비-반응성 가스는 제2 흐름 제어기를 통하여 유입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 26**

제21항에 있어서,

제1 흐름 제어기는 80 sccm의 아르곤 및 0.08 ccm의 O<sub>2</sub> 를 제공하고, 제2 흐름 제어기는 270ccm의 아르곤을 제공하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 27**

제21항에 있어서,

상기 비-반응성 가스는 10 에서 350 sccm의 범위이고 상기 산소-함유 가스는 0.02에서 0.15 sccm의 범위인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 28**

제21항에 있어서,

산소-함유 가스는 고체 소스가 산소-함유 고체를 스퍼터링함으로써 상기 공정에 유입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 29**

제28항에 있어서,

상기 고체 소스는 알루미늄이나 또는 석영을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 30**

제21항에 있어서,

산소-함유 가스는 주변으로부터의 누출 제어로부터 유입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 31**

제21항에 있어서,

상기 절연층 아래의 하부 자기층을 형성하는 단계를 더 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 32**

제21항에 있어서,

플라즈마는 상기 비-반응성 가스와 함께 생성되는것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 33**

제21항에 있어서,

상기 절연층은 알루미늄 산화물, 마그네슘 산화물, 또는 다른 절연 산화물을 포함하여 구성되는 것을 특징으로

하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 34**

제21항에 있어서,

상부 자기층은 자기층, MRAM 스택 구조체의 일부, 또는 NiFe, CoFe, CoNiFe, 그리고 CoFeB의 하나 또는 그 이상의 층을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 35**

디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 금속층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는 비-반응성 가스 환경에서 발생하고, 상기 상부 금속층과 상기 절연층 스퍼터 드레시홀드 사이의 바이어스 전력으로 상기 기판에 바이어스를 인가하는 단계를 포함하여 구성되는 것을 특징으로 하는 디바이스 제작 방법.

**청구항 36**

제35항에 있어서,

상기 절연층은 절연 산화물을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 37**

디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는 불활성 가스 및 산소-함유 가스의 <1%의 혼합물을 사용하는 물리적 스퍼터링 단계를 포함하여 구성되는 것을 특징으로 하는 디바이스 제작 방법.

**청구항 38**

디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는:
  - i) 상기 상부 금속층과 상기 절연층의 스퍼터 드레시홀드 사이의 바이어스 전력으로 상기 기판에 바이어스를 인가하는 단계; 그리고
  - ii) 비-반응성 가스와, <1%의 산소-함유가스의 혼합물을 이용한 물리적 스퍼터링 단계.
 를 포함하여 구성되는 것을 특징으로 하는 디바이스 제작 방법.

**청구항 39**

자기 접합 메모리 디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는 비-반응성 가스 환경에서 발생하며 상기 상부 금속층과 상기 절연층의 스퍼터 드레시홀드 사이의 바이어스 전력으로 기판에 바이어스를 인가하는 것을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 40**

제39항에 있어서,

상기 염소-함유 가스는  $Cl_2$ ,  $BCl_3$ ,  $HCl$ , 원자 염소-함유 가스 또는 이것들의 조합을 포함하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 41**

제39항에 있어서,

상기 불소-함유 가스는  $CF_4$ ,  $SF_6$ ,  $CHF_3$ , 원자(atomic) 불소-함유 가스, 또는 이것들의 조합을 포함하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 42**

제39항에 있어서,

염소-함유 가스 대 불소-함유 가스는 2:1 에서 20:1의 범위 내에 있는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 43**

제39항에 있어서,

상기 비-반응성 가스는  $Ar$ ,  $He$ ,  $Ne$ ,  $Kr$ ,  $N_2$ , 또는  $Xe$  또는 이것들의 조합을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 44**

제39항에 있어서,

상기 절연층 아래에 하부 금속층을 생성하는 단계를 더 포함하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 45**

제39항에 있어서,

플라즈마가 비-반응성 가스와 함께 생성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 46**

제39항에 있어서,

상기 절연층은 알루미늄 산화물, 마그네슘 산화물, 또는 다른 절연 산화물을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 47**

제39항에 있어서,

상부 금속층은 자기층, MRAM 스택 구조체의 일부, 또는 NiFe, CoFe, CoNiFe, 그리고 CoFeB중 하나 또는 그 이상의 층들을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 48**

디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 층을 형성하는 단계; 그리고
- (d) 하부 절연층과 관련하여 상기 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는:

i) 상기 상부 금속층과 상기 절연층의 스퍼터 드레시홀드 사이의 바이어스 전력으로 상기 기판에 바이어스를 인가하는 단계; 그리고

ii) 비-반응성 가스와, <1%의 산소-함유가스의 혼합물을 이용한 물리적 스퍼터링 단계.

를 포함하여 구성되는것을 특징으로 하는 디바이스 제작 방법.

**청구항 49**

제48항에 있어서,

상기 염소-함유 가스는 Cl<sub>2</sub>, BCl<sub>3</sub>, HCL, 원자 염소-함유 가스, 또는 이것들의 다른 조합을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 50**

제48항에 있어서,

상기 불소-함유 가스는 CF<sub>4</sub>, SF<sub>6</sub>, CHF<sub>3</sub>, 원자 불소-함유 가스 또는 이것들의 다른 조합을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 51**

제48항에 있어서,

염소-함유 가스 대 불소-함유 가스의 비율은 2:1 내지 20:1의 범위 내 인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 52**

제48항에 있어서,

상기 비-반응성 가스는 Ar, He, Ne, Kr, N<sub>2</sub>, 또는 Xe, 또는 이것들의 다른 조합 인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 53**

제48항에 있어서,

상기 산소-함유 가스는 O, O<sub>2</sub>, N<sub>2</sub>O, NO, 공기, CO 또는 이것들의 다른 조합인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.



**청구항 54**

제48항에 있어서,

상기 혼합물은 99.9% Ar 그리고 0.1% O<sub>2</sub> 인것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 55**

제48항에 있어서,

비-반응성 가스와 산소-함유 가스의 혼합물은 제1 흐름 제어기를 통하여 주입되고, 비-반응성 가스는 제2 흐름 제어기를 통하여 주입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 56**

제48항에 있어서,

상기 제1 흐름 제어기는 아르곤 80ccm과 O<sub>2</sub> 0.08sccm을 제공하고 상기 제2 흐름 제어기는 아르곤 270sccm을 제공하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 57**

제48항에 있어서,

상기 비-반응성 가스는 10 내지 350sccm의 범위 내 이고, 상기 산소-함유 가스는 0.02 내지 0.15sccm의 범위인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 58**

제48항에 있어서,

산소-함유 가스가 산소-함유 고체의 고체 공급원의 스퍼터링으로 부터 상기 공정으로 주입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 59**

제58항에 있어서,

상기 고체 공급원은 알루미나 혹은 석영(quartz)을 포함하여 구성되는 것을 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 60**

제48항에 있어서,

산소-함유 가스가 대기로부터의 누출 제어로부터 주입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 61**

제48항에 있어서,

상기 절연층 아래의 하부 금속층을 생성하는 단계를 더 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 62**

제48항에 있어서,

플라즈마는 비-반응성 가스와 함께 생성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 63**

제48항에 있어서,

상기 절연층은 알루미늄 산화물, 마그네슘 산화물, 또는 다른 절연 산화물을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 64**

제48항에 있어서,

상부 금속층은 자기층, MRAM 스택 구조체의 일부, 또는 NiFe, CoFe, CoNiFe, 그리고 CoFeB의 하나 이상의 층들을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 65**

자기 접합 메모리 디바이스 제작을 위한 방법으로서,

- (a) 기판을 제공하는 단계;
- (b) 상기 기판 위에 절연층을 형성하는 단계;
- (c) 상기 절연층 위에 상부 층을 형성하는 단계; 그리고
- (d) 불소-그리고 염소-함유 가스 혼합물을 사용하여 상기 상부 금속층의 일부를 제거하는 단계; 그리고
- (E) 상기 하부 절연층과 관련하여 나머지 상부 금속층을 선택적으로 제거하는 단계를 포함하고, 여기서 상기 선택적 제거 단계는
  - i) 상기 상부 금속층과 상기 절연층의 스피터 드레시홀드 사이의 바이어스 전압으로 상기 기판에 바이어스를 인가하는 단계; 그리고
  - ii) 비-반응성 가스와 <1%의 산소-함유 가스의 혼합물을 사용한 물리적 스피터 공정단계를 포함하여 구성되는 것을 특징으로 하는 디바이스 제작 방법.

**청구항 66**

제65항에 있어서,

상기 불소-함유 가스는 Cl<sub>2</sub>, BCL<sub>3</sub>, HCL, 원자 염소-함유 가스, 또는 이것들의 다른 조합을 포함하여 구성되는 것을 특징으로 하는 디바이스 제작 방법.

**청구항 67**

제65항에 있어서,

상기 불소-함유 가스는 CF<sub>4</sub>, SF<sub>6</sub>, CHF<sub>3</sub>, 원자 불소-함유 가스, 또는 이것들의 다른 조합을 포함하여 구성되는 것을 특징으로 하는 디바이스 제작 방법.

**청구항 68**

제65항에 있어서,

염소-함유 가스 대 불소-함유 가스의 비율은 2:1 내지 20:1의 범위 내 인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 69**

제65항에 있어서,

상기 비-반응성 가스는 Ar, He, Ne, Kr, N<sub>2</sub>, 또는 Xe, 또는 이것들의 다른 조합 인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 70**

제65항에 있어서,

상기 산소-함유 가스는 O, O<sub>2</sub>, N<sub>2</sub>O, NO, 공기, CO 또는 이것들의 다른 조합인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 71**

제65항에 있어서,

상기 혼합물은 99.9% Ar 그리고 0.1% O<sub>2</sub> 인것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 72**

제65항에 있어서,

비-반응성 가스와 산소-함유 가스의 혼합물은 제1 흐름 제어기를 통하여 주입되고, 비-반응성 가스는 제2 흐름 제어기를 통하여 주입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 73**

제65항에 있어서,

상기 제1 흐름 제어기는 아르곤 80ccm과 O<sub>2</sub> 0.08sccm을 제공하고 상기 제2 흐름 제어기는 아르곤 270sccm을 제공하는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 74**

제65항에 있어서,

상기 비-반응성 가스는 10 내지 350sccm의 범위 내 이고, 상기 산소-함유 가스는 0.02 내지 0.15sccm의 범위인 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 75**

제65항에 있어서,

산소-함유 가스가 산소-함유 고체의 고체 공급원의 스퍼터링으로 부터 상기 공정으로 주입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 76**

제65항에 있어서,

상기 고체 공급원은 알루미늄나 혹은 석영(quartz)을 포함하여 구성되는 것을 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 77**

제65항에 있어서,

산소-함유 가스가 대기로부터의 누출 제어로부터 주입되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 78**

제65항에 있어서,

상기 절연층 아래의 하부 금속층을 생성하는 단계를 더 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 79**

제65항에 있어서,

플라즈마는 비-반응성 가스와 함께 생성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 80**

제65항에 있어서,

상기 절연층은 알루미늄 산화물, 마그네슘 산화물, 또는 다른 절연 산화물을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**청구항 81**

제65항에 있어서,

상부 금속층은 자기층, MRAM 스택 구조체의 일부, 또는 NiFe, CoFe, CoNiFe, 그리고 CoFeB의 하나 이상의 층들을 포함하여 구성되는 것을 특징으로 하는 자기 접합 메모리 디바이스 제작 방법.

**명세서**

**기술분야**

<1> 본 발명은 일반적으로 반도체 제조에 관한 것이며, 특히 자기 터널 접합 디바이스(magnetic tunnel junction devices)와 메모리 디바이스에 사용되는 것과 같은 금속-절연체-금속의 층으로된의 박막 스택을 포함하는 디바이스 구조체 제조에 관한 것이다.

**배경기술**

<2> 금속-절연체-금속의 적층 필름들은 자기 랜덤 액세스 메모리(Magnetic Random Access Memories, MRAM)등과 같은 메모리 디바이스의 저장 소자로 이용된다. 상기 MRAM 기술의 상기 메모리 소자는 다층 물질의 패턴화 구조이고, 보통 NiFe, CoFe, PtMn, Ru 등과 같은 서로 다른 물질들의 스택으로 구성되며 Al<sub>2</sub>O<sub>3</sub> 또는 MgO 등의 절연체와 같은 물질들을 포함할 수도 있다. 전형적인 스택은 이들 물질로 된 10개 이상의 층을 포함할 수 있는데, 이들 물질 중 일부는 비자성(non-magnetic)이고, 일부는 자성(magnetic)이며, 하나 또는 두개는 절연체인, 열개 또는 그 이상의 물질들의 층들을 포함할 것이다. 본 설명에서, 절연 필름들은 그것들의 벌크 형태에서 높은 전기적 저항을 나타내는 산화 또는 질화 금속층으로 정의된다. 저장 소자를 제조하기 위하여, 상부 블랭킷 필름들에 상기 물질들을 적층하고, 포토레지스트의 패턴화층을 생성하고, 상기 필름들을 적절한 구조체가 되게 식각할 필요가 있다.

<3> 이온 빔 밀링 또는 이온 빔 식각 방법은 자기저항 물질들을 제거하기 위하여 이용되어 왔다. 그러나, 이온 빔 밀링은 물리적 밀링 방법이다. 마스크에 의해 보호받지 못하는 영역들은 이온 타격(bombardment)에 의해 제거된다. 상기 이온 타격은 상기 보호되지 않은 물질을 스퍼터링 하거나 깎아 낸다. 이온 빔 밀링은 저 선택비로 행해지며, 상기 마스크의 에지 부근 또는 MRAM 셀 바디의 경계부근에 가까이 있는 스택 영역들이 쉽게 손상될 수 있다.

<4> 화학적 식각 기술은 적층된 층들의 일부를 선택적으로 제거하기 위해 이용되어 왔다. 식각 기술들의 예는 건식 식각 기술(dry etching techniques)과 습식 식각 기술(wet etching techniques)을 포함한다.

<5> 현재의 식각 기술의 결점 중 하나는 MRAM 구조체들의 프로파일들이 얇은 터널 접합 전반에서의 전기적 단락에 민감하다는 것이다. 절연 유전체 터널링층 위의 상부 자기층과 이 터널링층 아래의 하부 자기층 사이의 수직적 분리는 전기적 단락(electrical shorting)을 방지하기에 적절하지 않다.

**발명의 상세한 설명**

<6> 본 발명의 실시 예들은, 다른 것들 중에서도, 상부 자기층의 플라즈마 오버식각(overetching) 동안 터널 배리어 층이 정지층(stop layer)으로서 동작하는 자기 터널 접합(MTJ) 디바이스의 제조에 관한 것이다. 결과적인 MTJ 디바이스는 상기 터널 배리어층 전체에 걸쳐 보다 나은 전기적 절연(electrical isolation)을 제공한다.

<7> 다른 실시 예에서, 플라즈마 오버식각 동안 사용되는 가스들은 바람직하게는 상기 터널 배리어층에 대해 위에 놓이는 상부 자기층에 고 선택도의 식각을 야기하는 할로젠 함유 종들을 배제한다. 상기 가스에 산소를 주입하는 것은 상기 방법의 재생산성을 향상시킨다.

- <8> 또 다른 실시 예에서, 불소-염소 가스 혼합물은 상기 터널 배리어층 위의 상기 자기층을 부분적으로 식각하는데 이용된다.
- <9> 마지막으로, 또 다른 실시 예는 포토레지스트 마스크를 스트리핑하기 이전 혹은 스트리핑하는 동안 He 및 H<sub>2</sub> 가스를 이용하여 부식 플라즈마 처리를 하는 것에 관한 것이다. 선택적에 따라서는, 스트리핑 단계 이후 물, He, H<sub>2</sub> 탈수 베이킹을 이용한 세척(rinsing)이 이용될 수 있다.

**실시예**

- <26> 본 발명은 자기 랜덤 액세스 메모리(MRAM) 디바이스에 이용되는 자기 터널 접합(MTJ) 디바이스를 제조하기 위한 패턴화 방법의 발달에 기반한 것이다. 여기에서 더 설명되듯이, 본 발명의 중요한 측면은, 본 발명의 방법에 의해 준비된 MTJ 디바이스가, 현재의 기술과 비교하여 볼때, 상기 유전체 터널층과 접하는 상기 자기층들간에 보다 나은 전기적 절연을 할 수 있게 한다는 것이다.
- <27> MTJ가 포함된 전형적인 MRAM 구조체가 도 1에서 보여진다. 상기 MRAM 구조체는 기판위에 자기필름(magnetic film), 전도성필름(conductive film), 그리고 절연필름(insulating film)이 있는 복합의 스택이다. 도 1에서, 전형적인 MRAM 구조체의 구체적인 요소들이 보여지며, 이 요소들은 기판(10), 배리어층(12), 하부 콘택층(14), CoFe, Ru, NiFe, IrMn, PtMn 그리고 이와 비슷한 것들로 구성된 다층 자기 구조체(16), 알루미늄 또는 MgO와 같은 유전체 터널층(18), 전환 가능한 자기층(20)(NiFe, CoFe, CoNiFe, CoFeB류), 그리고 상부 콘택층(22)(Ta, TaN, Ti, TiN, W류)를 포함하여 구성된다.
- <28> 또한 도 1에는 하드 마스크층(24), 반사 방지 코팅(26), 그리고 포토레지스트의 패턴화층(28)이 보여진다. 포토레지스트층(28)은 감광성 물질로, 이 감광성 물질은 상기 포토레지스트 아래의 하부 층들 중 하나 이상을 식각하여 레지스트층에 의해 보호되지 않는 하부 층의 일부가 식각될 수 있도록 하기 위한 마스크로서, 당업자들에게 의해 일반적으로 사용된다. 반사 방지 코팅(26)은 이미지 레지스트의 콘트라스트(contrast)를 향상시키기 위하여 복사(radiation)를 흡수하여 광학적으로 불투명한 필름을 생성하는데에 일반적으로 사용된다. ARC 코팅들은 복사가 상부 PR 마스크층으로 반사되는 것을 효율적으로 감소시킬 수 있다. 이것은 상기 포토레지스트 물질의 과노출을 방지할 수 있다. 하드 마스크층(24)은 디바이스 제조시 중간 마스크 전사층(intermediate mask transfer layer)으로써 널리 사용된다. 이용될 때, 상기 포토레지스트는 상기 하드 마스크층에, 그리고 가능하게는 상기 하부층들 중 하나 이상에 상기 패턴을 전사시키기 위한 견식 식각 마스크로서 사용되고, 이후 상기 하드 마스크층은, 포토레지스트를 사용하여 정의되지 않은 나머지 하부층들에 상기 패턴을 전사시키기 위한 마스크로서 사용된다. 실리콘 이산화물(dioxide)와 실리콘 질화물(nitride)와 같은 하드 마스크층들은 포토레지스트와 비교하여 내구성을 향상시키기 위하여, 또는 중합체 포토레지스트층들(polymeric photoresist layers)의 연수점(softening point)이상의 온도에서 공정을 할 수 있도록 하기 위하여 일반적으로 사용된다.
- <29> 자기 스택 구조체는 전형적으로 기판(10)위에 생성된다. 상기 기판(10)은 노출된 표면을 갖는 구조체층 어느 것이나 포함할 수 있다. 구조체들은 실리콘 웨이퍼, 실리콘-온 인슐레이터(silicon-on insulator, SOI), 실리콘-온 사파이어(silicon-on sapphire, SOS), 알루미늄 타이타늄 카바이드(aluminum titanium carbide, AlTiC)가 도핑된(doped) 반도체들 및 도핑되지 않은(undoped) 반도체들, III-V 또는 III-VI 반도체, 베이스 반도체 기반에 의해 지지되는 실리콘의 에피택셜(epitaxial) 층들, 그리고 다른 반도체 구조체들과 같은 반도체 디바이스의 제조에 사용될 수 있다. 상기 반도체는 실리콘 기반(silicon-based)일 필요는 없다. 상기 반도체는 실리콘-게르마늄, 게르마늄, 또는 갈륨 비화물일 수 있다. 상기 구조체는 또한, 유리 또는 폴리머와 같은 비-반도체일 수도 있다. 상기 기판(10)은 트랜지스터, 다이오드, 커패시터, 그리고 저항기들과 같은 그러한 매립형 전자 디바이스, 또는 자기 다층 스택과 연계하여 사용될 수 있는 다른 어떤 디바이스 또는 회로 요소를 포함할 수 있다.
- <30> 도 1에 보인, MTJ가 포함된 전형적인 다층(multilayer) MRAM 구조체에 있어서, 상기 다층 구조체를 생성하는 특정 층들(예를 들어, 물질들과 그것들의 배열)은 변경될 수 있음을 알 수 있다. MTJ와 MRAM 구조체들이 이 기술 분야에 알려져 있는데, 예를 들어, 미국 특허 제6,673,675호(Yates, et al.) "Methods of Fabricating an MRAM Device Using Chemical Mechanical Polishing"; 미국 특허 제6,677,165호(Lu, et al.) "Magnetoresistive Random Access Memory (MRAM) Cell Patterning"; 미국 특허 제6,653,704호(Gurney, et al.) "Magnetic Memory with Tunnel Junction Memory Cells and Phase Transition Material for Controlling Current to the Cells"; 미국 특허 제6,024,885(Pendharkar, et al.)호 "Process for Patterning Magnetic Films"; 미국 특허 제 5,650,958호(Gallagher, et al.) "Magnetic Tunnel Junctions with Controlled Magnetic Response"; 에서 설명

명된다. 이들 문헌들은 여기에 참고로서 인용하는 것이다.

- <31> 상기 자기필름 스택의 배향(orientation)이 도 1에 보여진 순서와 반대로 될 수 있음이 이해되어야 한다. 즉, 상기 필름 구조체의 방향은 상기 상부 콘택층 및 자기-프리층이 상기 유전체 터널층과 상기 고정된 다층의 아래에 위치하며 반강자성체(antiferromagnetic)층들이 상기 유전체 터널층 위에 위치하는 역전된 순서로 상기 필름 스택이 적층되는 것과 같은 배향으로 될 수 있다. 상기 자기필름 스택은, 상기 자기-프리층이 상기 유전체 터널층의 위에 적층되거나 혹은 상기 유전체 터널층의 아래에 위치하는 배향들에서 다수의 자기 터널 접합들로 구성될 수 있다는 것 또한 이해되어야 한다.
- <32> 도 2에 보여진 단순화된 일 실시예에서, 상기 MTJ 스택은 기관(10), 하부 콘택층(14), 고정된 하부 자기층(16), 유전체 터널층(18), 전환 가능한(switchable) 상부 자기층(16), 그리고 상부 콘택층(22)으로 구성된다. 상기 스택 구조체는 포토레지스트층(28)으로 패턴되어 있다. 이 단순화된 구조체가 다음 설명의 본 발명의 바람직한 실시예들에서 사용된다.
- <33> 본 발명의 식각정지 단계 과정이 도 3,4,5에 제시된다.
- <34> 도 3은 자기스택이 적층되고(100), PR이 패턴화 되고(102), 하나 또는 둘의 상기 하드마스크층과와 상부 콘택층 중 하나 또는 모두가 식각 되고(104), 그리고 상부 자기층(106)의 일부를 제거하기 위해 반응성 식각 공정이 사용되는(106)의 발명의 공정 순서를 보여준다. 상부 자기층(106)의 반응성 식각 단계 다음에, MTJ 디바이스 구조체는 본 발명의 식각정지 단계(108)에 바로 노출되거나, DI 린스, PR 스트립, 그리고 부식 처리에 기반한 플라즈마로 구성된 부식 처리 단계에 먼저 노출되고, 뒤이어 발명의 식각정지 단계(108)에 노출된다.
- <35> 상부 자기층의 반응성 부분 식각 단계(106) 바로 다음에 본 발명의 식각정지 단계(108)가 뒤따르는 도 3에 보여진 일 실시예에서, 상기 MTJ 디바이스 구조체의 패턴이 완료되고 상기 디바이스는 후속 단계(114)로 이동한다. 발명의 식각정지 단계(108)가 상부 자기층의 반응성 부분 식각 단계(106) 바로 다음에 이루어지는 두 번째 실시예에서, 상기 디바이스는 부식 방지를 위한 단계에 노출된다. 자기필름을 염소-함유 및 브롬-함유 식각 화학물들에 노출시키는 것은, 상기 디바이스를 진공 상태에서부터 제거하고 이어서 상기 식각된 필름을 주변 환경 습기에 노출시키게 되므로 이로 인한 역반응을 야기할 수 있다. 상기 필름의 민감성에 따라, 역 부식 반응을 방지하기 위해 도 3에 보인 것과 같은 다양한 순서들이 개발되어 왔다.
- <36> 부식 방지 처리들이 이용되며, 이 부식 방지 처리들이 상기 터널층 위의 식각정지 단계(108) 이후 이용되는 본 발명 공정의 일 실시예에서, 상기 부식 방지 순서는 포토레지스트(PR) 스트립/부식 방지 단계(112)와 뒤이은 DI 워터 린스 단계(110)로 구성된다. 부식 방지 처리가 이용되고 이 부식 방지 처리가 상기 터널층의 식각정지 단계(108) 이후 이용되는 본 발명 공정의 두 번째 실시예에서, 상기 부식 방지 처리 순서는 포토레지스트 스트립/부식 방지 단계(112)와 뒤이은 DI 워터 린스 단계(110)로 구성된다.
- <37> 도 3에 보인 일 실시예에서, 본 발명의 식각정지 단계(108)는 상기 상부 자기층의 반응성 부분 식각 단계(106) 바로 다음에 오지 않고, 부식 방지 처리((110) 및 (112))가 이보다 먼저 실행된다. 본 발명의 식각정지 단계(108)가 상부 자기층의 반응성 부분 식각 단계(106)에 바로 뒤에 오지 않는 도 3에 보인 제1 실시예에서, 상기 MTJ 디바이스 구조체는 DI 워터 린스 단계(110)에 노출되고, 터널층 위의 식각 정지 단계(108)에 앞서 포토레지스트 스트립/부식 방지 단계(112)가 그 뒤를 따른다. 식각정지 단계(108)가 상부 자기층의 반응성 부분 식각 단계(106)에 바로 뒤따르지 않는 본 발명의 공정의 제2 실시예에서, 상기 디바이스는 포토레지스트 스트립/부식 방지 단계(112)에 노출되고, 식각정지 단계(108)에 앞서 DI 워터 린스 단계가 그 뒤를 따른다.
- <38> 도 4는 자기 스택이 적층되고(100), 상기 PR이 패턴 되고(102), 그리고 상기 하드 마스크가 식각되는(103) 발명의 공정 순서를 보인 것이다. 상기 하드 마스크 식각 단계(103) 다음에, MTJ 디바이스 구조체는 포토레지스트 스트립 단계(107)에 노출되거나 상기 상부 콘택층을 제거하기 위한 반응성 식각 단계(105) 및 상기 상부 자기층의 일부를 제거하기 위한 반응성 식각 단계(106)에 노출된다. 상기 하드 마스크 식각 단계(103) 다음에 포토레지스트 스트립 단계(107)가 오는 본 발명 공정의 제1 실시예에서, 상기 포토레지스트 단계(107)에 뒤이어, 상기 MTJ 디바이스는 상기 상부 콘택층을 제거하기 위한 반응성 식각 단계(105) 및 상기 상부 자기층의 일부를 제거하기 위한 반응성 식각 단계(106)에 노출된다. 상기 상부 콘택층을 제거하기 위한 반응성 식각 단계(105) 및 상기 상부 자기층의 일부를 제거하기 위한 반응성 식각 단계(106)가 상기 하드 마스크 식각 공정(103)뒤를 따르는 본 발명 공정의 제2 실시예에서, 뒤이어 상기 MTJ 디바이스는 포토레지스트 스트립 단계(107)에 노출된다.
- <39> 포토레지스트 스트립 단계(107), 상기 상부 콘택층을 제거하기 위한 반응성 식각 단계(105), 상기 상부 자기층의 일부를 제거하기 위한 상기 상부 콘택층의 제거 단계(106)가 결합된 단계들에 뒤이어, 상기 MTJ 디바이스는

본 발명의 식각정지 단계(108)에 바로 노출되거나, DI 린스와 플라즈마 기반의 부식 처리 단계(113)로 구성된 부식 처리 순서를 먼저 거치고 발명의 식각정지 단계(108)가 그 뒤를 따른다.

- <40> 본 발명의 식각정지 단계(108)가 상기 상부 자기층의 반응성 부분 식각 단계(106) 바로 뒤를 따르거나, 또는 앞서 상기 상부 자기층의 반응성 부분 식각 단계(106)를 거친 포토레지스트 스트립 단계(107)의 뒤를 따르는 도 4에 보인 일 실시예에서, 상기 MTJ 디바이스 구조체의 패터닝이 완결되고 상기 디바이스는 후속 단계(114)로 이동한다. 본 발명의 식각정지 단계(108)가 상기 상부 자기층의 반응성 부분 식각 단계(106)의 바로 뒤를 따르거나, 앞서 상기 상부 자기층의 반응성 부분 식각 단계(106)를 거친 포토레지스트 스트립 단계(107)의 뒤를 따르는 본 발명의 식각정지 공정의 제2 실시예에서, 상기 디바이스는 부식을 방지하기 위한 공정 순서에 노출된다. 자기필름을 염소-함유 및 브롬-함유 식각 화학물체에 노출시키는 것은, 상기 디바이스를 진공 상태에서부터 제거하고 이어서 상기 식각된 필름을 주변 환경 습기에 노출시키게 되므로 이로 인한 역반응을 야기할 수 있다. 상기 필름의 민감성에 따라, 도 4에 보인 것들과 같은 다양한 순서들이 역 부식 반응을 방지하기 위하여 개발되어 왔다.
- <41> 부식 방지 처리가 이용되며, 이 부식 방지 처리가 상기 터널층 위의 식각정지 단계(108) 다음에 이용되는 본 발명 공정의 일 실시예에서, 상기 부식 방지 처리 순서는 플라즈마 기반의 부식 방지 처리 단계(112)와 뒤이은 DI 워터 린스 단계(110)로 구성된다. 부식 방지 처리가 이용되고 이 부식 방지 처리가 상기 터널층의 식각정지 단계(108) 다음에 이용되는 본 발명 공정의 두번째 실시예에서, 상기 부식 방지 처리 순서는 플라즈마 기반의 부식 방지 처리 단계(112)와 뒤이은 DI 워터 린스 단계(110)로 구성된다.
- <42> 도 4에 보인 일 실시예에서, 본 발명의 식각정지 단계(108)는 상기 상부 자기층의 반응성 부분 식각(106) 바로 다음에 오지 않고, 부식 방지 처리 단계들((110)과 (113))이 선행된다. 본 발명의 식각정지 단계(108)가 상기 상부 자기층의 반응성 부분 식각 단계(106) 바로 뒤를 따르지 않는 도 4에 보인 제1 실시예에서, 상기 디바이스는 플라즈마 기반의 부식 처리 단계(113)에 노출되며 상기 터널층위의 식각정지 단계(108)에 앞서 DI 워터 린스가 그 뒤를 따른다.
- <43> 도 3 및 도 4에 제시된 후속 단계(114)에 대한 두가지 방식이 도 5a와 도 5b에 보여진다. 도 5a와 도 5b는 본 발명의 식각정지 단계(108)에 의해서 얻어지는 독특한 특성을 구체적으로 명시하는 두 개의 구체적인 방법들에 대해 설명한다.
- <44> 도 5a에서, 후속 공정중 전기적 단락을 방지할 목적으로 상기 MTJ 디바이스 구조체의 측벽을 패시베이션(passivation)하기 위해 스페이서(spacer)가 사용된다. 상기 측벽 스페이서는 도 3 및 도 4에 보인 식각정지 단계(108)에 의해 설명된 것과 같은 식각정지 공정과 관련하여 사용된다. 바람직한 실시예에서, 도 3 및 도 4에 의해 설명된 상기 후속 단계(114)는 스페이서 유전체 적층 단계(130), 스페이서 식각 단계(132), 그리고 공정을 완료하기 위한 하부 자기층/하부 콘택층 식각 단계(134)를 포함하거나, 또는 DI 워터 린스 단계와 플라즈마 기반 부식 방지 처리 단계(142)가 그 뒤를 따르는 하부 자기층/하부 콘택층 식각 단계(134)를 포함하여 구성된다. 대안적으로, 플라즈마 기반의 부식 방지 처리 단계(142)는 상기 디바이스의 후속 단계(150)가 진행되기 전에, 도 5a에 보인것 처럼 상기 DI 워터 린스 보다 먼저 행하여질 수 있다.
- <45> 도 5b에서, 실리콘 이산화물 또는 실리콘 질화물과 같은 절연 하드 마스크층이 적층되는 단계(120), 포토레지스트가 패터닝되는 단계(122), 상기 하드 마스크가 식각되는 단계(124), 상기 포토레지스트가 스트립 되는 단계(126), 그리고 상기 하부 자기층과 하부 콘택층이 식각되는 단계(128)를 포함한 후속 단계(114)의 또 다른 실시양태를 보인다. 이 방식에서, 상기 포토레지스트 패터닝은 상기 실리콘 이산화물 또는 실리콘 질화물 하드 마스크층이 오리지널 하드 마스크 식각 단계(103), 상부 콘택 식각 단계(105), 반응성 상부 자기층 식각 단계(120), 그리고 식각정지 단계(108)로부터 생성된 수직의 측벽을 넘어서 측면으로 확장되는 게끔 하는 정도로 이루어진다. 상기 수직 측벽을 넘어서는 하드 마스크(120)의 상기 측면 확장은 상기 오리지널 하드 마스크, 상기 상부 콘택, 그리고 상기 상부 자기층의 측벽이 하드 마스크층의 식각(124) 이후에 하드 마스크층(120)으로 덮여진 상태로 남아있게끔 하는 정도로 이루어져야만 한다.
- <46> 상기 MRAM 스택 또는 다른 자기 디바이스 구조체를 포함하여 구성되는 상기 층들은 필름 적층 기술의 당업자들에 의해 이용되는 기술들을 사용하여 적층(100)된다. 상기 필름들은 물리적 증기 적층, 화학적 증기 적층, 원자(atomic)층 적층, 나노층 적층, 원자층 적층, 증발, 그리고 그 밖의 기술들에 의해 적층될 수 있다. 상기 스택의 상기 필름은 이 방법들 중 하나에 의해 한가지 형태로 적층될 수 있으며, 제2 챔버에서 차후에 변경될 수 있다. 예를들어, 알루미늄( $Al_2O_3$ ) 유전체는 알루미늄층을 적층하고 이어서 상기 알루미늄을 알루미늄 산화물 생성을 위한 산화 공정에 노출함에 의해서 생성될 수 있다. 이와 유사하게, MgO는 마그네슘층을 적층한 후 상기 Mg를 MgO생

성을 위한 산화공정에 노출함에 의해 생성될 수 있다.

- <47> 포토레지스트 적층과 패터닝 단계(102)는 상기 MTJ 또는 MRAM 구조체를 정의하기 위한 패턴을 형성을 위하여 사용된다. 도 2의 단순화된 MRAM 스택 예시에서는 보이지 않지만, 상기 패턴 전사의 정확도를 향상시키기 위하여 상기 포토레지스트와 연계하여 반사방지 코팅이 사용될 수 있다. 추가적으로, 하드 마스크층이 상기 포토레지스트와 상기 상부 콘택층 사이에 포함될 수 있다. 실리콘 이산화물 및 실리콘 질화물등의 하드 마스크층들이 사용될 수 있다. 다른 실시예에서, 전도성의 상부 콘택층의 두께는 하드 마스크층 및 상부 콘택층의 두 목적에 이용할 수 있게끔 만들어 져야 한다. 도 2는 자기 스택 적층 단계(100) 그리고 뒤이은 포토레지스트 패터닝 단계(102) 이후의 단순화된 MRAM 스택 구조체를 보여준다.
- <48> 바람직한 실시예에서, 상기 하드 마스크층 및 상기 상부 콘택층들은 당업자들에 의해 일반적인 기술들을 이용하여 패터닝(103)된다. 실리콘 산화물 하드 마스크를 반응적으로 식각하기 위한 공통적인 공정의 한 예는, CHF<sub>4</sub> 그리고 Ar의 혼합물이 있다면 그것을 이용하는 것이다. 산화물 식각 공정들은 문헌에서 널리 보여진다. 이와 유사하게, 상기 상부 전도성층을 순응적으로 식각(104,105)하기 위하여 일반적으로 사용되는 공정 화학의 예는 Ar/Cl<sub>2</sub>의 혼합물을 사용하는 것이다. 즉, 금속 콘택층 식각들은 문헌에 자세하게 공개되어 왔다. 산화물 그리고 질화물 하드 마스크들 및 금속 콘택층들은 오랜 시간동안 사용되어 왔고, 이러한 층들을 제거하기 위해 사용되는 기술은 당업자들에게 명백할 것이다. 콘택 식각 이후의 단순화된 MRAM 스택 구조체는 도 6에서 보일 것이다.
- <49> 자기 다층 스택에서 발견되는 상기 자기층들의 제거는 이 기술분야에서 충분히 확립되어 있지 않다. 식각정지 단계(108)와 함께 반응성 상부 자기층 식각 단계(106)에 특히 적합한 공정의 이용은 본 발명의 범주 내 이다. 본 발명 단계(106)는 상기 상부 자기층의 일부를 제거하기 위한 Cl<sub>2</sub>, BCl<sub>3</sub>, 그리고 HCl등의 염소-함유 가스 혼합물 및 CF<sub>4</sub>, SF<sub>6</sub>, 그리고 CHF<sub>3</sub>등의 불소-함유 가스 혼합물을 포함하여 구성된다. 이에 대신하여, Cl 그리고 F 원자들을 포함하는 가스 분자도 이용될 수 있다. 염소-함유 가스 대 불소-함유 가스의 비율은 2:1 에서 20:1까지의 범위 안에 있어야 한다. 테갈 코오포레이션(Tegal Corporation)에 의해 제조된 스펙트라®(Spectra®)유도 결합 공정에서 설명되는 상기 반응성 식각 단계(106)를 위한 전형적인 공정 조건은 : 유도 소스 코일위에 13.56MHz의 400W rf 전력, 기판위에 적용된 450kHz의 20W rf 전력, 40ccm Cl<sub>2</sub>, 8ccm CF<sub>4</sub>, 그리고 4mT 공정 압력. 이다. 반응성 자기층 식각 단계(106) 후의 단순화된 MRAM 스택 구조체는 도 7에 보여진다.
- <50> 염소-함유 식각 공정에 불소를 추가로 첨가하는 것은 매끈한 식각 표면(도 8에 도시된 것과 같은)을 생성하며, 반응성 상부 자기층 식각 단계(106) 후 남아있는 매우 얇은 자기 물질 필름들을 통한 Cl종(chlorine species)의 확산을 방지하는 것으로 알려져 왔다. 불소/염소 함유 가스 혼합물의 사용은 나머지 상부 자기층과 하부 유전체 터널층 사이의 계면(interface)의 5-25Å범위 가 되도록 상기 상부 자기층을 제거하게 해 줄 것이다.
- <51> 본 발명의 상부 자기층 식각 단계(106)의 바람직한 실시예에서, 나머지 상부 자기층은 식각정지 단계(108), DI 워터 린스 단계(110) 또는 PR 스트립/부식 처리 단계(112)등의 후속 공정으로 이동하기에 앞서 상기 피쳐(feature) 부근의 상기 터널링 유전체층을 투과하지 않고, 나머지 상부 자기층(20)와 상기 하부 유전체층(18) 사이의 계면에 최대한 가까이 식각될 것이다. 바람직한 실시예에서, 도 7에 보인바와 같이 상기 반응성 상부 자기층 식각 단계(106)동안 상기 상부 자기층(20)은 균일하게 식각될 것이고 하부 유전체층(18)은 웨이퍼의 어느 곳도 브리치되지 않는다.
- <52> 그러나, 본 발명 공정의 한 실시예에서, 상기 상부 자기층(20)은 완전히 제거되고 하부 유전층(18)은 브리치되지만 상기 패턴된 MTJ 스택 피쳐들에 아주 근접한 정도는 아니다. 본 발명의 공정의 이 실시예에서, 상부 자기층 식각(106)은 하나 또는 그 이상의 다음 가스들 또는 가스 혼합물들을 포함하는 식각 공정으로 제거된다.: Cl<sub>2</sub>, Cl<sub>2</sub>/Ar, Cl<sub>2</sub>/CF<sub>4</sub>, Cl<sub>2</sub>/CHF<sub>3</sub>, Cl<sub>2</sub>/Ar, BCl<sub>3</sub>/Cl<sub>2</sub>, BCl<sub>3</sub>/Cl<sub>2</sub>/Ar, BCl<sub>3</sub>/HBr, BCl<sub>3</sub>/HBr/Ar, NH<sub>3</sub>, NH<sub>3</sub>/CO.
- <53> 다른 실시예에서, 상기 상부 자기층(20)은 완전히 제거되며, 상기 하부 유전체층(18)도 상기 패턴된 MTJ스택에 매우 근접한 곳에서 경사진 영역 바깥쪽이 제거되고, 상기 하부 자기층(16)의 전체 또는 일부 그리고 상기 하부 콘택층(14)의 전체 또는 일부도 제거된다.(도 10 참조.) 이 실시예의 특이점은 전체 MRAM 구조체가 싱글 마스크로 패턴되었고; 후속 단계(114)가 필요하지 않다는 점이다. 본 발명 공정의 이 실시예에서, 상기 상부 자기층 식각(106)은 다음의 반응성 가스들 또는 가스 혼합물들 중 하나 또는 그 이상을 포함한 식각 공정으로 제거된다. : Cl<sub>2</sub>, Cl<sub>2</sub>/Ar, Cl<sub>2</sub>/CF<sub>4</sub>, Cl<sub>2</sub>/CHF<sub>3</sub>, Cl<sub>2</sub>/Ar, BCl<sub>3</sub>/Cl<sub>2</sub>, BCl<sub>3</sub>/Cl<sub>2</sub>/Ar, BCl<sub>3</sub>/HBr, BCl<sub>3</sub>/HBr/Ar, NH<sub>3</sub>, NH<sub>3</sub>/CO.



- <54> 나머지 상부 자기층의 일부는 상부 반응성 단계(106)에서 제거되지 않는다. 앞서 언급한 실시예는 아르곤(argon) 및 산화 가스과 같은 비-반응성 가스 혼합물(산소와 같은)이며, 이것에 의해 터널 배리어층의 유전체가 정지층으로 작용한다. 바람직한 실시예에서, 불활성 가스의 흐름(flow)은 전형적으로 10 내지 350sccm의 범위내에 있으며 산소-함유 가스의 흐름은 0.02 내지 0.15sccm의 범위내에 있다. 상부 산소-함유 가스를 위한 실질적인 흐름(flows)은 불활성 가스의 흐름, 산소-함유 가스의 선택, 그리고 사용되는 플라즈마 시스템 타입에 따라 변할 수 있다. 테갈 코오포레이션에 의해 제조된 스펙트라® 유도 결합 식각 공정 모듈에 사용되는 전형적인 단계(108)는 200mm 지름의 실리콘 기판에 대한 것일때 다음과 같다.: 소스 코일상에 13.56MHz의 100W rf 전력, 기판에 적용되는 450kHz의 20W 전력, 350sccm Ar, 0.08scm O<sub>2</sub>, 그리고 10mT 공정 압력. 위에 제시된 식각정지를 위한 조건들 및 스퍼터링 단계(108)는 테갈 코오포레이션에 의해 제조된 스펙트라 ICP 공정 모듈에서 NiFe와 알루미늄 사이에서 ~90:1의 스퍼터 선택도를 생성하는 것으로 밝혀진 조건들의 예시적인 세트를 제공하기 위하여 의도된 것이다.(도 11 참조)
- <55> 공정 조건들의 범위와 챔버 구성들은 상부 자기 물질과 상부 유전체 사이에 높은 선택도 결과를 생성하기 위하여 사용될 수 있다. 높은 선택도를 얻기 위해 반드시 고려되어야 하는 두가지 측면은 불활성 가스 대 산소-함유 가스의 비율 제어와 낮은 바이어스 전력 레벨에서의 공정 가동이다. 이 두 측면은 다음 단락에서 보다 자세히 설명될 것이다.
- <56> 바람직한 실시예에서, 상부 식각정지 공정은 상부 자기층(20)과 상부 하부 유전체층(18) 사이에 높은 선택도(>5:1)를 필요로 한다. 상부 자기층(20)은 상부 하부 유전체층(18)이 식각되는 속도보다 적어도 5배 이상 빠른 속도로 식각될 것으로 예상된다. NiFe 과 CoFe간의 그리고 Al<sub>2</sub>O<sub>3</sub> 및 MgO와 같은 산화 금속들 간의 스퍼터링 드레시홀드들(sputtering thresholds)에서의 차이가 크기 때문에 정밀한 NiFe/CoFe 식각 속도 제어가 가능하다. 이러한 현상들을 확인하는 실험들이 테갈 코오포레이션(Petaluma,CA)에 의해 제작된 스펙트라® 공정 모듈을 이용하여 행하였다.
- <57> 구체적으로, NiFe 및 CoFe 스퍼터 속도들은 단층 테스트 웨이퍼들을 사용하여 측정되었고, 알루미늄 식각 속도들은 알루미늄/NiFe 테스트 구조체를 사용하여 측정되어 왔다. 상부 테스트 구조체는 위에 NiFe층이 적층된 기판 및 상부 NiFe위의 아주 얇은 알루미늄층(~15Å)으로 구성되었다. 측정된 알루미늄 식각 속도들은 자기 터널 접합들을 포함하는 스택들에서 찾아볼 수 있는 박막 속성들을 나타냈다.
- <58> 도 12의 그래프에서 명백하듯이, 자기 합금용 스퍼터링의 온셋(onset)과 알루미늄용 스퍼터링 온셋 간에는 큰 차이점이 발견된다. 10W보다 크고 25W보다 적은 바이어스 전력 레벨조건에서 알루미늄/NiFe 테스트 구조체들에 행해진 각각의 속도 테스트에서 이 차이점이 더 관찰되었다. 이러한 관찰들은, 특정 공정 조건에서, 동일 시간 동안 단지 적은 양의 알루미늄이 제거되는 반면, 많은 양의 NiFe 및 CoFe가 TMR 스택으로부터 식각될 수 있음을 보여주고 있다.
- <59> 도 7, 9, 그리고 10에서 보인 것과 같은 반응성 식각 단계(106)과 식각정지 공정(108)의 상부 바람직한 실시예들로 인한 결과 디바이스 프로파일들은 도 13, 14, 15에서 보인다. 이러한 실시예들 각각에서, 반응성 식각 단계(106) 이후에 상부 자기층(20)에 남아있는 잔류 금속층은 상부 하부 유전체층(18)으로부터 제거된다. 낮은 바이어스 비-반응성 식각정지 단계(108)와 반응성 식각 단계(106) 이후에 남아있는 상부 자기층(20)의 제거는 상부 하부 유전체층(18)을 손상시키지 않으면서 다른 알려진 방법들 보다 향상된 전기적 절연을 제공한다. 기하학적 단락(Geometric isolation)은 MTJ 스택이 포함된 구조체의 디바이스 성능을 제한하는 것으로 알려진 내재적인 전기적 단락의 위험이 없이 본 발명 공정의 상부 세 실시예 각각에 제공된다. 또한, 신뢰성 있는 디바이스를 생산하는것에 있어서 가장 위험한 단계에서 부식성 화학물들을 사용함으로 인한 위험없이, 상부 자기층(20)과 상부 하부 자기층(16)간에 보다 나은 전기적 단락이 달성된다.
- <60> 위에 제공된 식각정지 단계(108)를 위한 전형적인 공정 조건들은 NiFe 혹은 CoFe와 알루미늄 사이에서 매우 높은 선택도를 주기 위해 발견되었던 공정을 대표하기 위하여 의도된 것이다. 스펙트라 리액터들 내의 다양한 공정 조건들이 본 발명의 식각정지 단계(108)의 범주에서 사용될 수 있다.
- <61> 염소와 불소 함유 가스의 혼합물을 사용하여 상부 자기층의 벌크를 제거하는 제1 단계와 상부 유전체 터널링층위에서 정지하기 위해 불활성 가스와 산소-함유 가스의 혼합물을 사용하는 제2 단계 중 하나 또는 두 단계의 방식을 이용하는 유사한 공정들은 유도적으로(inductively) 결합된 다른 플라즈마 리액터들, 용량적으로(capacitively) 결합된 플라즈마 리액터들, 전자 사이클로트론 공명(electron cyclotron resonance) 리액터들, 그리고 자기필름들로부터 디바이스를 제조하기 위하여 플라즈마를 만드는데 이용되는 다른 리액터들에서도 수행

될 수 있으며, 이러한 공정들은 본 발명의 목적 범주 내 일 것이다.

- <62> 추가적으로, 상기 상부 자기층의 벌크를 제거하기 위하여 상기 유전체층을, 염소/불소 함유-가스의 혼합물을 사용하는 초기 단계 없이, 식각정지층으로 사용하는 것 또한 본 발명의 목적 범주 내 일 것이다.
- <63> 위에 설명된 NiFe와 알루미늄 사이 식각정지 단계(108)를 위한 상기 실시예의 높은 선택도는 아르곤 및 산소 가스 혼합물을 사용하여 관찰된다. 상기 바람직한 실시예의 식각정지 단계(108)에서 NiFe/알루미늄의 선택도를 ~90:1로 작동하게 하기 위하여 사용되는 아르곤/산소 가스 혼합물의 산화 요소들 및 상기 작동을 위한 대체가능한 불활성 요소들의 사용은 본 발명의 범주 내 이다. 예를 들어, 헬륨, 네온, 크립톤, 그리고 질소는 아르곤 대신, 혹은 아르곤과 결합하여, 상기 식각정지 단계(108)의 상기 불활성 요소를 제공하기 위하여 사용될 수 있다. 이와 유사하게, 상기 식각정지 단계(108)의 산화 요소를 생산하기 위하여 N<sub>2</sub>O, NO, CO 그리고 CO<sub>2</sub> 등의 산소 대용물이 산소 대신, 혹은 산소와 결합하여 사용될 수 있다. 이에 대신하여, 본 발명 공정의 범주내에서, 다음 단락에서 논의 되듯이, 산소-함유 가스는 산소-함유 가스의 의도적 주입이외의 다른 방법에 의하여 식각 챔버내의 산소 레벨을 제어함으로써 제거될 수 있다.
- <64> 플라즈마 스퍼터링 자기층들이 NiFe와 같은 전이(transition)금속들과 Ar과 같은 불활성 스퍼터링 가스들로 구성될 때, 상기 플라즈마 챔버안의 산소 양을 규제하는 것은 상기 하부 알루미늄에 대한 식각 선택도에 영향을 줄 수 있는 것으로 증명되어 왔다. 즉, 플라즈마 챔버안으로의 산소 흐름을 제어함으로써 인하여, 더 높은 NiFe/알루미늄 선택도가 달성될 수 있다. 플라즈마 오버에치 공정의 일 실시예는 예측가능하고 제어 가능한 방법으로 산소를 플라즈마 챔버에 함께 재-유입시키는 반면, 상기 배경 산소를 상기 식각 공정에 영향을 주지 않는 레벨로 감소시키는 결과를 수반한다. 플라즈마 챔버로 들어가는 상기 배경 산소의 소스들은, 예를 들어: (1) 산소-함유 내부 챔버 파트들의 스퍼터링, (2) 대기중의 산소; (3) 상기 챔버의 물질들로부터 가스를 제거; 그리고 (4) 본 공정 시스템의 다른 공정 모듈들을 포함한다.
- <65> 상기 챔버내의 "제어되지 않은" 배경 산소가 줄어들 때, 매우 적은 양(예를 들어, ~0.08 sccm)의 산소를 상기 챔버안으로 재-유입하는 것에 의해 NiFe와 알루미늄 사이의 선택도가 최적화될 수 있다. 상기 산소를 재-유입하는 한 테크닉은 상기 챔버에 연결된 두개의 분리된 캐리어 가스 소스들(carrier gas sources)을 사용한다. 제2 소스가 상기 챔버에 병렬적으로(in parallel to) Ar 100% 가 함유된 가스를 공급하는 반면, 제1 소스는 99.9%의 Ar과 0.1%의 O<sub>2</sub>로 구성된 Ar/O<sub>2</sub> 가스 혼합물을 상기 플라즈마 챔버에 공급한다. 플라즈마 챔버로 산소가 재-유입될 때, 챔버의 기저 압력은 ~0.001mT 또는 그이하로 낮추는 것 바람직하다. 추가적으로, 내부 챔버 파트들의 표면 스퍼터링은 최소화되거나 제어되어야만 한다. 예를 들어, 원도우 스퍼터링을 최소화하기 위하여 전도성 소스 전력은 낮아야(100-200W) 한다. 상기 챔버안의 과도한 양의 산소는 상기 금속성 자기필름의 식각 속도를 느리게 할 수 있고 상기 자기층들과 상기 유전체층들간의 선택도의 감소를 초래할 수 있다.
- <66> 위와 대체 가능한 제2 기술에서, 산소는 산소의 소스와 상기 공정 챔버를 분리하는 구멍(orifice)을 통하여 상기 공정 챔버로 유입된다. 상기 구멍은 상기 산소 함유 가스의 흐름이, 불활성 가스와 혼합되었을 때, 상기 상부 자기필름과 상기 터널링 유전체 사이의 스퍼터링 선택도를 향상시키게끔 하는 정도의 사이즈이다.
- <67> 상기 유전체층위에 상기 자기 물질을 선택적으로 식각하기 위한 필요 조건들을 제공하기 위하여, 제어된 농도의 산소를 불활성 가스안으로 주입하기 위한 다른 방법들 또한 본 발명의 범위 내 이다. 그러한 실시예에서, 상기 플라즈마 리액터안의 산소-함유 물질들의 내부 표면들의 스퍼터링은 산소의 공급원으로써 사용가능 하다. 이 실시예에서, 아르곤과 같은 불활성 가스는, 상기 자기 물질과 상기 터널링 유전체층들 사이에서의 선택적 제거를 달성할 수 있도록, 식각되고 있는 상기 상부 자기층의 표면에 불활성 가스와 산소-함유 종들의 혼합물들을 생산할 수 있을 양으로 질량 유량 제어기(mass flow controller) 또는 니들 밸브(needle valve)등의 종래 수단들을 사용하여 주입될 수 있다. 상기 공정 조건들은 상기 자기 물질이 5Å/min 보다 빠른 속도로 제거되며 상기 유전체층은 1Å/min보다 느린 속도로 제거될 수 있도록 조정될 것이다.
- <68> 이 발명의 다른 실시예에서, 배경 가스 누출을 제어하는 것에 의해 산소-함유 가스의 농도가 결정된다. 플라즈마 기반의 반도체 제조 공정은 전형적으로 0.1에서 1000 milliTorr의 범위내에서 행해진다. 이러한 대기압 미만의 조건에서, 산소는 상기 공정 챔버의 불완전한 봉인을 통하여, 통기성 물질들을 통하여, 그리고 상기 공정 챔버의 부분적인 아웃개싱(outgassing)으로부터 비의도적으로 주입될 수 있다. 누출 속도는 종래의 플라즈마 공정 장비에서 쉽게 측정될 수 있다.
- <69> 이 실시예에서, 아르곤과 같은 불활성 가스는, 상기 자기 물질과 상기 터널링 유전체층들 중의 선택적 제거를

위하여, 식각되고 있는 상기 상부 자기층의 표면에 불활성 가스와 산소-함유 종들의 혼합물들을 생산할 수 있을 양만큼, 질량 유량 제어기 또는 니들 밸브등의 종래 방법들을 사용하여 주입될 수 있을 것이다. 불활성 가스와 산소-함유 종들의 필요한 혼합물을 상기 자기 물질을 5Å/min보다 빠른 속도로 제거하고, 상기 유전체층이 1Å/min 보다 느린 속도로 제거할 수 있는 정도로 얻기 위해, 종래의 수단들을 통해 제어된 불활성 가스 흐름의 주입과 연계하여, 대기로부터 상기 산소-함유 누출을 제어하는 방식은 본 발명의 범주 내에 든다.

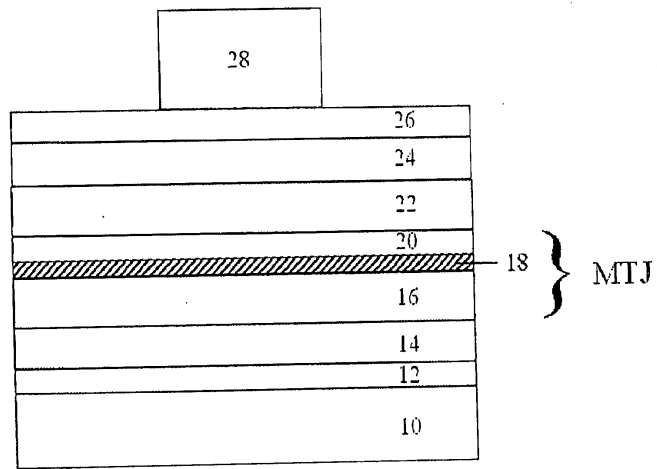
<70> 상기 포토레지스트를 제거하고 부식을 막기위한 공정, 즉, 도 3의 (112), 도 4의 (113), 도 5a의 (142), 그리고 도 5b의 (126) 및 (142) 는 자기필름 구조체들에 적용될 수 있다. 레지스트 제거와 상기 MRAM 필름 스택의 상기 할로겐-함유 식각 화학물로의 노출로 인해 야기될 수 있는 부식 방지를 위해 적합한 할로겐-함유 가스 혼합물의 사용은 본 발명의 범주 내 이다. 바람직한 실시예에서, 상기 자기필름 스택은 수소-함유 플라즈마에 노출되며, 이것은 상기 포토레지스트를 제거하기 위한 것이고, 대기 환경에 노출됨에 따른 부식을 방지해줄 공정에 자기층을 노출하기 위한 것이다. 수소는 헬륨, 네온, 아르곤, 또는 질소와 같은 불활성 가스 와 수소의 혼합물의 형태로 상기 공정 챔버에 주입된다.

### 도면의 간단한 설명

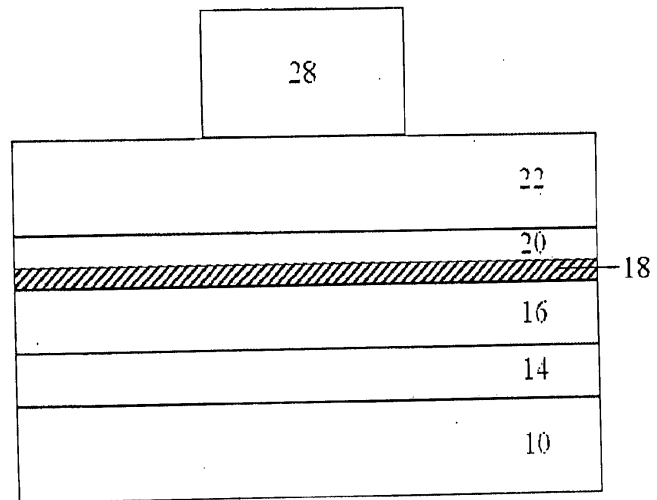
- <10> 도 1. 자기 터널링 접합(magnetic tunneling junction)을 구비한 통상적인 MRAM 구조체.
- <11> 도 2. 자기 터널링 접합을 구비한 단순화된 MRAM 구조체.
- <12> 도 3. 발명의 MRAM 공정 순서도(sequence).
- <13> 도 4. 발명의 MRAM 공정 순서도.
- <14> 도 5a. 발명의 MRAM 공정 순서도.
- <15> 도 5b. 발명의 MRAM 공정 순서도.
- <16> 도 6. 상부 콘택 패터닝 이후의 MRAM 스택 구조체.
- <17> 도 7. 반응성(reactive)자기층 식각 단계 이후의 MRAM 스택 구조체.
- <18> 도 8. 반응성 자기층 식각 이후의 MRAM 스택 구조체.
- <19> 도 9. 상기 터널링 유전체층이 피쳐(feature)와 근접하여 브리치(breach) 되지 않고 마스크 피쳐와 근접하지 않은 영역들에서 브리치되는 본 발명의 패터닝 시퀀스의 실시예.
- <20> 도 10. 상기 자기 스택층들이 식각정지 단계(etch stop process)에 선행하는 반응성 식각 단계 동안 의도적으로 경사진 프로파일(profile)로 식각되는 본 발명의 MRAM 패터닝 시퀀스의 실시예.
- <21> 도 11. 50Å NiFe/15Å 알루미늄/50Å NiFe 스택 구조체의 식각 동안 획득되는 광학적 방사(optical emission) 신호 강도의 도면. 상기 도면의 두개의 피크(peak)는 두 NiFe층의 제거를 나타낸다. 두 피크사이의 시간은 상기 15Å 알루미늄을 제거하기위해 필요한 시간을 나타낸다. 이 그래프를 만들기 위해 사용된 방법으로부터 얻어지는 NiFe 대 알루미늄(NiFe-to-Alumina)의 식각 선택도는 90:1보다 크다.
- <22> 도 12. CoFe, NiFe, 그리고 알루미늄을 위한 식각 스퍼터 속도들 각각의 그래프.
- <23> 도 13. 반응성 자기층 식각(도 6 참조) 및 식각정지 단계 후의 MRAM 스택 구조체.
- <24> 도 14. 반응성 자기층 식각(도 7 참조) 및 식각정지 단계 후의 MRAM 스택 구조체.
- <25> 도 15. 반응성 자기층 식각(도 8 참조) 및 식각정지 단계 후의 MRAM 스택 구조체.

도면

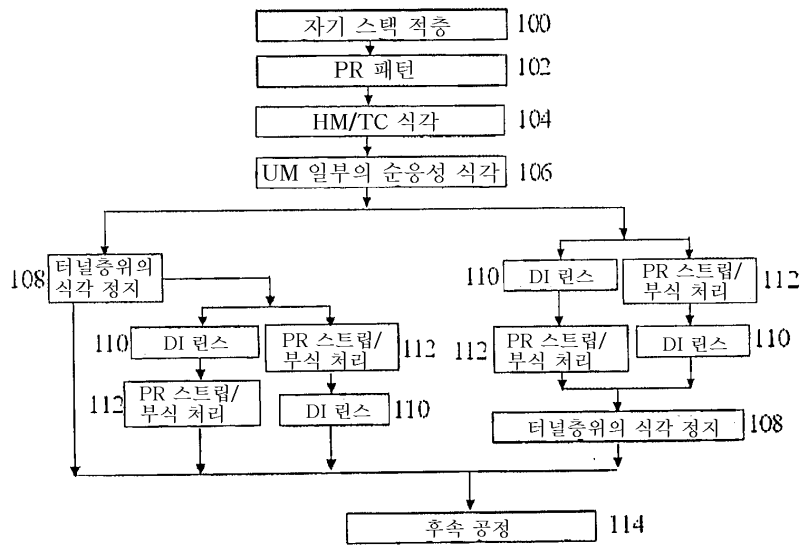
도면1



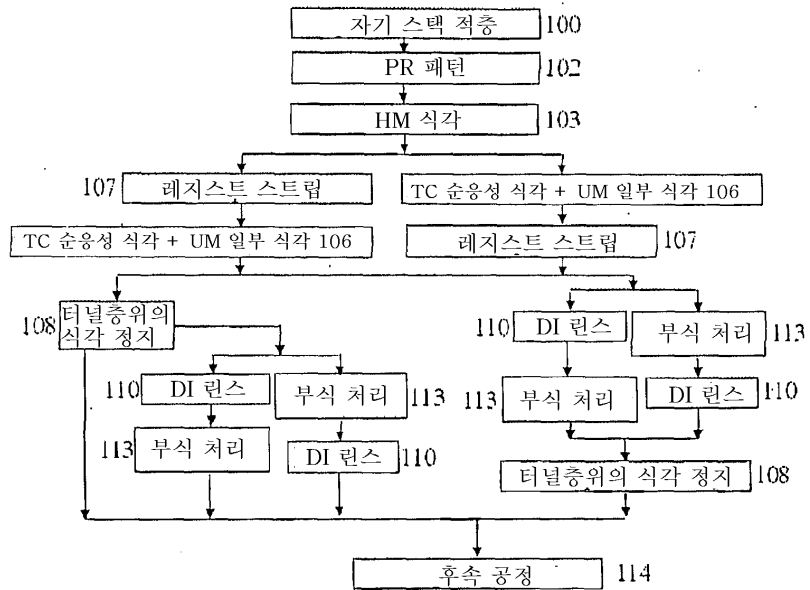
도면2



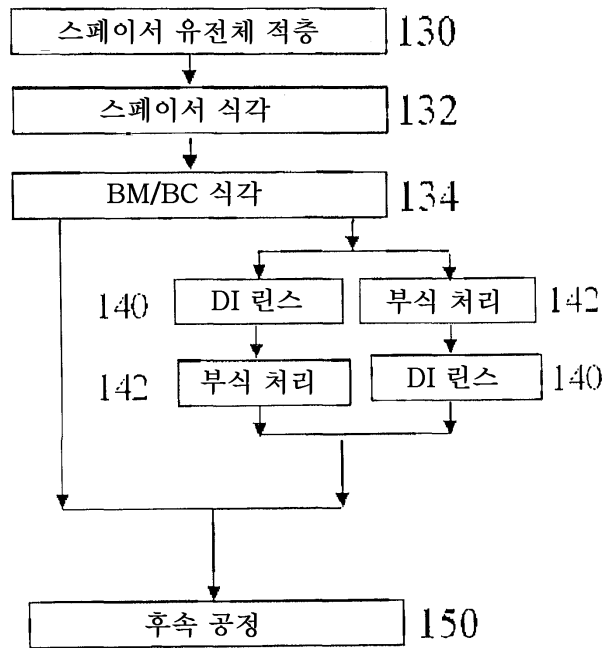
도면3



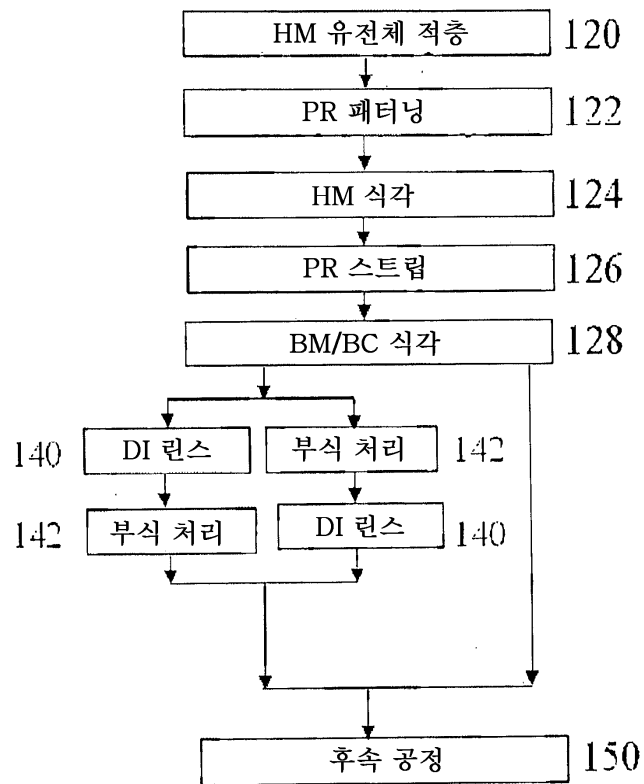
도면4



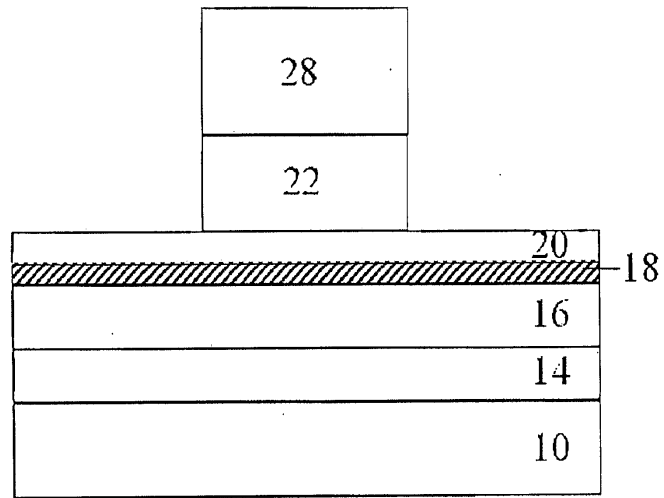
도면5A



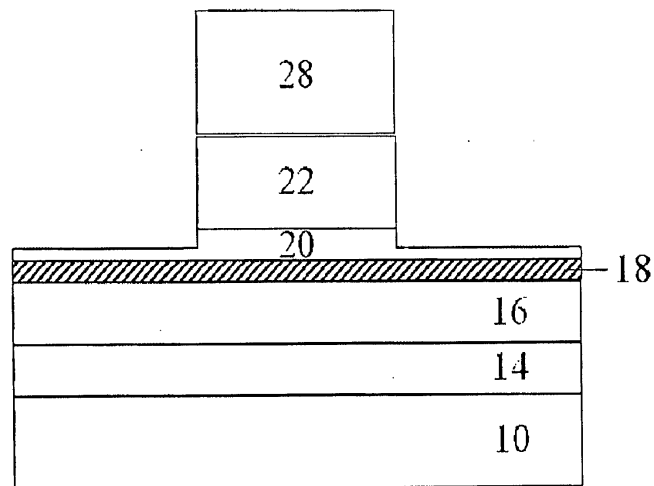
도면5B



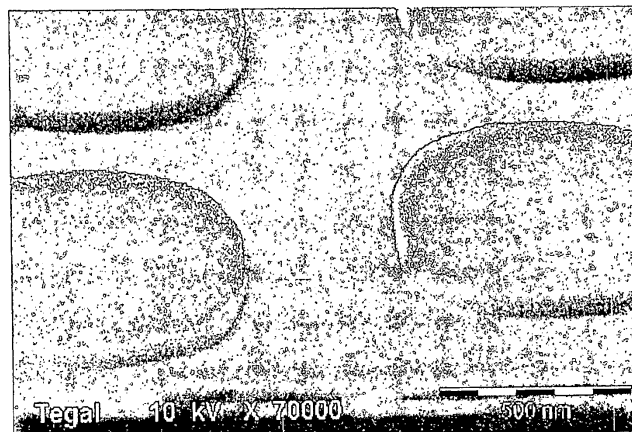
도면6



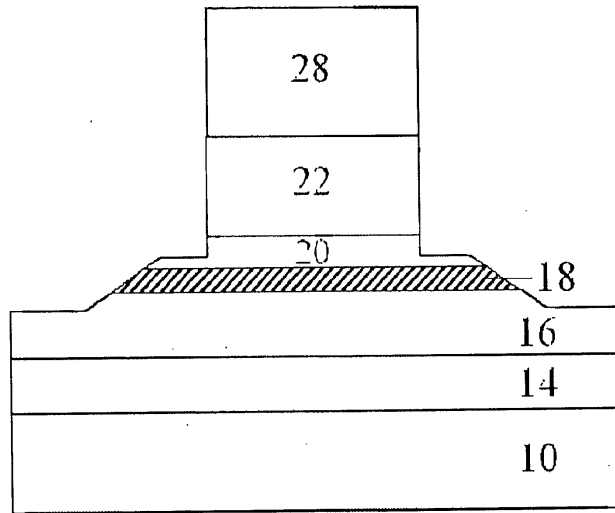
도면7



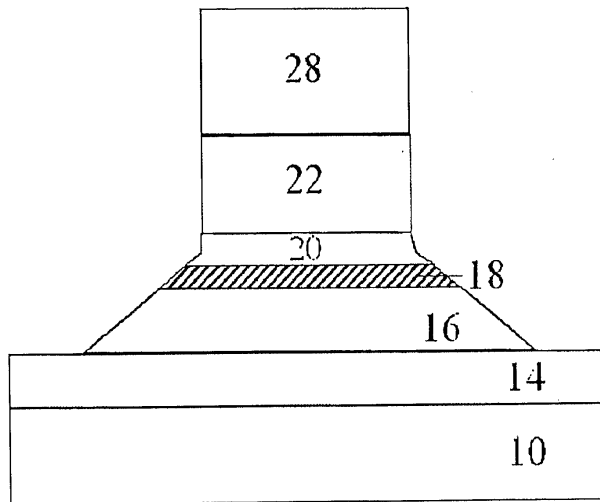
도면8



도면9

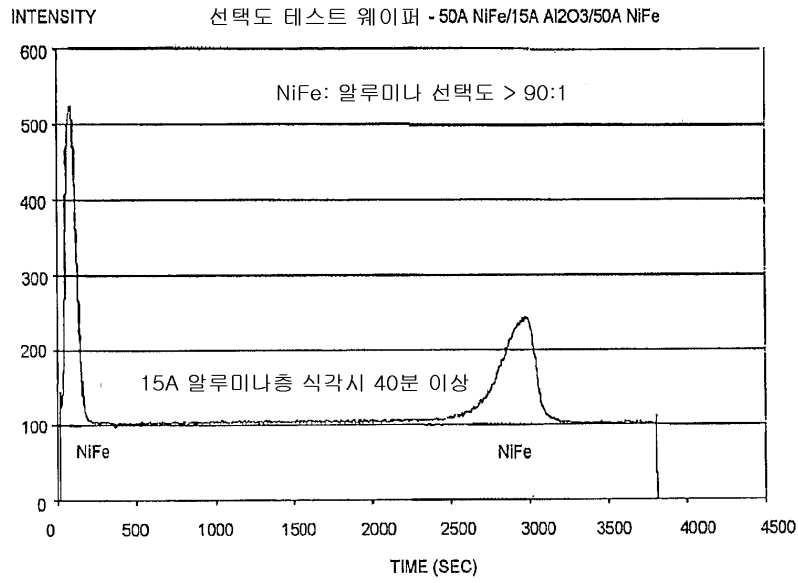


도면10

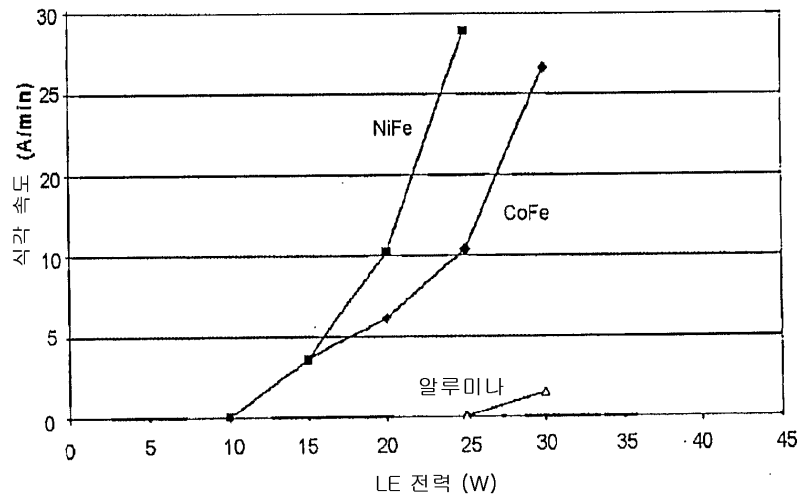




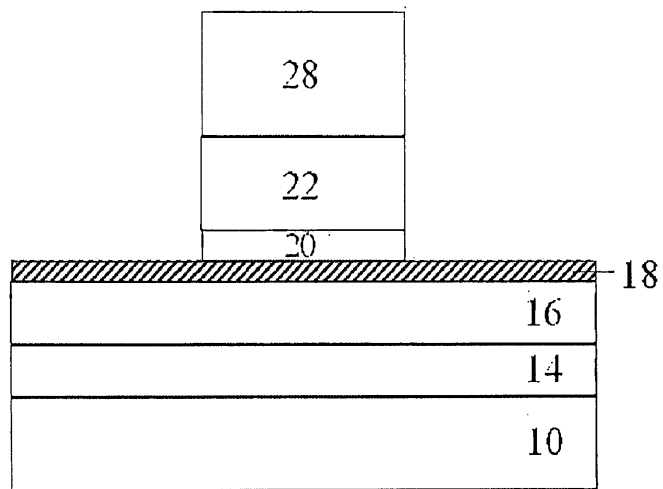
도면11



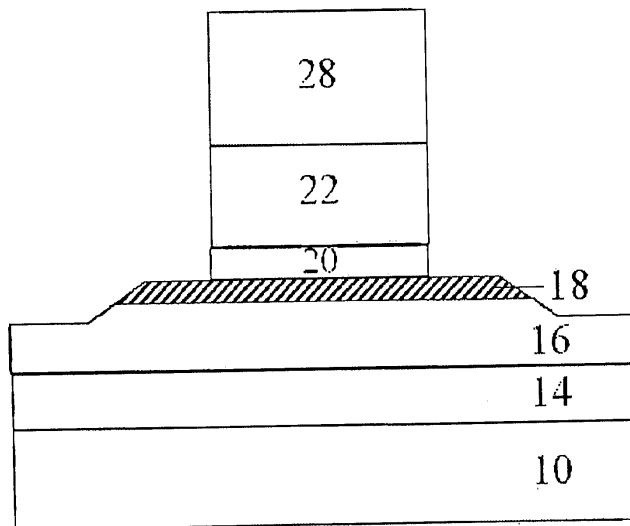
도면12



도면13



도면14



도면15

