

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-59449

(P2007-59449A)

(43) 公開日 平成19年3月8日(2007.3.8)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 D	5 F 0 3 3
HO 1 L 27/04 (2006.01)	HO 1 L 21/88 S	5 F 0 3 8
HO 1 L 21/3205 (2006.01)	HO 1 L 27/04 H	
HO 1 L 23/52 (2006.01)	HO 1 L 27/04 A	

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2005-239747 (P2005-239747)
 (22) 出願日 平成17年8月22日 (2005.8.22)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100092152
 弁理士 服部 毅麿
 (72) 発明者 木谷 和弘
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 (72) 発明者 橋本 賢治
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 Fターム(参考) 5F033 HH08 HH11 JJ08 JJ11 KK08
 KK11 UU04 VV00 VV04 XX18

最終頁に続く

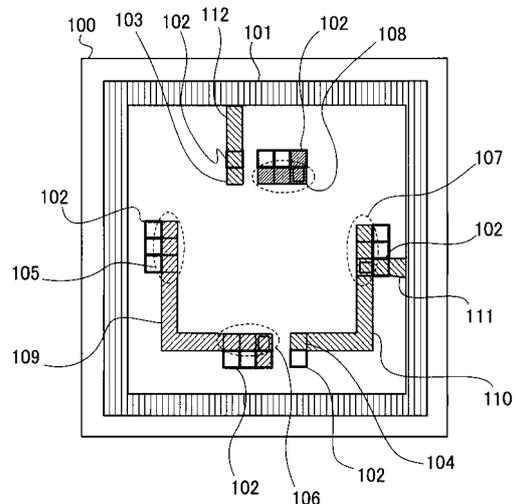
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数の機能マクロで共有される電源配線の配置スペースを削減して省スペース化が可能な半導体装置を提供する。

【解決手段】 多層配線及び耐湿リング101を有するLSIチップ100において、複数の機能マクロ（IOマクロ103、IOマクロ群107）におけるVSS電源端子を耐湿リング101に電気的に接続することで、耐湿リング101を、複数の機能マクロにおけるVSS電源端子を接続する電源配線として機能させる。これにより、VSS電源配線を耐湿リング101の内側の領域に配置するスペースを削減でき、LSIチップ100の省スペース化が可能になる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

多層配線及び耐湿リングを有する半導体装置において、複数の機能マクロにおける共通電位となる電源端子を前記耐湿リングに電氣的に接続したことを特徴とする半導体装置。

【請求項 2】

前記電源端子は、VSS電源端子であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記電源端子を、双方向ダイオードを介して前記耐湿リングに接続したことを特徴とする請求項 1 記載の半導体装置。

10

【請求項 4】

前記電源端子を、所望の配線層を用いて前記耐湿リングに接続したことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記電源端子を、複数層の配線層を用いて前記耐湿リングに接続することを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

2重の前記耐湿リングを有し、前記2重の耐湿リングは互いに電氣的に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】

前記2重の耐湿リングは複数層に渡って互いに電氣的に接続されていることを特徴とする請求項 6 記載の半導体装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は半導体装置に関し、特に多層配線及び耐湿リングを有する半導体装置に関する。

【背景技術】**【0002】**

近年の電化製品（特にポータブル品）は小型化が求められおり、その電化製品に搭載しているLSI（Large Scale Integrated circuit）に対しても、多機能性や小型化が求められている。多機能性を実現するために、近年のLSIチップには、固有の機能を有する回路群である機能マクロが多数搭載されている。

30

【0003】

ところで、従来のLSIチップ上では、機能マクロ群のVSS電源端子を共通のVSS電源配線に接続したものがあったが、近年の機能マクロ群は低電圧駆動化及び高性能化のゆえに、ある機能マクロの基準電位となるVSS電源端子にノイズが入ることで、VSS電源端子を共通のVSS電源配線に接続した機能マクロ群が誤動作する問題がある。特にアナログ系の機能マクロではこの現象が起きやすくなっている。このような不具合への対策として、VSS電源をデジタル系やアナログ系など機能マクロの種類ごとに分離する方法があった。

40

【0004】

また、従来のLSIでは、耐湿リングを備えたものが知られている（例えば特許文献1参照）。耐湿リングは、水分やエッチング液がLSIチップ内部に侵入することによって生じる故障や劣化を防ぐため、LSIチップのスクライブラインと、IO（入出力）パッドの間でリング状に形成されている。また、耐湿リングは多層配線に対応して多層構造となっている。

【0005】

ここで、耐湿リングを備えた従来のLSIチップの構成を具体的に説明する。

図10は、従来の耐湿リングを備えたLSIチップのレイアウトを示す概略図である。

50

LSIチップ800は、外周部に耐湿リング801を配置しており、その内側に配置される各種機能マクロや配線を保護している。図中の太枠のブロックはIOパッド802を示している。なお、ここでは機能マクロのうち、信号-IOMacroと、VSS-IOMacroなどの、信号やVSSの入出力回路として機能するIOMacro803、804またはIOMacro群805、806、807、808のみを図示している。各IOMacro群805~808で、二重線で示したブロックはVSS-IOMacro、その他は信号-IOMacroを示している。各IOMacro803、804、IOMacro群805~808には、演算機能やメモリモジュールなど図示しない他の機能マクロが接続される。

【0006】

ここで、例えば、IOMacro803、804とIOMacro群807の組と、IOMacro群805、806の組と、IOMacro群808がそれぞれ異なる種類の図示しない機能マクロに接続する場合、機能マクロの種類ごとにVSS電源端子を分離することで、前述のノイズ対策を行う。このとき、同じ種類の機能マクロのVSS電源端子は、VSS電源配線809、810、811により共有化されている。VSS電源配線809、810、811は、VSS-IOMacroから引き出されて各信号-IOMacroの図示しないVSS電源端子に接続される。

10

【0007】

また、ESD(Electro-Static Discharge; 静電気放電)対策が施されたLSIチップが知られている。ESDは、帯電した導電性の物体(人体も含む)が、例えばLSIの端子に近接または接触すると、放電が発生して機能マクロの素子を破壊してしまう現象である。

20

【0008】

図11は、ESD対策を施した従来のLSIチップのレイアウトを示す概略図である。

図10と同様に、LSIチップ900の外周部に耐湿リング901が形成されており、その内側領域にIOパッド902と、信号-IOMacroと、VSS-IOMacroなどの、信号やVSSの入出力を行うIOMacro群903、904、905、906とが配置されている。なお、IOパッド902及び各IOMacro群903~906で斜線が施されたブロックは、VSSを共有していることを示している。

【0009】

ESD対策を施したLSIチップ900は、図10のLSIチップ800と異なり、各IOMacro群903~906のVSS-IOMacro(二重線で示したブロック)は、双方向ダイオード903a、904a、905a、906aを介して共通のVSS電源配線907に接続している。

30

【0010】

このような構成により、ESDが印加されると、ESDによる電流が双方向ダイオード903a~906aを介して共通のVSS電源配線907に流れ込み、ESDの基準電位となるIOMacro群903~906の図示しないVSS電源端子に双方向ダイオード903a~906aを介して放出される。これにより機能マクロの素子の破壊を防止することができる。

【特許文献1】特開平2-123753号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、従来のLSIでは、複数の機能マクロで共有される電源配線を配置する領域のために、他の回路や機能マクロなどの配置が困難になり、省スペース化の障害となっていた。

【0012】

本発明はこのような点に鑑みてなされたものであり、複数の機能マクロで共有される電源配線の配置スペースを削減して省スペース化が可能な半導体装置を提供することを目的とする。

50

【課題を解決するための手段】

【0013】

本発明では上記問題を解決するために、多層配線及び耐湿リングを有する半導体装置において、図1に示すように、複数の機能マクロにおける共通電位となる電源端子を耐湿リング101に電氣的に接続したことを特徴とする半導体装置(LSIチップ100)が提供される。

【0014】

上記の構成によれば耐湿リング101が、複数の機能マクロ(図1ではIOマクロ103、104とIOマクロ群107)における共通電位となる電源端子を電氣的に接続する電源配線となる。そのため、共通電位の電源配線を耐湿リング101の内側の領域に配置するスペースが削減される。

10

【発明の効果】

【0015】

本発明は、多層配線及び耐湿リングを有する半導体装置において、複数の機能マクロにおける共通電位となる電源端子を耐湿リングに電氣的に接続したので、耐湿リングが、複数の機能マクロにおける共通電位となる電源端子を接続する電源配線となる。そのため、共通電位の電源配線を耐湿リングの内側の領域に配置するスペースを削減でき、半導体装置の省スペース化が可能になる。

【発明を実施するための最良の形態】

【0016】

20

以下、本発明の実施の形態を、図面を参照して詳細に説明する。

第1の実施の形態のLSIチップは、ノイズ対策のためにVSS電源端子を機能マクロの種類ごとに分離したLSIチップ(図10参照)の省スペース化を図ったものである。

【0017】

図1は、第1の実施の形態のLSIチップのレイアウトを示す概略図である。

LSIチップ100は、外周部に耐湿リング101を有しており、その内側の領域に配置される各種機能マクロや配線を保護している。耐湿リング101は、例えば、配線材料と同じ、例えばアルミニウムや、銅などにより形成される。図中の太枠のブロックはIOパッド102を示している。なお、ここでは機能マクロのうち、信号-IOマクロと、VSS-IOマクロなどの、信号やVSSの入出力回路として機能するIOマクロ103、104またはIOマクロ群105、106、107、108のみを図示している。各IOマクロ群105~108で、二重線で示したブロックはVSS-IOマクロであり、その他は信号-IOマクロを示している。各種信号は信号-IOマクロに接続されたIOパッド102を介して外部との入出力がなされ、VSS電源端子はVSS-IOマクロに接続したIOパッド102を介して外部と接続される。各IOマクロ103、104、IOマクロ群105~108には演算機能やメモリモジュールなど図示しない他の機能マクロが接続される。

30

【0018】

以下に、第1の実施の形態のLSIチップ100上に形成されるVSS電源配線109、110、111、112について説明する。

40

例えば、IOマクロ103、104とIOマクロ群107の組と、IOマクロ群105、106の組と、IOマクロ群108のVSS電源端子を分離する場合の等価回路は以下のようなになる。

【0019】

図2は、第1の実施の形態のLSIチップの等価回路である。

ここで機能マクロ120、121は同じ種類の機能マクロであり、機能マクロ120は図1のIOマクロ群105に対応しており、機能マクロ121はIOマクロ群106に対応している。また、機能マクロ122、123、125は同じ種類の機能マクロであり、機能マクロ122は図1のIOマクロ104に対応しており、機能マクロ123はIOマクロ群107に対応しており、機能マクロ125はIOマクロ103に対応している。ま

50

た、機能マクロ124は図1のIOMクロ群108に対応している。

【0020】

第1の実施の形態のLSIチップ100は、ノイズ対策のためにVSS電源端子を機能マクロの種類ごとに分離したものであり、同一種類の機能マクロ120、121はVSS電源配線126で互いのVSS電源端子VSS1、VSS2を接続してVSSを共有し、機能マクロ122、123、125はVSS電源配線127、128でVSS電源端子VSS3、VSS4、VSS6を接続してVSSを共有している。また、機能マクロ124のVSS電源端子VSS5は他と分離されている。また、VSS電源配線126は、図1のVSS電源配線109に対応し、VSS電源配線127は、VSS電源配線110に対応している。このような配置は従来(図10)と同様である。

10

【0021】

しかし、機能マクロ123、125のVSSを共有化するためのVSS電源配線128は配線距離が長く、耐湿リング101の内側領域に形成すると他の回路などの形成が困難になる。そこで第1の実施の形態のLSIチップ100では、図1に示すように、IOMクロ群107の図示しないVSS電源端子に接続したVSS電源配線111とIOMクロ103の図示しないVSS電源端子に接続したVSS電源配線112とを耐湿リング101に電氣的に接続して、図2のVSS電源配線128として機能させている。このようにすることで、耐湿リング101の内側領域に配置するVSS電源配線128の配線領域を削減でき、省スペース化が可能になる。

【0022】

なお、図1ではIOMクロ103、IOMクロ群107と同じVSS電源を共有するIOMクロ104に対しては、比較的配線距離が短いため従来と同様のVSS電源配線110を用いたが、耐湿リング101からVSS電源配線を引くようにしてもよい。

20

【0023】

次に、第2の実施の形態のLSIチップを説明する。第2の実施の形態のLSIチップは、ESD対策を施したLSIチップ(図11参照)の省スペース化を図ったものである。

【0024】

図3は、第2の実施の形態のLSIチップのレイアウトを示す概略図である。

LSIチップ200は、外周部に、例えばアルミニウムや、銅などにより形成された耐湿リング201を有しており、その内部に、第1の実施の形態のLSIチップ100と同様に、IOPッド202と、IOMクロ群203、204、205、206とが配置されている。また、二重線で示したブロックはVSS-IOMクロ、その他は信号-IOMクロを示している。各種信号は信号-IOMクロに接続されたIOPッド202により外部から供給される。なお、IOPッド202及び各IOMクロ群203~206で斜線が施されたブロックは、VSSを共有していることを示している。

30

【0025】

各IOMクロ群203~206の図示しないVSS電源端子は、双方向ダイオード203a、204a、205a、206aを介して耐湿リング201に接続している。また、各IOMクロ群203~206には演算機能やメモリモジュールなど図示しない他の機能マクロが接続される。

40

【0026】

図4は、第2の実施の形態のLSIチップの等価回路である。

ここで、機能マクロ210はIOMクロ群203、機能マクロ211はIOMクロ群204、機能マクロ212はIOMクロ群205、機能マクロ213はIOMクロ群206にそれぞれ対応している。また、機能マクロ210~213のVSS電源端子VSS4、VSS5、VSS6、VSS7は双方向ダイオード210a、211a、212a、213aを介して共通のVSS電源配線214に接続している。双方向ダイオード210a~213aは、図3の双方向ダイオード203a~206aにそれぞれ対応している。また、ESDから機能マクロ210~213を保護するための電源クランプ回路210b、2

50

1 1 b、2 1 2 b、2 1 3 b がそれぞれ、V D D 電源端子 V D D 4 - V S S 電源端子 V S S 4 間、V D D 電源端子 V D D 5 - V S S 電源端子 V S S 5 間、V D D 電源端子 V D D 6 - V S S 電源端子 V S S 6 間、V D D 電源端子 V D D 7 - V S S 電源端子 V S S 7 間に接続されている。

【0027】

なお、電源クランプ回路 2 1 0 b ~ 2 1 3 b は、それぞれの機能マクロ 2 1 0 ~ 2 1 3 に含めるようにしてもよい。

図 4 のような回路で、共通の V S S 電源配線 2 1 4 を従来 (図 1 1 参照) のように耐湿リング 2 0 1 内の領域に配置するとスペースをとり、他の回路などの配置が困難になる。しかし、図 3 で示した第 2 の実施の形態の L S I チップ 2 0 0 では、各 I O マクロ群 2 0 3 ~ 2 0 6 の図示しない V S S 電源端子を、双方向ダイオード 2 0 3 a ~ 2 0 6 a を介して耐湿リング 2 0 1 に接続しており、耐湿リング 2 0 1 を図 4 の共通の V S S 電源配線 2 1 4 として機能させている。これにより、配線領域を大幅に削減でき、省スペース化が可能になる。

10

【0028】

なお、双方向ダイオード 2 0 3 a ~ 2 0 6 a は、実際のレイアウト上は V S S - I O マクロ内に形成されるため、面積増大の問題は少ない。

ところで、機能マクロの V S S 電源端子と耐湿リングの接続部は、以下のようにして形成することができる。

【0029】

図 5 は、最上層の配線層を用いて V S S 電源端子部と耐湿リングを接続した例を示す断面図である。

20

耐湿リング 3 0 0 と、機能マクロの V S S 電源端子部 3 0 1 は、半導体基板 3 0 2 上に多層構造で形成されている。耐湿リング 3 0 0 の層 3 0 3、3 0 4、3 0 5 及び V S S 電源端子部 3 0 1 の配線層 3 0 6、3 0 7、3 0 8 は、それぞれ層間絶縁膜 3 0 9 を介して形成されており、各層の間はコンタクト 3 1 0 で接続されている。耐湿リング 3 0 0 の層 3 0 3、3 0 4、3 0 5 と V S S 電源端子部 3 0 1 の配線層 3 0 6、3 0 7、3 0 8 及びコンタクト 3 1 0 の材質としては、アルミニウムまたは銅などが用いられる。図 5 の例では、最上層の配線層 3 0 8 を用いて耐湿リング 3 0 0 の最上の層 3 0 5 と接続している。

【0030】

図 6 は、最上層以外の配線層を用いて V S S 電源端子部と耐湿リングを接続した例を示す断面図である。

30

図 5 と同じ構成については同一符号を付している。図 6 の例では、V S S 電源端子部 3 0 1 の中間階層の配線層 3 0 7 を用いて耐湿リング 3 0 0 の層 3 0 4 と接続している。これにより、最上層に信号配線 3 1 1 などの別の配線があっても、最上層で信号配線 3 1 1 を迂回するようにして接続するのではなく、別の配線層 3 0 7 を用いて耐湿リング 3 0 0 と V S S 電源端子部 3 0 1 との接続が可能となる。

【0031】

図 7 は、複数の配線層を用いて V S S 電源端子部と耐湿リングを接続した例を示す断面図である。

40

図 5、図 6 と同じ構成については同一符号を付している。図 7 の例では、V S S 電源端子部 3 0 1 の複数の配線層、例えば配線層 3 0 6、3 0 7 を用いて耐湿リング 3 0 0 の層 3 0 3、3 0 4 と接続している。これにより、V S S 電源端子部 3 0 1 と半導体基板 3 0 2 とのつながりが強くなり、V S S 電源端子部 3 0 1 に流れ込む電流をより半導体基板 3 0 2 へと流せるようになり、V S S 電源端子部 3 0 1 の電位の上昇を抑制することができる。

【0032】

図 8 は、2 重の耐湿リングを有する L S I チップにおいて、V S S 電源端子部と耐湿リングを接続した例を示す断面図である。

ここでは、コンタクト 3 1 0 で接続された層 3 0 3 a、3 0 4 a、3 0 5 a からなる内

50

周側の耐湿リング300aと、コンタクト310で接続された層303b、304b、305bからなる外周の耐湿リング300bを有するLSIチップを示している。

【0033】

この場合、VSS電源端子部301の配線層306と内周の耐湿リング300aの層303aとを接続して、さらに、層303aを、外周の耐湿リング300bの層303bと配線層312により接続している。これにより、VSS電源端子部301と半導体基板302とのつながりが強くなり、VSS電源端子部301に流れ込む電流をより半導体基板302へと流せるようになり、VSS電源端子部301の電位の上昇を抑制することができる。なお、複数層に渡って耐湿リング300a、300bを接続することによって、この効果をさらに高めることができる。

10

【0034】

なお、図1、図3で示したIOマクロの配置は一例にすぎずIOパッドの配置も上記の例に限定されない。例えば以下のように、IOマクロ上にIOパッドを配置した場合にも同様に適用可能である。

【0035】

図9は、IOマクロ上にIOパッドを配置したLSIチップのレイアウトを示す図である。

図9(A)で示すLSIチップ400において、耐湿リング401の内側の領域には、それぞれIOパッド402を有した信号-IOMクロ403、404、405、406と、VSS-IOMクロ407が配置されている。例えば、信号-IOMクロ404、405、406とVSS-IOMクロ407のVSSを共有する場合、VSS電源配線を以下のように接続する。

20

【0036】

VSS-IOMクロ407に比較的、近接して配置される信号-IOMクロ405、406にはVSS電源配線408を用いて、それぞれの図示しないVSS電源端子を接続する。

【0037】

一方、VSS-IOMクロ407から離れた信号-IOMクロ404に対しては、VSS-IOMクロ407の図示しないVSS電源端子と耐湿リング401とをVSS電源配線409で接続し、信号-IOMクロ404に近接する耐湿リング401からVSS電源配線410を引き出し、信号-IOMクロ404の図示しないVSS電源端子に接続する。これにより配線スペースの削減を図っている。なお、図9(A)では、VSS電源配線408、410は、信号-IOMクロ404、405、406のIOパッド402に対して耐湿リング401側に配置しているが、図9(B)ではLSIチップ400の中央側に配置している。

30

【0038】

このように、いろいろなレイアウトのLSIチップに対して本発明を適用することが可能である。

【図面の簡単な説明】

【0039】

40

【図1】第1の実施の形態のLSIチップのレイアウトを示す概略図である。

【図2】第1の実施の形態のLSIチップの等価回路である。

【図3】第2の実施の形態のLSIチップのレイアウトを示す概略図である。

【図4】第2の実施の形態のLSIチップの等価回路である。

【図5】最上層の配線層を用いてVSS電源端子部と耐湿リングを接続した例を示す断面図である。

【図6】最上層以外の配線層を用いてVSS電源端子部と耐湿リングを接続した例を示す断面図である。

【図7】複数の配線層を用いてVSS電源端子部と耐湿リングを接続した例を示す断面図である。

50

【図8】2重の耐湿リングを有するLSIチップにおいて、VSS電源端子部と耐湿リングを接続した例を示す断面図である。

【図9】IOマクロ上にIOパッドを配置したLSIチップのレイアウトを示す図である。

【図10】従来の耐湿リングを備えたLSIチップのレイアウトを示す概略図である。

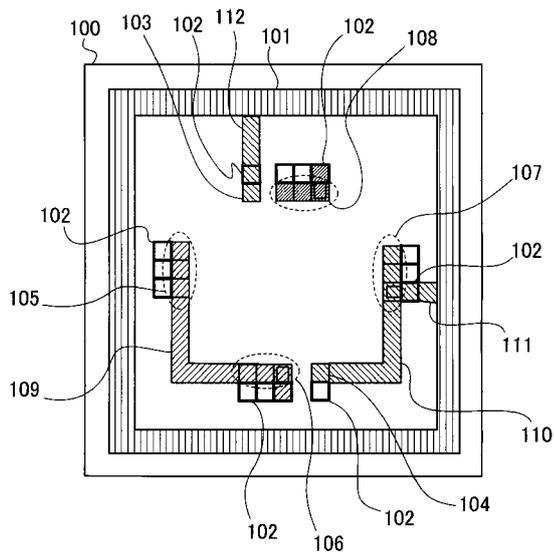
【図11】ESD対策を施した従来のLSIチップのレイアウトを示す概略図である。

【符号の説明】

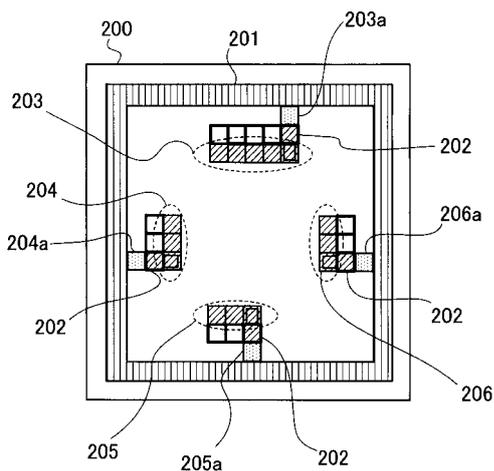
【0040】

- 100 LSIチップ
- 101 耐湿リング
- 102 IOパッド
- 103、104 IOマクロ
- 105、106、107、108 IOマクロ群
- 109、110、111、112 VSS電源配線

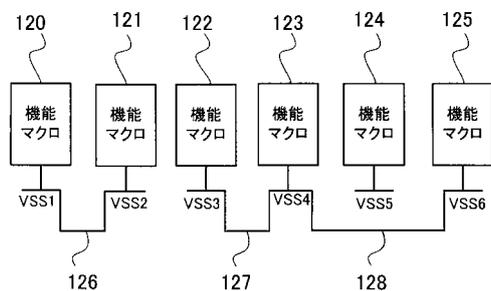
【図1】



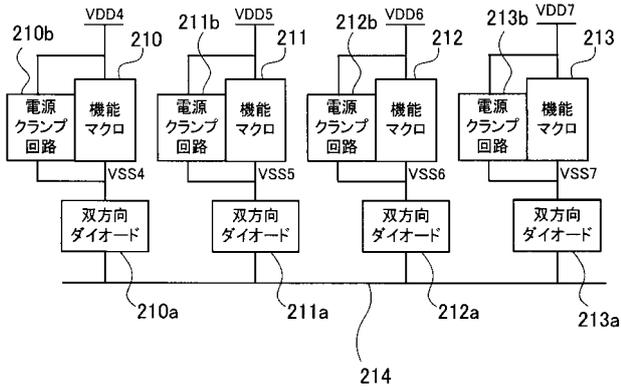
【図3】



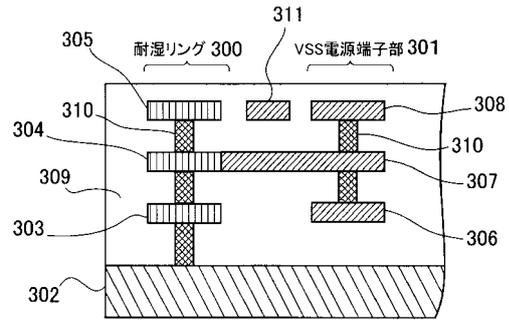
【図2】



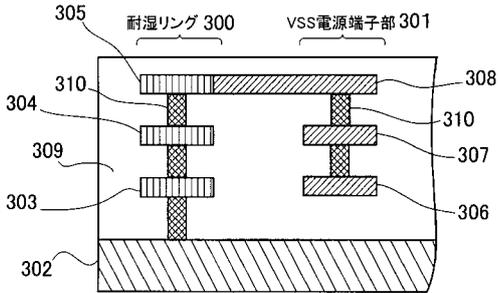
【図4】



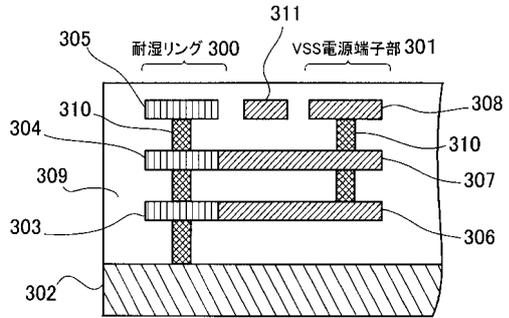
【図6】



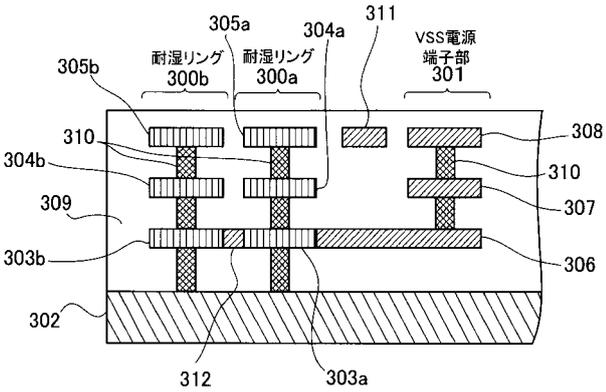
【図5】



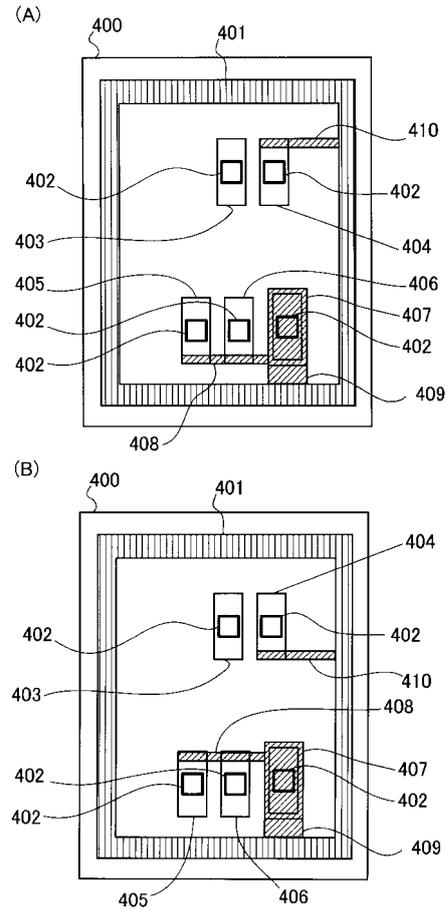
【図7】



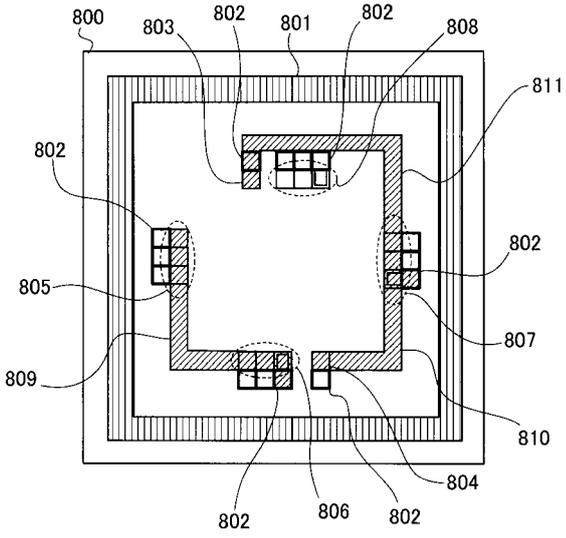
【図8】



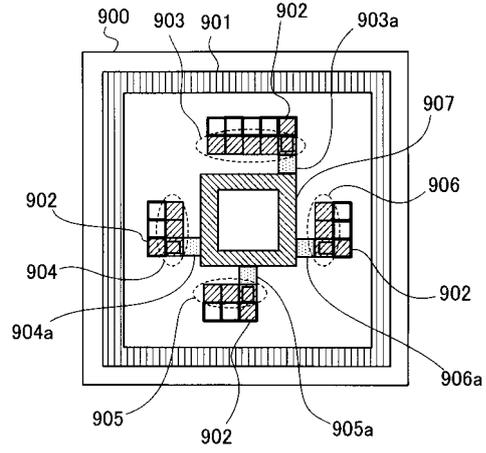
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5F038 BE09 BH04 BH05 BH13 BH19 CA03 CA05 CA10 CD02 DF12
EZ20