

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6872951号
(P6872951)

(45) 発行日 令和3年5月19日(2021.5.19)

(24) 登録日 令和3年4月22日(2021.4.22)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 N
	HO 1 L 29/78 6 5 3 C
	HO 1 L 29/78 6 5 2 F
	HO 1 L 29/78 6 5 2 K

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2017-68171 (P2017-68171)	(73) 特許権者	715010864 エイブリック株式会社 東京都港区三田三丁目9番6号
(22) 出願日	平成29年3月30日(2017.3.30)	(72) 発明者	畠中 雅宏 千葉県千葉市美浜区中瀬1丁目8番地 エ スアイアイ・セミコンダクタ株式会社内
(65) 公開番号	特開2018-170456 (P2018-170456A)	(72) 発明者	吉村 充弘 千葉県千葉市美浜区中瀬1丁目8番地 エ スアイアイ・セミコンダクタ株式会社内
(43) 公開日	平成30年11月1日(2018.11.1)	審査官	恩田 和彦
審査請求日	令和2年1月17日(2020.1.17)		

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板に形成され、第1のトレンチを含む縦型トランジスタを有するセル領域と、
前記第1のトレンチと接続された第2のトレンチを有するゲート電極引き出し領域と、
前記第1のトレンチ及び前記第2のトレンチの底面及び所定の高さまでの側面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記第1のトレンチ内部と前記第2のトレンチ内部の前記所定の高さまで埋め込まれたゲート電極と、

を備えた半導体装置であって、

前記ゲート電極引き出し領域は、

前記所定の高さから前記基板表面の高さまでの前記第2のトレンチの側面に沿って設けられた側壁絶縁領域と、

下側部分が前記ゲート電極に接し、前記第2のトレンチ内部の前記所定の高さから上に位置する、前記側壁絶縁領域に囲まれた領域に形成されたゲート金属配線と、を備え、

前記側壁絶縁領域が、前記基板の中の前記第2のトレンチの側面に沿って外側の前記基板の中に設けられた、不純物拡散領域であることを特徴とする半導体装置。

【請求項2】

基板に形成され、第1のトレンチを含む縦型トランジスタを有するセル領域と、

前記第1のトレンチと接続された第2のトレンチを有するゲート電極引き出し領域と、

前記第1のトレンチ及び前記第2のトレンチの底面及び所定の高さまでの側面に形成さ

れたゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記第1のトレンチ内部と前記第2のトレンチ内部の前記所定の高さまで埋め込まれたゲート電極と、

前記セル領域の前記第1のトレンチ内部に設けられた前記ゲート電極の上に形成された、前記第1のトレンチの上端より高い位置に上側部分を有する第2の絶縁膜と、
を備えた半導体装置であって、

前記ゲート電極引き出し領域は、

前記所定の高さから前記基板表面の高さまでの前記第2のトレンチの側面に沿って設けられた側壁絶縁領域と、

下側部分が前記ゲート電極に接し、前記第2のトレンチ内部の前記所定の高さから上に位置する、前記側壁絶縁領域に囲まれた領域に形成されたゲート金属配線と、
を備えたことを特徴とする半導体装置。

【請求項3】

前記第1のトレンチの幅と前記第2のトレンチの幅が略同一のサイズであることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

基板と、

前記基板に形成された、第1のトレンチを有する縦型トランジスタが配置されたセル領域と、

前記第1のトレンチと接続された第2のトレンチを有するゲート電極引き出し領域と、
を備え、

前記第1のトレンチおよび前記第2のトレンチは、

底面及び側面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記第1のトレンチ内部と前記第2のトレンチ内部にそれぞれ埋め込まれたゲート電極と、を有し、

前記ゲート電極引き出し領域は、

少なくとも前記ゲート電極の上端から前記基板の最上面まで、前記第2のトレンチの内側面あるいは外側面のいずれか一方に沿って設けられた側壁絶縁領域と、

前記第2のトレンチ内部の前記ゲート電極の上端および前記側壁絶縁領域に囲まれた領域に設けられたゲート金属配線と、を有し、

前記側壁絶縁領域が、前記基板の中の前記第2のトレンチの側面に沿って外側の前記基板の中に設けられた、不純物拡散領域であることを特徴とする半導体装置。

【請求項5】

前記第1のトレンチの幅と前記第2のトレンチの幅が略同一のサイズであることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記セル領域の前記第1のトレンチ内部に設けられた前記ゲート電極の上に、前記第1のトレンチの上端より高い位置に上側部分を有する第2の絶縁膜を備えたことを特徴とする請求項4または5に記載の半導体装置。

【請求項7】

基板上に第1の絶縁層を形成する工程と、

前記第1の絶縁層に開口部を形成し、開口部内部において露出した基板をエッチングし、第1のトレンチと第2のトレンチを形成する工程と、

前記第1のトレンチ及び第2のトレンチの内側の底面及び側面を覆うようにゲート絶縁膜を形成する工程と、

前記第1のトレンチ及び前記第2のトレンチを埋め込み、上面が平坦となるまでゲート層を堆積する工程と、

上面が、前記第1のトレンチ内部及び第2のトレンチ内部の底面から前記基板表面までの間の所定の高さとなるまで前記ゲート層をエッチバックし、ゲート電極を形成する工程と、

10

20

30

40

50

前記第1のトレンチ及び前記第2のトレンチを埋め込み、上面が平坦となるまで第2の絶縁層を堆積する工程と、

前記第2の絶縁層を前記第1の絶縁層の上面が露出するまでエッチバックする工程と、

前記第2のトレンチ内部の前記ゲート電極上の前記第2の絶縁層を選択的にエッチングし、前記ゲート電極を露出する工程と、

前記第1のトレンチ周辺の前記第1の絶縁層を選択的にエッチングし、前記第1のトレンチ周辺の前記基板表面を露出する工程と、

第3の絶縁層を、前記第2のトレンチを完全に埋め込まない膜厚で堆積する工程と、

前記第3の絶縁層に対して異方性エッチングを行い、前記基板表面を露出させるとともに、前記第2のトレンチ内部の前記ゲート電極上の側面に側壁絶縁領域を残す工程と、

前記第2のトレンチ内部の前記側壁絶縁領域に囲まれる領域に、前記ゲート電極と接してゲート金属を埋め込むゲート金属形成工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、トレンチゲートを備えた縦型MOSFETを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

縦型MOSFETの一つとして、ゲート電極を基板に形成したトレンチ内部に埋めこみ縦方向に電流を流す、トレンチゲートを備えた構造としたものが知られている。そのようなトレンチ内部のゲート電極を、ゲート金属配線を経由してゲートパッドに電氣的に接続する方法として、例えば、特許文献1には、トレンチ上の層間絶縁膜を貫通するゲートコンタクト孔をトレンチ直上に形成する構成が提案されている。これにより、ゲート電極をトレンチ上角部の絶縁耐圧の低いゲート絶縁膜の上に設けずにゲート金属配線と接続することができ、ゲート絶縁膜破壊に対する信頼性の向上と、ゲート抵抗の低減によるトランジスタ性能の向上を可能にしている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2014-72412号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1の従来ゲートコンタクト孔をトレンチ直上に形成する方法においては、工程ばらつきの影響を考慮し、トレンチの幅をゲートコンタクト孔よりも広く形成する必要があるため、トレンチの幅を縮小することができず、チップ面積縮小に対し、さらに改善の余地がある。

本発明は、上記の点に鑑み、チップ面積の縮小化が可能な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

上記の課題を解決するために、本発明は以下のような半導体装置とする。

すなわち、基板に形成されたトレンチと、前記トレンチの内側の底面及び側面を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜を介してトレンチ内に埋め込まれたゲート電極とを有し、縦型トランジスタを含むセル領域と、前記ゲート電極上に形成されたゲート金属配線を含むゲート電極引き出し領域とを備えた半導体装置であって、前記ゲート電極引き出し領域は、前記トレンチ内に前記基板表面より低く、前記トレンチ底面より高い所定の高さまで埋め込まれた前記ゲート電極と、前記所定の高さから前記基板表面の

10

20

30

40

50

高さまでの前記トレンチの側面に沿って設けられた側壁絶縁領域と、下側部分が前記ゲート電極に接し、前記側壁絶縁領域に囲まれた領域に形成されたゲート金属配線とを備えることを特徴とする。

【0006】

また、本発明の製造方法は、基板上に第1の絶縁層を形成する工程と、前記第1の絶縁層に開口部を形成し、開口部内部に露出した基板をエッチングし、第1のトレンチと第2のトレンチを形成する工程と、前記第1のトレンチ及び第2のトレンチの内側の底面及び側面を覆うようにゲート絶縁膜を形成する工程と、前記基板上面の全面に渡って、上面が平坦となるまでゲート層を堆積する工程と、上面が前記第1のトレンチ及び第2のトレンチの底面から前記基板表面までの間の所定の高さとなるまで前記ゲート層をエッチングし、ゲート電極を形成する工程と、前記基板上面の全面に渡って、上面が平坦となるまで第2の絶縁層を堆積する工程と、前記第2の絶縁層を前記第1の絶縁膜上面が露出するまでエッチバックする工程と、前記第2のトレンチ内部の前記ゲート電極上の前記第2の絶縁層を選択的にエッチングする工程と、前記第1のトレンチ周辺の前記第1の絶縁層を選択的にエッチングし、前記第1のトレンチ周辺の基板表面を露出する工程と、前記基板上面の全面に渡って第3の絶縁層を、前記第2のトレンチを完全に埋め込まない膜厚で堆積する工程と、前記第3の絶縁層に対して異方性エッチングを行い、前記第2のトレンチ内部の前記ゲート電極上の側壁に側壁絶縁領域を残す工程と、前記第2のトレンチ内部の前記側壁絶縁領域に囲まれる領域に、前記ゲート電極と接してゲート金属を埋め込むゲート金属形成工程とを備えることを特徴とする。

【0007】

なお、上記「ベース層」、「ベースコンタクト領域」は、それぞれ「ボディ領域」、「ボディコンタクト領域」等と称されることもあるが、本明細書においては、「ベース層」、「ベースコンタクト領域」と称する。

【発明の効果】

【0008】

本発明によれば、ゲートコンタクト孔をトレンチに対し自己整合的に形成するため、トレンチ幅を、製造ばらつきを考慮して広げる必要は無く、チップ面積の縮小化を可能にしている。

【図面の簡単な説明】

【0009】

【図1】本発明の第1の実施形態である縦型トレンチMOSFETの一部平面図である。

【図2】(a)は図1のA-A'線付近における概略断面図であり、(b)は図1のB-B'線における概略断面図である。

【図3】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図4】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図5】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図6】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図7】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図8】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図9】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図10】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図11】第1の実施形態である半導体装置の製造工程を示す断面図である。

【図12】第2の実施形態である縦型トレンチMOSFETの一部平面図である。

【図13】図12のC-C'線付近における概略断面図である。

【図14】本発明の第2の実施形態である半導体装置の模式回路図である。

【発明を実施するための形態】

【0010】

以下、図面を参照して本発明に係る半導体装置を実施例に即して詳細に説明する。

また、以下の実施形態ではNチャネル型の縦型トレンチMOSFETにより本発明を具

10

20

30

40

50

体化している。なお、Pチャネル型のトレンチMOSFETに対しても、各領域の導電型を反対にすることで以下の説明が同様に適用できる。

【0011】

図1は、第1の実施形態に係る縦型トレンチMOSFETを有する半導体装置100の一部平面図であり、図2(a)は図1のA-A'線付近における概略断面図であり、図2(b)は図1のB-B'線付近における概略断面図である。

【0012】

図1は、格子状レイアウトの縦型トレンチMOSFETの、チップ外周近傍の様子を表している(同図は、基板130の表面の様子を表し、基板130表面より上の部分を省いている)。縦型トレンチMOSFETは、ドレイン電流を紙面の奥側から手前側に流すために、第1のトレンチ106aを含む縦型トランジスタを構成する第1のセル領域114aと、トレンチ内部に埋め込んだゲート電極(不図示)の電位をトレンチ外に引き出すための、第1のトレンチ106aと接続された第2のトレンチ106bを含むセル外周領域115と、第1のセル領域114aとセル外周領域115の間で互いのトレンチ形状を整合させるための第2のセル領域114bを備える。これらの3つの領域に形成されるトレンチと、トレンチ底面及び側面に形成されるゲート絶縁膜と、トレンチ内部に埋め込まれたゲート電極は切れ目なくつながっている。そのため、セル外周領域115からトレンチ外に取り出されるゲート電極の電位は、どの位置のトレンチ内部のゲート電極においても同じ電位となる。

【0013】

第1のセル領域114aは、縦横に交差して配置された第1のトレンチ106aにおいて、隣接する第1のトレンチ106aの中心線間で区画された格子状の領域である。第1のセル領域114aには、中心にP型のベースコンタクト領域103bが形成され、ベースコンタクト領域103bの四方を囲むようにN型のソース領域104が形成され、さらにソース領域104の四方を囲むように第1のトレンチ106aが形成されている。第1のトレンチ106a内部には、底面側のゲート電極(不図示)と、その上面側の第1の層間絶縁膜109が埋め込まれており、基板130表面においては、第1の層間絶縁膜109が露出している。

【0014】

縦型トレンチMOSFETにおいて、ドレイン電極(不図示)から流れ込んだ電流は、第1のセル領域114aの第1のトレンチ106aの側壁近傍に形成されるチャネル(不図示)を通して、ソース領域104に入り、基板130表面に設けたソース電極(不図示)に流れ出す。

【0015】

第2のセル領域114bは、セル外周領域115と隣接する方向を除き、三方が第1のトレンチ106aに囲まれている。ソース領域104は、その第1のトレンチ106aに沿って設けられる。また、ベースコンタクト領域103bは、三方をソース領域104で囲まれるように設けられ、セル外周領域115に向かう一方はセル外周領域115と接している。

【0016】

セル外周領域115は、第2のセル領域114bが1列に並んだ第1の方向(図1では紙面の上下方向)に平行に延びた、第1のトレンチ106aと同じ幅を有する第2のトレンチ106bを備えている。さらに、第2のトレンチ106bには第1の方向と垂直な第2の方向に沿って第2のセル領域114bから(図1では紙面の左右方向の左側から)第1のトレンチ106aが延びてきており、第2のトレンチ106bに接続されている。第1のトレンチ106a及び第2のトレンチ106bの間には、ベースコンタクト領域103bが設けられている。

【0017】

第1のトレンチ106aの端部が接続された第2のトレンチ106bは、チップ外周に渡って、複数の第1のセル領域114aおよび複数の第1のセル領域114aを囲む第2

10

20

30

40

50

のセル領域 114b をさらに囲むように配置されている。

【0018】

第2のトレンチ106bの側面の内側には、側壁絶縁領域120(サイドスペーサー)が設けられている。この側壁絶縁領域120の内側をゲートコンタクト孔110とし、ゲートコンタクト孔110内部にゲート金属配線111が設けられている。このゲート金属配線111は、第2のトレンチ106b内部の下部に設けられたゲート電極(不図示)と接続されている。側壁絶縁領域120は、チップ外周に渡って形成される第2のトレンチ106bの側面を覆うように設けられている。第1のトレンチ106aと第2のトレンチ106bが接続される部分においては、第1のトレンチ106a内部に埋め込まれた第1の層間絶縁膜109と、側壁絶縁領域120が接している。それによって、ゲートコンタクト孔110内部のゲート金属配線111は、第2のトレンチ106b内部の側面において、側壁絶縁領域120で囲まれ、ゲート電極以外の領域と電氣的に絶縁されている。

10

【0019】

一般に、トランジスタのチャンネルを形成するためのトレンチの幅は、プロセスの最小加工幅で形成される。それによって、膨大なトレンチのレイアウト面積が抑制され、チップ面積が縮小される。一方、ゲート電極取り出しのためにトレンチ上にゲートコンタクト孔を形成する場合の従来のトレンチ幅は、ゲートコンタクト孔とトレンチとの間のマスクずれなどの製造ばらつきを考慮し、ゲートコンタクト孔より大きく設定される。そのため、ゲート電極取り出し部のトレンチは、チャンネル形成のためのトレンチよりも大きくなり、チップ面積の増大の抑制が困難となる。第1の実施形態においては、側壁絶縁領域120を形成することで、チャンネルを形成するための第1のトレンチ106aと第2のトレンチ106bを同一のプロセス最小加工幅で形成している。これは、ゲートコンタクト孔110を、トレンチ106b内部に自己整合的に形成しているためである。そのため、チップ面積の増大を抑制することが可能である。

20

【0020】

また、図2(a)の断面図(図1のA-A'線における断面)に示すように、第1の実施形態に係る半導体装置100は、N+型の高濃度半導体基板101に低濃度のN-型のエピタキシャル層102が形成された基板130を用いて作製される。この基板130内部の高濃度半導体基板101とエピタキシャル層102は、共に縦型トレンチMOSFETのドレイン領域116となる。

30

【0021】

第1のセル領域114aのエピタキシャル層102上には、エピタキシャル層102より濃度が高いP型のベース領域103aが形成されている。そのベース領域103a上に、高濃度のP+型のベースコンタクト領域103bが設けられ、そのベースコンタクト領域103bを囲むように、N+型のソース領域104が形成されている。また、ソース領域104の周囲には、ソース領域104とベース領域103aを貫通してエピタキシャル層102に達する深さの第1のトレンチ106aが形成されている。

【0022】

第1のトレンチ106aの内側においては、ゲート絶縁膜107が、第1のトレンチ106aの底面と、第1のトレンチ106aの底面から第1の高さH1の高さまでの側面を覆っている。第1のトレンチ106a内部のゲート絶縁膜107上には、第1の高さH1まで、ポリシリコン等のゲート電極108が埋め込まれている。また第1のトレンチ106a内部の第1の高さH1から基板130の表面を越える高さの領域までには、第1の層間絶縁膜109が設けられている。

40

【0023】

第2のセル領域114bのエピタキシャル層102上には、第1のセル領域114aと同様に、P型のベース領域103a、P+型のベースコンタクト領域103b、ソース領域104が形成され、第1のセル領域114aと同様に第1のトレンチ106aが設けられている。この第1のトレンチ106a内部には、先に述べたゲート絶縁膜107、ゲート電極108、第1の層間絶縁膜109が設けられている。

50

【 0 0 2 4 】

この第1のセル領域114aと第2のセル領域114bが形成されている基板130表面と、第1の層間絶縁膜109の上には、ソース電極112が設けられ、ソース領域104とベースコンタクト領域103bに、ソース電位が供給される。また、基板130裏面には、ドレイン電極113が設けられ、高濃度半導体基板101とエピタキシャル層102からなるドレイン領域116に、ドレイン電位が供給される。

【 0 0 2 5 】

セル外周領域115においては、エピタキシャル層102上に、第1のセル領域114aと第2のセル領域114bと同様に、P型のベース領域103aが形成され、ベース領域103aの上に、P+型のベースコンタクト領域103bが形成されている。このセル外周領域115には、ベース領域103aを貫通してエピタキシャル層102に達する深さの第2のトレンチ106bが形成されているが、その幅と深さは第1のトレンチ106aと同じである。

【 0 0 2 6 】

第2のトレンチ106bの内側においては、第1のトレンチ106aと同様に、ゲート絶縁膜107が、第2のトレンチ106aの底面と、第2のトレンチ106bの底面から第1の高さH1の高さまでの側面を覆っている。第2のトレンチ106b内部のゲート絶縁膜107上には、第1の高さH1まで、ポリシリコン等のゲート電極108が埋め込まれている。

【 0 0 2 7 】

ただ、第1のトレンチ106aと異なり、第2のトレンチ106bの周囲の基板130の表面上には、マスク絶縁膜105が設けられ、第2のトレンチ106bの開口部上に同一のサイズのマスク絶縁膜105の開口部が設けられている。そして、第2のトレンチ106b内部の第1の高さH1から基板130表面を越え、マスク絶縁膜105の上面までに達する開口部側面には、側壁絶縁領域120が設けられている。この側壁絶縁領域120は、後述する第2の層間絶縁膜を異方性エッチングすることで形成される、第2の層間絶縁膜のサイドスペーサーである。側壁絶縁領域120はサイドスペーサーとして、ゲート電極108の上面から第2のトレンチ106bの最上端にかけて設けられることになる。ここで第2のトレンチ106bの最上端とは、マスク絶縁膜105の上面端部のことである。ゲート電極108の上面から基板130の上面の間には側壁絶縁領域120の下部があるため、P+型のベースコンタクト領域103bが第2のトレンチ106bの内部に露出することはない。側壁絶縁領域120は、開口部側面における厚さが1000以上となっており、80V以上のゲート電位に対しても破壊しない絶縁耐圧が保たれている。数100のゲート絶縁膜をトレンチ内部からトレンチ上角部を經由してトレンチ外に延長させて、その上に形成されるゲート電極を絶縁する従来の構造に対し、第1の実施形態は、過大なゲート電位に対する絶縁性が高く、その絶縁性を長期的に維持する長期信頼性も備えている。

【 0 0 2 8 】

その側壁絶縁領域120の内側には、ゲート金属配線111が形成されている。ゲート金属配線111は、第2のトレンチ106b内部のゲート電極108と電氣的に接続され、第2のトレンチ106b外に形成されているゲートパッド(不図示)からのゲート電位をゲート電極108に供給する。先の側壁絶縁領域120は、ゲート電極108に対するゲートコンタクト孔110の役割を果たす。

【 0 0 2 9 】

また、図2(b)の断面図(図1のB-B'線における断面)に示すように、紙面横方向に走るトレンチ106aは、紙面手前から奥にむかうトレンチ106bと接続されている。そして、トレンチ106a内部に埋め込まれたゲート電極108は、切れ目なくトレンチ106b内部にまで設けられる。トレンチ106b内部のゲート電極108は、側壁絶縁領域120に囲まれたゲートコンタクト孔110を介して、ゲート金属配線111に接続されている。このように、トレンチ106b内部に埋め込まれたゲート電極108は

10

20

30

40

50

、トレンチの上角部を通過してトレンチ106bの外に引き出されることはない。またトレンチ上角部は、側壁絶縁領域120とマスク絶縁膜120に囲まれており、ゲート金属配線111が基板130に対し高い絶縁耐圧を備える構成となっている。

【0030】

以上のように、第1の実施形態は、従来のようにゲート電極をトレンチ外に引き出すために、ゲート絶縁耐圧の低いトレンチ上角部のゲート絶縁膜上にゲート電極を形成せずに、ゲートコンタクト孔をトレンチ直上に形成し、ゲート金属配線を接続している。そのため、ゲート絶縁膜破壊に対する高い信頼性と、同時にゲート抵抗の低減を可能にしている。また、このゲートコンタクト孔を、トレンチに対し自己整合的に形成するため、トレンチ幅をプロセス最小加工幅で形成でき、チップ面積の縮小化を可能にしている。

10

【0031】

次に、第1の実施形態に係る半導体装置の製造方法について図3から図11を参照しながら説明する。図3から図11はいずれも図1のA-A'線付近における断面図に対応している。

【0032】

まず、図3に示すように、高濃度不純物を含むN+型の高濃度半導体基板101上に、N-型のエピタキシャル層102を備えた基板130を用意する。次に、基板130上にP型のベース領域103aを、イオン注入と熱拡散によって形成する。次に、N+型のソース領域104と、ベース領域103aよりも高濃度のベースコンタクト領域103bを基板130表面から形成する。このとき、基板130において、ベース領域103aの下側の、高濃度半導体基板101とエピタキシャル層102の部分がドレイン領域116となる。

20

【0033】

次に図4に示すように、基板130上に絶縁膜をLPCVD(Low Pressure Chemical Vapor Deposition)法で1000以上の膜厚で堆積する。そしてその絶縁膜のトレンチ形成予定領域をエッチングして基板130表面を露出させ、マスク絶縁膜105を形成する。次に、このマスク絶縁膜105をマスクとして、シリコンエッチングを行い、ソース領域104およびベース領域103aを貫通し、ドレイン領域116に達する第1のトレンチ106a、第2のトレンチ106bを形成する。

30

【0034】

次に、図5に示すように、マスク絶縁膜105を残したまま、第1のトレンチ106a、第2のトレンチ106bの内側の底面及び側面を覆うようにゲート絶縁膜107を形成する。次に、導電性のポリシリコン等のゲート層を、上面が平坦となるまで基板全面に渡って堆積する。次に、このゲート層を、第1の高さH1までエッチバックし、第1のトレンチ106a、第2のトレンチ106bの内部にゲート電極108を形成する。第1の高さH1は、ソース領域104とドレイン領域116の間でチャンネルが途切れないよう、基板130表面からソース領域104の底面との位置を設定する。ゲート・ソース間容量の低減及び、ゲート・ソース間ショート不良発生の低減のために、第1の高さH1は、ソース領域104の底面と同じ位置であることが好ましい。

40

【0035】

次に、図6に示すように、基板130上に第1の層間絶縁膜109をLPCVD法で、段差を埋め込み上面が平坦化するまで基板全面に渡って堆積する。例えば、第1のトレンチ106a、第2のトレンチ106bの幅が0.5 μ mの場合、上面の平坦化のために、第1の層間絶縁膜109を0.5 μ mの厚さ以上で堆積することが好ましい。この第1の層間絶縁膜109は、マスク絶縁膜105に対しエッチング選択性を有する膜を採用する。例えば、マスク絶縁膜105にシリコン酸化膜、第1の層間絶縁膜109にシリコン窒化膜という組み合わせにしてもよい。

【0036】

次に、図7に示すように、第1の層間絶縁膜109をエッチバックし、第1のトレンチ

50

106 a、第2のトレンチ106 b以外の領域にマスク絶縁膜105を露出させる。このとき、マスク絶縁膜105の表面の露出を起点に、エンドポイント検出などでエッチングを停止させるので、第1の層間絶縁膜109が、基板130表面より上に上面が位置した状態で残される。そのため、エッチングばらつきなどによりオーバーエッチングが過剰になされたとしても、ゲート電極108が露出するまで第1の層間絶縁膜109が除去され、ゲート電極108と後に形成するソース電極間と間のショート不良が発生することを防止できる。

【0037】

次に、図8に示すように、基板130上をフォトレジスト117で覆った後、フォトリソグラフィ技術により、第2のトレンチ106 bの上及びその周辺のフォトレジスト117を開口させる。そしてそのフォトレジスト117と、一部露出したマスク絶縁膜105をマスクとして、第2のトレンチ106 b内部の第1の層間絶縁膜109をウェットエッチングなどの方法で除去し、第2のトレンチ106 b内部においてゲート電極108を露出させる。

10

【0038】

次に、図9に示すように、基板130上をフォトレジスト117で覆った後、フォトリソグラフィ技術により、第2のトレンチ106 bの上及びその周辺以外の領域のフォトレジスト117を開口させる。そしてそのフォトレジスト117をマスクとして、第1のトレンチ106 a周辺のマスク絶縁膜105を除去し、基板130表面のソース領域104とベースコンタクト領域103 bを露出させる。

20

【0039】

次に、図10に示すように、第2の層間絶縁膜118をLPCVD法で、第2のトレンチ106 bを完全に埋め込まない程度の膜厚で基板130の全面に渡って堆積する。例えば、第2の層間絶縁膜118を0.1から0.2 μmの膜厚で堆積することにより、第2のトレンチ106 bを完全に埋め込まず、第2のトレンチ106 b底面とトレンチ外においてほぼ等しい膜厚の第2の絶縁膜118を形成できる。

【0040】

次に、図11に示すように、第2の層間絶縁膜を、異方性ドライエッチングでエッチバックし、再び基板130表面のソース領域104とベースコンタクト領域103 bを露出させる。このとき、例えば第1の層間絶縁膜109と第2の層間絶縁膜118とを同じ材質の膜で形成した場合、第1の層間絶縁膜109がこの工程で過剰に削られる可能性がある。しかし、第1のトレンチ106 a上の第1の層間絶縁膜109の上面は、基板130表面より上に位置した状態であるため、第1のトレンチ106 a内部のゲート電極108が露出するまで第1の層間絶縁膜109が除去され、ゲート電極108と後に形成するソース電極間との間のショート不良が発生することを防止できる。

30

【0041】

一方、異方性ドライエッチングを採用しているので、急峻な段差部分には第2の層間絶縁膜のサイドスペーサーが残る。そのため、第2のトレンチ106 b内部の第1の高さH1よりも高い側面にも、ベースコンタクト領域103 bを覆うように、側壁絶縁領域120としてサイドスペーサーが形成される。サイドスペーサーである側壁絶縁領域120は、ゲート電極108の表面から第2のトレンチ106 bの最上端にかけて設けられることになる。

40

【0042】

この側壁上の厚さは、第2の層間絶縁膜の堆積膜厚に比例するので、0.1 μm以上の厚さの側壁絶縁領域120が形成されるような堆積膜厚を自由に選ぶことができる。この側壁絶縁領域120はLPCVD法を用いた緻密で良質な膜なので、0.1 μmの厚さであれば80 V以上の絶縁耐圧を確保できる。

【0043】

一方、一般的なゲート絶縁膜で絶縁する方法は、その膜厚が要求仕様の制約を受け数100程度であり、自由に膜厚を選ぶことが困難である。しかもトレンチの上角部周辺に

50

おける酸化成長不良による絶縁耐圧及び信頼性の低下の抑制が難しい。

【0044】

それに対して本実施形態の製造方法においては、第2のトレンチ106b上角部は、LPCVDによる良質な1000以上のマスク絶縁膜105及び側壁絶縁領域120で囲まれるので、絶縁耐圧及び信頼性の低下が抑制できる。

【0045】

この側壁絶縁領域120は、第2のトレンチ106b内側面においてベースコンタクト領域103bに対して絶縁性を保ち、その下部においてはゲート電極108表面を一部覆っているのみなので、ゲートコンタクト孔110として機能させることができる。

【0046】

次に表面にアルミニウム等の配線層を形成し、更に選択的に配線層を除去する。これにより表面にはソース電極、ゲート金属配線が形成され、図2のような構成となる。その後、それらの上にパッシベーション膜を形成し、ボンディング等の配線用の開口部を形成する(不図示)。最後に基板130の裏面にドレイン電極を形成することで、第1の実施形態の半導体装置が得られる。

【0047】

以上のような第1の実施形態の製造方法においては、フォトリソグラフィ技術を使用することなく、自己整合的にゲートコンタクト孔を形成するため、セル外周領域115の第2のトレンチ106bは、第1のトレンチ106aよりも広げる必要は無く、チップ面積を縮小することができる。

【0048】

トレンチの幅がどの領域でも同一なので、異なる幅のトレンチが並存する場合に比べ、ゲート電極や層間絶縁膜の埋め込み不良や平坦性ばらつきを抑制でき、良品率を高め、形状異常による信頼性低下を抑制することができる。さらに、第1のトレンチ106a上の絶縁膜の上面を基板表面よりも高く設定しているため、製造ばらつきによるゲート電極とソース電極間のショート不良を抑制でき、良品率を高めることができる。

【0049】

さらに、セル外周領域だけでなく、第1のセル領域においても、コンタクト開口のためのフォトマスクが不要になるので、トレンチゲートを備えた縦型MOSFET全体のチップ面積の縮小化に寄与できる。

【0050】

次に、第2の実施形態について説明する。図12は、第2の実施形態に係る縦型トレンチMOSFETを有する半導体装置200の一部平面図であり、図13は図12のC-C'線付近における概略断面図である。

【0051】

図12は、格子状レイアウトの縦型トレンチMOSFETの、チップの外周近傍の様子を表している(同図は、基板230の表面の様子を表し、基板230表面より上の部分を省いている)。縦型トレンチMOSFETは、ドレイン電流を紙面の奥側から手前側に流すために、第1のトレンチ206aを含む縦型トランジスタを構成する第1のセル領域214aと、トレンチ内部に埋め込んだゲート電極の電位をトレンチ外に引き出すための、第1のトレンチ206aと接続された第2のトレンチ206bを含むセル外周領域215と、第1のセル領域214aとセル外周領域215の間で互いのトレンチ形状を整合させるための第2のセル領域214bを備える。これらの3つの領域に形成されるトレンチと、トレンチ底面及び側面に形成されるゲート絶縁膜と、トレンチ内部に埋め込んだゲート電極(不図示)は切れ目なくつながっている。そのため、セル外周領域115からトレンチ外に取り出されるゲート電極の電位は、どの位置のトレンチ内部のゲート電極においても同じ電位となる。

【0052】

第1のセル領域214aには、中心にP型のベースコンタクト領域203bが形成され、ベースコンタクト領域203bの四方を囲むようにN型のソース領域204が形成され

10

20

30

40

50

、さらにソース領域 204 の四方を囲むように第 1 のトレンチ 206 a が形成されている。

【0053】

第 2 のセル領域 214 b は、セル外周領域 215 と隣接する方向を除き、三方が第 1 のトレンチ 206 a に囲まれている。ソース領域 204 は、セル外周領域 215 と反対側の方向に設けられ、残りの部分にベースコンタクト領域 203 b が設けられている。

【0054】

セル外周領域 215 は、第 2 のセル領域 214 b の第 1 のトレンチ 206 a の延長上に、同じ幅の第 1 のトレンチ 206 a を備え、この第 1 のトレンチ 206 a の端部に接続されて、第 2 のトレンチ 206 b を備える。セル外周領域 215 の第 2 のセル領域 214 b 側には、P 型の第 2 のベース領域 203 c が設けられている。この第 2 のベース領域 203 c と、第 2 のセル領域 214 b のベースコンタクト領域 203 b との間は、N - 型のエピタキシャル層 202 で分離されている。この第 2 のベース領域 203 c の上には金属配線は接続されておらず、トランジスタ動作中は浮遊電位となる。

10

【0055】

セル外周領域 215 内の、第 1 のトレンチ 206 a の端部が接続された第 2 のトレンチ 206 b は、チップ外周に渡って、複数の第 1 のセル領域 114 a と第 2 のセル領域 114 b 全体を囲むように形成されている。第 2 のトレンチ 206 b の幅は、第 1 のトレンチ 206 a の幅と同じである。

【0056】

第 2 のトレンチ 206 b の側面の外側には、ソース領域 204 と同一工程、同一不純物で形成される N + 型の側壁絶縁領域 220 が設けられている。この側壁絶縁領域 220 の内側をゲートコンタクト孔 110 とし、ゲートコンタクト孔 110 内部にゲート金属配線 211 が設けられている。このゲート金属配線 211 は、第 2 のトレンチ 206 b 内部の下部のゲート電極（不図示）と、第 2 のトレンチ 206 b の側面の側壁絶縁領域 220 と接続されている。

20

【0057】

第 1 のトレンチ 206 a と第 2 のトレンチ 206 b が接続される部分においては、第 1 のトレンチ 206 a 内部に埋め込まれた第 1 の層間絶縁膜 209 がゲート金属配線 211 と接している。それによって、ゲートコンタクト孔 210 内部のゲート金属配線 211 は、第 2 のトレンチ 206 b 内部において、全て第 1 の絶縁膜 209 と側壁絶縁領域 220 で囲まれ、ゲート電極以外の領域と電氣的に絶縁されている。

30

【0058】

さらに、図 13 の断面図（図 12 の C - C' 線における断面）に示すように、第 2 の実施形態の、第 1 のセル領域 214 a においては、ソース領域 204 がゲート電極 208 上面の第 1 の高さ H1 よりも深く形成されている。

【0059】

第 2 のセル領域 214 b 内の第 1 のベース領域 203 a は、エピタキシャル領域 202 を介して、セル外周領域 215 内の第 2 のベース領域 203 c と分離させている。これは、第 2 のセル領域 214 b 内の第 1 のベース領域 203 a がソース電位に固定されるのに対し、セル外周領域 215 a の第 2 のベース領域 203 c は、電位を固定せずに浮遊電位とするためである。

40

【0060】

セル外周領域 215 の第 2 のトレンチ 206 b 側面には、側壁絶縁領域 220 が形成されている。側壁絶縁領域 220 は、ソース領域 204 と同一工程、同一不純物で形成される N + 型拡散領域であり、ゲート電極 208 の上面の第 1 の高さ H1 よりも深く形成されている。これによって、セル外周領域 215 において、側壁絶縁領域 220 となる N + 拡散層を、ゲート金属配線 211 よりも深く形成させ、ゲート金属配線 211 をゲート電極以外の領域と電氣的に絶縁することを可能にしている。

【0061】

50

第2のベース領域203cは、側壁絶縁領域220を形成する拡散層とは逆の導電型の不純物によって、側壁絶縁領域220を囲んで形成され、浮遊電位としている。第2のベース領域203cは、P型の第1のベース領域203aと同一工程、同一不純物で形成される。

【0062】

第2のベース領域203cは、ドレイン領域216の中のN型のエピタキシャル層202で囲まれている。そのため、図14に示すように、ゲート端子Gが、N型の側壁絶縁領域220と、P型の第2のベース領域203cと、N型のドレイン領域216によって形成される、双方向に接続された2つのPNダイオードを通じてドレイン端子Dに接続される構成となっている。それにより、ゲート端子Gとドレイン端子Dとの間で漏れ電流が流れることを防いでいる。

10

【0063】

以上の側壁絶縁領域220と、マスク絶縁膜205で囲まれた領域をゲートコンタクト孔210とし、表面が露出しているゲート電極208上にゲート金属配線211を形成することで、ゲート電位を第2のトレンチ206bの外部に取り出している。側壁絶縁領域220の深さは、ゲート電極208の表面の第1の高さH1よりも深く形成しているため、ゲート金属配線211が、第2のベース領域203cと接触することはない。

【0064】

第2の実施形態においては、従来のようなゲート絶縁膜をトレンチ内部からトレンチ上角部を経由してトレンチ外に延長させ、その上に形成されるゲート電極を他の電極から絶縁する方法ではなく、PN接合分離で絶縁を実現しているため、ゲート絶縁膜のトレンチ上角部におけるゲート電圧破壊や信頼性劣化を防止している。そしてゲート電極をトレンチ外に引き出すためにゲートコンタクト孔をトレンチ直上に形成し、ゲート配線電極を接続している。そのため、ゲート絶縁膜破壊に対する高い信頼性と、同時にゲート抵抗の低減を可能にしている。

20

【0065】

また、ゲートコンタクト孔を、トレンチに対し自己整合的に形成するため、トレンチ幅をゲートコンタクト孔とのマスク合わせずれなどを考慮して広げる必要は無く、チップ面積の縮小化を可能にしている。

【0066】

さらに、アバランシェ破壊後も絶縁性復帰可能なPN接合を絶縁分離に利用しているため、ゲート電極に侵入する過大な静電気ノイズに対するゲート絶縁膜の保護としても機能させることができる。

30

【0067】

第2の実施形態の製造方法は、図5のソース領域104を第1の高さH1よりも深く形成し、新たに同一工程、同一不純物で形成されるN+型の側壁絶縁領域220を設けたことが第1の実施形態と異なる。また、図10に示す第2の層間絶縁膜118の形成と、図11に示す第2の層間絶縁膜のエッチバックが不要である。そのため、第2の実施形態の製造方法は、第1の実施形態の利点を有しながら、第1の実施形態よりも少ない工程で製造できる、という利点がある。

40

【0068】

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲において種々の変更が可能であることは言うまでもない。例えば、本実施形態の縦型MOSFETは、トレンチを格子状にレイアウトした例を用いて説明したが、特にこれに限られるものではなく、格子を一つずつずらして配置した千鳥状レイアウトや、トレンチを一方の方向に直線的に延設するストライプ状のレイアウトを備えた縦型MOSFETにも適用することができる。

【符号の説明】

【0069】

101、201 高濃度半導体基板

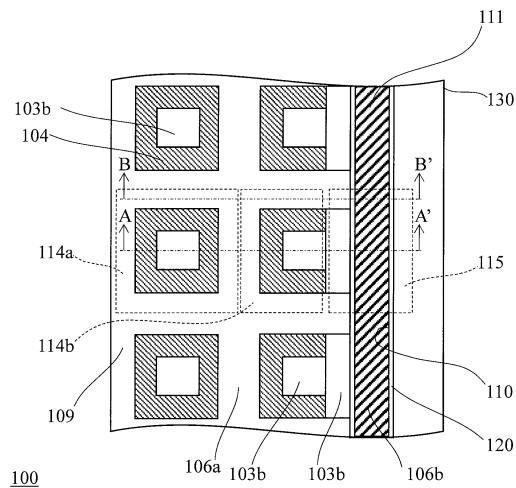
50

- 102、202 エピタキシャル層
- 103a、203a ベース領域
- 103b、203b ベースコンタクト領域
- 104、204 ソース領域
- 105、205 マスク絶縁膜
- 106a、206a 第1のトレンチ
- 106b、206b 第2のトレンチ
- 107、207 ゲート絶縁膜
- 108、208 ゲート電極
- 109、209 第1の層間絶縁膜
- 110、210 ゲートコンタクト孔
- 111、211 ゲート金属配線
- 112、212 ソース電極
- 113、213 ドレイン電極
- 114a、214a 第1のセル領域
- 114b、214b 第2のセル領域
- 115、215 セル外周領域
- 116、216 ドレイン領域
- 117 フォトレジスト
- 118 第2の層間絶縁膜
- 120、220 側壁絶縁領域
- 130、230 基板
- H1 第1の高さ

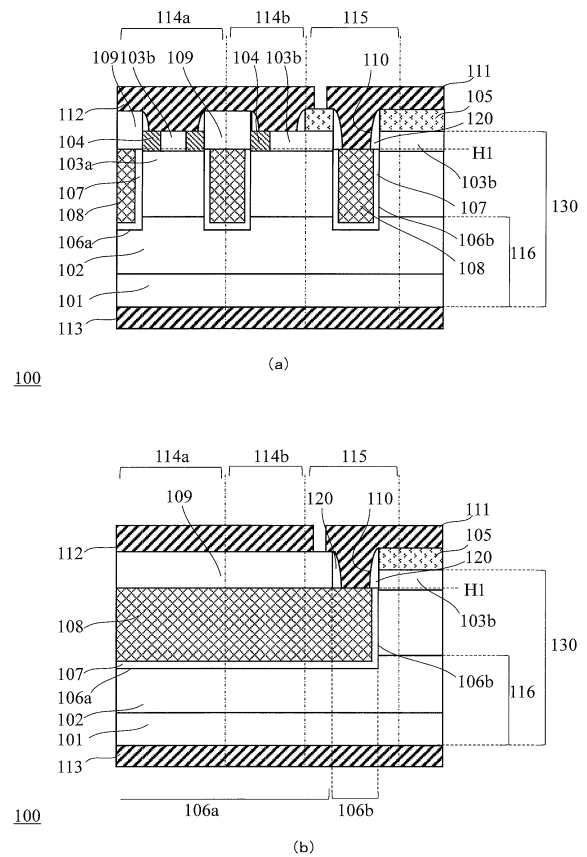
10

20

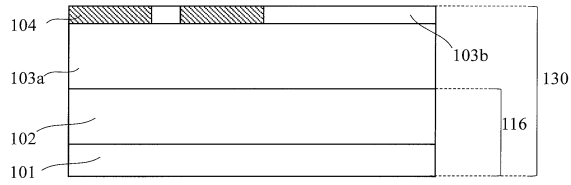
【図1】



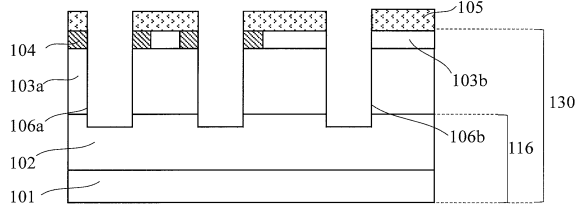
【図2】



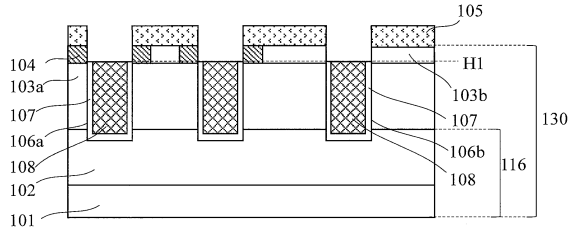
【図 3】



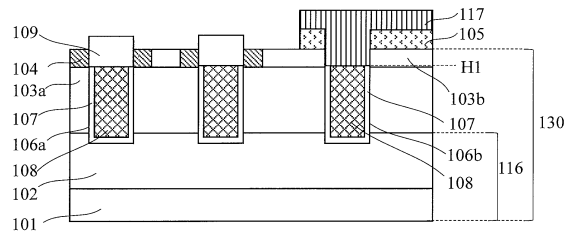
【図 4】



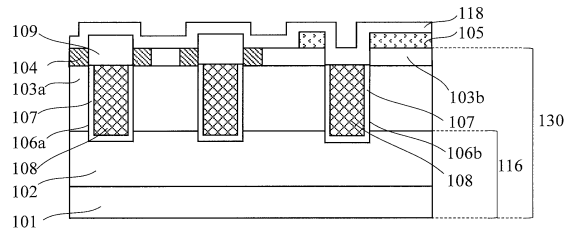
【図 5】



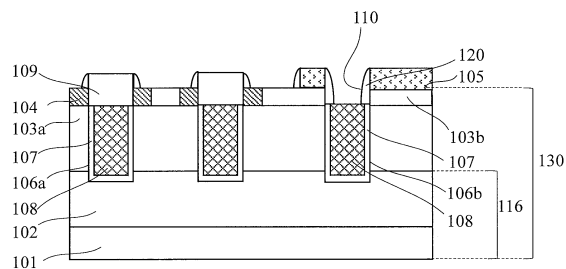
【図 9】



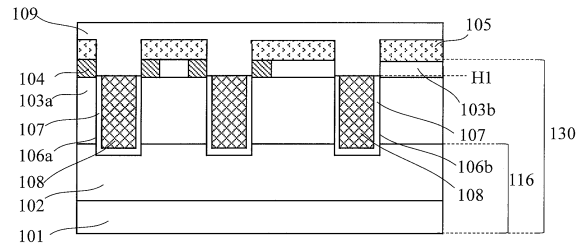
【図 10】



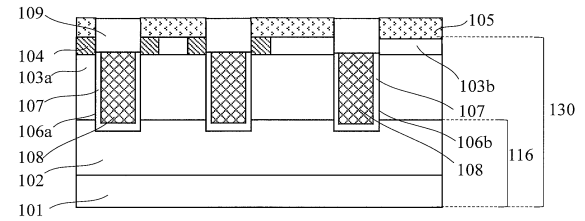
【図 11】



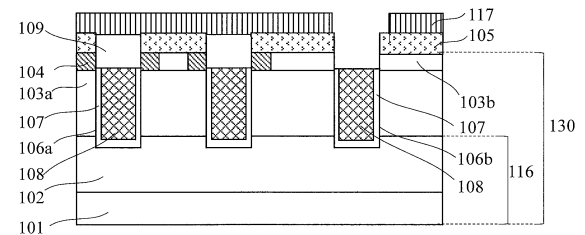
【図 6】



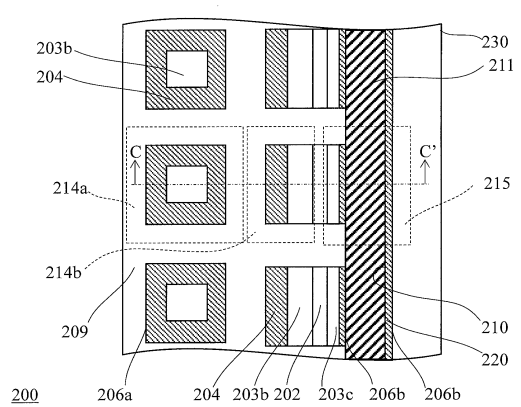
【図 7】



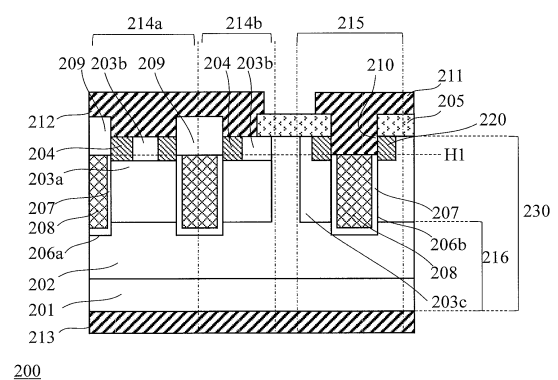
【図 8】



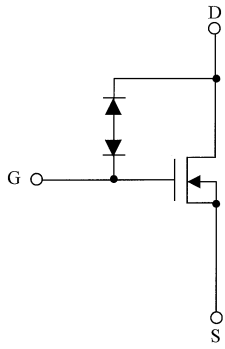
【図 12】



【図 13】



【 図 1 4 】



フロントページの続き

- (56)参考文献 特開2017-028244(JP,A)
特開2002-368221(JP,A)
特開2004-193281(JP,A)
特開2008-085278(JP,A)
国際公開第2008/139898(WO,A1)
国際公開第2011/108191(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 29/739
H01L 29/861
H01L 29/868
H01L 21/336