

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6791648号
(P6791648)

(45) 発行日 令和2年11月25日(2020.11.25)

(24) 登録日 令和2年11月9日(2020.11.9)

(51) Int.Cl. F I
H03M 1/06 (2006.01) H03M 1/06

請求項の数 14 (全 12 頁)

<p>(21) 出願番号 特願2016-76346 (P2016-76346) (22) 出願日 平成28年4月6日(2016.4.6) (65) 公開番号 特開2017-188783 (P2017-188783A) (43) 公開日 平成29年10月12日(2017.10.12) 審査請求日 平成31年2月25日(2019.2.25)</p>	<p>(73) 特許権者 000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地 (74) 代理人 100105924 弁理士 森下 賢樹 (74) 代理人 100133215 弁理士 真家 大樹 (72) 発明者 伊藤 謹司 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内 審査官 竹内 亨</p>
---	---

最終頁に続く

(54) 【発明の名称】 A/Dコンバータ回路および電子機器

(57) 【特許請求の範囲】

【請求項1】

電氣的または物理的な状態を測定対象とするセンサの出力にもとづくアナログ信号を受け、デジタル信号に変換するA/Dコンバータ回路であって、

基準電圧を生成する基準バイアス回路であって、前記基準電圧の温度依存性が複数から選択可能に構成された基準バイアス回路と、

前記基準電圧を参照して、前記アナログ信号を前記デジタル信号に変換するA/Dコンバータと、

レジスタと、

前記A/Dコンバータ回路の電源投入時にプロセッサからの制御信号を受け、前記レジスタに格納するとともに、前記デジタル信号を前記プロセッサに送信するインタフェース回路と、

を備え、前記基準バイアス回路における前記基準電圧の前記温度依存性は、前記A/Dコンバータ回路の電源投入時に前記レジスタに格納された前記制御信号にもとづいて選択され、

前記制御信号は、前記センサ、前記A/Dコンバータ回路および前記プロセッサを含む信号処理システムの設計段階において、前記プロセッサが受信する前記デジタル信号の温度ドリフトが小さくなるように決定されていることを特徴とするA/Dコンバータ回路。

【請求項2】

前記基準バイアス回路は、その出力電圧の温度依存性が複数から選択可能な基準電圧回

10

20

路を含むことを特徴とする請求項 1 に記載の A / D コンバータ回路。

【請求項 3】

前記基準電圧回路は、P T A T (Proportional to Absolute Temperature) 電圧と、C T A T (Complementary to Absolute Temperature) 電圧を加算して得られる電圧を生成するバンドギャップリファレンス回路を含み、前記 P T A T 電圧と前記 C T A T 電圧の少なくとも一方の係数が可変であることを特徴とする請求項 2 に記載の A / D コンバータ回路。

【請求項 4】

前記基準バイアス回路は、前記基準電圧回路の出力電圧を受け、前記 A / D コンバータに前記基準電圧を供給するバッファ回路をさらに備え、

前記バッファ回路は、そのオフセットが複数から選択可能であることを特徴とする請求項 2 または 3 に記載の A / D コンバータ回路。

【請求項 5】

前記基準電圧回路における前記温度依存性と、前記バッファ回路における前記オフセットは、共通の前記制御信号にもとづいて選択されることを特徴とする請求項 4 に記載の A / D コンバータ回路。

【請求項 6】

前記基準電圧回路における前記温度依存性と、前記バッファ回路における前記オフセットは、個別に独立して設定可能であることを特徴とする請求項 4 に記載の A / D コンバータ回路。

【請求項 7】

前記基準バイアス回路は、前記基準電圧回路の出力電圧を受け、前記 A / D コンバータに供給するバッファ回路をさらに備え、

前記バッファ回路は、そのゲインが複数から選択可能であることを特徴とする請求項 2 または 3 に記載の A / D コンバータ回路。

【請求項 8】

前記基準電圧回路における前記温度依存性と、前記バッファ回路における前記ゲインは、共通の前記制御信号にもとづいて選択されることを特徴とする請求項 7 に記載の A / D コンバータ回路。

【請求項 9】

前記基準電圧回路における前記温度依存性と、前記バッファ回路における前記ゲインは、個別に独立して設定可能であることを特徴とする請求項 7 に記載の A / D コンバータ回路。

【請求項 10】

前記制御信号を格納する不揮発性メモリを備えることを特徴とする請求項 1 から 9 のいずれかに記載の A / D コンバータ回路。

【請求項 11】

前記 A / D コンバータは、A / D コンバータであることを特徴とする請求項 1 から 10 のいずれかに記載の A / D コンバータ回路。

【請求項 12】

それぞれにアナログ入力信号が入力可能な複数の入力端子と、前記複数の入力端子のうち、ひとつを選択するマルチプレクサと、前記マルチプレクサの出力信号を増幅するアンプと、前記アンプの出力信号をフィルタリングするフィルタと、をさらに備えることを特徴とする請求項 1 から 11 のいずれかに記載の A / D コンバータ回路。

【請求項 13】

ひとつの半導体基板に一体集積化されることを特徴とする請求項 1 から 12 のいずれかに記載の A / D コンバータ回路。

【請求項 14】

10

20

30

40

50

センサと、

前記センサからのアナログ信号を受け、デジタル信号に変換する請求項 1 から 13 のいずれかに記載の A / D コンバータ回路と、

前記 A / D コンバータ回路が生成した前記デジタル信号を処理するプロセッサと、
を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A / D コンバータに関する。

【背景技術】

10

【0002】

さまざまな用途において、電気的状態や物理的状態を測定するセンサが用いられる。多くのセンサの出力はアナログ信号であり、マイコンなどのプロセッサによりデジタル信号処理するために、デジタル信号に変換する必要がある。それほどの精度が要求されない用途では、マイコンに組み込まれた A / D コンバータを使用することも可能であるが、高精度が要求される用途では、高精度な A / D コンバータを集積化した A / D コンバータ IC (Integrated Circuit) が利用される。

【0003】

図 1 は、本発明者が検討した A / D コンバータ IC (Integrated Circuit) 100r を備える信号処理システム 10r のブロック図である。信号処理システム 10r は、センサ 12、マイコン 20r、A / D コンバータ IC 100r を備える。センサ 12 は、温度センサや電流センサ、電圧センサなどが例示される。A / D コンバータ IC 100r は、センサ 12 からのアナログ入力信号 S1 を受け、デジタル信号 S2 に変換する。マイコン 20r は、A / D コンバータ IC 100r が生成したデジタル信号 S2 を処理する。

20

【0004】

A / D コンバータ IC 100r は、A / D コンバータ 102、バンドギャップリファレンス (BGR) 回路 104、バッファ 106、インタフェース回路 108 を備える。A / D コンバータ 102 は、アナログ入力信号 S1 をデジタル信号 S2 に変換する。BGR 回路 104 は、温度に依存しない基準電圧 V_{BGR} を生成する。バッファ 106 は、基準電圧 V_{BGR} を A / D コンバータ 102 に供給する。A / D コンバータ 102 は、基準電圧 V_{BGR} を利用して、アナログ入力信号 S1 をデジタル信号 S2 に変換する。デジタル信号 S2 は、インタフェース回路 108 から、マイコン 20r のインタフェース回路 22 に送信される。

30

【0005】

A / D コンバータ IC 100r は、それ単体での入出力特性の温度依存性 (温度ドリフト) が小さくなるように設計され、したがって BGR 回路 104 が生成する基準電圧 V_{BGR} の温度特性も、そのような観点から最適化されている。

【0006】

ところが A / D コンバータ IC 100r 以外の回路ブロック、たとえばセンサ 12 における温度依存性が大きい場合、信号処理システム 10r 全体としてみたときの温度ドリフトが問題となる。

40

【0007】

あるいは A / D コンバータ IC 100r は、あらかじめ規定された標準の外部回路との組み合わせにおいて入出力特性の温度依存性 (温度ドリフト) が小さくなるように設計してもよく、したがって BGR 回路 104 が生成する基準電圧 V_{BGR} の温度特性も、そのような観点から最適化することも可能である。ところが信号処理システム 10r の設計者が、A / D コンバータ IC 100r が、標準の外部回路とは別の外部回路と組み合わせた場合、信号処理システム 10r 全体としてみたときの温度ドリフトが問題となる。

【0008】

信号処理システム 10r 全体の温度ドリフトを補正するために、マイコン 20r は、イ

50

インタフェース回路 22、補正処理部 24、補正テーブル 26、信号処理部 28 を備える。補正処理部 24 は、インタフェース回路 22 が受信したデジタル信号 S3 を、温度 T に応じて補正する。補正テーブル 26 には、各温度 T における補正情報が格納される。信号処理部 28 は、補正後のデジタル信号 S4 に対して、所定の信号処理を施す。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2011-101247 号公報

【特許文献 2】特開 2014-171035 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明者らは、図 1 の信号処理システム 10r について検討した結果、以下の課題を認識するに至った。補正処理部 24 の機能は、マイコン 20r の演算処理ユニットをソフトウェア制御することで実現される。したがってデジタル信号 S3 のビット数が 16 ビットあるいはそれ以上に高くなると、マイコン 20r の演算処理ユニットの演算処理が重くなるため、高性能なマイコン 20r が必要となり、コストが高くなる。

【0011】

また補正テーブル 26 を ROM (Read Only Memory) に格納しておく必要があるためそのデータ量が大きいと、コストが高くなってしまう。

【0012】

本発明者はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、信号処理システムの温度ドリフトを低減可能な A/D コンバータ回路の提供にある。

【課題を解決するための手段】

【0013】

本発明のある態様は、アナログ信号をデジタル信号に変換する A/D コンバータ回路に関する。A/D コンバータ回路は、基準電圧を生成する基準バイアス回路であって、基準電圧の温度依存性が複数から選択可能に構成された基準バイアス回路と、基準電圧を参照して、アナログ信号をデジタル信号に変換する A/D コンバータと、を備える。

【0014】

この態様によると、A/D コンバータ回路の外部回路、素子の温度特性を考慮して、基準バイアス回路の温度依存性を選択することにより、信号処理システム全体の温度ドリフトを補正できる。

【0015】

またある態様においては、後段のプロセッサにおけるデジタル信号処理における温度ドリフトの補正が不要となり、あるいはその処理を簡素化することができる。これによりプロセッサの演算量を低減できる。

【0016】

基準バイアス回路は、その出力電圧の温度依存性が複数から選択可能な基準電圧回路を含んでもよい。

【0017】

基準電圧回路は、P T A T (Proportional to Absolute Temperature) 電圧と、C T A T (Complementary to Absolute Temperature) 電圧を加算して得られる電圧を生成するバンドギャップリファレンス回路を含み、P T A T 電圧と C T A T 電圧の少なくとも一方の係数が可変であってもよい。

【0018】

ある態様の A/D コンバータ回路は、基準電圧回路の出力電圧を受け、A/D コンバータに基準電圧を供給するバッファ回路をさらに備えてもよい。バッファ回路は、そのオフセットが複数から選択可能であってもよい。これにより基準電圧の温度依存性に加えて、

10

20

30

40

50

オフセット量を制御可能となり、信号処理システム全体の温度ドリフトをさらに抑制できる。

【0019】

基準電圧回路における温度依存性と、バッファ回路におけるオフセットは、共通の制御信号にもとづいて選択されてもよい。この場合、制御を簡素化できる。

【0020】

基準電圧回路における温度依存性と、バッファ回路におけるオフセットは、個別に独立して設定可能であってもよい。これにより、より多様なプラットフォームにおいて、温度ドリフトを補正できる。

【0021】

ある態様のA/Dコンバータ回路は、基準電圧回路の出力電圧を受け、A/Dコンバータに基準電圧を供給するバッファ回路をさらに備えてもよい。バッファ回路は、そのオフセットが複数から選択可能であってもよい。これにより基準電圧の温度依存性に加えて、オフセット量を制御可能となり、信号処理システム全体の温度ドリフトをさらに抑制できる。

10

【0022】

バッファ回路は、そのゲインが複数から選択可能であってもよい。基準電圧回路における温度依存性を指示する制御信号と、バッファ回路におけるゲインを指示する制御信号は、同一であってもよい。

【0023】

基準電圧回路における温度依存性と、バッファ回路におけるゲインは、個別に独立して設定可能であってもよい。

20

【0024】

ある態様のA/Dコンバータ回路は、基準電圧の温度依存性を指示する制御信号を格納するレジスタと、デジタル信号を処理する外部のプロセッサと接続され、デジタル信号をプロセッサに出力するとともに、制御信号を前記プロセッサから受信し、レジスタに書き込むインタフェース回路と、をさらに備えてもよい。

【0025】

A/Dコンバータ回路は、基準電圧の温度依存性を指示する制御信号を格納する不揮発性メモリを備えてもよい。

30

不揮発性メモリに制御信号をあらかじめ書き込んでおくことにより、A/Dコンバータ回路の起動毎にレジスタに制御信号を書き込み必要がなくなる。

【0026】

A/Dコンバータは、A/Dコンバータであってもよい。A/Dコンバータは、ビット数が大きく、したがってデジタル信号処理によるドリフト補正のコストが高いため、プロセッサの演算低減の効果を一層享受できる。

【0027】

ある態様のA/Dコンバータ回路は、それぞれにアナログ入力信号が入力可能な複数の入力端子と、複数の入力端子のうち、ひとつを選択するマルチプレクサと、マルチプレクサの出力信号を増幅するアンプと、アンプの出力信号をフィルタリングするフィルタと、をさらに備えてもよい。

40

【0028】

ある態様のA/Dコンバータ回路は、ひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。回路を1つのチップ上に集積化することにより、回路面積を削減することができるとともに、回路素子の特性を均一に保つことができる。

【0029】

本発明の別の態様は、電子機器に関する。電子機器は、センサと、センサからのアナロ

50

グ信号を受け、デジタル信号に変換する上述のいずれかのA/Dコンバータ回路と、A/Dコンバータ回路が生成したデジタル信号を処理するプロセッサと、を備える。

【0030】

なお、以上の構成要素の任意の組合せ、本発明の表現を、方法、装置などの変換したものもまた、本発明の態様として有効である。

【発明の効果】

【0031】

本発明のある態様によれば、信号処理システム全体の温度ドリフトを補正できる。

【図面の簡単な説明】

【0032】

【図1】本発明者が検討したA/DコンバータICを備える信号処理システムのブロック図である。

【図2】実施の形態に係るA/DコンバータICを備える信号処理システムのブロック図である。

【図3】基準電圧 V_{REF} の温度依存性の一例を示す図である。

【図4】基準バイアス回路の構成例を示す回路図である。

【図5】一般化された基準電圧回路の概念図である。

【図6】図4のバンドギャブリファレンス電圧 V_{BGR} の温度依存性を示す図である。

【図7】A/DコンバータICを備える電子機器のブロック図である。

【発明を実施するための形態】

【0033】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0034】

図2は、実施の形態に係るA/DコンバータIC100を備える信号処理システム10のブロック図である。信号処理システム10は、センサ12、A/DコンバータIC100、プロセッサ20を備える。

【0035】

センサ12は、電流センサ、電圧センサ、温度センサ、測距計、角度センサ、ジャイロセンサなどであり、測定対象の電気的状態あるいは物理的状態に応じたアナログ信号S1を生成する。

【0036】

A/DコンバータIC100は、アナログ入力信号S1をデジタル信号S2に変換し、後段のプロセッサ20に出力する。プロセッサ20は、A/DコンバータIC100からのデジタル信号を処理する。プロセッサ20は、マイコンやDSP(Digital Signal Processor)、CPU(Central Processing Unit)などであってもよい。

【0037】

A/DコンバータIC100は、A/Dコンバータ102、基準バイアス回路110、バッファ106、インタフェース回路108を備える。基準バイアス回路110は、基準電圧 V_{REF} を生成し、A/Dコンバータ102の基準電圧端子に供給する。A/Dコンバータ102は、基準バイアス回路110が生成する基準電圧 V_{REF} にもとづいて、アナログ信号S1をデジタル信号S2に変換する。A/Dコンバータ102のフルスケールレンジあるいは1LSBの電圧幅は、基準電圧 V_{REF} にもとづいて定まることに留意されたい。

【0038】

A/Dコンバータ102の形式は特に限定されないが、たとえばA/Dコンバータのように高精度が要求され、温度ドリフトの要求を受けやすい形式において、本発明は特

10

20

30

40

50

に有効である。またA/Dコンバータ102は、差動形式であってもよいし、シングルエンド形式であってもよい。

【0039】

インタフェース回路108は、デジタル信号S2を受け、プロセッサ20に送信する。プロセッサ20のインタフェース回路22は、デジタル信号S2を受信し、信号処理部28は、インタフェース回路22が受信したデジタル信号S3を処理する。インタフェース回路108およびインタフェース回路22は、たとえばI²C(Inter IC)インタフェースやSPI(Serial Peripheral Interface)を用いることができ、特に限定されない。

【0040】

本実施の形態において基準バイアス回路110は、その出力である基準電圧V_{REF}の温度依存性が複数から選択可能に構成される。基準電圧V_{REF}の温度依存性は、制御信号S5にもとづいて選択される。図3は、基準電圧V_{REF}の温度依存性の一例を示す図である。この例では、(i)~(v)の5通りの中から、ひとつの温度依存性が選択可能となっている。なお、温度依存性の選択肢の個数は、5個に限定されず、それより多くてもよいし、少なくともよい。また複数の基準電圧V_{REF}それぞれの温度依存性(形状)は、特に限定されない。

10

【0041】

図2に戻る。A/DコンバータIC100には、制御信号S5を格納するレジスタ120が設けられる。インタフェース回路108は、プロセッサ20から、制御信号S5を受信し、レジスタ120に書き込む。

20

【0042】

以上が信号処理システム10の構成である。続いてその動作を説明する。

信号処理システム10の設計者は、信号処理システム10の設計段階において、プロセッサ20に入力されるデジタル信号S3の温度ドリフトを小さくする温度依存性を、A/DコンバータIC100により提供される複数の選択肢の中から決定する。そして、決定した選択肢を指示する制御信号S5をプロセッサ20の外部あるいは内部のROMに格納しておく。

【0043】

信号処理システム10の使用時においては、その電源投入後のセットアップ時に、プロセッサ20からA/DコンバータIC100に対して、制御信号S5を送信し、基準バイアス回路110の基準電圧V_{REF}の温度依存性を指示する。A/Dコンバータ102は、制御信号S5に応じた温度依存性を有する基準電圧V_{REF}を参照して、アナログ入力信号S1をデジタル信号S2に変換する。

30

【0044】

以上が信号処理システム10の動作である。この信号処理システム10によれば、A/DコンバータIC100に適切な制御信号S5を与えることで、A/DコンバータIC100単体ではなく、センサ12を含めた信号処理システム10全体としての温度ドリフトを小さくできる。

【0045】

これにより、プロセッサ20における温度ドリフトの補正処理が不要となり、あるいはその処理を最小限とすることができる。つまりプロセッサ20の演算負荷を軽減できることから、図1に比べて低速なハードウェアを用いることが可能となり、プロセッサ20のコストを下げることができる。

40

【0046】

また補正テーブルも不要となるため、メモリ容量を減らすことができ、図1に比べて、コストをさらに下げることが可能である。

【0047】

本発明は、図2のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を助け、またそれら

50

を明確化するために、より具体的な構成例や実施例を説明する。

【0048】

図4は、基準バイアス回路110の構成例を示す回路図である。基準バイアス回路110は、基準電圧回路112およびバッファ回路114を含む。基準電圧回路112は、その出力電圧 V_{BGR} の温度依存性が複数から選択可能に構成される。好ましくは基準電圧回路112は、バンドギャップリファレンス回路で構成される。バンドギャップリファレンス回路は、PTAT (Proportional to Absolute Temperature) 電圧と、CTAT (Complementary to Absolute Temperature) 電圧を加算し、バンドギャップリファレンス電圧 V_{BGR} を生成する。

【0049】

図4のバンドギャップリファレンス回路は、トランジスタ $Q1$ 、 $Q2$ 、抵抗 $R1 \sim R3$ および演算増幅器(差動増幅器)116を含む。たとえば抵抗 $R3$ を可変抵抗とし、その抵抗値を制御信号 $S5$ に応じて切りかえ可能としてもよい。これにより、PTAT電圧とCTAT電圧の加算係数が可変となり、バンドギャップリファレンス電圧 V_{BGR} の温度特性を切りかえることが可能となる。

【0050】

なおこのバンドギャップリファレンス回路の構成は一例に過ぎず、公知のさまざまな形式のバンドギャップリファレンス回路を用いることができる。図5は、より一般化された基準電圧回路112の概念図である。PTAT回路130は、正の温度係数を有するPTAT電圧を生成し、CTAT回路132は、負の温度係数を有するCTAT電圧を生成する。加算器134は、PTAT電圧 V_{PTAT} とCTAT電圧 V_{CTAT} を加算し、バンドギャップリファレンス電圧 V_{BGR} を生成する。加算器134における加算係数は、制御信号 $S5$ に応じて切りかえ可能である。

【0051】

図6は、図4のバンドギャップリファレンス電圧 V_{BGR} の温度依存性を示す図である。バンドギャップリファレンス回路において加算の係数を変化させると、温度依存性がゼロ($dV_{BGR}/dT = 0$)が成り立つ温度 T_0 が変化させることができる。図6を参照すると、温度 T_0 を変化させると、バンドギャップリファレンス電圧 V_{REF} の傾きだけでなく、電圧範囲も大きく変化することに留意されたい。

【0052】

図4に戻る。バッファ回路114は、バンドギャップリファレンス電圧 V_{BGR} を受け、基準電圧 V_{REF} を生成する。バッファ回路114は、そのオフセットもしくはゲインの少なくとも一方、あるいは両方が切りかえ可能である。すなわちバッファ回路114は、そのオフセット(あるいはゲイン)が、複数から選択可能に構成される。これにより、図6に示すバンドギャップリファレンス電圧 V_{BGR} を、上下方向にシフトさせることが可能となる。その結果、図3に示すような、基準電圧 V_{REF} を生成することが可能となる。すなわちバッファ回路114によって、複数のバンドギャップリファレンス電圧 V_{BGR} の上下方向のばらつきを解消してもよい。

【0053】

あるいはセンサ12からのアナログ信号 $S1$ が、センサ12の種類に応じて異なるオフセットを有する場合には、そのオフセットをキャンセルするために、バッファ回路114を利用することができる。

【0054】

バッファ回路114の構成は特に限定されず、たとえば非反転増幅器あるいはリニアレギュレータで構成することができる。オフセットあるいはゲインは、帰還抵抗 R_{FB} を可変抵抗とすることにより、あるいはオペアンプOAのオフセット電圧を可変とすることにより、調節可能となる。

【0055】

基準電圧回路112における温度依存性と、バッファ回路114におけるゲイン(あるいはオフセット)は、共通の制御信号 $S5$ にもとづいて選択されてもよい。これにより、

10

20

30

40

50

プロセッサ 20 からひとつの制御信号 S5 を与えることで、基準電圧 V_{REF} の温度依存性を指定可能となる。

【0056】

あるいは基準電圧回路 112 における温度依存性と、バッファ回路 114 におけるゲイン（あるいはオフセット）は、個別に独立に制御可能であってもよい。すなわち、基準電圧回路 112 の制御信号 S5a と、バッファ回路 114 の制御信号 S5b を別々のレジスタに書き込むようにしてもよい。この場合、基準電圧 V_{REF} の温度依存性（傾きあるいは T_0 の点）と、上下方向へのシフト量を、組み合わせることが可能となるため、信号処理システム 10 の設計者に、温度ドリフト補正に関して、多くの自由度を提供できる。

【0057】

（用途）

図 7 は、A/D コンバータ IC300 を備える電子機器 400 のブロック図である。電子機器 400 は、たとえば電池駆動型であり、スマートホン、タブレット端末、ノート PC などが例示される。

【0058】

たとえば信号処理システム 10 は、電子機器 400 のバッテリー 402 の充電状態（SOC : State Of Charge）を検出する用途に用いることができる。A/D コンバータ IC300 は、上述の A/D コンバータ IC100 のアーキテクチャを用いて構成される。

【0059】

A/D コンバータ IC300 の複数の入力端子 $IN1 \sim INM$ （M は整数）はそれぞれ、外部からアナログ入力信号が入力可能となっている。たとえば入力端子 IN には、バッテリー 402 の電圧 V_{BAT} を示す信号、サーミスタや熱電対などの温度センサ 404 からの温度検出信号、バッテリー電流検出用のセンス抵抗 R_s の電圧降下に応じた電流検出信号などが入力される。

【0060】

マルチプレクサ 302 は、複数の入力端子 $IN1 \sim INM$ を時分割で選択する。アンプ 304 は、マルチプレクサ 302 の出力信号を増幅するプログラマブルゲインアンプ（PGA）である。フィルタ 306 は、アンプ 304 の出力信号をフィルタリングする。A/D コンバータ 308 は、フィルタ 306 の出力信号 V_{IN} をデジタル信号 $DOUT$ に変換する。ロジック回路 310 は、A/D コンバータ 308 からのデジタル信号 $DOUT$ に所定の信号処理を施す。インタフェース回路 312 は、SPI（Serial Peripheral Interface）や I^2C （Inter IC）インタフェースであり、外部のプロセッサ 20 に、デジタル信号を出力する。プロセッサ 20 は、A/D コンバータ IC300 からのデジタル信号にもとづいて、バッテリー 402 の残量を推定あるいは測定する。バッテリー 402 の残量推定は、クーロンカウント法やバッテリー 402 の開放電圧（OCV）を利用した OCV 法などを利用可能である。

【0061】

なお A/D コンバータ IC100 の用途は、特に限定されず、高精度が要求されるさまざまなアプリケーションに用いることができる。

【0062】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【0063】

（第 1 変形例）

実施の形態では、レジスタ 120 に制御信号 S5 を書き込むことにより、基準電圧 V_{REF} の温度依存性を選択したが、それに限定されない。制御信号 S5 を格納する不揮発性のメモリを設け、A/D コンバータ IC100 の出荷前に、制御信号 S5 の値を A/D コンバータ IC100 に格納しておいてもよい。これにより信号処理システム 10 の起動

10

20

30

40

50

とに制御信号 S 5 を書き込む必要がなくなるため、処理を簡素化できる。

【 0 0 6 4 】

(第 2 変形例)

図 2 では、プロセッサ 2 0 の補正処理部 2 4 が完全に無いものとしたが、簡略化された補正処理部を備えてもよい。たとえば、図 4 のバッファ回路 1 1 4 の処理に相当する演算程度であれば、演算量は少なくて済むため、この演算をプロセッサ 2 0 において行ってもよい。この場合、バッファ回路 1 1 4 の特性を固定してもよい。

【 0 0 6 5 】

実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

10

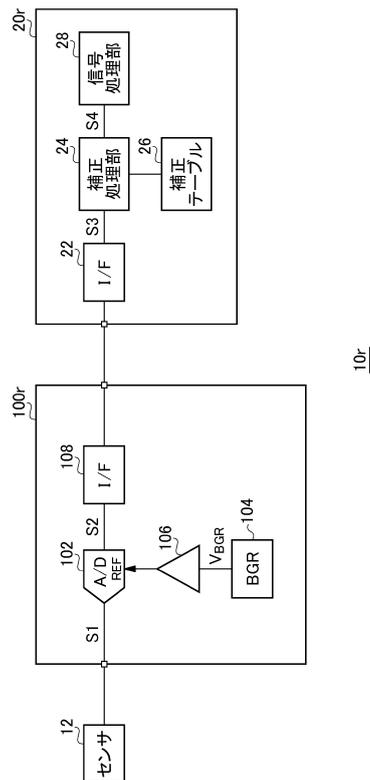
【 符号の説明 】

【 0 0 6 6 】

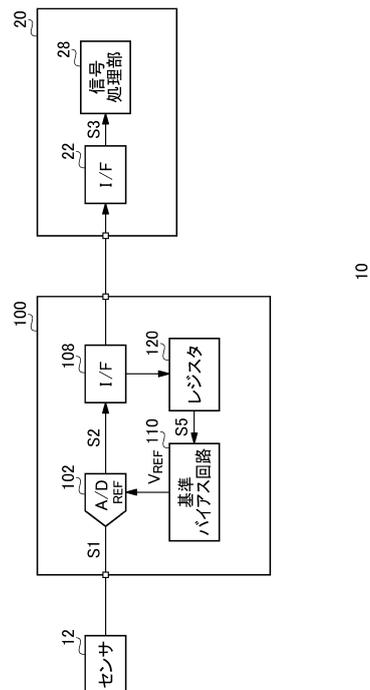
1 0 ... 信号処理システム、 1 2 ... センサ、 2 0 r ... マイコン、 2 0 ... プロセッサ、 2 2 ... インタフェース回路、 2 4 ... 補正処理部、 2 6 ... 補正テーブル、 2 8 ... 信号処理部、 1 0 0 ... A / D コンバータ IC、 1 0 2 ... A / D コンバータ、 1 0 4 ... B G R 回路、 1 0 6 ... バッファ、 1 0 8 ... インタフェース回路、 1 1 0 ... 基準バイアス回路、 1 1 2 ... 基準電圧回路、 1 1 4 ... バッファ回路、 1 2 0 ... レジスタ、 S 1 ... アナログ入力信号、 S 2 ... デジタル信号、 S 5 ... 制御信号、 3 0 0 ... A / D コンバータ IC、 3 0 2 ... マルチプレクサ、 3 0 4 ... アンプ、 3 0 6 ... フィルタ、 3 0 8 ... A / D コンバータ、 3 1 0 ... ロジック回路、 3 1 2 ... インタフェース回路。

20

【 図 1 】

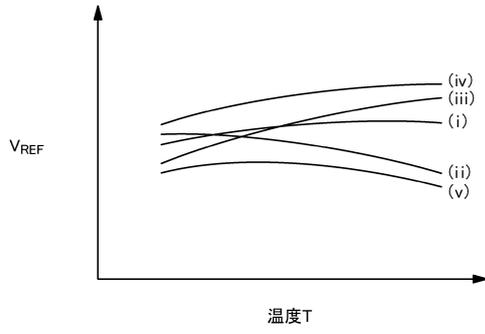


【 図 2 】

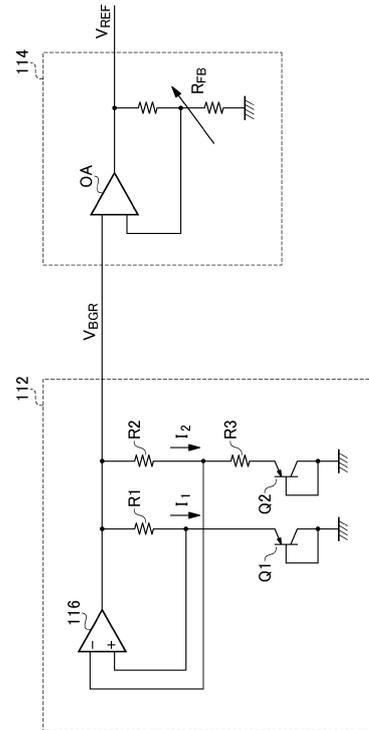


10

【図3】

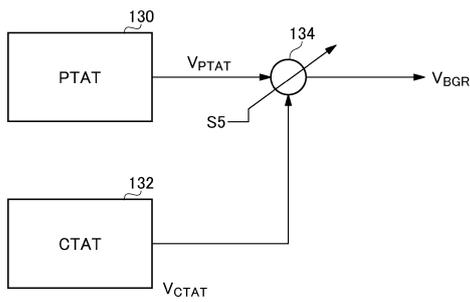


【図4】



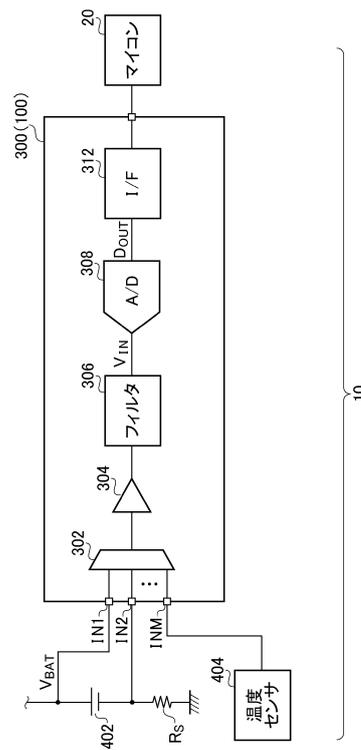
110

【図5】



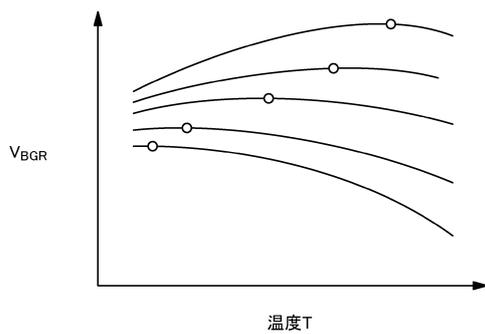
112

【図7】



400

【図6】



フロントページの続き

- (56)参考文献 特開2011-081517(JP,A)
特開2015-172553(JP,A)
特開平10-284949(JP,A)
特開平11-121694(JP,A)
特開2011-086742(JP,A)
特開2016-046617(JP,A)
実開平03-101047(JP,U)
特開2006-165737(JP,A)
特開平02-214310(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88