



(12) 发明专利申请

(10) 申请公布号 CN 116072172 A

(43) 申请公布日 2023. 05. 05

(21) 申请号 202210965862.2

(22) 申请日 2022.08.12

(30) 优先权数据

17/518,153 2021.11.03 US

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 N·S·斯里拉姆 K·马组德尔

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

专利代理师 江泰维

(51) Int. Cl.

G11C 8/10 (2006.01)

G11C 8/04 (2006.01)

G11C 7/10 (2006.01)

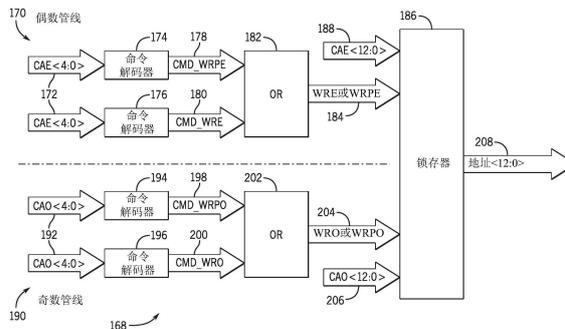
权利要求书2页 说明书9页 附图7页

(54) 发明名称

用于存储器装置的半频电路的经合并命令
解码器

(57) 摘要

本公开涉及用于存储器装置的半频电路的
经合并命令解码器。一种存储器装置包含经配置
以经由多个命令地址位从主机装置接收命令的
命令接口。所述存储器装置还包含经配置以接收
所述命令及确定所述命令是否匹配对应于多个
命令类型的位模式的经合并命令解码器。所述经
合并命令解码器还经配置以响应于所述命令匹
配所述位模式而断言锁存信号。所述存储器装置
还包含经配置以至少部分基于所述锁存信号的
断言捕获所述多个命令地址位的锁存器。



1. 一种存储器装置,其包括:
命令接口,其经配置以经由多个命令地址位从主机装置接收命令;及
经合并命令解码器,其经配置以:
接收所述命令;
确定所述命令是否匹配对应于多个命令类型的位模式;及
响应于所述命令匹配所述位模式,断言锁存信号;以及
锁存器,其经配置以至少部分基于所述锁存信号的断言捕获所述多个命令地址位。
2. 根据权利要求1所述的存储器装置,其中所述锁存器经配置以在用于接收所述命令的系统时钟的周期之后的所述系统时钟的后续周期中捕获所述多个命令地址位。
3. 根据权利要求1所述的存储器装置,其中所述多个命令类型包括写入命令及写入模式命令,且所述命令是写入命令。
4. 根据权利要求1所述的存储器装置,其中所述多个命令类型包括写入命令及写入模式命令,且所述命令是写入模式命令。
5. 根据权利要求1所述的存储器装置,其包括使用从系统时钟分频的第一时钟的第一管线及使用从所述系统时钟分频的第二时钟的第二管线。
6. 根据权利要求5所述的存储器装置,其中所述经合并命令解码器在所述第一管线中。
7. 根据权利要求6所述的存储器装置,其中所述第二管线包括经配置用于以下操作的第二经合并命令解码器:
接收第二命令;
确定所述第二命令是否匹配对应于第二多个命令类型的第二位模式;及
响应于所述第二命令匹配所述第二位模式,断言第二锁存信号,其中所述锁存器经配置以至少部分基于所述第二锁存信号的断言捕获位。
8. 根据权利要求7所述的存储器装置,其中所述位模式与所述第二位模式匹配。
9. 根据权利要求7所述的存储器装置,其中所述多个命令类型包括写入及写入模式命令,且所述第二多个命令类型包括写入及写入模式命令。
10. 根据权利要求7所述的存储器装置,其包括:传输路径,所述传输路径经配置以沿着所述第二管线传输不在所述第二位模式中的所述第二命令的位以在所述第二多个命令类型之间进行区分。
11. 根据权利要求1所述的存储器装置,其包括:传输路径,所述传输路径经配置以沿着一管线传输不在所述位模式中的所述命令的位以使所述存储器装置能够在所述多个命令类型之间进行区分。
12. 一种存储器装置,其包括:
偶数管线,其经配置以使用从系统时钟分频的偶数时钟接收从多个命令地址位捕获的偶数命令,其中所述偶数管线包括经配置用于以下操作的偶数经合并命令解码器:
接收所述偶数命令;
确定所述偶数命令是否匹配对应于第一多个命令类型的第一位模式;及
响应于所述偶数命令匹配所述第一位模式,断言第一锁存信号;及
奇数管线,其经配置以使用从所述系统时钟分频的奇数时钟接收从所述多个命令地址位捕获的奇数命令,其中所述奇数管线包括经配置用于以下操作的奇数经合并命令解码

器：

接收所述奇数命令；

确定所述奇数命令是否匹配对应于第二多个命令类型的第二位模式；及

响应于所述奇数命令匹配所述第二位模式，断言第二锁存信号；以及

锁存器，其经配置以至少部分基于所述第一锁存信号的断言捕获对应于所述偶数管线的所述多个命令地址位的偶数命令位及至少部分基于所述第二锁存信号的断言捕获对应于所述奇数管线的所述多个命令地址位的奇数命令位。

13. 根据权利要求12所述的存储器装置，其中所述第一多个命令类型与所述第二多个命令类型相同。

14. 根据权利要求12所述的存储器装置，其中所述第一多个命令类型包括写入及写入模式命令。

15. 根据权利要求12所述的存储器装置，其中所述第二多个命令类型包括写入及写入模式命令。

16. 根据权利要求12所述的存储器装置，其包括：偶数传输线，所述偶数传输线经配置以传输在所述第一多个命令类型的命令类型之间不同的位。

17. 根据权利要求12所述的存储器装置，其包括：奇数传输线，所述奇数传输线经配置以传输在所述第二多个命令类型的命令类型之间不同的位。

18. 一种在存储器装置中捕获位的方法，其包括：

在所述存储器装置处接收对应于命令的多个命令地址位；

在第一命令解码器中解码所述多个命令地址位的子集以确定所述命令是否对应于与第一命令类型及第二命令类型两者对应的位模式；及

基于确定所述命令对应于所述位模式，将锁存信号从所述第一命令解码器传输到锁存器，所述锁存器经配置以基于所述锁存信号捕获所述多个命令地址位中的至少一些。

19. 根据权利要求18所述的方法，其中所述第一命令类型包括写入命令，且所述第二命令类型包括写入模式命令。

20. 根据权利要求18所述的方法，其中所述命令在所述存储器装置的第一管线中捕获到。

21. 根据权利要求19所述的方法，其包括：

在所述存储器装置的第二管线处接收对应于后续命令的后续多个命令地址位；

在所述第二管线中的第二命令解码器中解码所述多个命令地址位的后续子集以确定所述后续命令是否对应于所述位模式；及

基于确定所述后续命令对应于所述位模式，将额外锁存信号从所述第二命令解码器传输到锁存器，所述锁存器经配置以基于所述额外锁存信号捕获所述多个命令地址位中的至少一些。

用于存储器装置的半频电路的经合并命令解码器

技术领域

[0001] 本公开的实施例大体上涉及半导体装置领域。更明确来说,本公开的实施例涉及用于存储器装置的半频电路的经合并命令解码器。

背景技术

[0002] 半导体装置(例如存储器装置)利用时序与数据信号、数据选通、命令及/或其它信号的移位来执行操作。命令使用命令地址位来解码及捕获。一些存储器装置利用双周期命令,如写入(WR)及写入模式(WRP)命令,其使用将基于经解码命令在第二周期中捕获的共同地址位。在一些较新存储器装置的更高速下,在规定时间内正确完成在第二周期中捕获这些共同地址位是具有挑战性的。此外,工艺电压温度(PVT)变化减小用于地址位的窗口,从而进一步使命令地址位的捕获复杂化。针对三维堆叠的(3DS)电路,信号可穿过线接合而增加进一步变化,因此进一步减小此窗口。换句话说,随着窗口缩减,命令地址位变得更难以捕获。在更高频率下,此捕获在至少一些存储器装置中可为不切实际或不可行的。

[0003] 本公开的实施例可涉及上文陈述的问题中的一或多个者。

发明内容

[0004] 根据本公开的一方面,提供一种存储器装置。所述存储器装置包括:命令接口,其经配置以经由多个命令地址位从主机装置接收命令;及经合并命令解码器,其经配置以:接收所述命令;确定所述命令是否匹配对应于多个命令类型的位模式;及响应于所述命令匹配所述位模式,断言锁存信号;以及锁存器,其经配置以至少部分基于所述锁存信号的断言捕获所述多个命令地址位。

[0005] 根据本公开的另一方面,提供一种存储器装置。所述存储器装置包括:偶数管线,其经配置以使用从系统时钟分频的偶数时钟接收从多个命令地址位捕获的偶数命令,其中所述偶数管线包括经配置用于以下操作的偶数经合并命令解码器:接收所述偶数命令;确定所述偶数命令是否匹配对应于第一多个命令类型的第一位模式;及响应于所述偶数命令匹配所述第一位模式,断言第一锁存信号;及奇数管线,其经配置以使用从所述系统时钟分频的奇数时钟接收从所述多个命令地址位捕获的奇数命令,其中所述奇数管线包括经配置用于以下操作的奇数经合并命令解码器:接收所述奇数命令;确定所述奇数命令是否匹配对应于第二多个命令类型的第二位模式;及响应于所述奇数命令匹配所述第二位模式,断言第二锁存信号;以及锁存器,其经配置以至少部分基于所述第一锁存信号的断言捕获对应于所述偶数管线的所述多个命令地址位的偶数命令位及至少部分基于所述第二锁存信号的断言捕获对应于所述奇数管线的所述多个命令地址位的奇数命令位。

[0006] 根据本公开的又一方面,提供一种在存储器装置中捕获位的方法。所述方法包括:在所述存储器装置处接收对应于命令的多个命令地址位;在第一命令解码器中解码所述多个命令地址位的子集以确定所述命令是否对应于与第一命令类型及第二命令类型两者对应的位模式;及基于确定所述命令对应于所述位模式,将锁存信号从所述第一命令解码器

传输到锁存器,所述锁存器经配置以基于所述锁存信号捕获所述多个命令地址位中的至少一些。

附图说明

[0007] 图1是说明根据本公开的实施例的具有经合并命令解码器的存储器装置的特定特征的简化框图;

[0008] 图2是展示根据实施例的两种不同命令类型的命令地址位的捕获的时序图;

[0009] 图3是根据实施例的可用于实施图2的时序图的电路系统的框图;

[0010] 图4是根据实施例的包含偶数管线及奇数管线的存储器装置的半频模式的框图,所述半频模式相较于图3已降低匹配要求但使命令解码器的数目加倍;

[0011] 图5是根据实施例的在两个命令之间具有共同命令位模式的经编码命令的表;

[0012] 图6是根据实施例的包含偶数管线及奇数管线的存储器装置的半频模式的框图,所述半频模式利用经合并命令解码器;以及

[0013] 图7是根据实施例的图6的半频模式的时序图。

具体实施方式

[0014] 下文将描述一或多个特定实施例。为了提供这些实施例的简洁描述,说明书中未描述实际实施方案的所有特征。应了解,在任何此类实际实施方案的开发中,如在任何工程设计或设计项目中,必须作出众多实施方案特定决策以实现开发者的特定目标,例如符合可因实施方案而异的系统相关及商业相关约束。此外,应了解,此开发努力可能是复杂且耗时的,但对于受益于本公开的所属领域的一般技术人员,这仍是设计及制造 (fabrication/manufacture) 的例行任务。

[0015] 如先前指出,共享命令地址位可能由于各种因素(例如存储器装置速度、PVT变化及3DS结构)在初始位解码之后的后续周期中难以捕获。为了处理较窄时序要求,存储器装置可捕获用于两个或更多个命令(例如WR及WRP)的共同位。然而,如果用于两个命令的不同命令路径不正确匹配,那么在快速时钟周期(t_{CK})下,难以在用于这些命令的地址锁存器中满足设置/保持时序要求。此外,此匹配在至少一些存储器装置中可为不切实际或不可行的。一些存储器装置可为利用以降低的速度(即,系统时钟的一半)运行且使用系统时钟的交替脉冲的两个管线(偶数及奇数)的半频装置。由于降低的速度会增加命令地址位时序窗口,因此半频共同命令路径无需匹配。然而,在双管线之间拆分命令可复制(例如,加倍)用于管线中的每一者的至少某电路系统(例如命令解码器)。为了减轻此额外管线电路系统的必要性,一些存储器装置可折叠某电路系统(例如命令解码器)以解码来自在两个命令之间常见的共同位模式的单个结果以标记两个命令中的一者已被接收到。换句话说,两个命令共享除一个(或多个)命令地址位以外的所有位中的模式。解码器确定两个命令中的一者已被接收到且在第二周期中捕获共同命令位。在两个命令之间不同的剩余位(例如 $CA<2>$)也可被捕获且用于区分第二周期位下游的两个命令。在一些实施例中,第二周期命令可能延迟,但此类延迟可使用回退计时来补偿。

[0016] 现转到图,图1是说明存储器装置10的特定特征的简化框图。明确来说,图1的框图是说明存储器装置10的特定功能性的功能框图。根据一个实施例,存储器装置10可为DDR5

SDRAM装置。DDR5 SDRAM的各个特征允许相较于前几代DDR SDRAM的减小的功耗、更大的带宽及更大的存储容量。

[0017] 存储器装置10可包含数个存储器存储体12。例如,存储器存储体12可为DDR5 SDRAM存储器存储体。存储器存储体12可经提供于经布置在双列直插式存储器模块(DIMMS)上的一或多个芯片(例如SDRAM芯片)上。如应了解,每一DIMM可包含数个SDRAM存储器芯片(例如x8或x16存储器芯片)。每一SDRAM存储器芯片可包含一或多个存储器存储体12。存储器装置10表示具有数个存储器存储体12的单个存储器芯片(例如SDRAM芯片)的一部分。针对DDR5,存储器存储体12可进一步经布置以形成存储体群组。例如,针对8千兆字节(Gb)DDR5 SDRAM,存储器芯片可包含布置成8个存储体群组的16个存储器存储体12,每一存储体群组包含2个存储器存储体。例如,针对16Gb DDR5 SDRAM,存储器芯片可包含布置成8个存储体群组的32个存储器存储体12,每一存储体群组包含4个存储器存储体。可取决于整体系统的应用及设计利用存储器装置10上的存储器存储体12的各种其它配置、组织及大小。

[0018] 存储器装置10可包含命令接口14及输入/输出(I/O)接口16。命令接口14经配置以从例如可体现为处理器及/或其它主机装置的控制器的外部主机装置提供数个信号(例如信号15)。处理器或控制器可将各种信号15提供给存储器装置10以促进将写入到存储器装置10或从存储器装置10读取的数据的传输及接收。

[0019] 如应了解,命令接口14可包含数个电路,例如时钟输入电路18及命令地址输入电路20,例如以确保信号15的正确处置。命令接口14可从外部装置接收一或多个时钟信号。通常,双倍数据速率(DDR)存储器利用系统时钟信号的差分对,在本文中称为真时钟信号(C1k_t)及互补或条状时钟信号(C1k_c)。DDR的正时钟边缘指代其中上升真时钟信号C1k_t与下降条状时钟信号C1k_c交叉的点,而负时钟边缘指示下降真时钟信号C1k_t的转变及条状时钟信号C1k_c的上升。通常在时钟信号的正边缘上键入命令(例如,读取命令、写入命令等),且在正及负时钟边缘两者上传输或接收数据。

[0020] 时钟输入电路18接收真时钟信号(C1k_t)及条状时钟信号(C1k_c)并产生内部时钟信号CLK。内部时钟信号CLK经供应到内部时钟产生器,例如延迟锁相环路(DLL)30。DLL 30基于接收到的内部时钟信号CLK产生相位可控内部时钟信号LCLK。相位可控内部时钟信号LCLK经供应到(例如)I/O接口16,且用作用于确定读取数据的输出时序的时序信号。

[0021] 内部时钟信号/相位CLK还可经提供给存储器装置10内的各种其它组件且可用于产生各种额外内部时钟信号。例如,内部时钟信号CLK可经提供给命令解码器32。命令解码器32可从命令总线34接收命令信号且可解码命令信号以提供各种内部命令。例如,命令解码器32可经由总线36将命令信号提供给DLL 30以协调相位可控内部时钟信号LCLK的产生。例如,相位可控内部时钟信号LCLK可用于对通过I/O接口16的数据进行时控。

[0022] 此外,命令解码器32可解码命令,例如读取命令、写入命令、模式寄存器设置命令、激活命令等,并经由总线路径40提供对对应于命令的特定存储器存储体12的存取。另外或替代地,命令解码器可将内部写入信号41发送到I/O接口16。如应了解,存储器装置10可包含各种其它解码器,例如行解码器及列解码器,以促进对存储器存储体12的存取。在一个实施例中,每一存储器存储体12包含存储体控制块22,其提供必要解码(例如行解码器及列解码器),以及其它特征,例如时序控制及数据控制,以促进到及来自存储器存储体12的命令的执行。

[0023] 存储器装置10基于从外部装置(例如处理器)接收到的命令/地址信号执行例如读取命令及写入命令等的操作。在一个实施例中,命令/地址总线可为适应命令/地址信号(CA<13:0>)的14位总线。使用时钟信号(Clk_t及Clk_c)将命令/地址信号时控到命令接口14。命令接口可包含命令地址输入电路20,其经配置以接收及传输命令以通过(例如)命令解码器32提供对存储器存储体12的存取。另外,命令接口14可接收芯片选择信号(CS_n)。CS_n信号使存储器装置10能够处理传入CA<13:0>总线上的命令。对存储器装置10内的特定存储体12的存取与命令一起编码于CA<13:0>总线上。如先前论述,命令解码器32可包含至少一个经合并命令解码器(MCD)50,其使用共同命令地址位解码多个命令(例如WR及WRP)以在使用半频命令增强2周期命令捕获时减少管线冗余。

[0024] 另外,命令接口14可经配置以接收数个其它命令信号。例如,裸片端接命令/地址(CA_ODT)信号可经提供以促进存储器装置10内的正确阻抗匹配。复位命令(RESET_n)可用于在(例如)加电期间复位命令接口14、状态寄存器、状态机等。命令接口14还可接收命令地址反转(CAI)信号,其可经提供以(例如)取决于用于特定存储器装置10的命令/地址路由而反转命令/地址总线上的命令/地址信号CA<13:0>的状态。镜像(MIR)信号也可经提供以促进镜像功能。MIR信号可用于多路复用信号使得其可基于多个存储器装置在特定应用中的配置经交换以实现信号到存储器装置10的特定路由。也可提供用以促进存储器装置10的测试的各种信号,例如测试启用(TEN)信号。例如,TEN信号可用于将存储器装置10置于测试模式中以进行连接性测试。

[0025] 命令接口14还可用于针对可检测到的特定错误将警报信号(ALERT_n)提供给系统处理器或控制器。例如,如果检测到循环冗余校验(CRC)错误,那么可从存储器装置10传输警报信号(ALERT_n)。也可产生其它警报信号。此外,用于从存储器装置10传输警报信号(ALERT_n)的总线及引脚在例如使用TEN信号执行的连接性测试模式的特定操作期间可用作输入引脚,如上文描述。

[0026] 利用上文论述的命令及计时信号,通过经由IO接口16传输及接收信号44(例如数据及/或用于捕获数据的选通),可将数据发送到存储器装置10及从存储器装置10发送数据。更明确来说,可经由数据路径46将数据发送到存储器存储体12或从存储器存储体12检索数据,所述数据路径46包含多个双向数据总线。通常称为DQ信号的数据IO信号通常在一或多个双向数据总线中传输及接收。针对特定存储器装置,例如DDR5SDRAM存储器装置,IO信号可划分成高位字节及低位字节。例如,针对x16存储器装置,IO信号可划分成对应于(例如)数据信号的高位字节及低位字节的高及低IO信号(例如,DQ<15:8>及DQ<7:0>)。

[0027] 为了允许存储器装置10内的较高数据速率,例如DDR存储器装置的特定存储器装置可利用数据选通信号,通常称为DQS。DQS由发送数据(例如,针对写入命令)的外部处理器或控制器驱动或由存储器装置10(例如,针对读取命令)驱动。针对读取命令,DQS实际上是具有预定模式的额外数据输出(DQ)信号。针对写入命令,DQS用作用以捕获对应输入数据的时钟信号。如同时钟信号(Clk_t及Clk_c),DQS可经提供为用以在读取及写入期间提供差分对信令的数据选通信号差分对(DQS_t及DQS_c)。针对特定存储器装置,例如DDR5 SDRAM存储器装置,DQS差分对可划分成对应于(例如)发送到存储器装置10及从存储器装置10发送的数据的高位字节及低位字节的高位及低位数据选通信号(例如UDQS_t及UDQS_c;LDQS_t及LDQS_c)。

[0028] 也可通过I0接口16将阻抗(ZQ)校准信号提供给存储器装置10。ZQ校准信号可经提供给参考引脚且用于通过跨工艺、电压及温度(PVT)值的变化调整存储器装置10的上拉及下拉电阻器来调谐输出驱动器及ODT值。因为PVT特性可能会影响ZQ电阻器值,所以ZQ校准信号可经提供给ZQ参考引脚以用于调整电阻来将输入阻抗校准到已知值。如应了解,精密电阻器通常耦合于存储器装置10上的ZQ引脚与存储器装置10外部的GND/VSS之间。此电阻器充当用于调整内部ODT及I0引脚的驱动强度的参考。

[0029] 另外,可通过I0接口16将环回信号(LOOPBACK)提供给存储器装置10。在测试或调试阶段期间,可使用环回信号来将存储器装置10设置成其中信号通过相同引脚环回通过存储器装置10的模式。例如,环回信号可用于设置存储器装置10来测试存储器装置10的数据输出(DQ)。环回可包含数据及选通两者或可能仅包含数据引脚。此通常意在用于监测由存储器装置10在I0接口16处捕获的数据。

[0030] 如应了解,也可将例如电力供应器电路(用于接收外部VDD及VSS信号)、模式寄存器(用以定义各种模式的可编程操作及配置)、读取/写入放大器(用以在读取/写入操作期间放大信号)、温度传感器(用于感测传感器装置10的温度)等的各种其它组件并入到存储器装置10中。因此,应理解,提供图1的框图仅用来强调存储器装置10的某些功能特征以帮助进行后续详细描述。

[0031] 图2是使用用于解码唯一命令地址位以确定特定命令的单独解码器的两个命令的时序图100。时序图100包含外部命令地址位102与其对应命令。外部命令地址位102中的至少一些指定特定命令,例如写入(WR)命令104及写入模式(WRP)命令106。每一命令可在真实时钟信号(Clk_t)110的一或多个时钟周期(tCK)108内被断言。例如,针对3200MHz的时钟,1tCK可为312ps,但其它时钟频率及tCK在一些存储器装置中可为合适的。时序图100还展示命令解码器32处的窗口112。窗口112展示其中可正确地捕获到命令地址位的有效命令地址窗口。如说明,至少一些窗口112具有小于1tCK的持续时间114。举例来说,针对3200MHz时钟,持续时间114可为260ps或小于312ps的任何其它值。

[0032] 时序图100还展示第一命令116。例如,第一命令116可对应于从来自外部命令地址位102的WR命令104解码且到达锁存器的WR命令,如通过脉冲118说明。如说明,脉冲118的上升边缘具有从对应窗口112开始的设置时间120及直到对应窗口112结束为止的保持时间122。例如,设置时间120可为150ps,而保持时间122可为110ps。

[0033] 时序图100还展示第二命令124。例如,第二命令124可包含从来自外部命令地址位102的WRP命令106解码且到达锁存器的WRP命令,如通过脉冲126说明。如说明,脉冲126的上升边缘具有从对应窗口112开始的设置时间128及直到对应窗口112结束为止的保持时间130。例如,设置时间128可为200ps,而保持时间130可为60ps。在一些规范中,保持时间130可超出规范,这意味着用于第二命令124的捕获时间已失败及/或可能会失败。列地址可经延迟以致使捕获第二命令124通过。然而,此延迟可致使第一命令116的捕获失败。因此,两个命令路径都应更精确地匹配或列地址及第一命令116两者都必须被延迟。然而,向关键路径添加延迟门会引入额外PVT变化。

[0034] 图3是用于基于经解码命令解码及捕获命令地址位的电路系统的框图140。CA位的位142的第一部分(例如,12或13个中的5个)在命令解码器144及146处接收。命令解码器144解码第一类型的命令(例如WRP命令)以产生及输出第一经解码命令信号148(例如CMD_

WRP)。命令解码器146解码第二类型的命令(例如WR命令)以产生及输出第二经解码命令信号150。由于被解码的任一命令类型指示CA位158的第二部分将在第二周期内被捕获,因此第一经解码命令信号148及第二经解码命令信号150被传输到OR门152。如果第一经解码命令信号148或第二经解码命令信号150被断言,那么OR门152的输出WRorWRP 154被断言。OR门152的此输出作为触发器156的时钟被传输到触发器156。因此,WRorWRP 154的断言用于将CA位158捕获到触发器156中以锁存及输出捕获的地址160。由于两种命令类型都用于捕获CA位158的共同第二部分,因此两个路径必须正确匹配以确保CA位158的第二部分被正确捕获。失配的任何失败可至少部分归因PVT变化、3DS的使用及/或存储器装置的时钟速度。

[0035] 为了确保CA位158被正确捕获,传入命令可在以 $1t_{CK}/N$ 的较低频率操作的N(例如2)个管线之间拆分以扩展窗口112。图4是用于使用经解码命令经由半频电路系统解码及捕获命令地址位的电路系统的框图168。

[0036] 偶数管线170在命令解码器174及176处接收CA位的位172的第一部分(例如13个中的5个)。命令解码器174解码第一类型的命令(例如WRP偶数(WRPE)命令)以产生及输出用于偶数管线170的第一经解码命令信号178(例如CMD_WRPE)。命令解码器176解码第二类型的命令(例如WR偶数(WRE)命令)以产生及输出第二经解码命令信号180(例如CMD_WRE)。由于被解码的任一命令类型指示CA位188的第二部分将在偶数管线170的第二周期内捕获,因此第一经解码命令信号178及第二经解码命令信号180被传输到OR门182。如果第一经解码命令信号178或第二经解码命令信号180被断言,那么OR门182的输出184, WREorWRPE, 被断言。OR门182的此输出184的断言被传输到锁存器186且用于将CA位188捕获到锁存器186中以在偶数管线170中捕获命令地址位。

[0037] 奇数管线190在命令解码器194及196处接收CA位的位192的第一部分(例如13个中的5个)。命令解码器194解码第三类型的命令(例如WRP奇数(WRPO)命令)以产生及输出第三经解码命令信号198(例如CMD_WRPO)。命令解码器196解码第四类型的命令(例如WR奇数(WRO)命令)以产生及输出第四经解码命令信号200(例如CMD_WRO)。由于被解码的第三或第四命令类型中的任一者指示CA位206将在第二周期内捕获于锁存器186中,因此第三经解码命令信号198及第四经解码命令信号200被传输到OR门202。如果第三经解码命令信号198或第四经解码命令信号200被断言,那么OR门202的输出204WR0orWRPO被断言。OR门202的输出204的此断言被传输到锁存器186且用于将CA位206的第三部分捕获到锁存器186中。如说明,锁存器186可为专用锁存器,其用于从偶数管线170及奇数管线190两者锁存以产生经锁存地址208。如先前论述,此半频实施方案可使窗口112的宽度加倍,从而使存储器装置10能在若干对不同的命令类型的路径之间具有不太精确的匹配。然而,相较于图3在图4中的双管线之间进行电路系统的复制(例如加倍)会提高成本及/或提高存储器装置10中的面积成本。

[0038] 然而,归因于双管线的额外电路系统的此实施方案可使用经合并命令解码器来缓解,经合并命令解码器输出是否接收到用于指示至少一些命令地址位将在经解码命令位在第一周期中被捕获之后在第二周期内被捕获的两个或更多个命令的指示。在第一周期中捕获的命令位可在第二周期中被重新捕获或可来自第二周期的其它值取代。

[0039] 图5展示具有在第一周期中共享除了单个位230外的共同位228的两个命令224及226的表220。解码这些命令224及226中的任一者指示额外位(例如CA<12:0>)将从命令地址

总线捕获。因此,单个经合并命令解码器可用于快速确定额外位是否将从用于命令中的任一者的命令地址总线捕获。为了维持两个命令之间的分离,可将位(例如位230)发送到下游以稍后在管线中将命令224与226彼此区分开。

[0040] 图6是用于使用一或多个经合并命令解码器解码及捕获命令地址位的电路系统的框图240。偶数管线242在经合并命令解码器246处接收CA位的位的第一部分244(例如13个中的5个)。经合并命令解码器246解码:传入命令(例如WR及WRPE命令)匹配偶数管线242中的模式。例如,除了数个(例如,1个、2个、3个或更多个)传入命令位之外,所有传入命令位都匹配特定位模式。当检测到位模式时,经合并命令解码器246指示传入命令是对应于所述模式的命令中的一者。此外,由于对应于所述模式的命令指示额外位将从命令总线捕获,因此经合并命令解码器246输出锁存信号248,其致使锁存器250在后续(例如第二)时钟周期中从偶数管线242捕获位(例如CA<12:0>)252。

[0041] 奇数管线254在经合并命令解码器258处接收命令总线的CA位的位的第一部分256(例如13个中的5个)。如同经合并命令解码器246,经合并命令解码器258解码:传入命令(例如WR及WRP0命令)匹配某一模式,但是在奇数管线254中。例如,除了数个(例如,1个、2个、3个或更多个)传入命令位之外,所有传入命令位都匹配特定位模式。经合并命令解码器246及258的特定位模式可为相同的。当检测到位模式时,经合并命令解码器258指示传入命令是对应于所述模式的命令中的一者。此外,由于对应于所述模式的命令指示位将从命令总线捕获,因此经合并命令解码器258输出锁存信号262,其致使锁存器250在后续时钟周期中从奇数管线254捕获位(例如CA<12:0>)262。

[0042] 锁存于锁存器250中的最近值被输出作为输出列地址位264。然而,由于经合并命令解码器246及258的输出对于至少两个命令的每一者来说是通用的,因此区分位266及/或268可被发送到下游以在它们的结果操作将被执行时将所述命令区分开。在一些实施例中,经合并命令解码器246可基于在锁存信号248被断言时接收到的值驱动区分位266,且经合并命令解码器258可基于在锁存信号262被断言时接收到的值驱动区分位268。否则,经合并命令解码器246及经合并命令解码器258可将其输出保持在指示没有输出被传输的某个预定值。替代地,区分位266及268两者都可通过逻辑门来驱动,所述逻辑门用于通过将区分位266与锁存信号248进行OR运算及将区分位268与锁存信号262进行OR运算并对此类OR门的结果进行OR运算作为所传输的OR输出来门控其输出。尽管区分位266及268被展示为从相应经合并命令解码器246及258传输,但存储器装置10的其它实施例可从相应偶数管线242及奇数管线254中的其它位置导出区分位266及/或268。例如,区分位266及268可硬接线到在对应于经合并命令解码器246及258的命令方面有所不同的传入部分244及256的相应位。

[0043] 如先前论述,此半频实施方案可使窗口112的宽度加倍,从而使存储器装置10能在若干对不同的命令类型的路径之间具有不太精确的匹配。然而,图6的电路系统提供此益处而未相较于图3使在图4中实施的电路系统加倍。

[0044] 图7是使用用于解码命令地址位的模式以确定接收到的命令是对应于所述模式的多个(例如2个)命令中的一者的经合并解码器的两个命令的时序图300。时序图300包含外部命令地址位302与其对应命令。命令地址位指定特定命令,例如写入(WR)命令304及写入模式(WRP)命令306。每一命令可在真实时钟信号(Clk_t)310的一或多个时钟周期(tCK)308内被断言。例如,针对3200MHz的时钟,1tCK可为312ps,但其它时钟频率及tCK在一些存储器

装置可为合适的。由于图6的存储器装置10是半频电路,因此时序图300包含用于偶数管线242的具有2个tCK的时钟周期312的偶数时钟314。尽管未展示奇数管线254的奇数时钟,但奇数时钟具有与偶数时钟相同的频率且180度异相。

[0045] 时序图300还展示在经合并命令解码器246及258处具有一持续时间318的有效窗口316。窗口316展示其中可正确地捕获到命令地址位的有效命令地址窗口。如说明,每一窗口316具有小于2tCK(例如570ps)的持续时间318。换句话说,捕获窗口使用半频管线化进行扩展,而无需图4中使用的额外命令解码器。换句话说,利用经合并命令实施方案的存储器装置10可具有与利用图4的命令解码器的存储器装置相关联的小得多的布局大小及/或成本。然而,其它因素可用于选择图4的实施例以在至少一些存储器装置10中实施。

[0046] 时序图300还展示对应于锁存信号248的经合并命令线320。锁存信号248/经合并命令线320可用于指示第一命令类型(例如WR命令)或第二命令类型(例如WRP命令)是否被解码及是否被传输到锁存器260。在一些实施例中,锁存信号248及260可对应于多于两种命令类型。当接收到对应于锁存信号248/经合并命令线320的命令类型中的一者时,锁存信号248/经合并命令线320具有对应脉冲。例如,脉冲322对应于第一命令类型,而脉冲328对应于第二命令类型。如说明,脉冲322的上升边缘具有从对应窗口316开始的设置时间324及直到对应窗口316结束为止的保持时间326。例如,设置时间324可为200ps,而保持时间326可为370ps。如说明,脉冲328的上升边缘具有从对应窗口316开始的设置时间330及直到对应窗口316结束为止的保持时间332。例如,设置时间330可为200ps,而保持时间332可为370ps。在一些规范中,当使用全频电路时,保持时间332可超出规范,但在图6中说明的半频电路中由于扩展的持续时间318,保持时间332不会超出规范。

[0047] 合并命令解码意味着共同信号载送两个或更多个命令,例如WR及WRP命令的信息。如先前指出,这些命令可沿管线分离,这是因为两者可具有不同的功能要执行。举例来说,WR命令从DQ收集数据并将其写入到存储器阵列中。而WRP命令收集存储于寄存器中的数据/模式并将其写入到存储器阵列中。如先前指出,区分两个命令可通过用第一周期命令捕获来捕获一或多个位(例如CA<2>位)而容易地实现。举例来说,针对WRP,CA<2>可为低,且针对WR,CA<2>可为高。接着,此捕获到的CA<2>位可用于将第二周期命令信息区分为单独WR或WRP命令同时正确地捕获第二周期命令信息。为了实现此分离,可将第二周期共同命令延迟。延迟高速逻辑命令可为没有问题的,这是因为半频电路可为自适应回退方案提供足够的设置裕度。因此,此经延迟2-tCk宽命令可通过经延迟回退时钟捕获。此基于半频电路的回退方案的步长大小是全频的步长大小的两倍。因此,此回退方案可在没有回退方案的任何额外延迟阶段的情况下实施以补偿归因于命令分离的延时。

[0048] 虽然本公开可具有各种修改及替代形式,但图中已通过实例展示特定实施例且本文中已详细描述特定实施例。然而,应理解,本公开不希望受限于所公开的特定形式。确切来说,本公开希望涵盖落于由以下所附权利要求书界定的本公开的精神及范围内的所有修改、等效物及替代物。

[0049] 参考本文呈现及主张的技术且将其应用于具有实际性质的物质对象及具体实例,其明确改进本技术领域且因而不是抽象、无形或纯理论的。此外,如果本说明书末尾所附的任何权利要求含有表示为“用于[执行][功能]的构件”或“用于[执行][功能]的步骤”的一或多个元件,那么希望此类元件依据35 U.S.C.112(f)来解译。然而,对于含有以任何其它

方式表示的元件的任何权利要求, 希望不依据35 U.S.C.112 (f) 来解译此类元件。

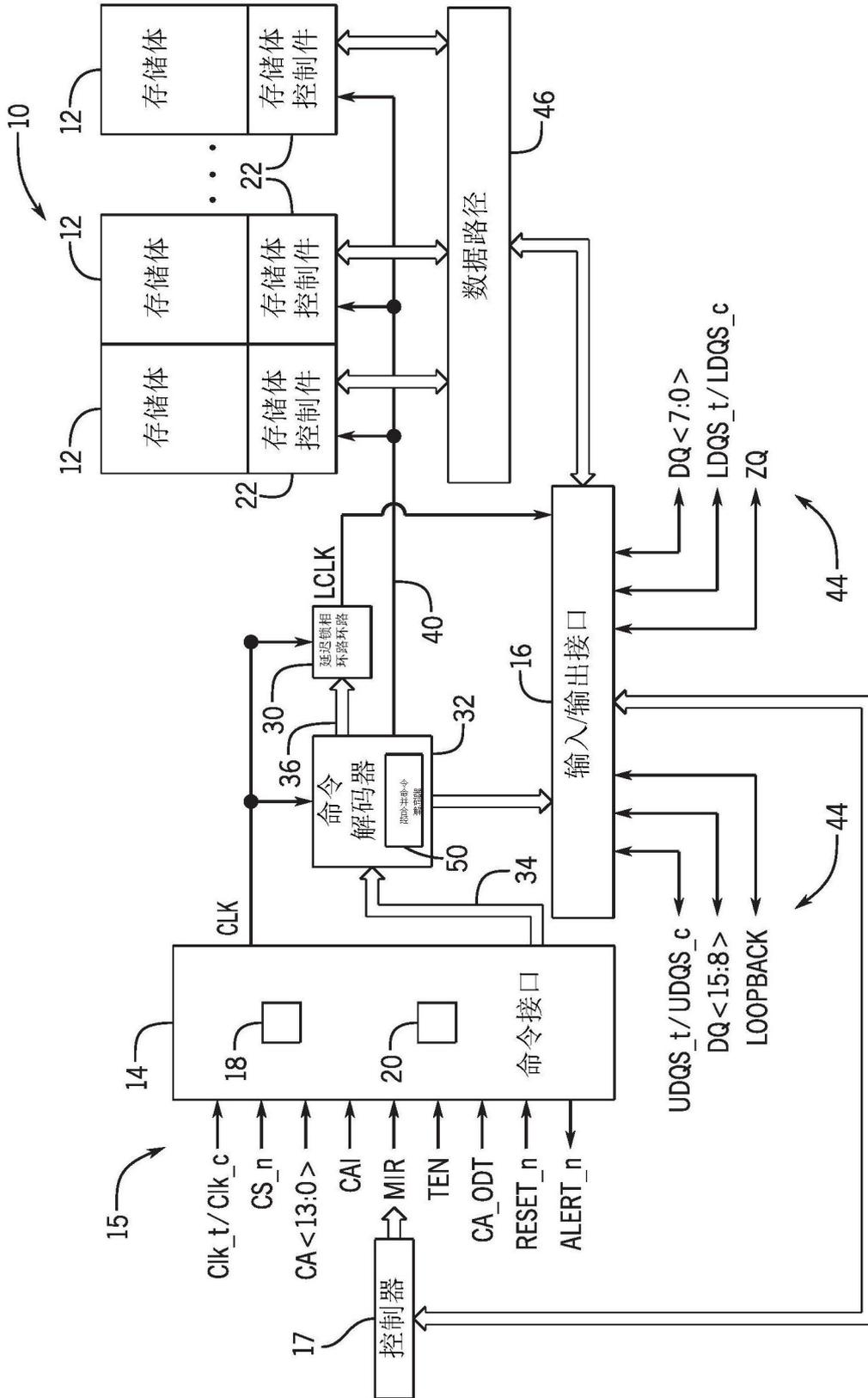


图1

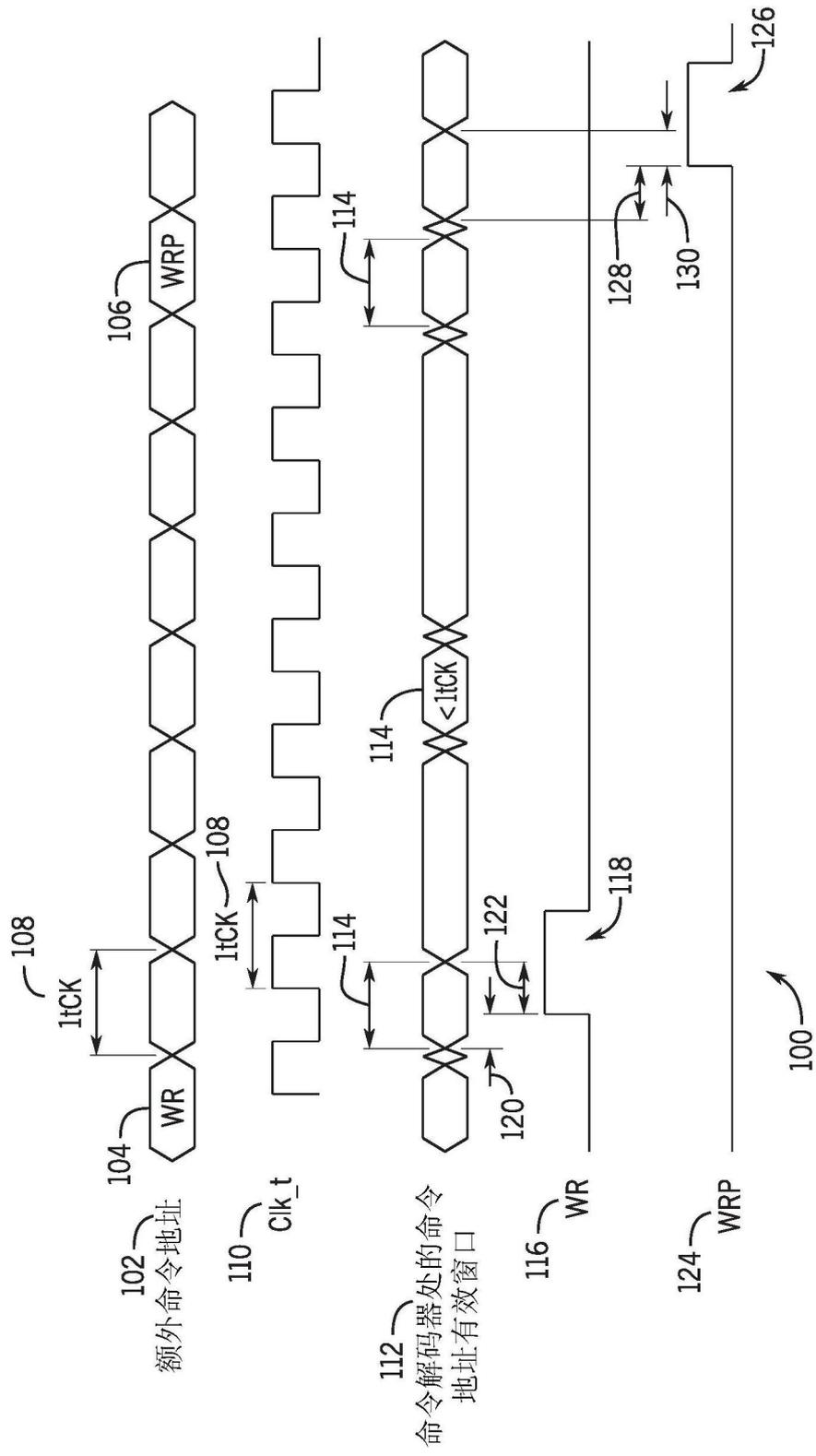


图2

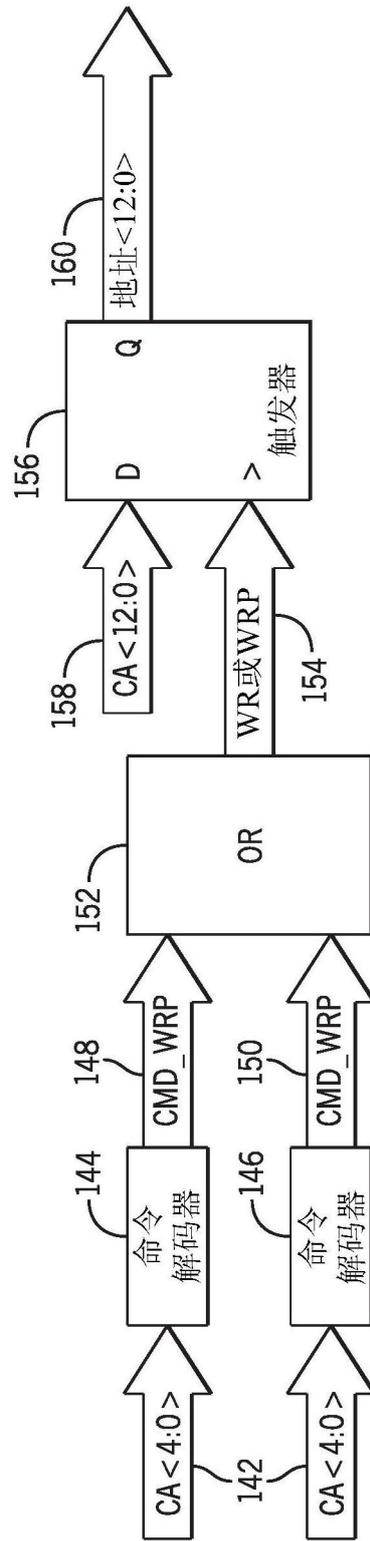


图3

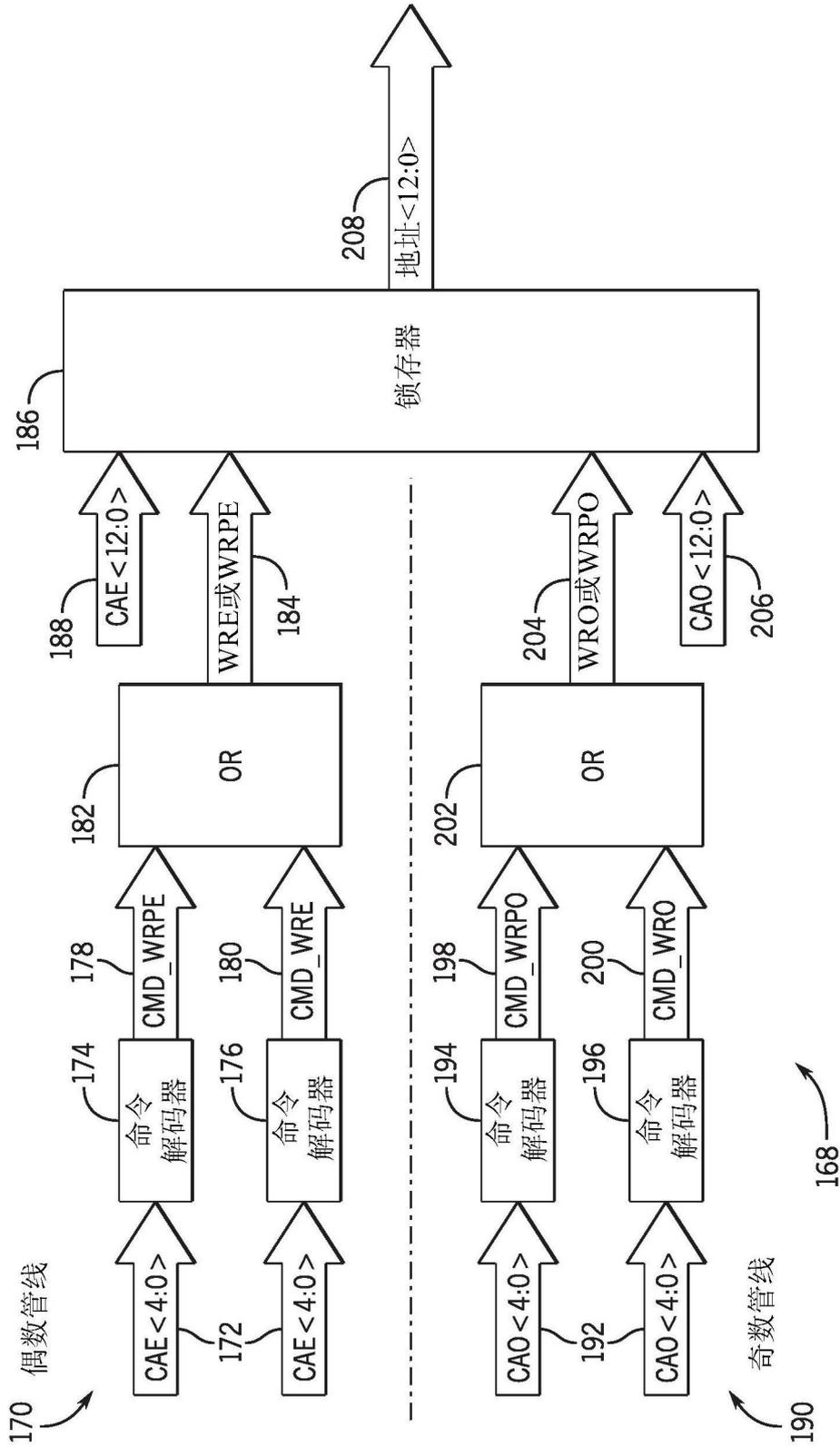


图4

功能	缩写	230					
		CS	CA 0	CA 1	CA 2	CA 3	CA 4
写入模式 (零) <u>224</u>	WRP	L	H	L	L	H	L
		H	V	C3	C4	C5	C6
写入 <u>226</u>	WR	L	H	L	H	H	L
		H	C2	C3	C4	C5	C6

220 ↗

228

图5

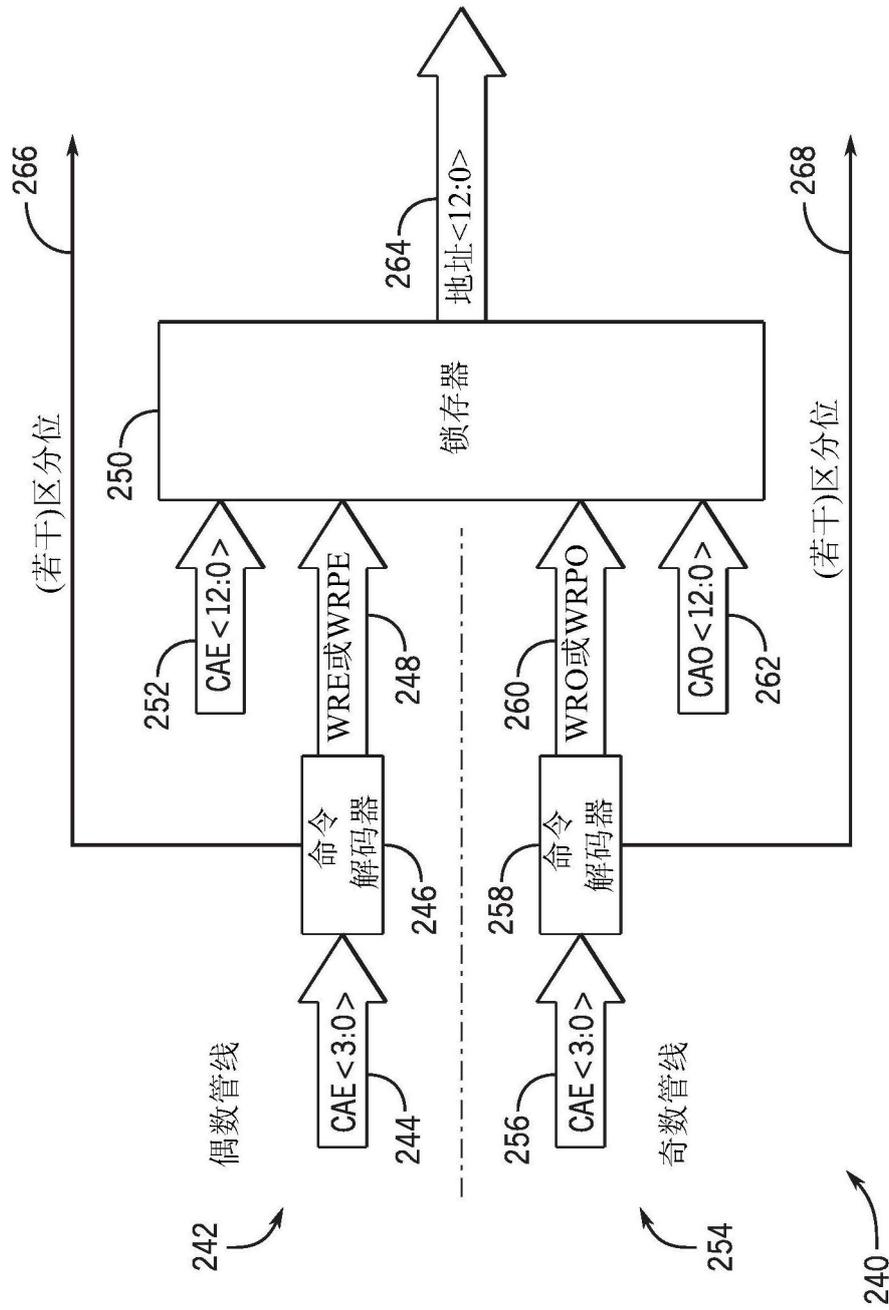


图6

