



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201601247 A

(43) 公開日：中華民國 105 (2016) 年 01 月 01 日

(21) 申請案號：103122515

(22) 申請日：中華民國 103 (2014) 年 06 月 30 日

(51) Int. Cl. :

*H01L21/768 (2006.01)**H01L23/52 (2006.01)*(71) 申請人：恆勁科技股份有限公司 (中華民國) PHOENIX PIONEER TECHNOLOGY CO., LTD.
(TW)

新竹縣湖口鄉蘭州街 180 號

(72) 發明人：胡竹青 HU, CHU CHIN (TW)；許詩濱 HSU, SHIH PING (TW)；周鄂東 CHOU, E TUNG (TW)

(74) 代理人：林坤成；林瑞祥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：9 共 32 頁

(54) 名稱

封裝裝置及其製作方法

PACKAGE APPARATUS AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種封裝裝置，其包括一第一導線層、一第一導電柱層、一第一鑄模化合物層、一第二導線層以及一防焊層。第一導線層具有相對之一第一表面與一第二表面。第一導電柱層設置於第一導線層之第二表面上，其中第一導電柱層係為一非圓形導電柱層。第一鑄模化合物層設置於第一導線層與第一導電柱層之部分區域內。第二導線層設置於第一鑄模化合物層與第一導電柱層之一端上。防焊層設置於第一鑄模化合物層與第二導線層上。

A package apparatus comprises a first conductive wiring layer, a first conductive pillar layer, a first molding compound layer, a second conductive wiring layer, and a solder resist layer. The first conductive wiring layer has a first surface and a second surface opposite to the first surface. The first conductive pillar layer is disposed on the second surface of the first conductive wiring layer, wherein the first conductive pillar layer is a non-circular conductive pillar layer. The first molding compound layer is disposed within the part of the zone of the first conductive wiring layer and the first conductive pillar layer. The second conductive wiring layer is disposed on the first molding compound layer and the one end of the first conductive pillar layer. The solder resist layer is disposed on the first molding compound layer and the second conductive wiring layer.

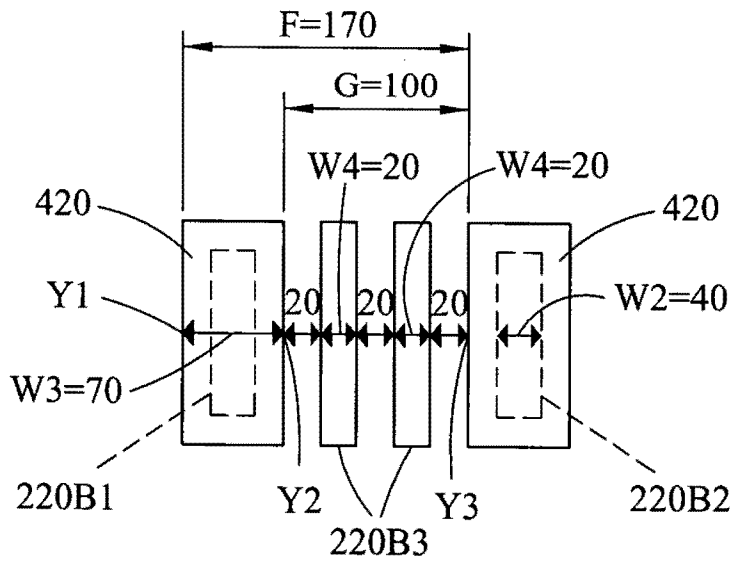


圖 5

- 220B1 . . . 矩形導電柱層
- 220B2 . . . 矩形導電柱層
- 220B3 . . . 矩形導電柱層
- 420 . . . 矩形導電層
- F、G . . . 間距
- W2~W4 . . . 寬邊

201601247

發明摘要

※ 申請案號 : 103127515
※ 申請日 : 103.6.30

※IPC 分類 :

H01L 21/768 (2006.01)

H01L 23/52 (2006.01)

【發明名稱】(中文/英文)

封裝裝置及其製作方法/ PACKAGE APPARATUS AND
MANUFACTURING METHOD THEREOF

【中文】

一種封裝裝置，其包括一第一導線層、一第一導電柱層、一第一鑄模化合物層、一第二導線層以及一防焊層。第一導線層具有相對之一第一表面與一第二表面。第一導電柱層設置於第一導線層之第二表面上，其中第一導電柱層係為一非圓形導電柱層。第一鑄模化合物層設置於第一導線層與第一導電柱層之部分區域內。第二導線層設置於第一鑄模化合物層與第一導電柱層之一端上。防焊層設置於第一鑄模化合物層與第二導線層上。

【英文】

A package apparatus comprises a first conductive wiring layer, a first conductive pillar layer, a first molding compound layer, a second conductive wiring layer, and a solder resist layer. The first conductive wiring layer has a first surface and a second surface opposite to the first surface. The first conductive pillar layer is disposed on the second surface of the first conductive wiring layer, wherein the first conductive pillar layer is a non-circular conductive pillar layer. The first molding compound layer is disposed within the

part of the zone of the first conductive wiring layer and the first conductive pillar layer. The second conductive wiring layer is disposed on the first molding compound layer and the one end of the first conductive pillar layer. The solder resist layer is disposed on the first molding compound layer and the second conductive wiring layer.

【代表圖】

【本案指定代表圖】：圖 5。

【本代表圖之符號簡單說明】：

220B1-矩形導電柱層

220B2-矩形導電柱層

220B3-矩形導電柱層

420-矩形導電層

F、G-間距

W2～W4-寬邊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

封裝裝置及其製作方法 / PACKAGE APPARATUS AND
MANUFACTURING METHOD THEREOF

【技術領域】

本發明是有關於一種封裝裝置及其製作方法，特別是有關於一種半導體封裝裝置及其製作方法。

【先前技術】

在新一代的電子產品中，不斷追求更輕薄短小，更要求產品具有多功能與高性能，因此，積體電路(Integrated Circuit, IC)必須在有限的區域中容納更多電子元件以達到高密度與微型化之要求，為此電子產業開發新型構裝技術，將電子元件埋入基板中，大幅縮小構裝體積，也縮短電子元件與基板的連接路徑，另外還可利用增層技術(Build-Up)增加佈線面積，以符合輕薄短小及多功能的潮流趨勢。

圖 1 為傳統之玻璃纖維基板封裝結構。玻璃纖維基板封裝結構 10 包括有玻璃纖維基板 100，例如可為玻纖環氧樹脂銅箔基板(Bismaleimide Triazine, BT)之 FR-4 型號或 FR-5 型號，其中玻璃纖維基板 100 係經由機械鑽孔或雷射鑽孔(Laser Via)而形成複數個圓形導通孔 110，圓形導電柱層(circular conductive pillar layer)120 設置在圓形導通孔 110 中，第一導電層 132、134 分別設置在玻璃纖維基板 100 上且與圓形導電柱層 120 電性導通，絕緣層 140 覆蓋在玻璃纖維基板 100 上，並再經由機械鑽孔或雷射

鑽孔而形成複數個圓形導通孔 110，第二導電層 152、154 設置在絕緣層 150 上且經由圓形導電柱層 120 與第一導電層 132、134 電性導通。

上述傳統之玻璃纖維基板封裝結構 10，其應用機械鑽孔或雷射鑽孔之物理機制僅能形成具圓形導通孔之圓形導電柱層 120，然而圓形導電柱層 120 具有較大之截面積，對於製作高密度佈線之基板將造成一定的限制，使得基板之成本過於昂貴而不具備產業優勢的競爭。

【發明內容】

本發明提出一種封裝裝置，其係可使用鑄模化合物層 (Molding Compound Layer) 為無核心基板 (Coreless Substrate) 之主體材料，並利用電鍍非圓形導電柱層 (Non-circular conductive pillar layer) 形成導通孔與預封包互連系統 (Molded Interconnection System, MIS) 封裝方式於基板製作中順勢將內接元件埋入於基板之內，形成高密度佈線面積之疊層結構。

本發明提出一種封裝裝置之製作方法，其係可使用較低成本的封膠 (Molding Compound) 搭配電鍍非圓形導電柱層的導通孔方法，以取代藉由對玻璃纖維基板機械鑽孔或雷射鑽孔的導通孔方法，其可提高佈線面積，進而提升生產效能。

在一實施例中，本發明提出一種封裝裝置，其包括一第一導線層、一第一導電柱層、一第一鑄模化合物層、一第二導線層以及一防焊層。第一導線層具有相對之一第一表面與一第二表面。第一導電柱層設置於第一導線層之第二表面上，其中第一導電柱層係為一非圓形導電柱層。第一鑄模化合物層設置於第一導線層與第一導電柱層之部分區域內。第二導線層設置於第一鑄模化合

物層與第一導電柱層之一端上。防焊層設置於第一鑄模化合物層與第二導線層上。

在另一實施例中，本發明提出一種封裝裝置之製作方法，其步驟包括：提供一金屬承載板，其具有相對之一第一表面與一第二表面；形成一第一導線層於金屬承載板之第二表面上；形成一第一導電柱層於第一導線層上，其中第一導電柱層係為一非圓形導電柱層；形成一第一鑄模化合物層包覆第一導線層與第一導電柱層並位於金屬承載板之第二表面上，其中第一導線層與第一導電柱層嵌設於第一鑄模化合物層內；露出第一導電柱層之一端；形成一第二導線層於第一鑄模化合物層與露出之第一導電柱層之一端上；形成一防焊層於該第一鑄模化合物層與第二導線層上；移除金屬承載板之部分區域以形成一窗口，其中第一導線層與第一鑄模化合物層從窗口露出。

【圖式簡單說明】

圖 1 為傳統之玻璃纖維基板封裝結構。

圖 2 為本發明較佳實施例之封裝裝置示意圖。

圖 3 為圓形導電柱層與矩形導電柱層上視圖。

圖 4 為傳統之圓形導電柱層上視圖。

圖 5 為本發明第一實施例之矩形導電柱層上視圖。

圖 6 為本發明第二實施例之矩形導電柱層上視圖。

圖 7 為本發明第三實施例之矩形導電柱層上視圖。

圖 8 為本發明較佳實施例之封裝裝置製作方法流程圖。

圖 9A 至圖 9Q 為本發明較佳實施例之封裝裝置製作示意圖。

【實施方式】

圖 2 為本發明較佳實施例之封裝裝置示意圖。封裝裝置 20，其包括一第一導線層 200、一金屬層 210、一第一導電柱層 220、一內接元件 230、一第一鑄模化合物層 240、一第二導線層 250 以及一防焊層 260，但不以此為限。

第一導線層 200 具有相對之一第一表面 202 與一第二表面 204。在本實施例中，第一導線層 200 係應用電鍍(Electrolytic Plating)技術所形成，但並不以此為限。其中第一導線層 200 可以為圖案化導線層，其包括至少一走線或至少一晶片座，第一導線層 200 之材質可以為金屬，例如是銅。金屬層 210 設置於第一導線層 200 之第一表面 202 上。

第一導電柱層 220 設置於第一導線層 200 之第二表面 204 上，並且與第一導線層 200 形成一凹型結構 222，其中第一導電柱層 220 係為一非圓形導電柱層(non-circular conductive pillar layer)。在一實施例中，第一導電柱層 220 可為一矩形導電柱層(rectangular conductive pillar layer)、一八角形導電柱層(octagonal conductive pillar layer)、一橢圓形導電柱層(oval conductive pillar layer)或任意形狀之非圓形導電柱層，此外，第一導電柱層 220 亦可以為圖案化導線層，例如一走線或一晶片座，但皆不以此為限。內接元件 230 設置並電性連結於凹型結構 222 內之第一導線層 200 之第二表面 204 上。在一實施例中，內接元件 230 係為一主動元件、一被動元件或一半導體晶片，但並不以此為限。

第一鑄模化合物層 240 設置於第一導線層 200 與第一導電柱層 220 之部分區域 224 內，其中內接元件 230 嵌設於第一鑄模化合物層 240 內，在本實施例中，第一鑄模化合物層 240 不露出於

第一導線層 200 之第一表面 202 與第一導電柱層 220 之一端 226，第一鑄模化合物層 240 設置於第一導線層 200 與第一導電柱層 220 之全部區域內，但並不以此為限。此外，第一鑄模化合物層 240 係具有酚醛基樹脂(Novolac-Based Resin)、環氧基樹脂(Epoxy-Based Resin)、矽基樹脂(Silicone-Based Resin)或其他適當之鑄模化合物，但並不以此為限。第二導線層 250 設置於第一鑄模化合物層 240 與第一導電柱層 220 之一端 226 上，此外，第二導線層 250 可以為圖案化導線層，例如一走線或一晶片座。防焊層 260 設置於第一鑄模化合物層 240 與第二導線層 250 上。

其中，封裝裝置 20 更可包括一外接元件 270、一第二鑄模化合物層 280 及複數個金屬球 290。外接元件 270 設置並電性連結於第一導線層 200 之第一表面 202 上。第二鑄模化合物層 280 設置於外接元件 270 與第一導線層 200 之第一表面 202 上，其中外接元件 270 嵌設於第二鑄模化合物層 280 內。複數個金屬球 290 設置於第二導線層 250 上。在一實施例中，外接元件 270 係為一主動元件、一被動元件、一半導體晶片或一軟性電路板，但並不以此為限。

在此要特別說明，本發明即是利用具有與傳統圓形導電柱層相同電阻(Resistance, R)之非圓形導電柱層來做取代，根據電阻公式為電阻 $R = \rho \frac{L}{A}$ ，其中 ρ 為電阻係數(resistivity)、L 為電阻長度、A 為電阻截面積，故只要圓形導電柱層與非圓形導電柱層之電阻係數 ρ 、電阻長度 L 與電阻截面積 A 皆相同，則圓形導電柱層與非圓形導電柱層之電阻亦相同，即非圓形導電柱層可以維持原來相同電阻之電學特性。例如圖 3 為圓形導電柱層與矩形導電柱層上視圖，其中圓形導電柱層 120A 之直徑 $R1=10\mu\text{m}$ ，故其圓形截面積 $A1 = \frac{1}{4}\pi * (R1)^2 = 78.5\text{pm}^2$ ，而矩形導電柱層 220A 之長

邊 $L1=15\mu\text{m}$ 與寬邊 $W1=6\mu\text{m}$ ，故其矩形截面積 $A2=L1*W1=80\mu\text{m}^2$ ，由此可知，本發明可以調整矩形導電柱層 220A 之寬邊 $W1$ 明顯小於圓形導電柱層 120A 之直徑 $R1$ ，亦即使用矩形之導通孔並維持與圓形導通孔相同截面積下，可有效縮短導通孔到導通孔的中心距離或增加導通孔到導通孔之間的走線數量，達到更高密度佈線設計的方法，或讓相同走線數量的線寬更寬，進而提升生產能力。

舉例而言，圖 4 為傳統之圓形導電柱層上視圖，其中兩組相同截面積之圓形導電柱層 120B1、120B2 的直徑 $R2$ 皆為 $80\mu\text{m}$ ，並且分別電性連結於圓形導電層 410，其中圓形導電層 410 的直徑 $R3$ 皆為 $110\mu\text{m}$ ，在一實施例中，圓形導電層 410 類似於第二導線層 250 之走線或晶片座，或是外接元件 270 之接觸電極，但不以此為限。其中圓形導電層 410 的點 $X1$ 與另一圓形導電層 410 的點 $X3$ 之間具有間距 $D=170\mu\text{m}$ ，而圓形導電層 410 的點 $X2$ 與另一圓形導電層 410 的點 $X3$ 之間具有間距 $E=60\mu\text{m}$ ，圓形導電柱層 120B1、120B2 的直徑 $R2$ 大於間距 E ，故無法在兩組圓形導電層 410 之間再增加任何圓形導電柱層。

圖 5 本發明第一實施例之矩形導電柱層上視圖。請同時比較上述圖 4，其係將具有與圓形導電柱層 120B1、120B2 相同截面積之矩形導電柱層 220B1、220B2 來做取代，其中兩組相同截面積之矩形導電柱層 220B1、220B2 的寬邊 $W2$ 皆為 $40\mu\text{m}$ ，並且分別電性連結於矩形導電層 420，其中矩形導電層 420 的寬邊 $W3$ 皆為 $70\mu\text{m}$ ，在一實施例中，矩形導電層 420 類似於第二導線層 250 之走線或晶片座，或是外接元件 270 之接觸電極，但不以此為限。其中矩形導電層 420 的點 $Y1$ 與另一矩形導電層 420 的點 $Y3$ 之間具有間距 $F=170\mu\text{m}$ ，而矩形導電層 420 的點 $Y2$ 與另一矩形導電層 420 的點 $Y3$ 之間具有間距 $G=100\mu\text{m}$ ，故可在兩組矩

形導電柱層 220B1、220B2 之間再新增兩組寬邊 $W4=20\mu\text{m}$ 之矩形導電柱層 220B3，其中矩形導電柱層 220B3 之間具有間距 $20\mu\text{m}$ ，矩形導電柱層 220B3 與兩組矩形導電層 420 之間也具有間距 $20\mu\text{m}$ ，上述之間距 $20\mu\text{m}$ 即為走線或晶片座的封裝容忍度，故相較於圖 4 之結構，本實施例之設計可增加導通孔到導通孔之間的走線數量，達到更高密度佈線設計的方法。

圖 6 為本發明第二實施例之矩形導電柱層上視圖。請同時比較上述圖 4 至圖 5，其類似於上述圖 4 之結構，本實施例係將圖 4 結構中之兩組矩形導電柱層 220B3 替換為一組 $W4=20\mu\text{m}$ 之矩形導電柱層 220B3，其中矩形導電層 420 的點 Y1 與另一矩形導電層 420 的點 Y3 之間具有間距 $H=130\mu\text{m}$ ，而矩形導電層 420 的點 Y2 與另一矩形導電層 420 的點 Y3 之間具有間距 $I=60\mu\text{m}$ ，矩形導電柱層 220B3 與兩組矩形導電層 420 之間具有間距 $20\mu\text{m}$ ，上述之間距 $20\mu\text{m}$ 即為走線或晶片座的封裝容忍度，故相較於圖 4 之結構，本實施例之設計可有效縮短導通孔到導通孔的中心距離，達到更高密度佈線設計的方法。

圖 7 為本發明第三實施例之矩形導電柱層上視圖。請同時比較上述圖 4 至圖 5，其類似於上述圖 4 之結構，本實施例係將圖 4 結構中之兩組矩形導電柱層 220B3 替換為一組寬邊 $W5=30\mu\text{m}$ 之矩形導電柱層 220B4，其中矩形導電層 420 的點 Y1 與另一矩形導電層 420 的點 Y3 之間具有間距 $J=170\mu\text{m}$ ，而矩形導電層 420 的點 Y2 與另一矩形導電層 420 的點 Y3 之間具有間距 $K=100\mu\text{m}$ ，矩形導電柱層 220B4 與兩組矩形導電層 420 之間具有間距 $35\mu\text{m}$ ，上述之間距 $35\mu\text{m}$ 即為走線或晶片座的封裝容忍度，故相較於圖 4 之結構，本實施例之設計可讓相同走線數量的線寬更寬，進而提升生產能力。

圖 8 為本發明較佳實施例之封裝裝置製作方法流程圖，圖 9A

至圖 9Q 爲本發明較佳實施例之封裝裝置製作示意圖。封裝裝置 20 之製作方法 30，其步驟包括：

步驟 S302，如圖 9A 所示，提供一金屬承載板 300，其具有相對之一第一表面 302 與一第二表面 304。

步驟 S304，如圖 9B 所示，形成一第一光阻層 310 於金屬承載板 300 之第二表面 304 上與一第二光阻層 320 於金屬承載板 300 之第一表面 302 上。在本實施例中，第一光阻層 310 係應用微影製程(Photolithography)技術所形成，但並不以此爲限。

步驟 S306，如圖 9C 所示，形成一第一導線層 200 於金屬承載板 300 之第二表面 304 上。在本實施例中，第一導線層 200 係應用電鍍(Electrolytic Plating)技術所形成，但並不以此爲限。其中第一導線層 200 可以爲圖案化導線層，其包括至少一走線或至少一晶片座，第一導線層 200 之材質可以爲金屬，例如是銅。

步驟 S308，如圖 9D 所示，形成一第三光阻層 330 於第一光阻層 310 與第一導線層 200 上。在本實施例中，第三光阻層 330 係應用壓合乾膜光阻製程所形成，但並不以此爲限。

步驟 S310，如圖 9E 所示，移除第三光阻層 330 之部分區域以露出第一導線層 200。在本實施例中，移除第三光阻層 330 之部分區域係應用微影製程(Photolithography)技術所達成，但並不以此爲限。

步驟 S312，如圖 9F 所示，形成一第一導電柱層 220 於第一導線層 200 上。其中第一導電柱層 220 係爲一非圓形導電柱層。在一實施例中，第一導電柱層 220 可爲一矩形導電柱層、一八角形導電柱層、一橢圓形導電柱層或任意形狀之非圓形導電柱層，但不以此爲限。在本實施例中，第一導電柱層 220 係應用電鍍(Electrolytic Plating)技術所形成，但並不以此爲限。其中，第一導電柱層 220 包括至少一導電柱，其形成對應於第一導線層 200

之走線與晶片座上，第一導電柱層 220 之材質可以為金屬，例如是銅。

步驟 S314，如圖 9G 所示，移除第一光阻層 310、第二光阻層 320 與第三光阻層 330，其中第一導電柱層 220 與第一導線層 200 形成一凹型結構 222。

步驟 S316，如圖 9H 所示，提供一內接元件 230 設置並電性連結於凹型結構 222 內之第一導線層 200 上。

步驟 S318，如圖 9I 所示，形成一第一鑄模化合物層 240 包覆第一導線層 200 與第一導電柱層 220 並位於金屬承載板 300 之第二表面 304 上，其中內接元件 230、第一導線層 200 與第一導電柱層 220 嵌設於第一鑄模化合物層 240 內。在本實施例中，第一鑄模化合物層 240 係應用轉注鑄模(Transfer Molding)之封裝技術所形成，第一鑄模化合物層 240 之材質可包括酚醛基樹脂(Novolac-Based Resin)、環氧基樹脂(Epoxy-Based Resin)、矽基樹脂(Silicone-Based Resin)或其他適當之鑄模化合物，在高溫和高壓下，以液體狀態包覆內接元件 230、第一導線層 200 與第一導電柱層 220，其固化後形成第一鑄模化合物層 240。第一鑄模化合物層 240 亦可包括適當之填充劑，例如是粉狀之二氧化矽。

在另一實施例中，亦可應用注射鑄模(Injection Molding)或壓縮鑄模(Compression Molding)之封裝技術形成第一鑄模化合物層 240。

其中，形成第一鑄模化合物層 240 之步驟可包括：提供一鑄模化合物，其中鑄模化合物具有樹脂及粉狀之二氧化矽。加熱鑄模化合物至液體狀態。注入呈液態之鑄模化合物於金屬承載板 300 之第二表面 304 上，鑄模化合物在高溫和高壓下包覆內接元件 230、第一導線層 200 與第一導電柱層 220。固化鑄模化合物，使鑄模化合物形成第一鑄模化合物層 240，但形成第一鑄模化合

物層 240 之步驟並不以此為限。

步驟 S320，如圖 9J 所示，露出第一導電柱層 220 之一端 226。在本實施例中，露出第一導電柱層 220 係應用磨削(Grinding)方式移除第一鑄模化合物層 240 之一部分，以露出第一導電柱層 220 之一端 226。較佳但非限定地，第一導電柱層 220 之一端 226 與第一鑄模化合物層 240 實質上對齊，例如是共面。在另一實施例中，可在形成第一鑄模化合物層 240 的同時，露出第一導電柱層 220 之一端 226，而無需移除第一鑄模化合物層 240 的任何部分。

步驟 S322，如圖 9K 所示，形成一第二導線層 250 於第一鑄模化合物層 240 與露出之第一導電柱層 220 之一端 226 上。在一實施例中，第二導線層 250 係可應用無電鍍(Electroless Plating)技術、濺鍍(Sputtering Coating)技術或蒸鍍(Thermal Coating)技術所形成，但並不以此為限。其中第二導線層 250 可以為圖案化導線層，其包括至少一走線或至少一晶片座，並形成對應於露出之第一導電柱層 220 之一端 226 上，第二導線層 250 之材質可以為金屬，例如是銅。

步驟 S324，如圖 9L 所示，形成一防焊層 260 於第一鑄模化合物層 240 與第二導線層 250 上，並露出部份之第二導線層 250。其中，防焊層 260 具有絕緣第二導線層 250 之各走線電性的功效。

步驟 S326，如圖 9M 所示，移除金屬承載板 300 之部分區域以形成一窗口 306，其中第一導線層 200 與第一鑄模化合物層 240 從窗口 306 露出。在本實施例中，移除金屬承載板 300 之部分區域係應用微影製程(Photolithography)與蝕刻製程(Etch Process)所達成，第一導線層 200 之走線與晶片座亦可從窗口 306 露出，此外，金屬承載板 300 所留下之部分區域即形成一金屬層 210。

步驟 S328，如圖 9N 所示，提供一外接元件 270 設置並電性

連結於第一導線層 200 之第一表面 202 上。在一實施例中，外接元件 270 係為一主動元件、一被動元件、一半導體晶片或一軟性電路板，但並不以此為限。

步驟 S330，如圖 9O 所示，形成一第二鑄模化合物層 280 包覆外接元件 270 並位於第一導線層 200 之第一表面 202 與第一鑄模化合物層 240 上，其中外接元件 270 嵌設於第二鑄模化合物層 280 內。在本實施例中，第二鑄模化合物層 280 係應用轉注鑄模(Transfer Molding)之封裝技術所形成，第二鑄模化合物層 280 之材質可包括酚醛基樹脂(Novolac-Based Resin)、環氧基樹脂(Epoxy-Based Resin)、矽基樹脂(Silicone-Based Resin)或其他適當之鑄模化合物，在高溫和高壓下，以液體狀態包覆外接元件 270 並位於第一導線層 200 之第一表面 202 與第一鑄模化合物層 240 上，其固化後形成第二鑄模化合物層 280。第二鑄模化合物層 280 亦可包括適當之填充劑，例如是粉狀之二氧化矽。

在另一實施例中，亦可應用注射鑄模(Injection Molding)或壓縮鑄模(Compression Molding)之封裝技術形成第二鑄模化合物層 280。

步驟 S332，如圖 9P 所示，形成複數個金屬球 290 於第二導線層 250 上。每一金屬球 290 之材質可以為任何金屬，例如是銅。

步驟 S334，如圖 9Q 所示，最後再進行切割製程 C 於第一導線層 200、金屬層 210、第一導電柱層 220、第一鑄模化合物層 240、第二導線層 250 或防焊層 260 等至少其中一層而形成如圖 2 所示之封裝裝置 20。

綜上所述，本發明之封裝裝置，其係利用非圓形導通孔並維持與圓形導通孔相同截面積下，可有效縮短導通孔到導通孔的中心距離或增加導通孔到導通孔之間的走線數量，達到更高密度佈線設計的方法，或讓相同走線數量的線寬更寬，進而提升生產能

力。

惟以上所述之具體實施例，僅係用於例釋本發明之特點及功效，而非用於限定本發明之可實施範疇，於未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。

【符號說明】

10-玻璃纖維基板封裝結構

100-玻璃纖維基板

110-圓形導通孔

120-圓形導電柱層

120A-圓形導電柱層

120B1-圓形導電柱層

120B2-圓形導電柱層

132、134-第一導電層

140-絕緣層

152、154-第二導電層

20-封裝裝置

200-第一導線層

202-第一表面

204-第二表面

210-金屬層

220-第一導電柱層

220A-矩形導電柱層

220B1-矩形導電柱層

220B2-矩形導電柱層

220B3-矩形導電柱層

220B4-矩形導電柱層

222-凹型結構

224-部分區域

226-第一導電柱層之一端

230-內接元件

240-第一鑄模化合物層

250-第二導線層

260-防焊層

270-外接元件

280-第二鑄模化合物層

290-金屬球

30-製作方法

步驟 S302-步驟 S334

300-金屬承載板

302-第一表面

304-第二表面

306-窗口

310-第一光阻層

320-第二光阻層

330-第三光阻層

410-圓形導電層

420-矩形導電層

C-切割製程

D~K-間距

W1~W4-寬邊

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無。

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無。

【序列表】 (請換頁單獨記載)

申請專利範圍

1. 一種封裝裝置，其包括：
 - 一第一導線層，其具有相對之一第一表面與一第二表面；
 - 一第一導電柱層，其設置於該第一導線層之該第二表面上，
其中該第一導電柱層係為一非圓形導電柱層；
 - 一第一鑄模化合物層，其設置於該第一導線層與該第一導電柱層之部分區域內；
 - 一第二導線層，其設置於該第一鑄模化合物層與該第一導電柱層之一端上；以及
 - 一防焊層，其設置於該第一鑄模化合物層與該第二導線層上。
2. 如申請專利範圍第1項所述之封裝裝置，其更包括一金屬層，其中該金屬層設置於該第一導線層之該第一表面上。
3. 如申請專利範圍第1項所述之封裝裝置，其中該第一導電柱層與該第一導線層形成一凹型結構。
4. 如申請專利範圍第3項所述之封裝裝置，其更包括一內接元件，其中該內接元件設置並電性連結於該凹型結構內之該第一導線層之該第二表面上，並且嵌設於該第一鑄模化合物層內。
5. 如申請專利範圍第4項所述之封裝裝置，其中該內接元件係為一主動元件、一被動元件或一半導體晶片。
6. 如申請專利範圍第1項所述之封裝裝置，其中該第一鑄模化合物層不露出於該第一導線層之該第一表面與該第一導電柱層之一端。

7. 如申請專利範圍第1項所述之封裝裝置，其更包括：
 - 一外接元件，其設置並電性連結於該第一導線層之該第一表面上；
 - 一第二鑄模化合物層，其設置於該外接元件與該第一導線層之該第一表面上，其中該外接元件嵌設於該第二鑄模化合物層內；及
 - 複數個金屬球，其設置於該第二導線層上。
8. 如申請專利範圍第7項所述之封裝裝置，其中該外接元件係為一主動元件、一被動元件、一半導體晶片或一軟性電路板。
9. 如申請專利範圍第1項所述之封裝裝置，其中該第一鑄模化合物層係具有酚醛基樹脂(Novolac-Based Resin)、環氧基樹脂(Epoxy-Based Resin)、矽基樹脂(Silicone-Based Resin)或其他適當之鑄模化合物。
10. 如申請專利範圍第1項所述之封裝裝置，其中該非圓形導電柱層係為一矩形導電柱層、一八角形導電柱層、一橢圓形導電柱層或任意形狀之非圓形導電柱層。
11. 一種封裝裝置之製作方法，其步驟包括：
 - 提供一金屬承載板，其具有相對之一第一表面與一第二表面；
 - 形成一第一導線層於該金屬承載板之該第二表面上；
 - 形成一第一導電柱層於該第一導線層上，其中該第一導電柱層係為一非圓形導電柱層；
 - 形成一第一鑄模化合物層包覆該第一導線層與該第一導電柱

層並位於該金屬承載板之該第二表面上，其中該第一導線層與該第一導電柱層嵌設於該第一鑄模化合物層內；

露出該第一導電柱層之一端；

形成一第二導線層於該第一鑄模化合物層與露出之該第一導電柱層之一端上；

形成一防焊層於該第一鑄模化合物層與該第二導線層上；以及

移除該金屬承載板之部分區域以形成一窗口，其中該第一導線層與該第一鑄模化合物層從該窗口露出。

12. 如申請專利範圍第11項所述之製作方法，其中該第一導電柱層與該第一導線層形成一凹型結構。
13. 如申請專利範圍第12項所述之製作方法，其更包括提供一內接元件，其中該內接元件設置並電性連結於該凹型結構內之該第一導線層上，並且嵌設於該第一鑄模化合物層內。
14. 如申請專利範圍第13項所述之製作方法，其中該內接元件係為一主動元件、一被動元件或一半導體晶片。
15. 如申請專利範圍第11項所述之製作方法，其更包括：

提供一外接元件設置並電性連結於該第一導線層之一第一表面上；

形成一第二鑄模化合物層包覆該外接元件並位於該第一導線層之該第一表面與該第一鑄模化合物層上，其中該外接元件嵌設於該第二鑄模化合物層內；及

形成複數個金屬球於該第二導線層上。

16. 如申請專利範圍第11項所述之製作方法，其中形成該第一導電柱層於該第一導線層上之前之步驟包括：

形成一第一光阻層於該金屬承載板之該第二表面上與一第二光阻層於該金屬承載板之該第一表面上；

形成該第一導線層於該金屬承載板之該第二表面上；

形成一第三光阻層於該第一光阻層與該第一導線層上；

移除該第三光阻層之部分區域以露出該第一導線層；

形成該第一導電柱層於該第一導線層上；及

移除該第一光阻層、該第二光阻層與該第三光阻層。

17. 如申請專利範圍第13項所述之製作方法，其中形成該第一鑄模化合物層之步驟包括：

提供一鑄模化合物，其中該鑄模化合物具有樹脂及粉狀之二氧化矽；

加熱該鑄模化合物至液體狀態；

注入呈液態之該鑄模化合物於該金屬承載板之該第二表面上，該鑄模化合物在高溫和高壓下包覆該內接元件、該第一導線層與該第一導電柱層；及

固化該鑄模化合物，使該鑄模化合物形成該第一鑄模化合物層。

18. 如申請專利範圍第15項所述之製作方法，其中該外接元件係為一主動元件、一被動元件、一半導體晶片或一軟性電路板。

19. 如申請專利範圍第11項所述之製作方法，其中該第一鑄模化合物層係具有有酚醛基樹脂(Novolac-Based Resin)、環氧基樹脂(Epoxy-Based Resin)、矽基樹脂(Silicone-Based Resin)或其他適當之鑄模化合物。
20. 如申請專利範圍第11項所述之製作方法，其中該非圓形導電柱層係為一矩形導電柱層、一八角形導電柱層、一橢圓形導電柱層或任意形狀之非圓形導電柱層。

圖式

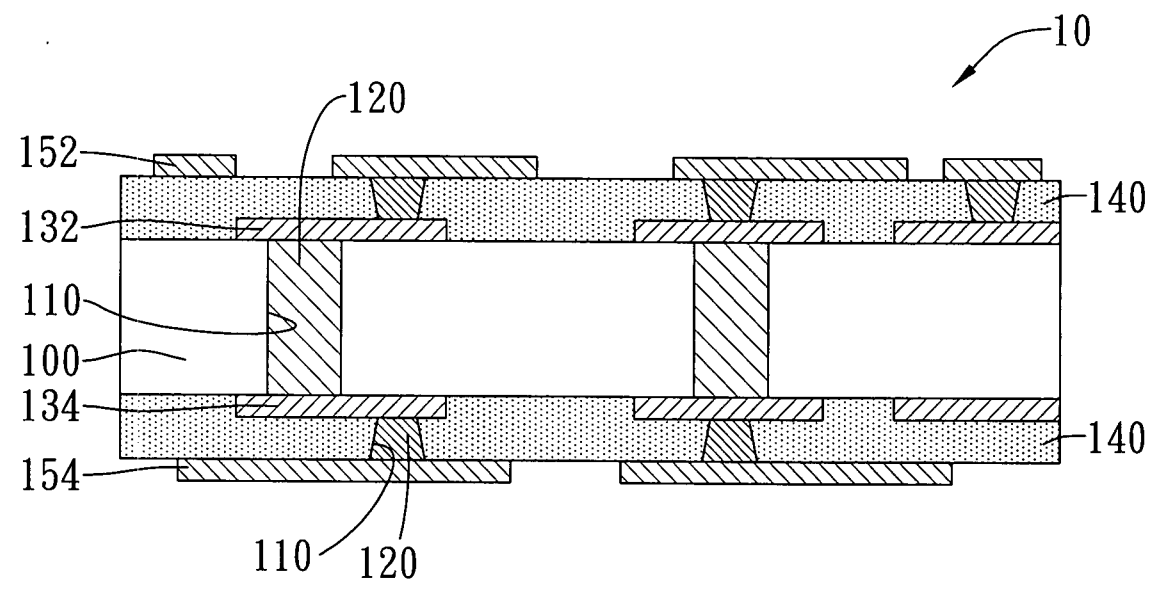


圖 1

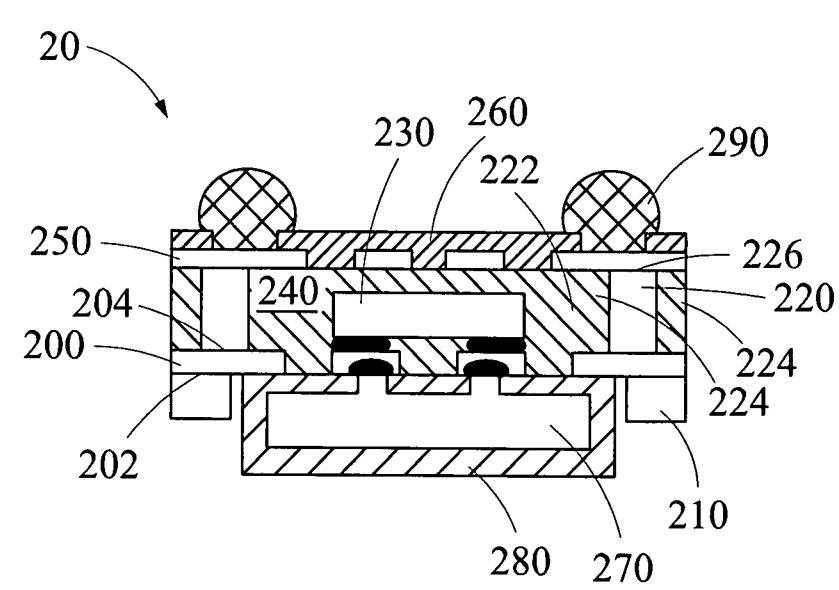


圖 2

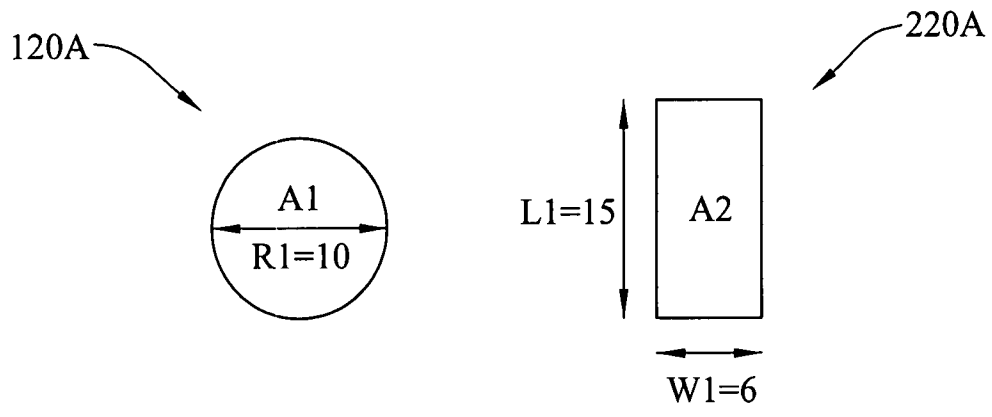


圖 3

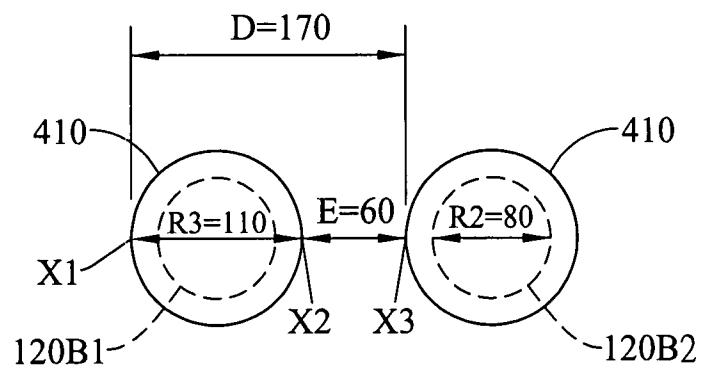


圖 4

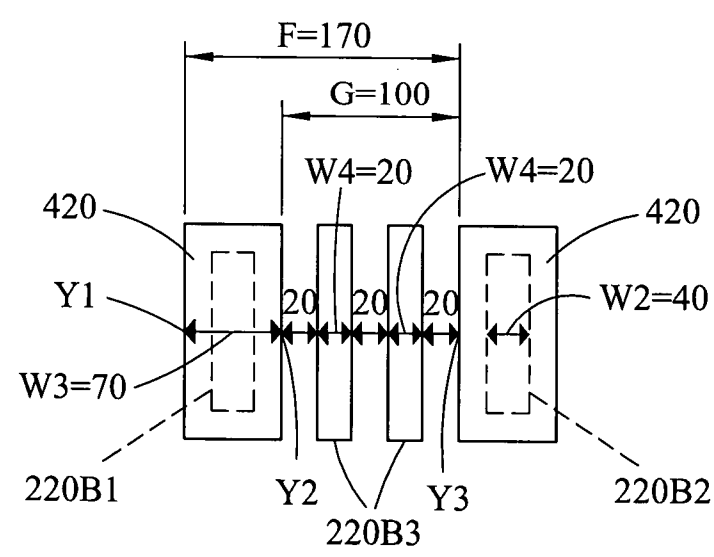


圖 5

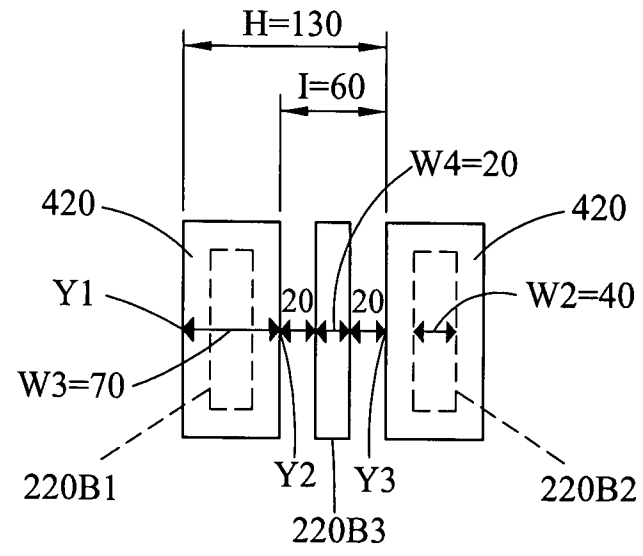


圖 6

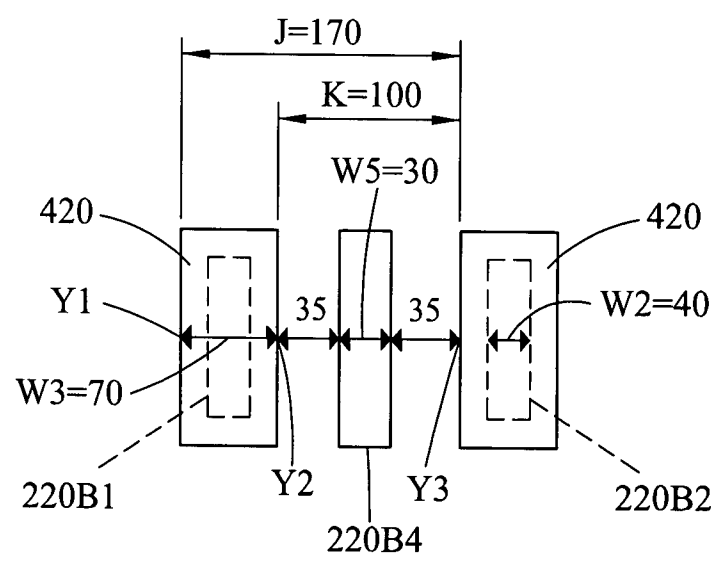


圖 7

30

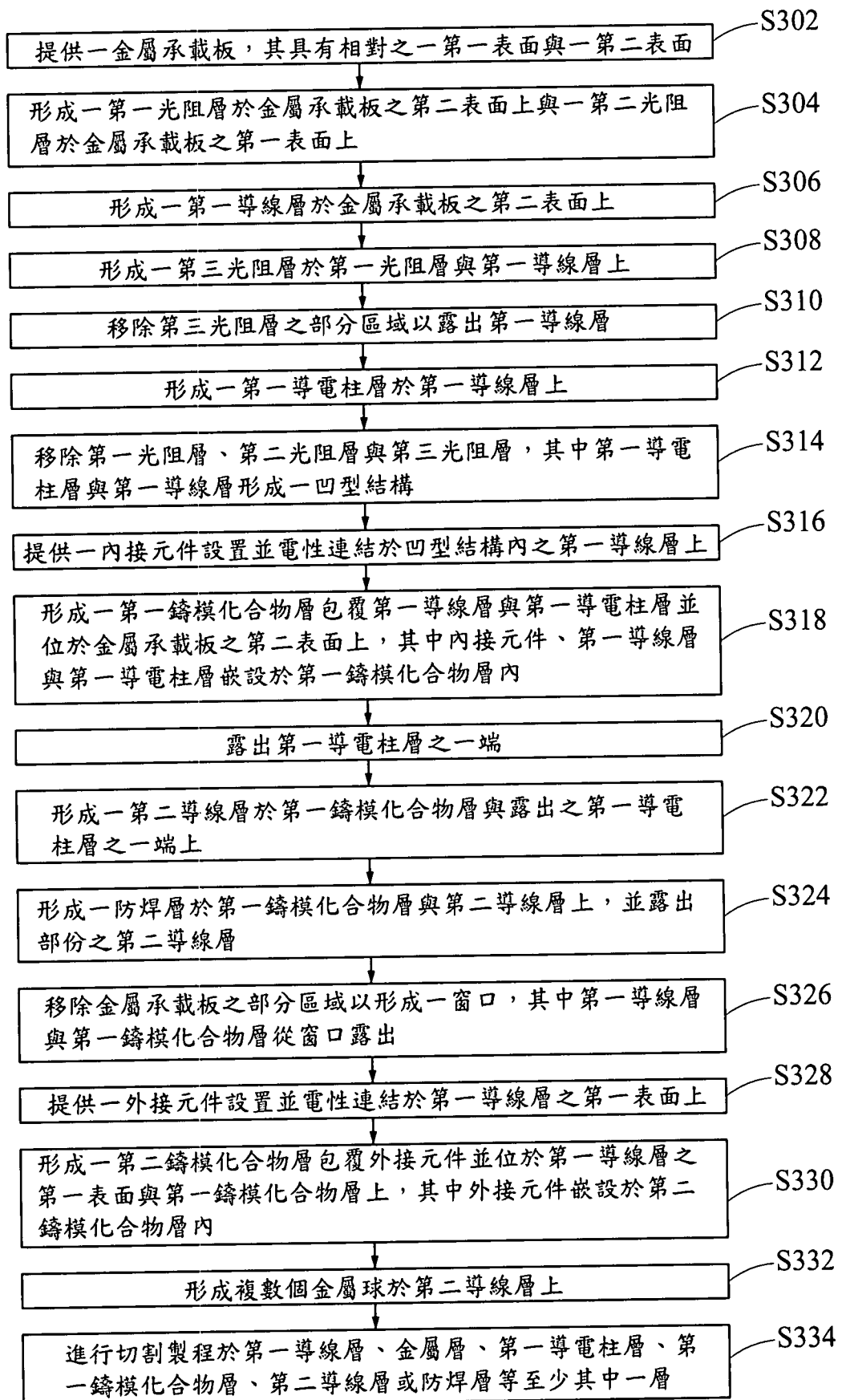


圖 8

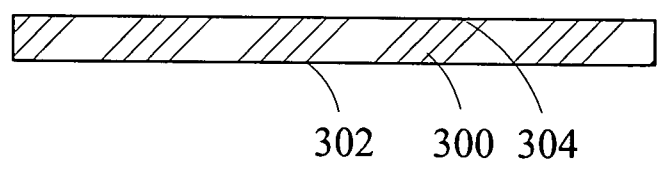


圖 9A

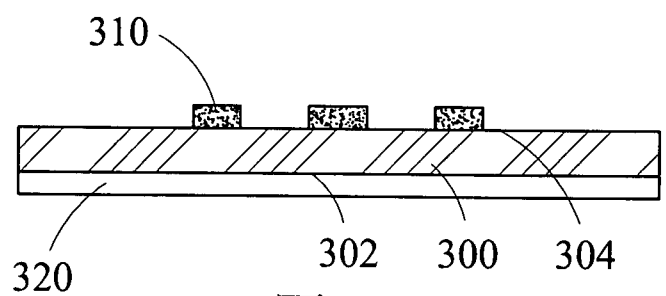


圖 9B

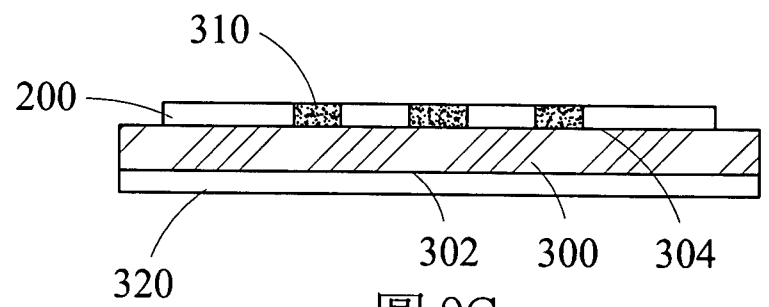


圖 9C

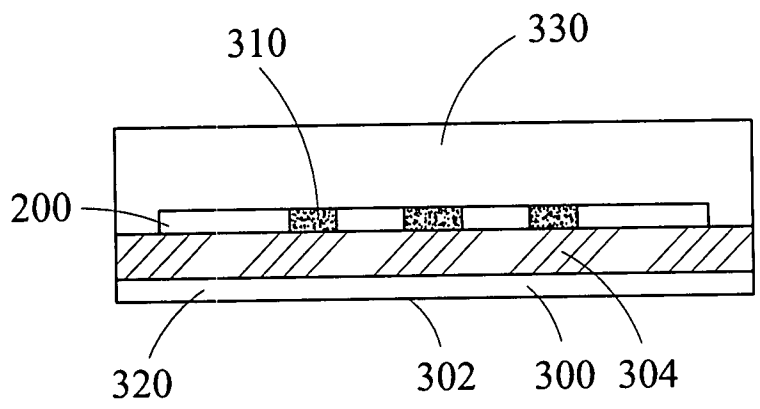


圖 9D

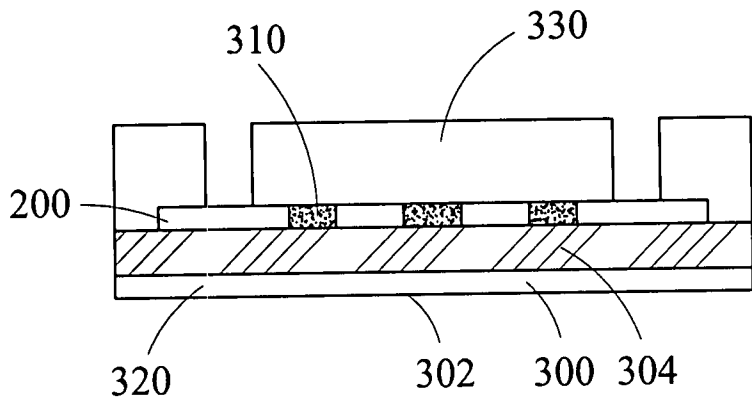


圖 9E

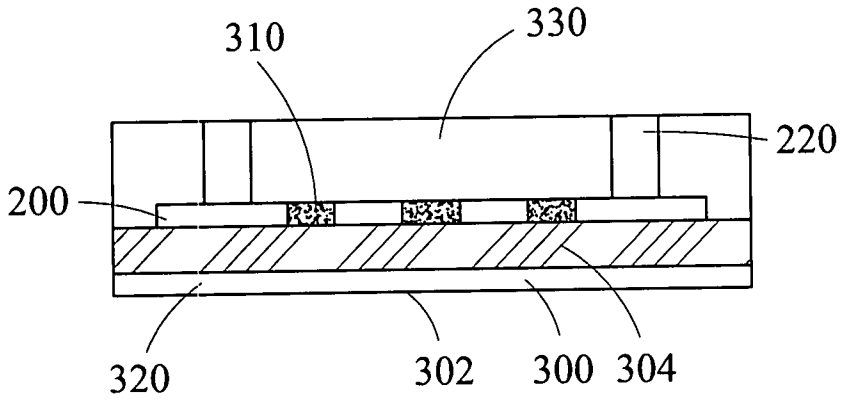


圖 9F

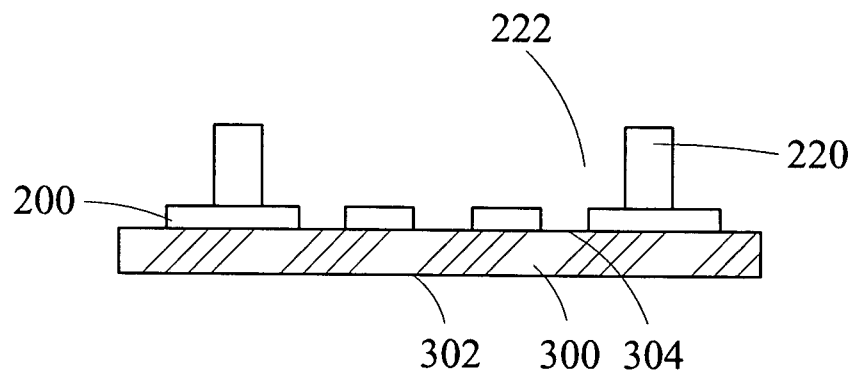


圖 9G

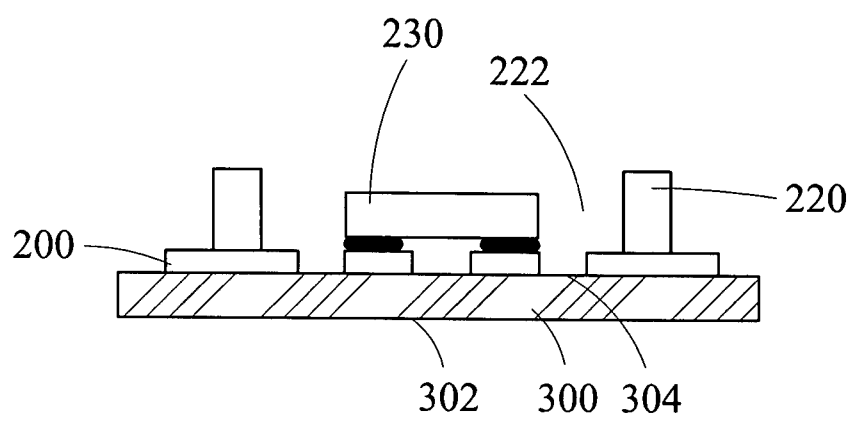


圖 9H

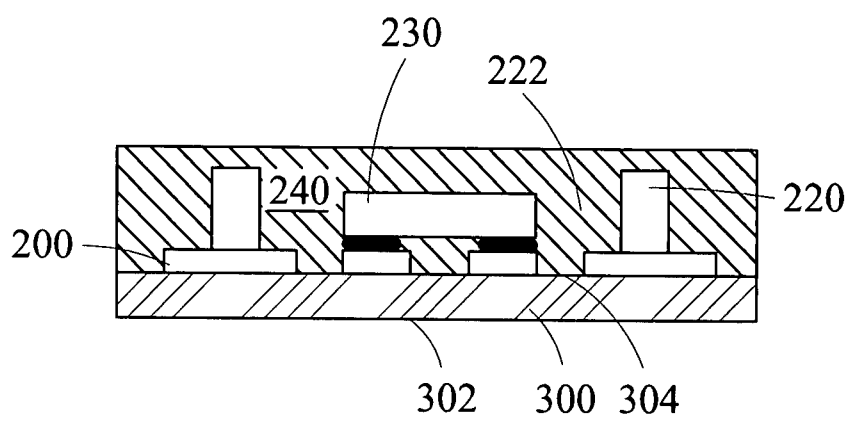


圖 9I

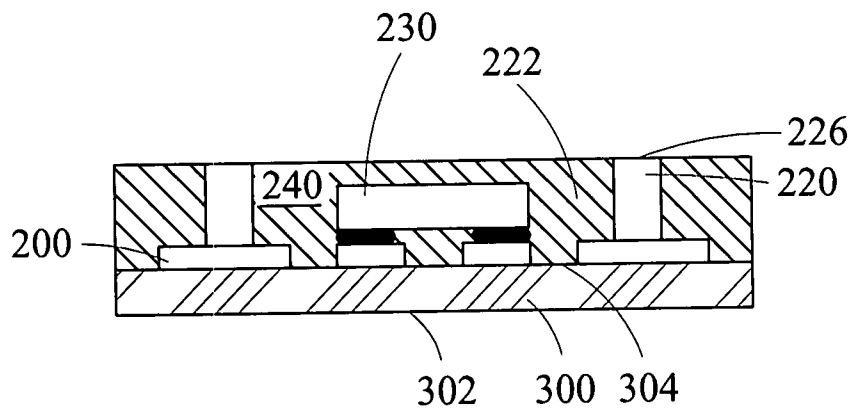


圖 9J

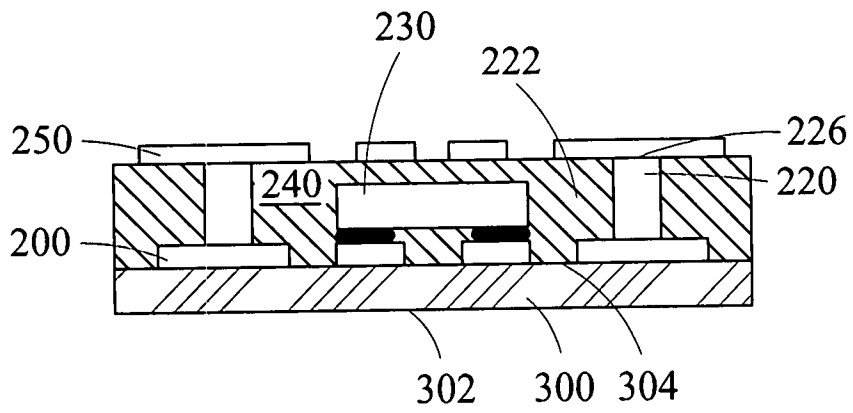


圖 9K

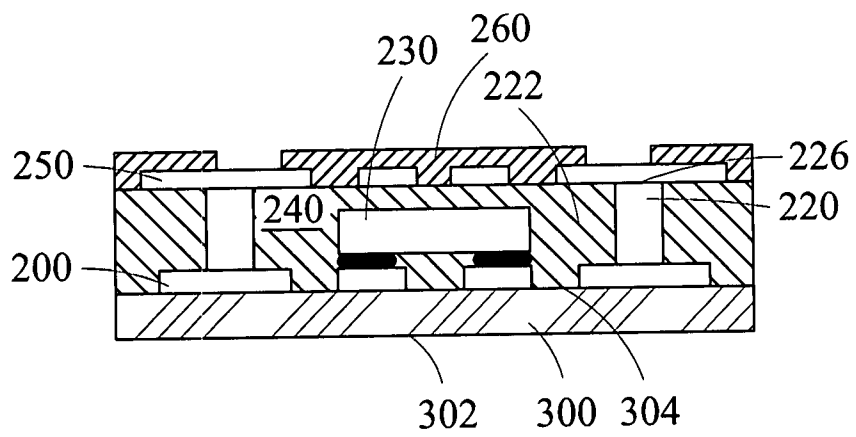


圖 9L

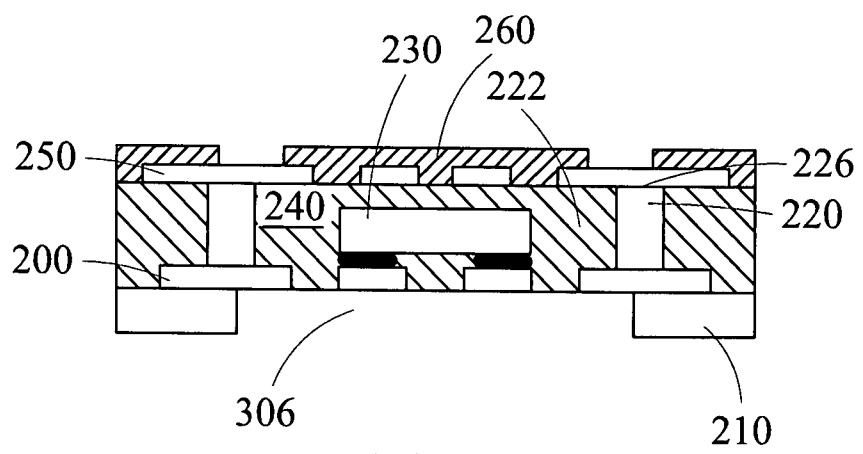


圖 9M

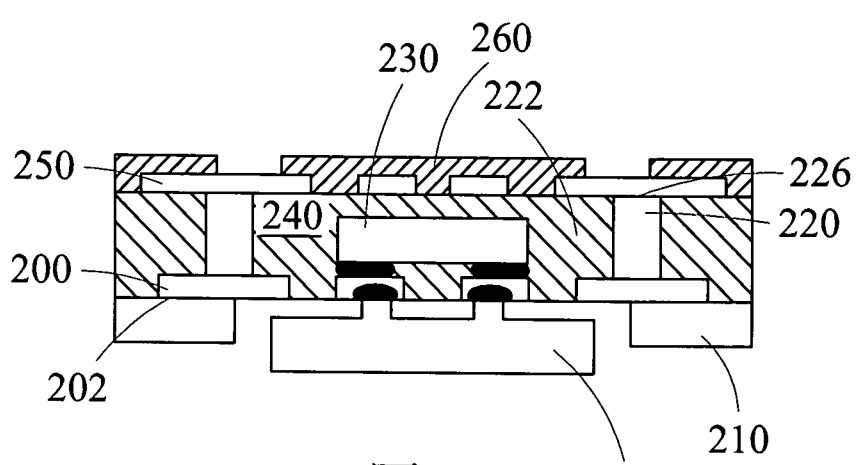


圖 9N

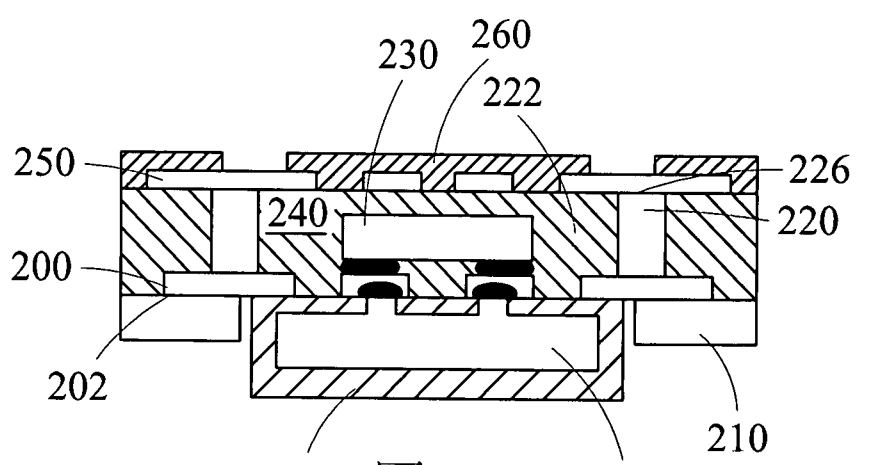


圖 9O

