

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-77434

(P2022-77434A)

(43)公開日 令和4年5月23日(2022.5.23)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78	6 1 6 L 4 M 1 0 4
H 0 1 L 21/28(2006.01)	H 0 1 L 21/28	3 0 1 B 5 F 1 1 0
H 0 1 L 29/417(2006.01)	H 0 1 L 21/28	K
H 0 1 L 29/786(2006.01)	H 0 1 L 29/50	M
	H 0 1 L 29/78	6 1 8 B
審査請求 未請求 請求項の数 7 O L (全20頁) 最終頁に続く		

(21)出願番号	特願2020-188298(P2020-188298)	(71)出願人	000004352 日本放送協会 東京都渋谷区神南2丁目2番1号
(22)出願日	令和2年11月11日(2020.11.11)	(74)代理人	100147485 弁理士 杉村 憲司
		(74)代理人	230118913 弁理士 杉村 光嗣
		(74)代理人	100161148 弁理士 福尾 誠
		(74)代理人	100185225 弁理士 齋藤 恭一
		(72)発明者	辻 博史 東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内
		(72)発明者	武井 達哉
最終頁に続く			

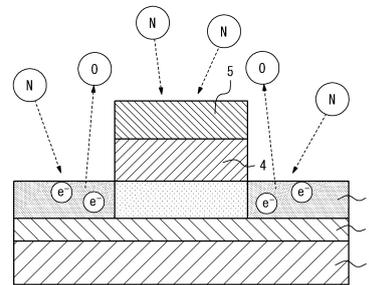
(54)【発明の名称】 薄膜トランジスタとその製造方法、及び表示装置

(57)【要約】

【課題】高い移動度を有し、加熱によるソース・ドレイン領域の抵抗値の上昇を抑制することができる、自己整合型の薄膜トランジスタとその製造方法を提供する。

【解決手段】基板上に少なくとも酸化物半導体層、ゲート絶縁膜、ゲート電極を、この順に形成する薄膜トランジスタの製造方法であって、前記酸化物半導体層を構成する金属元素がIn、Ga、Zn、及びSnを含み、前記ゲート電極の側から前記酸化物半導体層に向けて窒素プラズマを照射せしめて、前記ゲート電極と重ならない前記酸化物半導体層の領域を低抵抗化し、ソース・ドレイン領域を形成することを特徴とする。なお、各金属元素の割合は、Inが30原子%以上65原子%以下、Gaが5原子%以上16原子%以下、Znが10原子%以上45原子%以下、及びSnが3原子%以上10原子%以下であることが望ましい。

【選択図】図1A



【特許請求の範囲】

【請求項 1】

基板上に少なくとも酸化物半導体層、ゲート絶縁膜、ゲート電極を、この順に形成する薄膜トランジスタの製造方法であって、
前記酸化物半導体層を構成する金属元素が In、Ga、Zn、及び Sn を含み、
前記ゲート電極の側から前記酸化物半導体層に対して窒素プラズマを照射せしめて、前記ゲート電極と重ならない前記酸化物半導体層の領域を低抵抗化し、ソース・ドレイン領域を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】

請求項 1 に記載の薄膜トランジスタの製造方法において、
前記酸化物半導体層における全金属元素の合計 (In + Ga + Zn + Sn) に対する各金属元素の割合が、
In : 30 原子% 以上 65 原子% 以下、
Ga : 5 原子% 以上 16 原子% 以下、
Zn : 10 原子% 以上 45 原子% 以下、及び
Sn : 3 原子% 以上 10 原子% 以下
であることを特徴とする薄膜トランジスタの製造方法。

10

【請求項 3】

請求項 2 に記載の薄膜トランジスタの製造方法において、
全金属元素の合計 (In + Ga + Zn + Sn) に対する In の割合が、35 原子% 以上 60 原子% 以下であることを特徴とする薄膜トランジスタの製造方法。

20

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の薄膜トランジスタの製造方法において、
前記ソース・ドレイン領域を形成後、薄膜トランジスタ上に絶縁膜を 250 以下の温度で形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 5】

基板上に少なくとも酸化物半導体層、ゲート絶縁膜、ゲート電極を、この順に積層してなる薄膜トランジスタであって、
前記酸化物半導体層を構成する金属元素が In、Ga、Zn、及び Sn を含み、
前記ゲート電極の端部と前記酸化物半導体層に設けられたソース・ドレイン領域の端部の位置が一致しており、
前記ソース・ドレイン領域は、前記酸化物半導体層と同じ金属元素の組成を有するとともに、窒素を含有し、酸素欠損によりチャネル領域よりも低いシート抵抗を有することを特徴とする薄膜トランジスタ。

30

【請求項 6】

請求項 5 に記載の薄膜トランジスタにおいて、
前記酸化物半導体層における全金属元素の合計 (In + Ga + Zn + Sn) に対する各金属元素の割合が、
In : 30 原子% 以上 65 原子% 以下、
Ga : 5 原子% 以上 16 原子% 以下、
Zn : 10 原子% 以上 45 原子% 以下、及び
Sn : 3 原子% 以上 10 原子% 以下
であることを特徴とする薄膜トランジスタ。

40

【請求項 7】

請求項 5 又は 6 に記載の薄膜トランジスタを、表示素子の駆動に用いたことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタとその製造方法、及び表示装置に関し、特に、酸化物半導体

50

を用いた薄膜トランジスタとその製造方法、及び薄膜トランジスタを備える表示装置に関する。

【背景技術】

【0002】

金属酸化物半導体（以下、単に「酸化物半導体」という。）は、汎用のアモルファスシリコンに比べて高いキャリア移動度を有している。また酸化物半導体は、光学バンドギャップが大きく、低温で製膜できるため、大型・高解像度・高速駆動が要求される次世代ディスプレイや、耐熱性の低い樹脂基板等への適用が期待されている。

【0003】

酸化物半導体を薄膜トランジスタ（TFT：Thin Film Transistor）の半導体層として用いる場合、薄膜トランジスタのスイッチング特性が優れていることが要求される。具体的には、（１）オン電流（ゲート電極とドレイン電極に正電圧をかけたときの最大ドレイン電流）が大きく、（２）オフ電流（ゲート電極に負電圧を、ドレイン電圧に正電圧を夫々かけたときのドレイン電流）が小さく、（３）S値（Subthreshold Swing：ドレイン電流を1桁あげるのに必要なゲート電圧）が小さく、（４）しきい値電圧（ドレイン電極に正電圧をかけ、ゲート電圧に正負いずれかの電圧をかけたときにドレイン電流が流れ始める電圧）が時間的に変化せずに安定であること、等が要求される。

10

【0004】

ここで、オン電流を増加させるためには、キャリア移動度（以下、単に移動度という場合がある。）が高いこと、チャンネル長が短いこと、ソース・ドレイン領域の抵抗が低いこと等が要求される。

20

【0005】

薄膜トランジスタに用いられる酸化物半導体として、インジウム、ガリウム、亜鉛、及び酸素からなるIn-Ga-Zn系酸化物半導体（IGZO）やインジウム、ガリウム、錫、及び酸素からなるIn-Ga-Sn系酸化物半導体が良く知られている（特許文献1、2）。例えば、In-Ga-Zn系酸化物半導体では、 $10\text{ cm}^2/\text{Vs}$ 程度の移動度が得られることが知られている。

【0006】

一方、薄膜トランジスタの半導体層に低抵抗のソース・ドレイン領域をゲート電極と位置合わせをして形成し、寄生容量の低減及び製造効率の向上を図った自己整合型の薄膜トランジスタが注目されている。例えば、大画面・多画素ディスプレイの駆動には、信号遅延（RC遅延）の抑制が必要であり、画素の駆動素子として、寄生容量が小さくオン電流の大きい自己整合型の薄膜トランジスタが求められている。自己整合の製造技術としては、例えば、Arプラズマを用いて酸化物半導体層を低抵抗化する方法（非特許文献1、2）が提案されている。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特許第5357342号

【特許文献2】特開2011-174134号公報

40

【非特許文献】

【0008】

【非特許文献1】J.-S. Park, et al., "Improvements in the device characteristics of amorphous indium gallium zinc oxide thin-film transistors by Ar plasma treatment", Applied Physics Letters 90, 262106 (2007).

【非特許文献2】J. Park, et al., "Self-aligned top-gate amorphous gallium indium zinc oxide thin film transistors", Applied Physics Letters 93, 053501 (2008).

【非特許文献3】H. S. Shin, et al., "The effect of thermal annealing sequence on amorphous InGaZnO thin film transistor with a plasma-treated s

50

source-drain structure”, Thin Solid Films 517, 6349-6352, (2009).

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、IGZO等の従来の酸化物半導体を用いて作製した薄膜トランジスタは、十分なオン電流が得られない等、その特性は十分なものではない。

【0010】

また、自己整合型薄膜トランジスタの課題として、非特許文献3に示されているように、Arプラズマを用いてソース・ドレイン領域（低抵抗領域）を形成した後、保護膜などの形成によりソース・ドレイン領域が加熱されると、ソース・ドレイン領域の抵抗値が上昇し、それによりオン電流及び実行的な移動度が低下する問題がある。

10

【0011】

従って、上記のような問題点に鑑みてなされた本発明の目的は、ソース・ドレイン領域（低抵抗領域）の形成後に、加熱によるソース・ドレイン領域の抵抗値の上昇を抑制することができる、薄膜トランジスタとその製造方法を提供することにある。また、当該薄膜トランジスタを用いて、大画面・高解像度の表示装置を提供することにある。

【課題を解決するための手段】

【0012】

上記課題を解決するために本発明に係る薄膜トランジスタの製造方法は、基板上に少なくとも酸化物半導体層、ゲート絶縁膜、ゲート電極を、この順に形成する薄膜トランジスタの製造方法であって、前記酸化物半導体層を構成する金属元素がIn、Ga、Zn、及びSnを含み、前記ゲート電極の側から前記酸化物半導体層に対して窒素プラズマを照射せしめて、前記ゲート電極と重ならない前記酸化物半導体層の領域を低抵抗化し、ソース・ドレイン領域を形成することを特徴とする。

20

【0013】

また、前記製造方法は、前記酸化物半導体層における全金属元素の合計（In + Ga + Zn + Sn）に対する各金属元素の割合が、In：30原子%以上65原子%以下、Ga：5原子%以上16原子%以下、Zn：10原子%以上45原子%以下、及びSn：3原子%以上10原子%以下であることが望ましい。

【0014】

また、前記製造方法は、全金属元素の合計（In + Ga + Zn + Sn）に対するInの割合が、35原子%以上60原子%以下であることが望ましい。

30

【0015】

また、前記製造方法は、前記ソース・ドレイン領域を形成後、薄膜トランジスタ上に絶縁膜を250以下の温度で形成することが望ましい。

【0016】

上記課題を解決するために本発明に係る薄膜トランジスタは、基板上に少なくとも酸化物半導体層、ゲート絶縁膜、ゲート電極を、この順に積層してなる薄膜トランジスタであって、前記酸化物半導体層を構成する金属元素がIn、Ga、Zn、及びSnを含み、前記ゲート電極の端部と前記酸化物半導体層に設けられたソース・ドレイン領域の端部の位置が一致しており、前記ソース・ドレイン領域は、前記酸化物半導体層と同じ金属元素の組成を有するとともに、窒素を含有し、酸素欠損によりチャンネル領域よりも低いシート抵抗を有することを特徴とする。

40

【0017】

また、前記薄膜トランジスタは、前記酸化物半導体層における全金属元素の合計（In + Ga + Zn + Sn）に対する各金属元素の割合が、In：30原子%以上65原子%以下、Ga：5原子%以上16原子%以下、Zn：10原子%以上45原子%以下、及びSn：3原子%以上10原子%以下であることが望ましい。

【0018】

上記課題を解決するために本発明に係る表示装置は、前記薄膜トランジスタを、表示素子

50

の駆動に用いたことを特徴とする。

【発明の効果】

【0019】

本発明における薄膜トランジスタ及びその製造方法によれば、加熱によるソース・ドレイン領域の抵抗値の上昇を抑制することができ、その結果、オン電流が高く、実効的な移動度の高い自己整合型の薄膜トランジスタを実現できる。また、本発明の表示装置によれば、表示装置の大画面化・高解像度化を実現できる。

【図面の簡単な説明】

【0020】

【図1A】本発明の薄膜トランジスタとその製造方法を説明する図である。 10

【図1B】本発明の薄膜トランジスタとその製造方法を説明する図である。

【図2】酸化物半導体（IGZO）膜のシート抵抗のプラズマ照射時間依存性を示す図である。

【図3】酸化物半導体（IGZO）膜のシート抵抗のプラズマパワー依存性を示す図である。

【図4】酸化物半導体（IGZO）膜のシート抵抗の低抵抗化後の温度耐性を示す図である。

【図5】IGZO膜とIGZO膜のシート抵抗のプラズマ照射時間依存性の比較を示す図である。

【図6】IGZO膜とIGZO膜のシート抵抗のプラズマパワー依存性の比較を示す図である。 20

【図7】窒素プラズマ処理による薄膜トランジスタの伝達特性を示す図である。

【図8】窒素プラズマ処理による薄膜トランジスタの移動度のチャンネル長依存性を示す図である。

【図9】窒素プラズマ処理とArプラズマ処理による薄膜トランジスタの移動度のチャンネル長依存性の比較を示す図である。

【図10】薄膜トランジスタを用いた表示装置の回路の例を示す図である。

【発明を実施するための形態】

【0021】

本発明者らは、In、Ga、Zn及びSnを含む酸化物半導体が高いキャリア移動度を有し、また、当該酸化物半導体に窒素プラズマを照射することにより、高いキャリア濃度を有する領域を形成し得ることを見出した。さらに、In、Ga、Zn及びSnの含有量の合計に対する、In、Ga、Zn及びSnの含有量の割合がそれぞれ所定の範囲になるように酸化物半導体の組成を制御することにより、当該酸化物半導体を用いた薄膜トランジスタが良好な特性を示すことを発見した。なお、本明細書において、In、Ga、Zn、Sn及びO（酸素）から構成される酸化物を「IGZO」と称する場合がある。 30

【0022】

以下、本発明の実施の形態について図面を用いて説明する。図1A、図1Bは、本発明の薄膜トランジスタとその製造方法を説明する図である。

【0023】

まず、図1Aに示すように、ガラス等の基板1上に下地膜2を形成する。この下地膜2は、例えばSiO_x（酸化シリコン）であり、CVD（Chemical Vapor Deposition）法又はPECVD（Plasma Enhanced Chemical Vapor Deposition）等によって製膜する。この下地膜2は、50～200nm程度の厚さが望ましく、基板1と酸化物半導体層3との密着性を向上させると共に、基板1から酸化物半導体層3への不純物の拡散等を防止する機能がある。ただし、薄膜トランジスタの動作上必須のものではなく、下地膜2は、省略することもできる。 40

【0024】

次いで、下地膜2上にスパッタ等を用いて、金属元素としてIn、Ga、Zn、及びSnを含む酸化物半導体層（酸化物半導体薄膜）3を製膜する。この酸化物半導体（IGZO） 50

O)は、酸化物半導体層3における全金属元素の合計($I n + G a + Z n + S n$)に対する各金属元素の割合(以下、「原子数比」と呼ぶことがある)が、

$I n$: 30原子%以上65原子%以下、

$G a$: 5原子%以上16原子%以下、

$Z n$: 10原子%以上45原子%以下、及び

$S n$: 3原子%以上10原子%以下

であることが望ましい。

【0025】

$I n$ は導電性(電気伝導性)の向上に寄与する元素である。 $I n$ 原子数比が大きくなるほど、すなわち、全金属元素に占める $I n$ 量が多くなるほど、酸化物半導体層3の導電性が向上するため、キャリア濃度及びキャリア移動度が増加する。この作用を有効に発揮させるには、 $I n$ 原子数比は、30原子%以上とする必要があり、好ましくは35原子%以上である。但し、 $I n$ 原子数比が大き過ぎると、酸化物半導体層3の抵抗が低下してキャリア濃度が高くなり過ぎ、しきい値電圧が低下する等の問題がある。そのため、 $I n$ 原子数比は、65原子%以下とする必要があり、好ましくは60原子%以下、より好ましくは55原子%以下である。

10

【0026】

$G a$ は酸素欠損の低減及びキャリア密度の制御に寄与する元素である。 $G a$ 原子数比が大きくなるほど、すなわち、全金属元素に占める $G a$ 量が多くなるほど、酸化物半導体層3の電氣的安定性が向上し、キャリアの過剰発生を抑制する効果を発揮する。また、 $G a$ は過酸化水素系の $C u$ エッチング液によるエッチングを抑制する元素でもある。よって、 $G a$ 原子数比が大きくなるほど、ソース・ドレイン電極としての $C u$ 電極のエッチング加工に用いられる過酸化水素系エッチング液に対して選択比が大きくなり、ダメージを受け難くなる。 $G a$ 原子数比が5原子%未満であると、エッチング耐性が低下し、また、光ストレス耐性(光照射状態での電圧印加(光ストレス)により生じるトランジスタの特性変化、又はストレスを除去した後に残存する特性変化に対する耐性)が劣化するため、上記作用を有効に発揮させるには、 $G a$ は5原子%以上とする必要がある。 $G a$ 原子数比は、好ましくは8原子%以上、より好ましくは10原子%以上である。但し、 $G a$ 原子数比が大き過ぎると、酸化物半導体層3のキャリア密度が低くなり、移動度が低下する。また、酸化物半導体層を形成するためのスパッタリングターゲット材の電導度が低下し、製膜時に直流放電が安定して持続することが困難となる。そのため、 $G a$ 原子数比は、16原子%以下とする必要があり、好ましくは15原子%以下、より好ましくは12原子%以下である。

20

30

【0027】

$Z n$ は他の金属元素ほど薄膜トランジスタ特性に対して敏感ではないが、酸化物半導体の加工特性に影響する。 $Z n$ 原子数比が10原子%未満であると、過水系やシュウ酸などに対するエッチングレートが低くなる。従って、 $Z n$ 原子数比は、10原子%以上とする必要があり、好ましくは20原子%以上、より好ましくは30原子%以上である。但し、 $Z n$ 原子数比が大き過ぎると、酸化物半導体層3が結晶化する傾向がある。特にディスプレイ等の大面積での製膜が必要な分野では、部分的に結晶が形成されると、酸化物半導体層3の均一性が低下する要因になる。また、ソース・ドレイン電極用エッチング液に対する酸化物半導体層3の溶解性が高くなる結果、ウェットエッチング耐性が劣化しやすくなる。また、 $I n$ 量が相対的に減少するため、電界効果移動度が低下し、あるいは、 $G a$ が相対的に減少するため、酸化物半導体層3の電氣的安定性が低下し易くなる。そのため、 $Z n$ 原子数比は、45原子%以下とする必要があり、好ましくは35原子%以下である。

40

【0028】

$S n$ が添加された酸化物半導体は水素拡散によってキャリア密度の増加が見られシート抵抗が低下し、また、 $S n$ 添加量が適度であれば薄膜トランジスタの光ストレスに対する信頼性が向上する。この作用を有効に発揮させるには、 $S n$ 原子数比は、3原子%以上とする必要があり、好ましくは5原子%以上、より好ましくは6原子%以上である。一方、 S

50

nは酸系の薬液によるエッチングを阻害する元素である。このため、Sn原子数比が大き過ぎると、酸化物半導体層3の有機酸及び/又は無機酸のエッチング液に対する耐性が必要以上に高まり、酸化物半導体層3のエッチング加工が困難になる。また、Sn原子数比が大き過ぎると、水素拡散の影響を強く受けることで、チャンネルサイズの変化に対するドレイン電流の変化の線形性が低下するおそれがある。そのため、Sn原子数比は、10原子%以下とする必要があり、好ましくは8原子%以下、より好ましくは7原子%以下である。

【0029】

本発明の1つの実施形態において、酸化物半導体は、Inと、Gaと、Znと、Snと、Oと、不可避的不純物とからなる。不可避的不純物は、原料、資材又は製造設備等の状況によって持ち込まれ得る。不可避的不純物としては、例えば、Al、Pb、Si、Fe、Ni、Ti、Mg、Cr及びZr等が挙げられる。不可避的不純物の含有量は、酸化物半導体層3の質量に対して、好ましくは1質量%以下、より好ましくは500質量ppm以下である。

10

【0030】

Sn含有量に対するZn含有量の割合(Sn原子数比に対するZn原子数比の割合)が、2.4超であることが好ましい。これにより、ドレイン電流IdのチャンネルサイズW/Lに対する線形性を高めることが容易となる。また、Sn含有量に対するZn含有量の割合を2.4超とすることにより、実効的なチャンネルサイズの変動を抑制することがより容易となる。Sn含有量に対するZn含有量の割合は、より好ましくは3.0以上、更に好ましくは4.0以上であり、より好ましくは7.0以下、更に好ましくは5.5以下である。

20

【0031】

なお、所望の組成の酸化物半導体をスパッタ法で製膜する際には、各金属のスパッタ特性等を考慮しつつ、スパッタリングターゲットの組成を目的とする酸化物半導体の組成にほぼ近い組成とすることが好ましい。

【0032】

酸化物半導体層3の厚みは特に限定されるものではないが、10nm以上であるとソース・ドレイン電極のエッチング加工時の選択性に優れるため好ましく、より好ましくは15nm以上である。また、高移動度の維持の観点からは、例えば50nm以下であることが好ましい。

30

【0033】

なお、高移動度の薄膜トランジスタを実現するためには、酸化物半導体層3の膜構造も重要な要素となり、酸化物半導体層3はアモルファス構造、又は、少なくとも一部が結晶化されたアモルファス構造であることが好ましい。すなわち、酸化物半導体層3を形成する酸化物が、アモルファス、又は、少なくとも一部が結晶化されたアモルファスであることが好ましい。

【0034】

酸化物半導体層3は、スループット(Throughput)の高いスパッタ法で製膜されるため、通常、膜構造はアモルファスになると考えられている。しかし実際には、膜構造にはアモルファス構造の中にサブミクロン・レベル(ナノレベル)の結晶が分散している。

40

【0035】

また、酸化物半導体を用いた薄膜トランジスタの作製プロセスには、幾つかの加熱処理過程が含まれる(製膜時や熱処理など)ため、アモルファス化率はこれらの加熱処理過程を総合した結果により決まることになる。酸化物半導体層3の構造は、キャリア移動度に影響するため、高移動度の薄膜トランジスタを実現するためには、最適なプロセス条件を探索することが望ましい。

【0036】

また、保護膜を形成する前、すなわち、酸化物半導体層3をスパッタ製膜し、さらに熱処

50

理を加えた後の酸化物半導体層 3 のシート抵抗は 1.0×10^5 / 以下が好ましく、
 5.0×10^4 / 以下がより好ましい。このようなシート抵抗を有する酸化物半導体
 層が薄膜トランジスタの移動度を高くするには好ましい。なお、一般的な酸化物半導体の
 シート抵抗は 10^7 / 程度であり、比較的抵抗が低い I G Z O 酸化物半導体層であっ
 てもシート抵抗は 1.0×10^5 / 超の値を示すことが多い。なお、酸化物半導体層
 3 を有する薄膜トランジスタの場合は、その製造工程において、保護膜を形成した後の酸
 化物半導体層 3 のシート抵抗は増加する傾向にある。

【 0 0 3 7 】

また、酸化物半導体層 3 の O H 基が増加すると、高移動度は維持されながら、光ストレス
 耐性の向上が得られる。すなわち、このような O H 基が増加した酸化物半導体層 3 を表示
 パネルに使用した場合、長時間においてバックライトなどの光照射を受けても薄膜トラン
 ジスタの特性が変化しにくくなる。この理由は、酸化物半導体層中に水素が侵入して O H
 基が形成されると、効果的にチャネル層の酸素関連欠陥や不安定な水素関連欠陥が抑制さ
 れ、安定なメタル - 酸素の結合を形成することによると考えられている。なお、酸化物半
 導体層中の O H 基の密度は、ポストアニールによって有効に制御することができる。

10

【 0 0 3 8 】

酸化物半導体層 3 を製膜した後、フォトリソグラフィを用いてパターンニングする。パター
 ニングは有機酸及び / 又は無機酸によるウエットエッチングを利用することができる。パ
 ターニングの直後には、酸化物半導体の膜質改善のために熱処理を行うことが好ましく、
 これにより、薄膜トランジスタ特性のオン電流及び移動度が上昇し、性能が向上する。熱
 処理としては、300 以上で30分以上処理することが好ましい。

20

【 0 0 3 9 】

次に、酸化物半導体層 3 上にゲート絶縁膜 4 を形成する。ゲート絶縁膜 4 は、例えば、S
 i O_x を C V D 又は P E C V D 法によって製膜する。なお、ゲート絶縁膜 4 は、所望の誘
 電率を有する他の絶縁材料で形成してもよく、S i N、S i O N、或いは他の高誘電率絶
 縁膜等を用いることができる。ゲート絶縁膜 4 の厚さは、薄膜トランジスタのしきい値電
 圧及びゲート耐電圧等を考慮して決定されるが、求めるスイッチング特性に応じて 100
 ~ 500 nm の厚さで形成するのが望ましい。

【 0 0 4 0 】

その後、ゲート電極材料として M o 等の金属を形成した後、フォトリソグラフィを用いて
 パターンニングを行い、ゲート電極 5 を形成する。ゲート電極材料としては、M o , C r ,
 A l , T i , C u , 或いはこれら金属を主体とした合金等、一般の半導体電極として利用
 できる金属であってよい。ゲート電極 5 の厚さは、ゲート電極の加工性、ゲート電極抵抗
 等を考慮して設定するが、50 ~ 500 nm 程度の厚さが望ましい。こうして、基板 1 上
 に少なくとも酸化物半導体層 3、ゲート絶縁膜 4、ゲート電極 5 を、この順に積層してな
 る薄膜トランジスタの積層構造が形成される。

30

【 0 0 4 1 】

この後、ソース・ドレイン領域となる酸化物半導体層 3 を窒素プラズマに晒す必要がある
 ので、ソース・ドレイン領域となる酸化物半導体層 3 の上部のゲート絶縁膜 4 をエッチン
 グ除去する。この処理は、ゲート電極 5 をマスクにしてゲート絶縁膜 4 をドライエッチン
 グでパターンニングすることで、ゲート電極 5 と絶縁膜 4 の除去部とが自己整合するよう
 に形成する。

40

【 0 0 4 2 】

次に、上面（ゲート電極 5 の側）より、酸化物半導体層 3 に対して窒素プラズマを照射す
 る。図 1 A は、窒素プラズマ照射の作用を示す概念図である。ゲート電極 5 と重ならない
 酸化物半導体層 3 の領域は窒素プラズマに晒され、プラズマが照射された酸化物半導体（
 I G Z T O）が低抵抗化する。窒素プラズマによって金属イオンと酸素イオンの結合が切
 断され、I G Z T O 内に酸素欠損が形成されると同時に自由電子が発生し、キャリア密度
 が上昇する。これにより、金属元素の組成が一定のまま、酸化物半導体の窒素プラズマ
 照射領域の抵抗が低減する。また、窒素プラズマ照射領域の I G Z T O は、微量の窒素を

50

含有している。これは、昇温脱離ガス分析 (T D S : Thermal Desorption Spectroscopy) 等の方法で確認できる。このプラズマ処理による低抵抗化領域は、薄膜トランジスタのソース領域 3 a , ドレイン領域 3 b となる。また、窒素プラズマが照射されなかった領域は、チャンネル領域となる。ゲート電極 5 をマスクとした自己整合処理により、ゲート電極 5 の端部と酸化物半導体に設けられたソース・ドレイン領域 3 a , 3 b の端部の位置が一致する。

【 0 0 4 3 】

この後、図 1 B に示すように、薄膜トランジスタを覆う絶縁膜 6 を形成する。この絶縁膜 6 は、保護膜又は層間膜として機能する。絶縁膜 6 として、例えば、PECVD を用いて SiO_x を、100 ~ 800 nm 程度形成する。この絶縁膜 6 の製膜温度によって、低抵抗化した領域の抵抗が上昇してしまうという問題があるため、抵抗上昇が小さい製膜温度 (例えば、200 以下) に適宜調節することが好ましい。

10

【 0 0 4 4 】

次いで、ソース・ドレイン電極 7 (7 a , 7 b) とソース・ドレイン領域 3 a , 3 b を接続するために、絶縁膜 6 にコンタクトホールとなる穴をフォトリソグラフィとドライエッチングを用いて形成する。そして、スパッタを用いてソース・ドレイン電極材料を製膜する。ソース・ドレイン電極材料は、Mo , Cr , Al , Ti , Cu , 或いはこれら金属を主体とした合金等、半導体装置の配線・電極として用いられる任意の金属を用いることができる。電極材料の厚さは、電極・配線の抵抗及び加工性等を考慮して適宜設定し得るが、50 ~ 500 nm 程度が望ましい。製膜された金属層をフォトリソグラフィとウエットエッチングを用いてパターニングを行い、ソース電極 7 a , ドレイン電極 7 b を形成する。以上で、本発明における自己整合型の薄膜トランジスタの作製が完了する。

20

【 0 0 4 5 】

(プラズマ照射 I G Z T O 膜の特性)

酸化物半導体膜 (I G Z T O 膜) に対して、処理条件を様々に変えてプラズマ処理を行い、抵抗値を測定した。さらに、熱処理後の抵抗値を測定した。また、窒素プラズマ処理とアルゴンプラズマ処理との比較、及び、他の酸化物半導体 (I G Z O) との比較を行った。

【 0 0 4 6 】

ガラス基板上に、前述の実施の形態に記載した組成の I G Z T O 膜を以下の製膜条件で製膜した。

30

製膜法 : D C スパッタ法

製膜温度 : 室温

ガス圧 : 0 . 2 P a

キャリアガス : A r

酸素分圧 : $100 \times \text{O}_2 / (\text{A r} + \text{O}_2) = 30 \%$

【 0 0 4 7 】

上記の製膜条件で酸化物半導体 (I G Z T O) 膜を 15 nm 形成した。次に、ホットプレートを用いて大気中で 300 のアニールを 1 時間実施した。その後、A r プラズマ処理、又は、窒素プラズマ処理を実施し、酸化物半導体 (I G Z T O) 膜のシート抵抗を 4 探針法で測定した。

40

【 0 0 4 8 】

[酸化物半導体 (I G Z T O) 膜のシート抵抗のプラズマ照射時間依存性]

プラズマ照射時間を様々に変化させて、I G Z T O 膜のシート抵抗を調べた。プラズマ処理条件は次のとおりである。

ガス種 : アルゴン (A r プラズマ処理) 、又は、窒素 (窒素プラズマ処理)

ガス流量 : 20 s c c m

R F パワー : 100 W

プラズマ処理時間 : 1 , 3 , 5 , 10 , 15 分間

各条件におけるプラズマ処理後のシート抵抗を表 1 に示す。

50

【 0 0 4 9 】

【 表 1 】

実験 1 : 厚さ 15 nm の酸化物半導体 (I G Z T O) 膜

	処理の種類	処理時間	抵抗値 (Ω/\square)
比較例 1	プラズマ処理なし		$> 1 \times 10^8$
比較例 2	A r プラズマ処理	1 分間	1.7×10^3
比較例 3	A r プラズマ処理	3 分間	1.4×10^3
比較例 4	A r プラズマ処理	5 分間	1.7×10^3
比較例 5	A r プラズマ処理	10 分間	7.8×10^3
比較例 6	A r プラズマ処理	15 分間	$> 1 \times 10^8$
実施例 1	窒素プラズマ処理	1 分間	1.4×10^3
実施例 2	窒素プラズマ処理	3 分間	9.8×10^2
実施例 3	窒素プラズマ処理	5 分間	9.5×10^2
実施例 4	窒素プラズマ処理	10 分間	1.1×10^3
実施例 5	窒素プラズマ処理	15 分間	1.1×10^3

10

【 0 0 5 0 】

図 2 に、酸化物半導体 (I G Z T O) 膜のシート抵抗のプラズマ照射時間依存性を示す。表 1 の比較例 2 ~ 6、実施例 1 ~ 5 の厚さ 15 nm の I G Z T O 膜のシート抵抗の測定結果からグラフを作成した。A r プラズマ処理と窒素プラズマ処理を比較すると、窒素プラズマ処理は、A r プラズマ処理以上の酸化物半導体膜の抵抗低減効果を示していることが分かる。さらに、窒素プラズマ処理は、A r プラズマ処理と比較すると、シート抵抗値の処理時間依存性が小さく、プロセスマージンが広いという利点もあることが分かる。また、A r プラズマ処理は、照射時間が長くなると抵抗値が大きくなるが、窒素プラズマ処理はその傾向が非常に小さいことが分かる。

20

【 0 0 5 1 】

[酸化物半導体 (I G Z T O) 膜のシート抵抗のプラズマパワー依存性]

プラズマパワーを様々に変化させて、I G Z T O 膜のシート抵抗を調べた。プラズマ処理条件は次のとおりである。

30

ガス種 : アルゴン (A r プラズマ処理)、又は、窒素 (窒素プラズマ処理)

ガス流量 : 20 s c c m

R F パワー : 50、75、100、125、150、175、200 W

プラズマ処理時間 : 5 分間

各条件におけるプラズマ処理後のシート抵抗を表 2 に示す。

【 0 0 5 2 】

40

50

【表 2】

実験 2 : 厚さ 15 nm の酸化物半導体 (I G Z T O) 膜

	処理の種類	プラズマパワー (W)	抵抗値 (Ω / \square)
比較例 7	A r プラズマ処理	50	1.7×10^3
比較例 8	A r プラズマ処理	75	1.4×10^3
比較例 9	A r プラズマ処理	100	1.7×10^3
比較例 10	A r プラズマ処理	125	2.9×10^3
比較例 11	A r プラズマ処理	150	6.7×10^3
比較例 12	A r プラズマ処理	175	$> 1 \times 10^8$
比較例 13	A r プラズマ処理	200	$> 1 \times 10^8$
実施例 6	窒素プラズマ処理	50	2.1×10^3
実施例 7	窒素プラズマ処理	75	1.0×10^3
実施例 8	窒素プラズマ処理	100	9.5×10^2
実施例 9	窒素プラズマ処理	125	1.1×10^3
実施例 10	窒素プラズマ処理	150	1.3×10^3
実施例 11	窒素プラズマ処理	175	1.5×10^3
実施例 12	窒素プラズマ処理	200	1.8×10^3

10

20

【0053】

図 3 に、酸化物半導体 (I G Z T O) 膜のシート抵抗のプラズマパワー依存性を示す。表 2 の比較例 7 ~ 13、実施例 6 ~ 12 の厚さ 15 nm の酸化物半導体 (I G Z T O) 膜のシート抵抗の測定結果からグラフを作成した。A r プラズマ処理と窒素プラズマ処理を比較すると、窒素プラズマ処理は、A r プラズマ処理以上の酸化物半導体膜の抵抗低減効果を示していることが分かる。さらに、窒素プラズマ処理は、A r プラズマ処理と比較すると、シート抵抗値のプラズマパワー依存性が小さく、プロセスマージンが広いという利点もあることが分かる。また、A r プラズマ処理は、プラズマパワーが大きくなると抵抗値が大きくなるが、窒素プラズマ処理はその傾向が非常に小さいことが分かる。

30

【0054】

[酸化物半導体 (I G Z T O) 膜のシート抵抗の温度耐性]

プラズマ照射後のアニール温度を様々に変化させて、I G Z T O 膜のシート抵抗を調べた。プラズマ処理条件は次のとおりである。

ガス種 : アルゴン (A r プラズマ処理)、又は、窒素 (窒素プラズマ処理)

ガス流量 : 20 s c c m

R F パワー : 100 W

プラズマ処理時間 : 3 分間

各条件におけるプラズマ処理後、大気中で (保護膜を形成せずに) アニールを 30 分間実施し、シート抵抗を測定した。アニール温度は、150、200、250、300 とした。

40

各条件におけるアニール処理後のシート抵抗を表 3 に示す。

【0055】

50

【表 3】

実験 3 : 厚さ 15 nm の酸化物半導体 (I G Z T O) 膜

	処理の種類	プラズマ処理後の加熱条件(大気中)	抵抗値 (Ω/□)
比較例 1 4	A r プラズマ処理	1 5 0 °C 3 0 分	1.4×10^6
比較例 1 5	A r プラズマ処理	2 0 0 °C 3 0 分	3.1×10^7
比較例 1 6	A r プラズマ処理	2 5 0 °C 3 0 分	$> 1 \times 10^8$
比較例 1 7	A r プラズマ処理	3 0 0 °C 3 0 分	$> 1 \times 10^8$
実施例 1 3	窒素プラズマ処理	1 5 0 °C 3 0 分	3.0×10^4
実施例 1 4	窒素プラズマ処理	2 0 0 °C 3 0 分	5.3×10^5
実施例 1 5	窒素プラズマ処理	2 5 0 °C 3 0 分	$> 1 \times 10^8$
実施例 1 6	窒素プラズマ処理	3 0 0 °C 3 0 分	$> 1 \times 10^8$

10

【 0 0 5 6 】

図 4 に、酸化物半導体 (I G Z T O) 膜のシート抵抗の低抵抗化後の温度耐性を示す。表 3 の比較例 1 4 ~ 1 7、実施例 1 3 ~ 1 6 の厚さ 15 nm の酸化物半導体 (I G Z T O) 膜のシート抵抗の測定結果が示されている。なお、図 4 で初期値として示されている測定点は、加熱処理前の室温 27 °C における各プラズマ処理後のシート抵抗 (比較例 3、実施例 2 を参照) である。A r プラズマ処理と窒素プラズマ処理を比較すると、窒素プラズマ処理は、A r プラズマ処理に比べ、加熱後のシート抵抗の値が小さく (1 5 0 °C、2 0 0 °C で 5 0 分の 1 程度)、加熱により抵抗が上がりにくいことが分かる。なお、本実験は被膜を大気中で 3 0 分アニールしたものであり、実際の製造プロセスである絶縁膜 (保護膜) の形成過程における熱処理よりも、過酷な条件になっている。本実験では 2 5 0 °C 3 0 分の加熱で抵抗値が測定限界を超えたが、後述のとおり、実際の電界効果トランジスタの製造プロセスでは、2 5 0 °C で絶縁膜形成処理を行っても、十分な特性が得られている。

20

【 0 0 5 7 】

[他の酸化物半導体 (I G Z O) 膜とのシート抵抗の窒素プラズマ照射時間依存性比較]
I G Z T O 膜との比較用に、ガラス基板上に I G Z O 膜を以下の製膜条件で製膜した。

30

製膜法 : R F スパッタ法

製膜温度 : 室温

ガス圧 : 0 . 4 P a

キャリアガス : A r

酸素分圧 : $100 \times O_2 / (A r + O_2) = 3 \%$

【 0 0 5 8 】

上記の製膜条件で I G Z O 膜を 15 nm 形成した。次に、ホットプレートを用いて大気中で 3 0 0 °C のアニールを 1 時間実施した。その後、窒素プラズマ処理を実施し、I G Z O 膜のシート抵抗を 4 探針法で測定した。プラズマ処理条件は、次のとおりである。

ガス種 : 窒素 (窒素プラズマ処理)

ガス流量 : 2 0 s c c m

R F パワー : 1 0 0 W

プラズマ処理時間 : 1 , 3 , 5 , 1 0 , 1 5 分間

各条件におけるプラズマ処理後のシート抵抗を表 4 に示す。

40

【 0 0 5 9 】

50

【表 4】

厚さ 15 nm の I G Z O 膜

	処理の種類	処理時間	抵抗値 (Ω/\square)
比較例 18	プラズマ処理なし	—	$> 1 \times 10^8$
比較例 19	窒素プラズマ処理	1 分間	2.2×10^3
比較例 20	窒素プラズマ処理	3 分間	1.7×10^3
比較例 21	窒素プラズマ処理	5 分間	1.8×10^3
比較例 22	窒素プラズマ処理	10 分間	1.9×10^3
比較例 23	窒素プラズマ処理	15 分間	1.9×10^8

10

【0060】

図 5 に、I G Z T O 膜と I G Z O 膜のシート抵抗の窒素プラズマ処理時間依存性の比較を示す。図 5 には、比較例 19 ~ 23 (厚さ 15 nm の I G Z O 膜) と、実施例 1 ~ 5 (厚さ 15 nm の I G Z T O 膜) のシート抵抗の測定結果が示されている。窒素プラズマ処理により、I G Z T O 膜が I G Z O 膜に比べて、より低い抵抗値を示していることが分かる。

【0061】

[他の酸化物半導体 (I G Z O) 膜とのシート抵抗の窒素プラズマパワー依存性比較]
I G Z T O 膜との比較用に、ガラス基板上に I G Z O 膜を製膜した。製膜条件は、上記の窒素プラズマ照射時間依存性を調べたときの製膜条件と同じである。

20

【0062】

上記の製膜条件で I G Z O 膜を 15 nm 形成した。次に、ホットプレートを用いて大気中で 300 のアニールを 1 時間実施した。その後、窒素プラズマ処理を実施し、I G Z O 膜のシート抵抗を 4 探針法で測定した。プラズマ処理条件は、次のとおりである。

ガス種：窒素 (窒素プラズマ処理)

ガス流量：20 s c c m

R F パワー：50、75、100、125、150、175、200 W

プラズマ処理時間：5 分間

各条件におけるプラズマ処理後のシート抵抗を表 5 に示す。

30

【0063】

【表 5】

厚さ 15 nm の I G Z O 膜

	処理の種類	プラズマパワー (W)	抵抗値 (Ω/\square)
比較例 24	窒素プラズマ処理	50	2.5×10^3
比較例 25	窒素プラズマ処理	75	1.8×10^3
比較例 26	窒素プラズマ処理	100	1.8×10^2
比較例 27	窒素プラズマ処理	125	2.4×10^3
比較例 28	窒素プラズマ処理	150	3.0×10^3
比較例 29	窒素プラズマ処理	175	3.7×10^3
比較例 30	窒素プラズマ処理	200	4.8×10^3

40

【0064】

図 6 に、I G Z T O 膜と I G Z O 膜のシート抵抗の窒素プラズマパワー依存性の比較を示す。図 6 には、比較例 24 ~ 30 (厚さ 15 nm の I G Z O 膜) と、実施例 6 ~ 12 (厚さ 15 nm の I G Z T O 膜) のシート抵抗の測定結果が示されている。窒素プラズマ処理により、I G Z T O 膜が I G Z O 膜に比べて、より低い抵抗値を示していることが分かる。また、プラズマパワーが大きくなると抵抗値が大きくなるが、I G Z T O 膜は I G Z O

50

膜に比べて、その傾向が小さいことが分かる。

【0065】

(実施例：窒素プラズマ処理による自己整合型薄膜トランジスタの作製と評価)

本発明の窒素プラズマによる低抵抗化プロセスを用いた自己整合型薄膜トランジスタを作製し、その特性を検証した。加えて、比較例として、従来のArプラズマによる低抵抗化プロセスを用いた自己整合型薄膜トランジスタを作製し、実施例と特性を比較した。

【0066】

本発明の窒素プラズマ処理による自己整合型薄膜トランジスタの製造工程について、図に基づいて説明する。

【0067】

図1Aを参照して、ガラス基板1上に下地膜2としてPECVDを用いてSiO_xを140nm形成した。次に、前述の実施の形態に記載した組成のIGZO膜を以下の製膜条件で製膜した。

製膜法：DCスパッタ法

製膜温度：室温

ガス圧：0.2Pa

キャリアガス：Ar

酸素分圧： $100 \times O_2 / (Ar + O_2) = 30\%$

【0068】

上記の製膜条件で酸化物半導体層(IGZO膜)3を15nm形成し、フォトリソグラフィとウエットエッチングを用いてIGZO膜3をパターンニングした。次に、ホットプレートを用いて空气中で300℃のアニールを1時間実施した。アニールによって薄膜トランジスタの移動度及び信頼性が向上する。

【0069】

次に、PECVDを用いてゲート絶縁膜4としてSiO_xを140nm製膜し、その上に、ゲート電極5としてMo合金を70nm製膜した。ゲート電極5をフォトリソグラフィとウエットエッチングを用いてパターンニングした。

【0070】

低抵抗化のために、IGZO膜3を窒素プラズマを晒す必要があるため、次に、ソース・ドレイン領域となるIGZO膜3の上部のゲート絶縁膜4をエッチング除去する。この処理は、ゲート電極5をマスクにしてゲート絶縁膜4のSiO_xをドライエッチングでパターンニングすることで、ゲート電極5と絶縁膜4の除去部とが自己整合するように形成した。

【0071】

そして、窒素プラズマ処理(ガス種：窒素、ガス流量：20sccm、RFパワー：100W、処理時間：5分間)を実施し、ソース領域3a、ドレイン領域3bを形成した。

【0072】

次に、図1Bに示すように、PECVDを用いて製膜温度150℃又は200℃又は250℃の条件で、SiO_xを200nm形成し、絶縁膜(保護膜又は層間膜)6とし、さらに、フォトリソグラフィとドライエッチングを用いて、絶縁膜6にソース・ドレイン領域3a、3bに達するコンタクトホールを形成した。スパッタを用いてソース・ドレイン電極7となるMo合金を70nm製膜し、これをフォトリソグラフィとウエットエッチングを用いてパターンニングし、ソース電極7a、ドレイン電極7bを形成した。これにより窒素プラズマによる低抵抗化プロセスを用いた自己整合型薄膜トランジスタの作製が完了した。

【0073】

図7に、窒素プラズマ処理による自己整合型薄膜トランジスタの電圧-電流特性を示す。チャネル長(L)は10μm、チャネル幅(W)は10μm(チャネル長・チャネル幅は設計値)である。また絶縁膜6の製膜温度は150℃の条件である。この薄膜トランジスタより、移動度 $29 \text{ cm}^2 / \text{Vs}$ が得られた。この移動度は、従来の代表的な酸化物半導

10

20

30

40

50

体材料である I G Z O を用いた場合と比較して、約 3 倍の値である。また、しきい値電圧はほぼ 0 V でドレイン電流が急峻に立ち上がり、ゲート電圧 5 V でドレイン電流が 10^{-6} A を超えており、良好なゲート電圧 - ドレイン電流特性が得られた。

【 0 0 7 4 】

図 8 は、窒素プラズマ処理による自己整合型薄膜トランジスタの移動度のチャネル長依存性であり、絶縁膜（保護膜）6 の製膜温度が異なる 3 条件（150 または 200 または 250）を比較している。作製した自己整合型薄膜トランジスタのチャネル長（L）は、 $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $7\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $50\ \mu\text{m}$ 、 $100\ \mu\text{m}$ 、チャネル幅（W）は $10\ \mu\text{m}$ （チャネル長・チャネル幅は設計値）である。また、移動度の評価は、電流電圧特性の線形領域（ドレイン電圧は 1 V）を用いて行い、チャネル長・チャネル幅は設計値を用いた。また、ソース領域 3 a，ドレイン領域 3 b の抵抗の影響は補正せずに、電流電圧測定の実測値を用いて、移動度を計算した。したがって、ソース領域 3 a，ドレイン領域 3 b の抵抗が高くなると、それにより、今回評価した移動度（実効的な移動度）の値は小さくなる。

10

【 0 0 7 5 】

図 8 に示すように、保護膜形成温度が高くなるにつれて、実効的な移動度の値が小さくなる傾向があるが、保護膜形成温度が 250 においても移動度は $22\ \text{cm}^2/\text{Vs}$ 以上であり、従来の薄膜トランジスタと比較して高い移動度を得られている。ソース・ドレイン領域の形成に窒素プラズマ処理を用いることにより、プラズマ処理後の耐熱特性が向上し、250 の温度で絶縁膜（保護膜）形成が可能であることが確認できた。

20

【 0 0 7 6 】

[A r プラズマ処理による自己整合型薄膜トランジスタとの比較]

比較例の A r プラズマ処理による自己整合型薄膜トランジスタの製造工程について説明する。ソース領域 3 a，ドレイン領域 3 b を形成には、A r プラズマ処理（ガス種：アルゴン、ガス流量： $20\ \text{sccm}$ 、RF パワー： $100\ \text{W}$ 、処理時間：3 分間）を用い、絶縁膜（保護膜）6 の形成は、PECVD を用いて製膜温度 200 の条件で実施した。それ以外の条件は、実施例の窒素プラズマ処理による自己整合型薄膜トランジスタの製造工程と同じである。

【 0 0 7 7 】

図 9 は、窒素プラズマ処理と A r プラズマ処理による薄膜トランジスタの移動度のチャネル長依存性の比較（絶縁膜 6 の製膜温度は 200 の条件）を示す図である。ソース領域 3 a，ドレイン領域 3 b を形成するためのプラズマ処理以外の条件は同じ条件で比較を行っている。図 9 から分かるように、チャネル長（L）が $10\ \mu\text{m}$ 以下の場合、窒素プラズマ処理の場合が A r プラズマ処理の場合に比べて高い実効的な移動度を示している（破線で囲んだ測定点）。これは、窒素プラズマ処理により形成されたソース領域 3 a，ドレイン領域 3 b が、A r プラズマ処理により形成されたソース領域 3 a，ドレイン領域 3 b に比べて、絶縁膜 6 の製膜（200）に起因する抵抗上昇が小さいためと推察される。電流電圧測定の実測値を用いて、移動度を計算しているため、チャネル長が短い領域でソース・ドレイン領域の抵抗値の影響が現れる傾向がある。

30

【 0 0 7 8 】

以上のとおり、薄膜トランジスタの半導体層に I G Z T O を適用し、窒素プラズマによる低抵抗化プロセスを用いて薄膜トランジスタを作製することで、プラズマ処理後の温度耐性が高く、高移動度を有する自己整合型の薄膜トランジスタを実現することが可能である。

40

【 0 0 7 9 】

（表示装置への適用）

図 10 は、薄膜トランジスタを用いた表示装置の回路の例を示す図である。図 10 は、有機 E L（Electroluminescence）ディスプレイの 1 画素の回路を示している。各画素は、選択用 T F T 1 1、駆動用 T F T 1 2、保持容量 2 0、表示素子（有機 E L）3 0 を備え、信号線 4 1、走査線 4 2、電源線 4 3 により制御される。このような画素が、縦・

50

横二次元的に多数配置され、ディスプレイ（画素アレイ）を構成する。この選択用 T F T 1 1 及び / 又は駆動用 T F T 1 2 に、本発明の窒素プラズマ処理による I G Z T O 膜からなる薄膜トランジスタを用いることができる。

【 0 0 8 0 】

図 1 0 の回路の動作を、T F T を中心に説明する。酸化物半導体（I G Z T O）を用いた選択用 T F T 1 1 は、走査線 4 2 が選択されて、ゲート電極に信号が印加されると導通し、信号線 4 1 により伝送された表示信号を駆動用 T F T 1 2 のゲート電極に出力すると共に、保持容量 2 0 を充電する。

【 0 0 8 1 】

酸化物半導体（I G Z T O）を用いた駆動用 T F T 1 2 は、信号線 4 1 により伝送された表示信号に基づいて（すなわち、保持容量 2 0 に保持された信号電圧に基づいて）、導通制御され、電源線 4 3 から有機 E L 素子（発光素子・表示素子）3 0 に電流を流す。こうして、有機 E L 素子が発光し、画像が表示される。

10

【 0 0 8 2 】

本発明の窒素プラズマ処理を行った酸化物半導体（I G Z T O）の薄膜トランジスタは、熱処理後も安定しており、オン電流が大きいため、微細化された薄膜トランジスタ 1 1 , 1 2 であっても有機 E L 素子 3 0 を十分に駆動することができる。したがって、本発明の表示装置（有機 E L ディスプレイ）は、大画面化・多画素化・高解像度化を実現できる。なお、ここでは、有機 E L ディスプレイを例として説明したが、液晶表示装置等、他の表示素子を用いた表示装置にも本発明の薄膜トランジスタを利用することができる。

20

【 0 0 8 3 】

本発明を諸図面や実施形態・実施例に基づき説明してきたが、当業者であれば本開示に基づき種々の変形や修正を行うことが容易であることに注意されたい。したがって、本発明は、上述の実施形態によって制限するものと解するべきではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

【 符号の説明 】

【 0 0 8 4 】

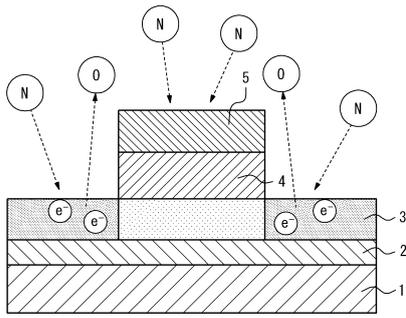
- 1 基板
- 2 下地膜
- 3 酸化物半導体膜
- 3 a ソース領域
- 3 b ドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 絶縁膜
- 7 ソース・ドレイン電極
- 1 1 選択用 T F T
- 1 2 駆動用 T F T
- 2 0 保持容量
- 3 0 発光素子
- 4 1 信号線
- 4 2 走査線
- 4 3 電源線

30

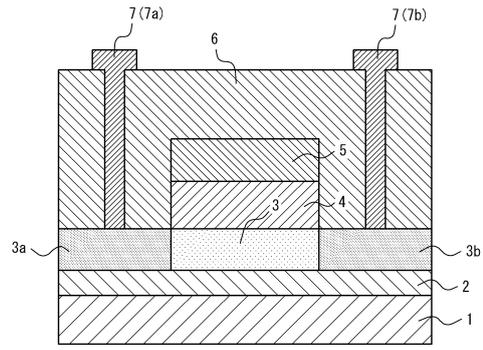
40

【図面】

【図 1 A】

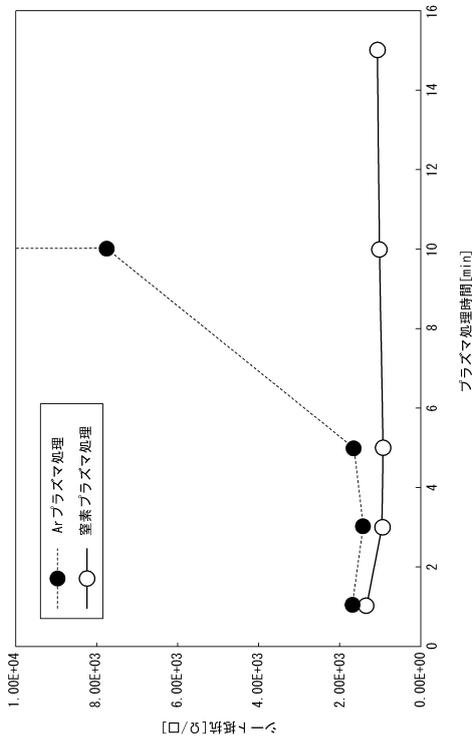


【図 1 B】

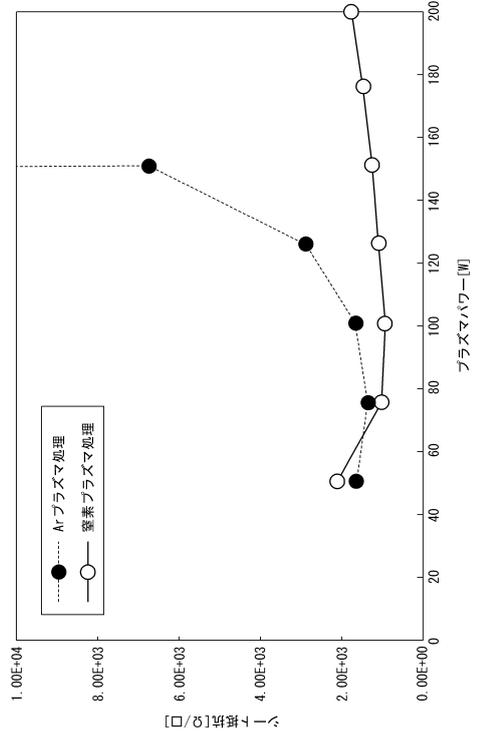


10

【図 2】



【図 3】



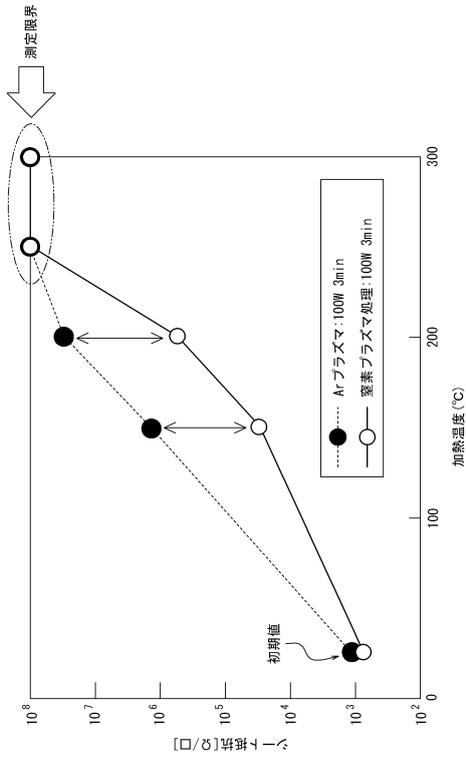
20

30

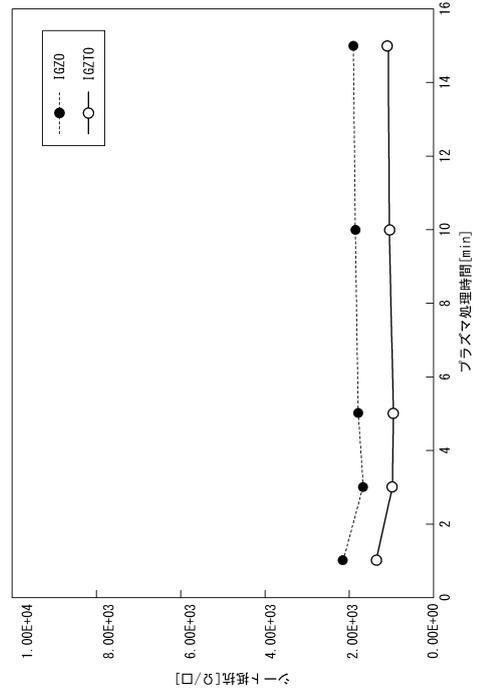
40

50

【 図 4 】



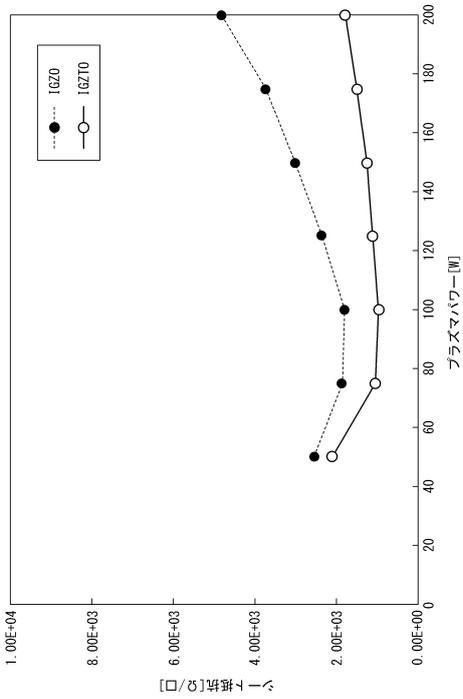
【 図 5 】



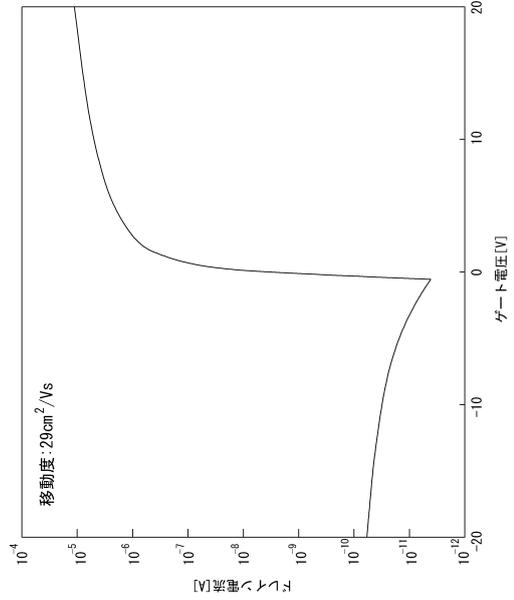
10

20

【 図 6 】



【 図 7 】

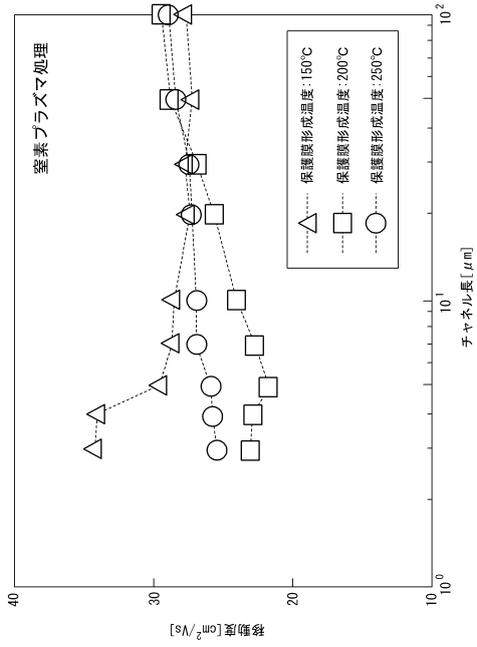


30

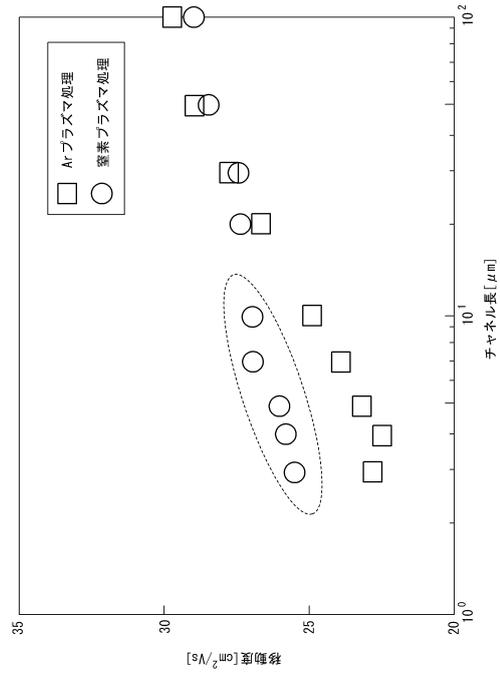
40

50

【 図 8 】



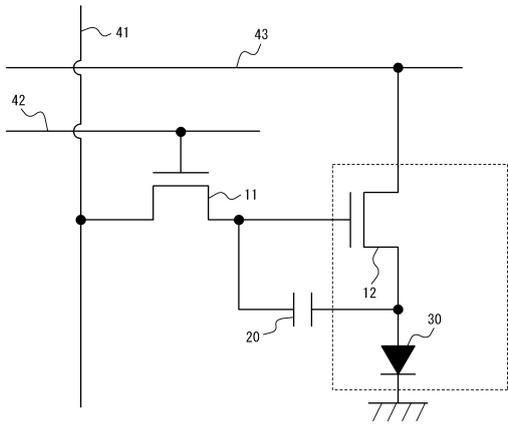
【 図 9 】



10

20

【 図 10 】



30

40

50

フロントページの続き

(51)国際特許分類	F I	テーマコード (参考)
	H 0 1 L 29/78 6 1 8 G	
	H 0 1 L 29/78 6 1 6 V	
(72)発明者	東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内 中田 充	
(72)発明者	東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内 宮川 幹司	
(72)発明者	東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内 中嶋 宜樹	
(72)発明者	東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内 越智 元隆	
(72)発明者	兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内 西山 功兵	
Fターム (参考)	4M104 AA03 AA08 AA09 BB02 BB13 BB14 BB16 CC01 CC05 DD37 DD86 DD88 GG09 HH15 5F110 AA01 CC02 DD13 DD24 EE02 EE03 EE04 EE06 FF02 FF03 FF04 FF29 FF30 GG01 GG15 GG43 GG55 HL02 HL03 HL04 HL06 HL23 NN02 NN73	