



(12)

Patentschrift

(21) Aktenzeichen: **102 38 444.4**
 (22) Anmeldetag: **22.08.2002**
 (43) Offenlegungstag: **04.03.2004**
 (45) Veröffentlichungstag
 der Patenterteilung: **12.05.2011**

(51) Int Cl.: **H01L 21/78 (2006.01)**
H01L 21/768 (2006.01)
H01L 21/66 (2006.01)
H01L 21/67 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**United Monolithic Semiconductors GmbH, 89081
 Ulm, DE**

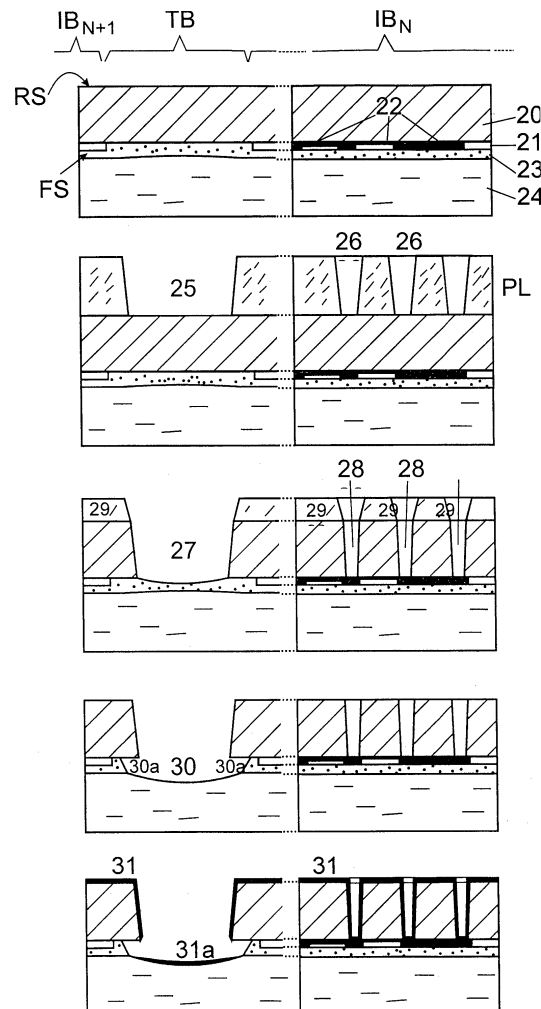
(72) Erfinder:
Behammer, Dag, 89079 Ulm, DE

(74) Vertreter:
Weber, G., Dipl.-Phys., Pat.-Anw., 89073 Ulm

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
siehe Folgeseiten

(54) Bezeichnung: **Verfahren zur Herstellung von vereinzelt monolithisch integrierten Halbleiterschaltungen**

(57) Hauptanspruch: Verfahren zur Herstellung von monolithisch integrierten Halbleiterschaltungen, bei welchem
 a) auf der Frontseite (FS) eines Wafers (20) mehrere separate Bauelementstrukturen erzeugt werden,
 b) auf der Frontseite (FS) des Wafers (20) eine Schutzschicht (23) erzeugt wird,
 c) der Wafer mit der Frontseite mittels eines Befestigungsmaterials (24) auf einem starren Träger (TR) befestigt wird,
 d) der Wafer (20) auf eine gewünschte Dicke gedünnt wird,
 e) Durchgangslöcher (26) durch das Substrat bis zu Leiterflächen (22) auf der Frontseite erzeugt werden,
 f) zwischen den separaten Bauelementstrukturen Trenngräben (27, 30) bis an oder in das Befestigungsmaterial (24) geätzt werden und eine laterale Unterätzung (30a) des Substrats in der frontseitigen Schutzschicht (23) erzeugt wird,
 g) eine Rückseitenmetallisierung (31) einschließlich der elektrischen Verbindungen durch die Durchgangslöcher hergestellt wird,
 h) die Halbleiterschaltungen (IC) mit den separaten Bauelementstrukturen individuell von dem starren Träger gelöst und einzeln weiter verarbeitet werden.



(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US	2002/64 48 151	B2
US	2001/62 15 194	B1
US	2002/00 55 238	A1
US	2002/00 22 343	A1
US	2001/00 05 043	A1
US	59 19 713	A
US	47 22 130	A
EP	12 55 296	A2
WO	99/25 019	A1
WO	01/03 180	A1

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung von einzelnen monolithisch integrierten Halbleiterschaltungen.

[0002] Bei der Herstellung integrierter Halbleiterschaltungen, auch einfach als IC oder Chip bezeichnet, werden typischerweise auf einer dünnen Halbleiterscheibe, dem Wafer, als Substrat eine größere Anzahl von Schaltungen gleichzeitig erzeugt, welche in einem späteren Verfahrensschritt vereinzelt werden, insbesondere durch Sägen oder Ritzen des Wafers. Die ICs weisen typischerweise auf einer Frontseite des Substrats eine Mehrzahl von Bauelementen und auf der Rückseite eine Rückseitenmetallisierung auf, wobei die Rückseitenmetallisierung auf Bezugspotenzial liegt und mit einzelnen Leiterflächen auf der Frontseite über Durchgangslöcher (via) durch das Substrat elektrisch verbunden sein kann.

[0003] Die US 2001/0005043 A1 beschreibt ein Verfahren zur Herstellung von einzelnen integrierten Halbleiterschaltungen aus einem Waferverbund, bei welchem die separaten Bauelementstrukturen auf der Frontseite von metallischen Rahmenflächen umgeben sind. Der Wafer wird mit der Frontseite auf einem starren Träger befestigt und gedünnt. Von der Rückseite her werden Trenngräben bis zu den metallischen Rahmenflächen, welche als Ätzstopp dienen und benachbarte Halbleiterschaltungen anfänglich noch mechanisch verbindet, geätzt. Eine Vereinzelnung der Schaltungsanordnung kann durch nachträgliches Ätzen der Rahmenflächen in einem weiteren Lithografieschritt und einzelnes Ablösen oder durch Ablösen im Verbund und mechanisches Trennen erfolgen.

[0004] Bei einem aus der US 5919713 A bekannten Verfahren werden auf einem Substrat benachbarte Bauelementstrukturen mit einer Passivierungsschicht überdeckt und in dieser Trennbereiche definiert, welche aber durch Verbindungsabschnitte überbrückt sind. Für die Rückseitenmetallisierung wird nach Erzeugen von Trenngräben von der Rückseite her eine Start-Metallschicht ganzflächig abgeschieden und durch Abdecken der Trenngräben flächenselektiv galvanisch verstärkt. Die über die Verbindungsabschnitte und die Start-Metallisierung in den Trenngräben noch zusammenhängenden Halbleiterschaltungen werden auf ein flexibles Band übernommen und durch Dehnen des Bandes mechanisch getrennt.

[0005] Die US 2002/0022343 A1 beschreibt Verfahren zur Herstellung von Halbleiterschaltungen, wobei in einer Variante eine Rückseitenmetallisierung ganzflächig abgeschieden wird und die Trenngräben überbrückt. In einem weiteren Lithografieschritt werden die Metallbrücken in den Trenngräben weg geätzt.

[0006] Die nicht vorveröffentlichte EP 1255296 A2 beschreibt Verfahren zur Herstellung von vereinzelt Halbleiter-Schaltungsanordnungen aus einem Waferverbund, bei welchem in von der Rückseite her ausgebildeten Trenngräben gemeinsam mit der Rückseitenmetallisierung oder von dieser getrennt eine die Trenngräben überbrückende Metallisierung hergestellt wird. Die die Trenngräben überbrückende Metallisierung kann mechanisch oder in einem zusätzlichen Lithografieschritt chemisch aufgetrennt werden, um die Halbleiter-Schaltungsanordnungen zu separieren.

[0007] Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein vorteilhaftes Verfahren für die Herstellung von vereinzelt monolithisch integrierten Halbleiterschaltungen anzugeben.

[0008] Die Erfindung ist im unabhängigen Patentanspruch beschrieben. Die abhängigen Ansprüche enthalten vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung.

[0009] Die Erfindung ermöglicht eine sichere und stabile Handhabung des Wafers in kritischen Verfahrensschritten, insbesondere bei geringen Dicken des Substrats. Gemäß einer vorteilhaften Ausführung wird das Substrat nach Fertigstellung der Halbleiterschaltungen einschließlich der Leiterflächen und ggf. einer Passivierung der Frontseite auf eine Substratdicke von weniger als 100 µm gedünnt. Dies ist insbesondere für Halbleiterschaltungen auf GaAs-Substrat von Vorteil, da GaAs eine geringe Wärmeleitfähigkeit besitzt und die Abführung von Verlustwärme im Betrieb an eine Wärmesenke bei geringer Substratdicke wesentlich verbessert ist. Durch die geringe Substratdicke verringert sich auch der Öffnungsquerschnitt der sich von der Frontseite zur Rückseite hin aufweitenden Durchgangslöcher, so dass die Packungsdichte der Schaltungen bei dem dünnen Substrat erhöht werden kann.

[0010] Die Befestigung des Wafers auf einem starren Träger vor dem Dünnen des Substrats gewährleistet eine stabile und sichere Handhabung auch bei durch starke Waferdünnung sehr geringen Substratdicken. Insbesondere wird auch eine nicht ebene Verformung des Wafers durch thermische Einflüsse oder insbesondere auch durch interne mechanische Spannungen im Halbleitermaterial, wie sie für Heterostruktur-Halbleiter-Schichtfolgen typisch sind, vermieden.

[0011] Vorteilhafterweise wird auch eine elektrische Funktionsprüfung, insbesondere hinsichtlich des Hochfrequenzverhaltens, erst nach der Vereinzelnung der Bauelemente und damit bei Vorliegen der Rückseitenmetallisierung und der Durchkontaktierungen durch die Durchgangslöcher an vollständig verschalteten Einheiten vorgenommen.

[0012] Die Befestigung des einheitlichen Wafers auf dem starren Träger, welcher beispielsweise ein Saphir sein kann, erfolgt vorzugsweise mittels einer Schicht aus adhäsivem Material, insbesondere einem Klebstoff, einem Kitt, einem Gel oder dergleichen, welcher auch Unebenheiten der ggf. passivierten Oberfläche der Wafer-Frontseite folgen kann. Bevorzugt ist ein adhäsives Befestigungsmaterial, dessen Adhäsion zu der Wafer-Frontseite bei höherer Temperatur geringer ist. Die individuelle Ablösung der mechanisch getrennten IC von dem Träger erfolgt vorzugsweise durch mechanisches Abheben unter Überwindung der Adhäsionskraft, wofür bei dem bevorzugten Befestigungsmaterial dieses den IC vorzugsweise über den Trägerkörper erwärmt wird, um die Ablösekraft zu verringern. Zur Ablösung der individuellen IC kann günstigerweise ein Werkzeug nach Art einer Vakuumpinzette eingesetzt werden.

[0013] Vorteilhafterweise werden die mehreren IC eines auf dem Träger befestigten Wafers in der Weise in der Waferebene lateral separiert, dass von der dem Trägerkörper abgewandten Substratrückseite Trenngräben geätzt werden, welche vorteilhafterweise wenigstens bis an oder in das Befestigungsmaterial reichen. Bei der Ätzung der Trenngräben wird unterhalb des Wafers vorteilhafterweise eine laterale Unterätzung im Befestigungsmaterial erzeugt. Dies ermöglicht, das Metall für die Rückseitenmetallisierung und die Durchkontaktierungen nach Fertigstellung auch der Trenngräben ganzflächig abzuscheiden, ohne dass eine Metallisierungsbrücke über die Trenngräben entsteht. Die Metallisierungsschicht ist an den bei den Unterätzungen auftretenden Stufen unterbrochen.

[0014] Gemäß einer besonders vorteilhaften Ausführung können die Durchgangslöcher durch das Substrat und die Trenngräben in einem gemeinsamen Ätzvorgang, insbesondere mit gemeinsamer photolithographischer Ätzmaske und/oder wenigstens teilweise gemeinsamem Ätzmittel hergestellt werden. Hierbei kann vorteilhaft ausgenutzt werden, dass bei der gebräuchlichen Ätzung der Durchgangslöcher die Leiterflächen auf der Frontseite als Ätzstoppschicht wirken und in den Bereichen zwischen benachbarten ICs des Wafers keine Leiterflächen vorgesehen sind, so dass die Ätzung im Bereich der Trenngräben in das Befestigungsmaterial fortschreitet, während sie im Bereich der Durchgangslöcher an den Leiterflächen der Frontseite stoppt. Hieraus resultiert ein besonders einfacher Verfahrensablauf.

[0015] Nach individuellem Abheben der in der Substratebene separierten ICs als Einzelchips von dem Trägerkörper werden die Chips einzeln weiterbehandelt, was beispielsweise Reinigungsvorgänge, insbesondere aber auch Prüfvorgänge mit z. B. optischer Oberflächenprüfung und elektrischer Funktionsprüfung beinhalten kann. Vorteilhafterweise kann der

Schritt der optischen Prüfung zugleich der Ausrichtung der Chips in eine definierte Position für die Spitzenkontaktierung zur elektrischen Funktionsprüfung einschließen. Die geprüften Chips können zur Auslieferung an Kunden und/oder zur Zwischenlagerung auf Zwischenträger, welche z. B. als „blue tape“ oder „geel pack“ gebräuchlich sind, abgelegt oder ohne einen solchen Zwischenschritt gleich in Schaltungsmodule eingebaut werden.

[0016] Die Erfindung ist nachfolgend anhand bevorzugter Ausführungsbeispiele noch eingehend veranschaulicht. Dabei zeigt

[0017] [Fig. 1](#) eine Seitenansicht eines Wafers auf einem Träger,

[0018] [Fig. 2](#) eine bevorzugte Rückseitenbehandlung eines Wafers,

[0019] [Fig. 3](#) die Behandlung vereinzelter IC.

[0020] [Fig. 1](#) zeigt in seitlicher Ansicht ein Schnittbild durch einen dielektrischen Trägerkörper TR, beispielsweise einen Saphir, und durch einen Wafer WA, welcher auf der Frontseite FS eines Halbleitersubstrats HS eine Mehrzahl separater integrierter Schaltungen mit Halbleiterbauelementen und metallischen Leiterflächen enthält.

[0021] Der Wafer WA ist auf der in [Fig. 1](#) nach unten weisenden Frontseite FS mit einer anorganischen Schutzschicht **23** bedeckt. Die dem Wafer zugewandte Fläche des Trägerkörpers TR ist mit einem Aufkittmaterial versehen. Der Wafer wird mit der Oberfläche der Schutzschicht **23** auf das Aufkittmaterial aufgedrückt und von diesem adhäsiv auf dem Träger TR fixiert. Nach Fixieren des Wafers auf dem Träger wird das Substrat von der dem Träger abgewandten Rückseite her auf die mit unterbrochener Linie angegedeutete gewünschte Dicke, insbesondere auf weniger als 100 µm, gedünnt (Pfeile DS), vorzugsweise durch Schleifen.

[0022] In [Fig. 2](#) wird ausgegangen von einem unverändert auf dem Trägerkörper über das Aufkittmaterial **24** fixierten Wafer mit auf die gewünschte Dicke gedünntem Substrat. Der Trägerkörper selbst ist aus Gründen der Übersichtlichkeit in [Fig. 2](#) nicht mehr mit eingezeichnet.

[0023] In [Fig. 2a](#)) bis e) ist jeweils in seitlicher Schnittdarstellung in der linken Bildhälfte ein Ausschnitt mit einem Trennbereich TB zwischen zwei auf einem Wafer benachbarten integrierten Schaltungsbereichen IB_N und IB_{N+1} und in der rechten Bildhälfte ein Ausschnitt aus einem Bereich IB_N einer integrierten Schaltung mit Durchkontaktierungen in Durchgangslöcher skizziert. Die Skizzen sind nicht maßstäblich.

[0024] Auf der dem Trägerkörper zugewandten Frontseite des gedünnten Substrats **20** ist mit **21** die Schaltungsebene mit Leiterflächen **22** bezeichnet, welche durch die Schutzschicht **23** abgedeckt ist (**Fig. 2a**).

[0025] Auf die Rückseite RS des gedünnten Substrats **20** wurde eine Photolackschicht PL aufgebracht und mit ersten Öffnungen **25** für Trenngräben im Trennbereich TB und zweiten Öffnungen **26** für Durchgangslöcher zu Leiterflächen im Schaltungsbereich IB der einzelnen integrierten Schaltungen strukturiert.

[0026] In einem ersten gemeinsamen Ätzschritt werden unter Verwendung der strukturierten Photolackschicht PL im Trennbereich TB Trenngräben **27** und im Schaltungsbereich IB Durchgangslöcher **28** durch das Halbleitersubstrat **20** freigeätzt. Die Ätzparameter sind so eingestellt, dass die Durchgangslöcher mit schrägen Flanken sich von der Rückseite RS zur Frontseite hin konisch verjüngen. Diese Art, Durchgangslöcher zu ätzen, ist allgemein gebräuchlich. Der Ätzvorgang für die Durchgangslöcher stoppt im Schaltungsbereich IB durch die Wahl des Ätzmittels und die Einstellung der Ätzparameter automatisch an den Leiterflächen **22** der Schaltungsebene **21**, wogegen im Trennbereich TB, in welchem keine derartigen Leiterflächen vorliegen, der Ätzvorgang bis in die Schutzschicht **23** durchgeht (**Fig. 2c**).

[0027] Der Ätzvorgang wird in einem zweiten Ätzschritt vorzugsweise unter Wechsel des Ätzmittels und/oder Änderung der Ätzparameter fortgesetzt, wobei vorzugsweise das Substratmaterial nicht weiter abgetragen wird und wobei im Schaltungsbereich IB die Leiterflächen **22** nicht angegriffen werden, hingegen das Material der Schutzschicht **23** unter dem Trenngraben **27** im Trennbereich TB in einer bis an oder in das Aufkittmaterial **24** reichenden Vertiefung entfernt wird. Ätzmittel und Ätzparameter sind so gewählt, dass das Material der Schutzschicht auch lateral unter dem Substrat **20** abgetragen wird, so dass durch Unterätzung des Substrats ein Überhang **30a** entsteht. Gemäß einer bevorzugten Ausführungsform erfolgt die Ätzung der Vertiefung **30** in der Schutzschicht **23** einschließlich der Überhänge **30a** zusammen mit der Entfernung der Photolackmaske **29**.

[0028] Bei der anschließenden ganzflächigen gerichteten Abscheidung der Rückseitenmetallisierung **31** ist durch die Stufen an den Überhängen **30a** der in die Vertiefung **30** auf das Aufkittmaterial abgeschiedene Metallfilm **31a** gegen die Metallisierung auf Rückseite und Seitenflanken des Substrats **20** unterbrochen. In den Durchgangslöchern bildet die Rückseitenmetallisierung **31** in gebräuchlicher Weise einen entlang der schrägen Kanten bis zu den Leiterflächen **22** durchgehenden Metallfilm, über welchen

die derart kontaktierten Leiterflächen **22** auf das elektrische Potenzial der Rückseitenmetallisierung **31** gelegt werden können.

[0029] Die durch die bis zum Aufkittmaterial durchgehenden Trenngräben **27** (einschließlich der Vertiefungen **30**) seitlich separierten integrierten Schaltungen können durch eine senkrecht zur Substratebene wirkende und die Adhäsionskraft des Aufkittmaterials zu der Schutzschicht **23** überwindende Ablösekraft individuell von dem Aufkittmaterial gelöst werden. Durch Wahl eines Aufkittmaterials, welches bei Erwärmen eine deutliche Verringerung dieser Adhäsionskraft zeigt, und durch Erwärmen des Aufkittmaterials, vorzugsweise über den Trägerkörper, können die einzelnen Schaltungsanordnungen mit geringer Ablösekraft zur weiteren Behandlung vereinzelt werden. Zum Abheben vom Trägerkörper TR entgegen einer geringen Adhäsionskraft und zur weiteren Handhabung der vereinzelt Schaltungsanordnungen können vorteilhafterweise sogenannte Vakuumpinzetten **4** wie in **Fig. 3** schematisch gezeichnet verwendet werden.

[0030] Nach Abheben einer Schaltungsanordnung (Chip) IC vom Trägerkörper TR (**Fig. 3A**) wird in der in **Fig. 3** skizzierten Abfolge von Handhabungsschritten der durch die Vakuumpinzette **4** an der Rückseite gehaltene Chip IC gewendet (**Fig. 3B**) und durch einen Lösungsmittelstrahl **5** gereinigt (**Fig. 3C**) und anschließend mit Inertgas **6** getrocknet (**Fig. 3D**). Eine weitere Vakuumpinzette **7** übernimmt den Chip auf der Frontseite (**Fig. 3E**) und legt ihn mit der metallisierten Rückseite auf die geerdete elektrostatische Grundplatte **10** (**Fig. 3F**). Der auf der Grundplatte **10** elektrostatisch gehaltene Chip wird einer automatischen optischen Kontrolle **9** unterzogen (**Fig. 3G**) und dabei vorteilhafterweise durch Drehen und/oder Verschieben der Grundplatte oder auf dieser in der Plattenebene **8** definiert justiert und so für eine nachfolgende elektrische Messung **11** (**Fig. 3H**) ausgerichtet.

[0031] Die die optische und die elektrische Kontrolle passierenden Chips können in eine Lager- oder Versandablage **13** eingesetzt werden (**Fig. 3I**).

Patentansprüche

1. Verfahren zur Herstellung von monolithisch integrierten Halbleiterschaltungen, bei welchem
 - a) auf der Frontseite (FS) eines Wafers (**20**) mehrere separate Bauelementstrukturen erzeugt werden,
 - b) auf der Frontseite (FS) des Wafers (**20**) eine Schutzschicht (**23**) erzeugt wird,
 - c) der Wafer mit der Frontseite mittels eines Befestigungsmaterials (**24**) auf einem starren Träger (TR) befestigt wird.
 - d) der Wafer (**20**) auf eine gewünschte Dicke gedünnt wird,

e) Durchgangslöcher (26) durch das Substrat bis zu Leiterflächen (22) auf der Frontseite erzeugt werden,
f) zwischen den separaten Bauelementstrukturen Trenngräben (27, 30) bis an oder in das Befestigungsmaterial (24) geätzt werden und eine laterale Unterätzung (30a) des Substrats in der frontseitigen Schutzschicht (23) erzeugt wird,
g) eine Rückseitenmetallisierung (31) einschließlich der elektrischen Verbindungen durch die Durchgangslöcher hergestellt wird,
h) die Halbleiterschaltungen (IC) mit den separaten Bauelementstrukturen individuell von dem starren Träger gelöst und einzeln weiter verarbeitet werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass zur Befestigung des Wafers auf dem starren Träger ein adhäsives Material verwandt wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass ein adhäsives Material mit bei höherer Temperatur geringerer Adhäsion zur frontseitigen Oberfläche des Wafers verwandt wird.

4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass die individuelle Ablösung der Halbleiterschaltungen von dem Träger mechanisch unter Überwindung der Adhäsionskraft des Befestigungsmaterials zur frontseitigen Oberfläche des Wafers vorgenommen wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das Substrat auf eine Dicke von weniger als 100 µm gedünnt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Trenngräben durch einen photolithographischen Ätzprozess erzeugt werden.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Abscheidung der Rückseitenmetallisierung nach Erzeugung der Trenngräben vorgenommen wird.

8. Verfahren nach einem der Ansprüche 6 oder 7, dadurch gekennzeichnet, dass für die Herstellung der Durchgangslöcher und der Trenngräben eine gemeinsame photolithographische Maske verwandt wird.

9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass eine elektrische Funktionsprüfung der Halbleiterschaltungen nach der Vereinzelung vorgenommen wird.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

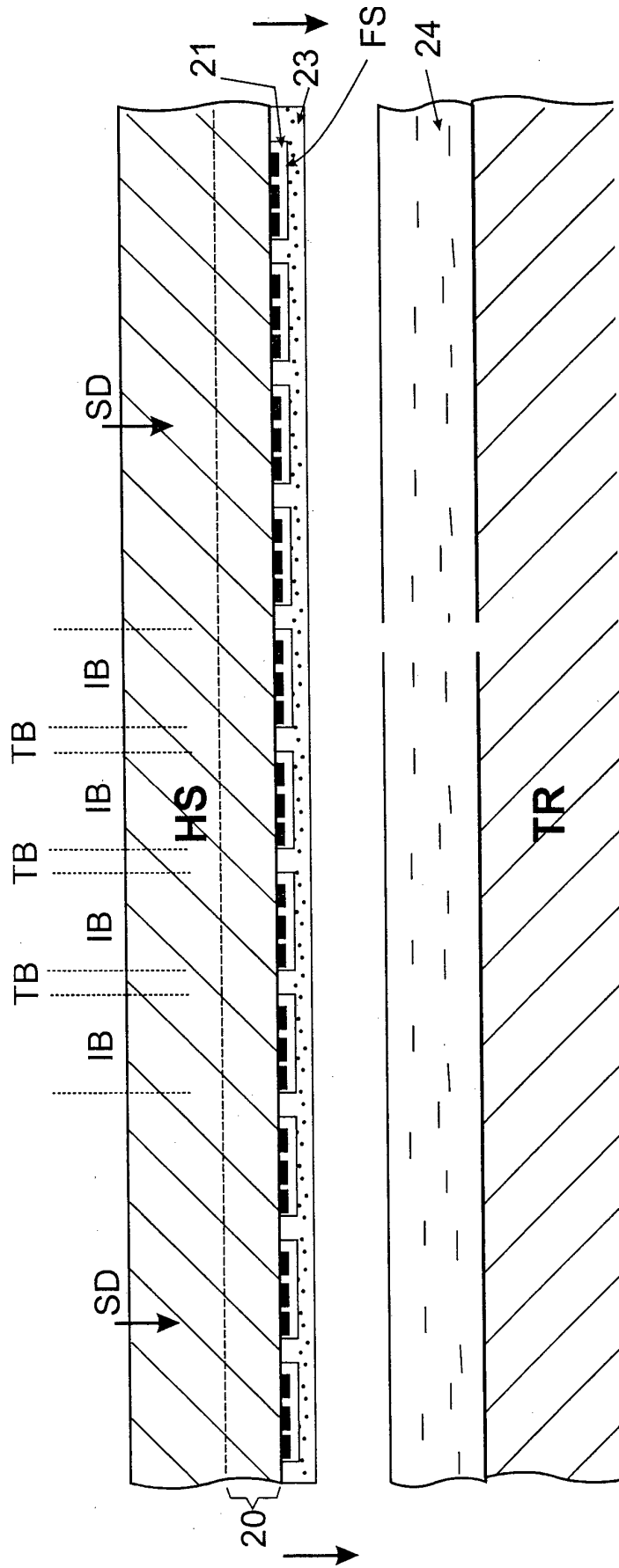
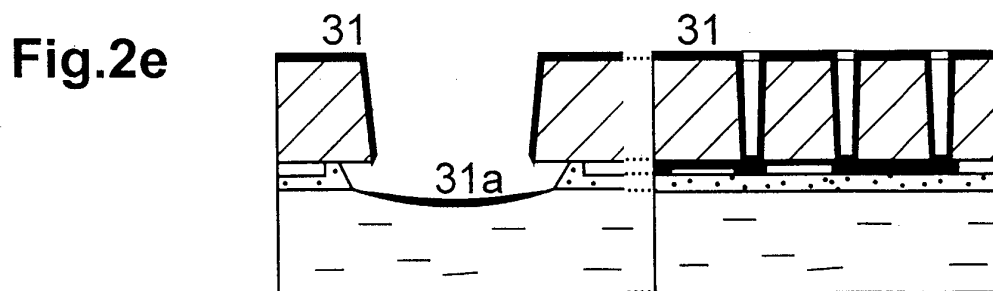
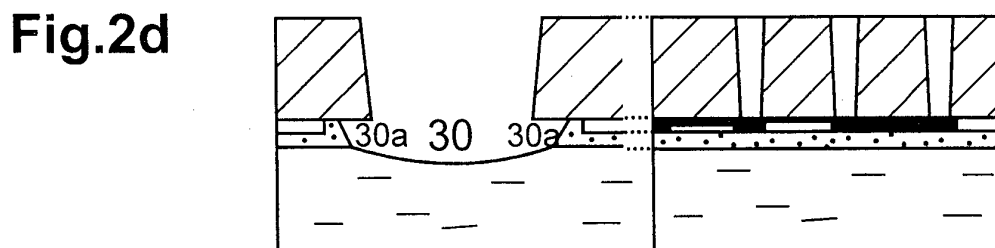
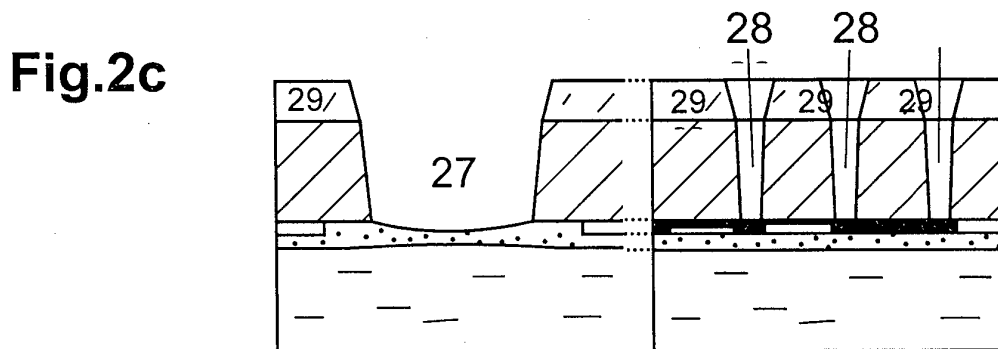
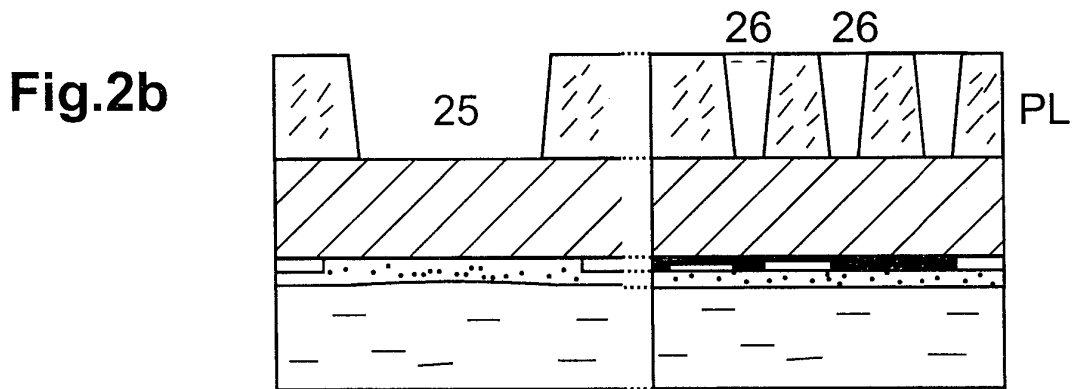
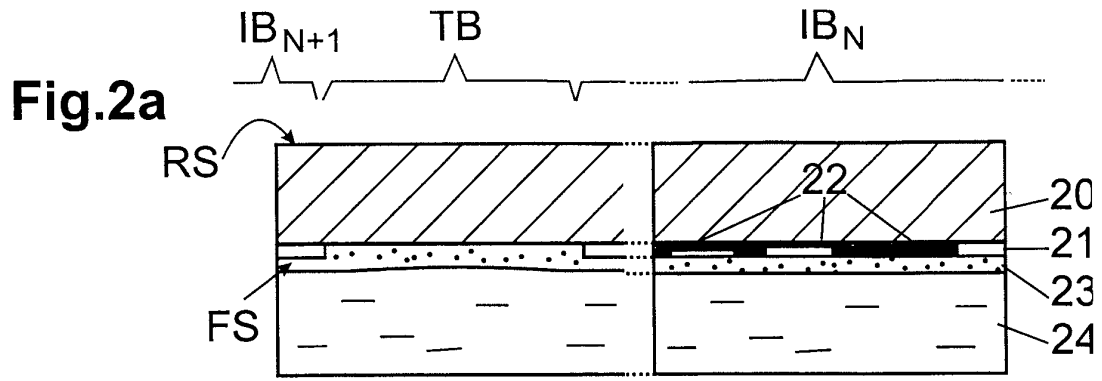


Fig. 1



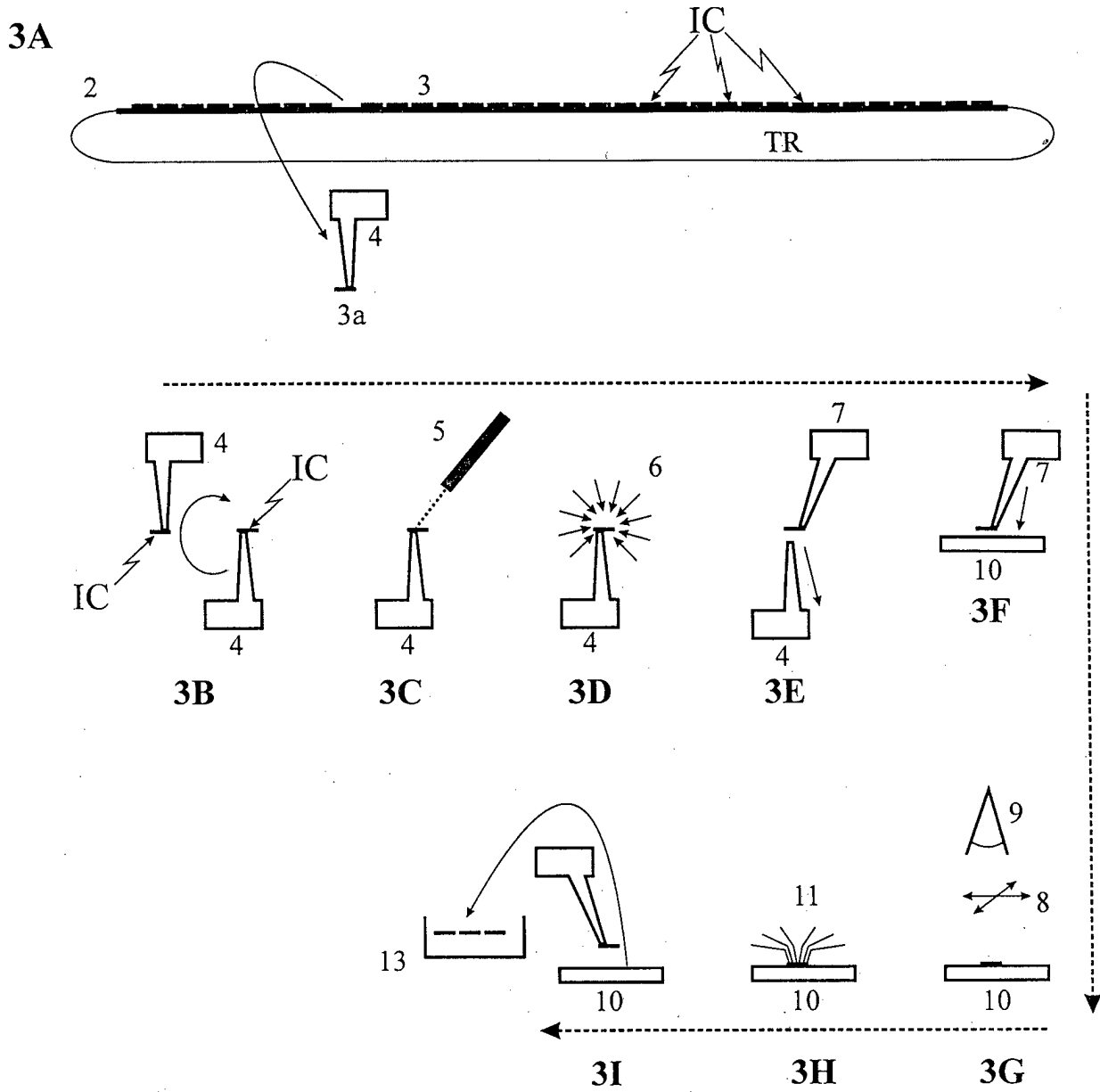


Fig. 3