

【特許請求の範囲】

【請求項 1】

制御対象となる電圧を検出する電圧検出手段と、前記電圧検出手段の出力が第一の入力に接続されたヒステリシスコンパレータと、前記ヒステリシスコンパレータの第二の入力に接続された基準電圧設定手段と、前記ヒステリシスコンパレータの出力を入力としてドライブ信号を生成するドライブ回路とを備え、前記制御対象電圧を前記基準電圧と前記ヒステリシスコンパレータで決まるヒステリシスレベルの中に保持する事によって安定化させるヒステリシス電圧制御を行う制御回路において、前記ヒステリシスコンパレータの出力を積分する積分手段と、前記積分手段の出力から直流成分を除く直流カット手段と、前記直流カット手段の出力と前記電圧検出手段の出力を加算し、前記ヒステリシスコンパレータの第一の入力に供給する加算手段とを備えたことを特徴とする制御回路。

10

【請求項 2】

前記積分手段の入力として、前記ドライブ回路の出力を使用したことを特徴とする請求項 1 の制御回路。

【請求項 3】

前記積分手段の入力として、入力電圧をオンオフするスイッチング手段、前記オンオフされた電圧を平滑する LC フィルタを含むスイッチング電源装置の中の、前記オンオフされた電圧を使用したことを特徴とする請求項 1 または請求項 2 の制御回路。

【請求項 4】

前記電圧検出手段として第一の抵抗と第二の抵抗の直列回路からなる抵抗分圧回路としたことを特徴とする請求項 1、請求項 2 または請求項 3 の制御回路。

20

【請求項 5】

前記積分手段として第三の抵抗と第一のコンデンサの直列回路からなる RC 積分回路としたことを特徴とする請求項 1、請求項 2、請求項 3、または請求項 4 の制御回路。

【請求項 6】

前記直流カット手段として第二のコンデンサを使用したことを特徴とする請求項 1、請求項 2、請求項 3、請求項 4 または請求項 5 の制御回路。

【請求項 7】

前記加算手段として、前記直流カット手段の出力と前記第一の抵抗と第二の抵抗の接続点の間に第四の抵抗を接続したことを特徴とする請求項 4、請求項 5 または請求項 6 の制御回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、急激な負荷の変動に対し、出力電圧制御を高速化する電源制御回路に関するものである。

【0002】

【従来の技術】

図 2 に示したヒステリシス電圧制御は、基準電圧 V_{ref} およびヒステリシスコンパレータ 12 によって設定されるヒステリシスレベルの中に検出電圧を保持することにより、出力を安定化させる自励式の制御方法である。この制御は、遅いフィードバックループを持たず、過渡現象と同様の速さで負荷電流変動に応答する。応答時間は、ヒステリシスコンパレータ 12 とドライブ回路 19 の遅延のみに依存するため、ヒステリシス電圧制御は高速の過渡応答を示す。

40

【0003】

この制御方法におけるスイッチング周波数 f_s は、入力電圧 V_{in} 、出力電圧 V_{out} 、出力コンデンサ C_{out} の等価直列抵抗 ESR 、出力インダクタ L 、ヒステリシスレベル $Hyst$ に依存する。スイッチング周波数 f_s は式 1 によって計算することができる。

【式 1】

$$f_s \cong \frac{[V_{out} \times (V_{in} - V_{out}) \times ESR]}{(V_{in} \times L \times Hyst)}$$

従来のヒステリシス電圧制御は、出力コンデンサ C_{out} の特性に依存するESRによりスイッチング周波数が変動してしまう欠点があった。

【0004】

この問題を解決するために、米国特許第6,147,478号では、検出電圧にランプ電圧波形を加算した電圧をヒステリシスコンパレータ12に供給している。この手法によれば、検出電圧のリプル電圧より大きなランプ電圧を加算することにより、ヒステリシスコンパレータ12の周波数変動をなくすことが可能になる。なぜなら、ヒステリシスコンパレータ12の入力に供給されるランプ電圧の変動は検出電圧の変動に比べて大きいことから、検出電圧の影響がほとんど無くなるためである。さらに、ランプ波形のスロープは入力電圧 V_{in} により決定するため一定である。よって周波数は、ランプ電圧が設定されたヒステリシスレベルの中で変動する事により決定される。(特許文献1参照)

10

【0005】

しかし、このようにすると負荷の急激な変動が生じた場合、ランプ電圧のスロープより大きく出力電圧が変動しないと応答しないデメリットもある。そのため、ランプ電圧は周波数変動と高速応答性のバランスをとった適切なスロープを持たせることが必要である。図3に負荷が安定しているときの検出電圧と、これに加算するランプ電圧波形を示す。

20

【0006】

この特許の構成を図4に示す。図4に示すスイッチング手段を持つ電力変換器において、ダイオード13のカソードを直流カット手段17の入力に接続し、この直流カット手段17の出力を、電圧検出手段、積分手段、加算手段が組み合わさった合成回路21に接続し、この合成回路21の出力をヒステリシスコンパレータ12の入力に接続している。この回路はダイオード13の電圧を直流カットしてから積分することでランプ電圧波形を作り出し、それを電圧検出回路に加算する、という機能を果たすものである。より具体的な構成を図5に示す。抵抗器7とコンデンサ10で積分回路が構成されており、抵抗器5,抵抗器6で電圧検出回路が構成されている。しかしながら、この回路構成の場合、抵抗器5とコンデンサ10でも積分回路が構成されてしまう。よって、急激な負荷変動が生じ出力電圧 V_{out} が大きく変化した場合、抵抗器5を通して、コンデンサ10の充放電がおきるため、ヒステリシスコンパレータ12の入力電圧は出力電圧に対して即座に応答することができなく、ヒステリシスコンパレータ12の出力電圧に遅れが生じる問題があった。

30

【0007】

【特許文献1】

米国特許第6,147,478号

【0008】

【発明が解決しようとする課題】

本発明の目的は、前記問題点を解決する制御方式を提供することにある。

40

【0009】

【課題を解決するための手段】

制御対象となる電圧を検出する電圧検出手段と、前記電圧検出手段の出力が第一の入力に接続されたヒステリシスコンパレータと、前記ヒステリシスコンパレータの第二の入力に接続された基準電圧設定手段と、前記ヒステリシスコンパレータの出力を入力としてドライブ信号を生成するドライブ回路とを備え、前記制御対象電圧を前記基準電圧と前記ヒステリシスコンパレータで決まるヒステリシスレベルの中に保持する事によって安定化させるヒステリシス電圧制御を行う制御回路において、前記ヒステリシスコンパレータの出力を積分する積分手段と、前記積分手段の出力から直流成分を除く直流カット手段と、前記直流カット手段の出力と前記電圧検出手段の出力を加算し、前記ヒステリシスコンパレー

50

タの第一の入力に供給する加算手段とを備えることで課題を解決する。

【0010】

【発明の実施の形態】

次に、添付図面を参照しながら本発明の制御回路の実施の形態について詳細に説明する。図1は本発明の制御回路のブロック図を示している。図6は図1の一実施例である。電圧検出回路部15を抵抗器1と抵抗器2で構成し、積分回路部16を抵抗器3とコンデンサ8によるRC積分回路とし、直流カット回路部17にコンデンサ9を用い、加算回路部18に抵抗器4を用いた。ヒステリシスコンパレータ12の反転入力には加算結果、非反転入力には基準電圧 V_{ref} を入力した。ヒステリシスコンパレータ12の出力電圧に応じ、ドライブ回路19の出力はスイッチング手段を含んだ電圧変換部20に入力される。

10

【0011】

以下、図6の本実施の形態の動作について説明する。まず、負荷回路14の電流変動がない定常状態における動作について説明をする。定常状態において加算回路18の出力と電圧検出回路15の出力を加算し、その加算結果と基準電圧 V_{ref} をヒステリシスコンパレータ12により比較する。前記加算結果がヒステリシスウインドウのハイレベル V_{H1} に到達するとヒステリシスコンパレータ12の出力電圧はロー信号となり、ドライブ回路を通して電圧変換部を制御する。また、前記加算結果がヒステリシスウインドウのローレベル V_{L0} に到達するとヒステリシスコンパレータ12の出力電圧はハイ信号となりドライブ回路を通して電圧変換部を制御する。よって前記加算値は、図3に示すように設定されたヒステリシスコンパレータ12のヒステリシスレベルの間に保持され、電圧を安定に制御する。

20

【0012】

次に負荷回路14で急激な電流変動が発生した場合について説明をする。ある時刻 t_1 で急激な負荷回路14の電流増加が発生した瞬間、出力電流の急激な増加に対する不足分を補うため、出力コンデンサ C_{out} から放電電流が流れる。このとき出力電圧 V_{out} は出力コンデンサ C_{out} の内部インピーダンスと放電電流の積により表される電圧降下と蓄積電荷を放出することによる電圧降下により減少する。このとき加算回路18により加算される電圧のスロープより大きなスロープを持った検出電圧が発生し、加算結果は瞬時にヒステリシスコンパレータ12のローレベル V_{L0} にまで下がる。そしてヒステリシスコンパレータ12

30

【0013】

ある時刻 t_2 で急激な負荷回路14の電流減少が発生した瞬間、出力電流の急激な減少に対する過剰分を補うため、出力コンデンサに充電電流が流れる。このときの出力電圧は出力コンデンサ C_{out} の内部インピーダンスと充電電流の積、及び容量に対する電荷の蓄積により増加する。このとき加算回路18により加算される電圧のスロープより大きなスロープを持った検出電圧が発生し、加算結果は瞬時にヒステリシスコンパレータ12のハイレベル V_{H1} にまで上がる。そして、ヒステリシスコンパレータ12の出力はロー信号となり、電力変換部のスイッチング素子により、入力電圧 V_{in} からの電力供給はストップする。この状態は、制御電圧 V_{out} が設定電圧まで回復し、ヒステリシスコンパレータ12の反転入力電圧がヒステリシスレベルのローレベル V_{L0} に到達するまで維持される。

40

【0014】

図1における電力変換部20は降圧チョッパ、フォワードコンバータ、ハーフブリッジコンバータ、フルブリッジコンバータ、プッシュプルコンバータにおいても適用できる。降圧チョッパに適用した場合について図7に示す。ヒステリシスコンパレータ12の反転入力には加算結果、非反転入力には基準電圧 V_{ref} を入力した。コンパレータ12の出力がハイ信号の時、そのハイ信号はドライブ回路19に入力され、ドライブ回路19の出力から

50

スイッチング素子 22 を短絡させる信号を出力し、入力電源より電力が負荷回路 14 へ供給するように動作する。また、コンパレータ 12 の出力がロー信号の時、そのロー信号はドライブ回路 19 に入力され、ドライブ回路 19 の出力からスイッチング素子 22 を解放させる信号を出力する。出力インダクタ L に蓄えられたエネルギーが整流素子 13 を通り転流する。このように出力電圧 V_{out} を制御する。

【0015】

絶縁型コンバータにおいても同様である。図 8 に示すフォワードコンバータにおいてもコンパレータ 12 の出力がハイ信号の時、そのハイ信号は絶縁素子 34 を介しドライブ回路 19 に入力され、ドライブ回路 19 の出力からスイッチング素子 22 を短絡させる信号を出力する。入力電源より電力がトランス T、整流素子 29 を介し、負荷回路 14 へ供給されるように動作する。また、コンパレータ 12 の出力がロー信号の時、そのロー信号は絶縁素子 34 を介しドライブ回路 19 に入力され、ドライブ回路 19 の出力からスイッチング素子 22 を解放させる信号を出力する。出力インダクタ L に蓄えられたエネルギーが整流素子 13 を通り転流する。図 9 に示すプッシュプルコンバータ、図 10 に示すハーフブリッジコンバータにおいては、ヒステリシスコンパレータ 12 の出力信号をドライブ回路 19 によりスイッチング素子 23, 24 にそれぞれ交互に振り分ける事により同様の動作をする。図 11 に示すフルブリッジコンバータにおいては、ヒステリシスコンパレータ 12 の出力信号をドライブ回路 19 によりスイッチング素子 25 および 26 と、27 および 28 とに交互に信号を振り分ける事により同様の動作をする。

10

【0016】

図 12 は、積分回路 16 の入力電圧を、ヒステリシスコンパレータ 12 の出力電圧からドライブ回路 19 の出力電圧に置き換えた場合であり、同様の効果が得られる。また、図 13 に示すように、積分回路 16 の入力電圧を LC フィルタの入力電圧に置き換えた場合も、同様の効果を得ることができるが、この場合さらに入力電圧 V_{in} がフィードフォワードされるメリットがある。入力電圧 V_{in} に変動が生じた場合、積分器 16 より出力される三角波の傾きは入力電圧 V_{in} の変動に伴い変化する。したがって、検出電圧に加算されるランプ波形も変化する。例えば入力電圧 V_{in} が増加した場合、積分回路 16 から出力される三角波の立ち上がりスロープは増加し、加算回路 18 に入力するランプ信号の立ち上がりスロープも増加する。ヒステリシスコンパレータ 12 に入力される加算電圧は早くヒステリシスレベルのハイレベルに到達することになり、ヒステリシスコンパレータ 12 の出力は通常より早くロー信号を出力する。よって入力電圧 V_{in} からの電力供給期間を短くすることができる。また、入力電圧 V_{in} が減少した場合、積分回路 16 から出力される三角波の立ち上がりスロープは減少し、加算回路 18 に入力するランプ信号の立ち上がりスロープも減少する。ヒステリシスコンパレータ 12 に入力される加算電圧は遅くヒステリシスレベルのハイレベルに到達することになり、ヒステリシスコンパレータ 12 の出力は通常より遅くハイ信号を出力する事になる。よって入力電圧 V_{in} からの電力供給期間を長くすることができる。

20

30

【0017】

【発明の効果】

以上説明したように、本発明によれば、負荷回路の急激な負荷変動による電圧変化に対し応答の遅れが無い、高速の電圧制御を実現することが可能となる。

40

【図面の簡単な説明】

【図 1】本発明の電圧制御ブロック回路図

【図 2】従来のヒステリシス制御ブロック回路図

【図 3】定常状態における、検出電圧と加算値電圧

【図 4】米国特許第 6,147,478 号による電圧制御ブロック回路図

【図 5】米国特許第 6,147,478 号による電圧制御の実施例

【図 6】本発明の実施回路図

【図 7】降圧チョッパに適用した実施例

【図 8】フォワードコンバータに適用した実施例

50

【図 9】プッシュプルコンバータに適用した実施例

【図 10】ハーフブリッジコンバータに適用した実施例

【図 11】フルブリッジコンバータに適用した実施例

【図 12】本発明の応用回路 1

【図 13】本発明の応用回路 2

【符号の説明】

1 ~ 7 抵抗器

8 ~ 11 コンデンサ

12 ヒステリシスコンパレータ

13 整流素子

14 負荷回路

15 電圧検出回路部

16 積分回路部

17 直流カット回路部

18 加算回路部

19 ドライブ回路部

20 電力変換部

21 電圧検出手段、積分手段、加算手段合成回路部

22 ~ 28 スイッチング素子

29 ~ 31 整流素子

32 ~ 33 コンデンサ

V_{in} 入力電圧

V_{out} 出力電圧

V_{ref} 基準電圧

C_{out} 出力コンデンサ

L インダクタ

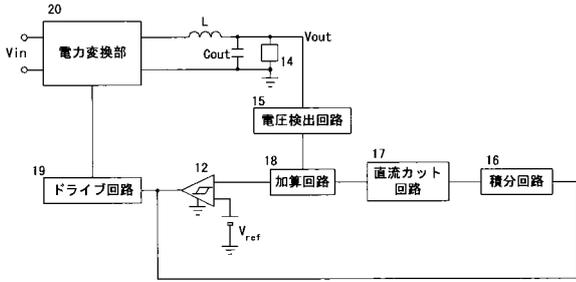
C_{in} 入力コンデンサ

T トランス

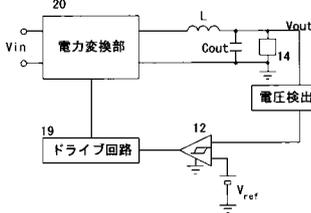
10

20

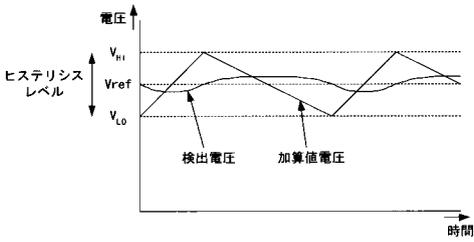
【図1】



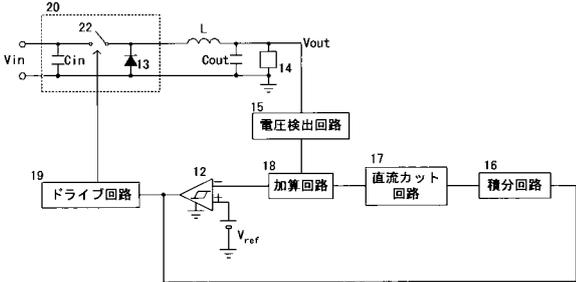
【図2】



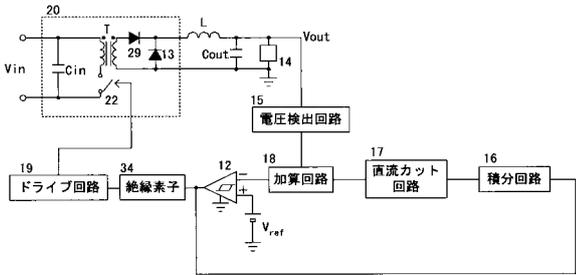
【図3】



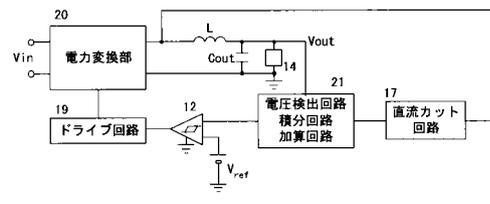
【図7】



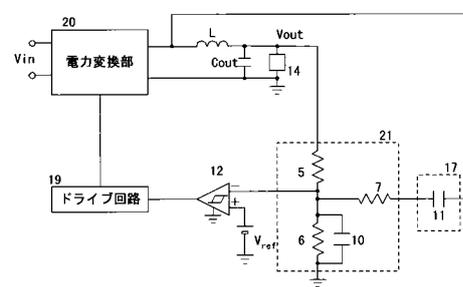
【図8】



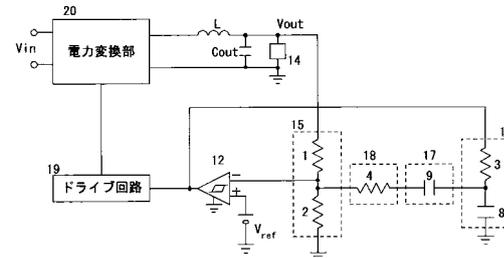
【図4】



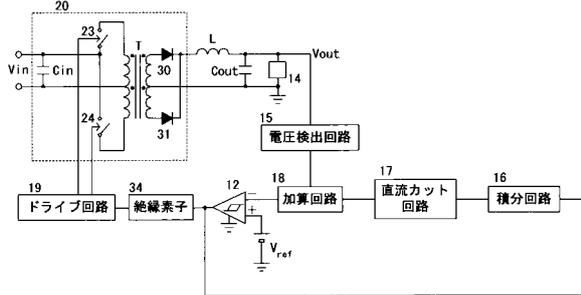
【図5】



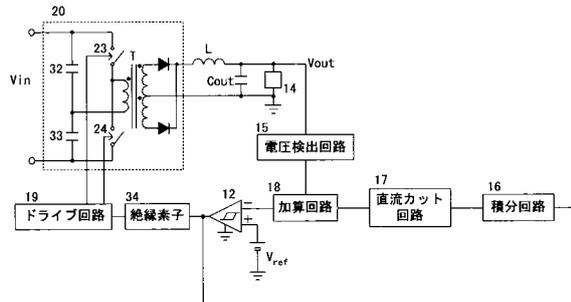
【図6】



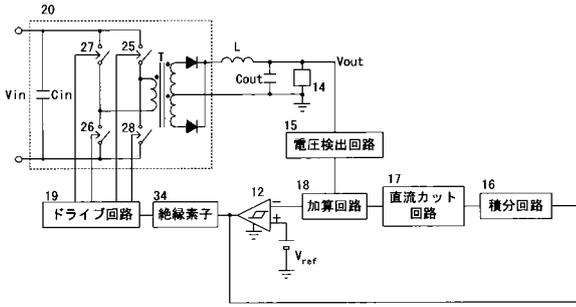
【図9】



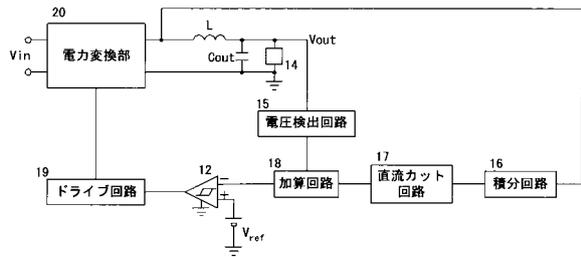
【図10】



【図 1 1】



【図 1 3】



【図 1 2】

