



(10) **DE 10 2013 112 831 B4** 2016.11.24

(12)

Patentschrift

(21) Aktenzeichen: **10 2013 112 831.9**
(22) Anmeldetag: **20.11.2013**
(43) Offenlegungstag: **03.07.2014**
(45) Veröffentlichungstag
der Patenterteilung: **24.11.2016**

(51) Int Cl.: **H01L 29/78 (2006.01)**
H01L 29/06 (2006.01)
H01L 29/739 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
13/731,484 **31.12.2012** **US**

(73) Patentinhaber:
Infineon Technologies Austria AG, Villach, AT

(74) Vertreter:
Zimmermann & Partner Patentanwälte mbB,
80331 München, DE

(72) Erfinder:
Weber, Hans, Dr., 83457 Bayerisch Gmain, DE;
Hirler, Franz, Dr., 84424 Isen, DE; Gamerith,
Stefan, Dr., Villach, AT

(56) Ermittelter Stand der Technik:

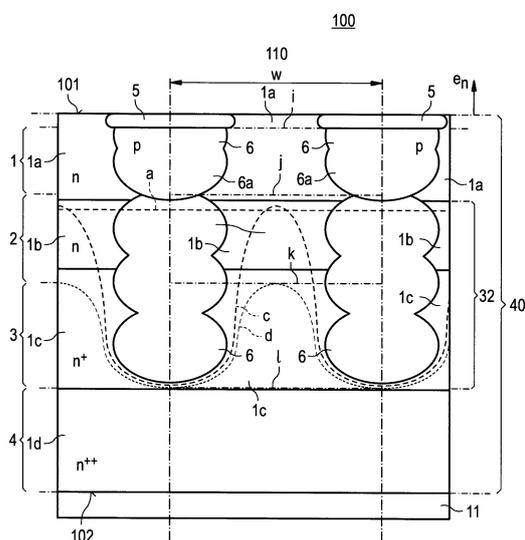
US	6 936 892	B2
US	2002 / 0 096 708	A1
US	2005 / 0 045 922	A1
US	2010 / 0 078 775	A1

(54) Bezeichnung: **Ladungskompensations-Halbleiterbauelement**

(57) Hauptanspruch: Es wird Folgendes beansprucht:
Halbleiterbauelement, das eine Durchbruchspannung aufweist und Folgendes umfasst:

- eine Source-Metallisierungsschicht (10);
- eine Drain-Metallisierungsschicht (11); und
- einen Halbleiterkörper (40), der Folgendes umfassend:
 - eine Driftschicht (1a) von einem ersten Leitungstyp, die in ohmschen Kontakt mit der Drain-Metallisierungsschicht (11) steht;
 - eine Puffer- und Feld-Stopp-Schicht (1b, 1c) vom ersten Leitungstyp, die an die Driftschicht (1a) angrenzt und eine größere maximale Dotierkonzentration als die Driftschicht (1a) umfasst; und
 - in einem vertikalen Querschnitt mehrere beabstandete Kompensationsgebiete (6) von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht (1a) und der Puffer- und Feld-Stopp-Schicht (1b, 1c) bildet und in ohmschen Kontakt mit der Source-Metallisierungsschicht (10) steht, wobei jedes der Kompensationsgebiete (6) einen zweiten Bereich (6b) und einen ersten Bereich (6a), der zwischen dem zweiten Bereich (6b) und der Source-Metallisierungsschicht (10) angeordnet ist, umfasst, wobei die ersten Bereiche (6a) und die Driftschicht (1a) im vertikalen Querschnitt eine kompensierte, streifenförmige erste Fläche (1) bilden, und wobei die zweiten Bereiche (6b) und zumindest die Puffer- und Feld-Stopp-Schicht (1b, 1c) im vertikalen Querschnitt eine zum Teil kompensierte, streifenförmige zweite Fläche (32) bilden, die einen Überschuss an Dotierstoffen vom ersten Leitungstyp aufweist, wobei sich in der zweiten Fläche (32) ein Raumladungsgebiet bildet, wenn eine Sperrspannung

zwischen 30% und wenigstens 70% der Durchbruchspannung zwischen der Drain-Metallisierungsschicht (11) und der Source-Metallisierungsschicht (10) angelegt wird.



Beschreibung

ERFINDUNGSGEBIET

[0001] Ausführungsformen der vorliegenden Erfindung beziehen sich auf Halbleiterbauelemente, die Ladungskompensationsstrukturen aufweisen, insbesondere auf Leistungshalbleitertransistoren, die Ladungskompensationsstrukturen aufweisen.

ALLGEMEINER STAND DER TECHNIK

[0002] Halbleitertransistoren, insbesondere durch Feldeffekt gesteuerte Schaltbauelemente, wie zum Beispiel ein Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET, metal-oxide-semiconductor field-effect transistor) oder ein Bipolartransistor mit isolierter Gateelektrode (IGBT, insulated-gate bipolar transistor) werden für verschiedene Anwendungen verwendet, einschließlich, jedoch nicht darauf eingeschränkt, der Verwendung als Schalter in Energieversorgungen und Leistungsumformern, Elektrofahrzeugen, Klimaanlageanlagen und sogar Stereosystemen. Insbesondere in Bezug auf Leistungsbaulemente, die in der Lage sind, große Ströme zu schalten und/oder bei höheren Spannungen betrieben zu werden, sind häufig geringer Einschaltwiderstand R_{on} und hohe Durchbruchspannungen U_{bd} erwünscht. Zu diesem Zweck wurden Ladungskompensations-Halbleiterbauelemente entwickelt. Das Kompensationsprinzip basiert auf einer gegenseitigen Kompensation von Ladungen in n- und p-dotierten Zonen im Driftgebiet eines MOSFET. Derartige Ladungskompensations-Halbleiterbauelemente werden bspw. in den Druckschriften US 6936892 B2, US 20050045922 A1, US 20100078775 A1 und US 20020096708 A1 beschrieben.

[0003] Typischerweise ist die Ladungskompensationsstruktur, die durch p-Typ- und n-Typ-Zonen gebildet wird, zum Beispiel von p-Typ- und n-Typ-Säulen, für vertikale Ladungskompensations-MOSFETs unterhalb der eigentlichen MOSFET-Struktur mit Sourcegebieten, Bodygebieten und Gate-Gebieten und auch unterhalb der verknüpften MOS-Kanäle angeordnet. Die p-Typ- und n-Typ-Zonen sind im Halbleiterraum des Halbleiterbauelements nebeneinander angeordnet oder auf solche Art und Weise ineinander verschachtelt, dass sich ihre Ladungen im Aus-Zustand gegenseitig verarmen können und dass sich im aktivierten Zustand oder Ein-Zustand ein nicht unterbrochener Leitungsweg mit geringer Impedanz von einer Sourceelektrode in der Nähe der Oberfläche zu einer Drainelektrode, die möglicherweise auf der Rückseite angeordnet ist, ergibt.

[0004] Aufgrund der Kompensation der p-Typ- und n-Typ-Dotierstoffe kann die Dotierung des stromführenden Gebiets im Fall von Kompensationskomponenten erheblich erhöht werden (im Vergleich

zu Strukturen mit der gleichen Durchbruchspannung, aber ohne Kompensationsstrukturen), was trotz der Einbuße einer stromführenden Fläche zu einer erheblichen Reduzierung des Einschaltwiderstands R_{on} führt. Die Reduzierung des Einschaltwiderstands R_{on} solcher Halbleiterleistungsbaulemente ist mit einer Reduzierung des Wärmeverlustes verknüpft, so dass solche Halbleiterleistungsbaulemente mit Ladungskompensationsstruktur im Vergleich zu konventionellen Halbleiterleistungsbaulementen „kalt“ bleiben.

[0005] Der geringste Einschaltwiderstand R_{on} würde erreicht werden, wenn sich die Ladungskompensationsstrukturen bis zu einem hochdotierten Halbleitersubstrat erstrecken. Allerdings erhöht ein direkter Übergang zwischen hochdotiertem Halbleitersubstrat und einem konventionellen Ladungskompensationsgebiet das Risiko des Bauelementeausfalls aus den folgenden Gründen. Aufgrund eines abrupten Knicks der Ausgangskapazität erzeugt ein schnelles Schalten möglicherweise eine extrem große Spannungsänderung (dV/dt), die zur Zerstörung des Halbleiterbauelements führt. Während der Kommutierung der Inversdiode tritt möglicherweise eine sehr abrupte Stromunterbrechung auf, wenn das Ladungsträgerplasma verarmt (Mangel an „Weichheit“ der Inversdiode), was wiederum zu Schwingungen und sogar zur Zerstörung des Halbleiterbauelements führen kann. Im Fall eines Avalanche-Ereignisses, das möglicherweise durch kosmische Strahlung oder eine externe induktive Last ausgelöst wird, wird das elektrische Feld weiterhin möglicherweise in einer Übergangszone zwischen dem hochdotierten Halbleitersubstrat und dem Ladungskompensationsgebiet stark erhöht. Dies führt möglicherweise zur Erzeugung von sogar noch mehr Ladungsträgern, die möglicherweise ebenfalls das Halbleiterbauelement beschädigen, möglicherweise in Kombination mit der Zündung eines parasitären Bipolartransistors, der zwischen dem Sourcegebiet, dem Bodygebiet und dem Draingebiet gebildet wird.

[0006] Dementsprechend besteht ein Bedarf, den Kompromiss zwischen dem Einschaltwiderstand R_{on} und der Zuverlässigkeit der Ladungskompensationsstrukturen zu verbessern.

KURZE DARSTELLUNG DER ERFINDUNG

[0007] Gemäß einer Ausführungsform enthält ein Halbleiterbauelement, das eine Durchbruchspannung aufweist, eine Source-Metallisierungsschicht, eine Drain-Metallisierungsschicht und einen Halbleiterkörper. Der Halbleiterkörper enthält eine Driftschicht von einem ersten Leitungstyp in ohmschen Kontakt mit der Drain-Metallisierungsschicht und eine Puffer- und Feld-Stopp-Schicht vom ersten Leitungstyp, die an die Driftschicht angrenzt und eine höhere maximale Dotierungskonzentration als die

Driftschicht aufweist. Der Halbleiterkörper enthält in einem vertikalen Querschnitt weiterhin mehrere beabstandete Kompensationsgebiete von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht und der Puffer- und Feld-Stopp-Schicht bildet und ohmschen Kontakt mit der Source-Metallisierungsschicht hat. Jedes der Kompensationsgebiete enthält einen zweiten Bereich und einen ersten Bereich, der zwischen dem zweiten Bereich und der Source-Metallisierungsschicht angeordnet ist. Die ersten Bereiche und die Driftschicht bilden eine kompensierte, streifenförmige erste Fläche. Die zweiten Bereiche und wenigstens die Puffer- und Feld-Stopp-Schicht bilden eine streifenförmige zweite Fläche, die einen Überschuss an Dotierstoffen vom ersten Leitungstyp aufweist. In der zweiten Fläche bildet sich ein Raumladungsgebiet, wenn eine Sperrspannung zwischen 30% und wenigstens 70% der Durchbruchspannung zwischen der Drain-Metallisierungsschicht und der Source-Metallisierungsschicht angelegt wird.

[0008] Gemäß einer Ausführungsform eines Halbleiterbauelements, das eine Durchbruchspannung aufweist, enthält das Halbleiterbauelement eine Source-Metallisierungsschicht, eine Drain-Metallisierungsschicht und einen Halbleiterkörper. Der Halbleiterkörper enthält eine Driftschicht von einem ersten Leitungstyp in ohmschem Kontakt mit der Drain-Metallisierungsschicht und eine Feld-Stopp-Schicht vom ersten Leitungstyp, die zwischen der Drain-Metallisierungsschicht und der Driftschicht angeordnet ist, ohmschen Kontakt mit der Driftschicht hat und eine höhere maximale Dotierungskonzentration als die Driftschicht aufweist. In einem vertikalen Querschnitt enthält der Halbleiterkörper weiterhin wenigstens zwei beabstandete Kompensationsgebiete von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht bildet und ohmschen Kontakt mit der Source-Metallisierungsschicht hat, und wenigstens zwei potentialfreie Kompensationsgebiete vom zweiten Leitungstyp, von denen jedes einen geschlossenen pn-Übergang mit der Feld-Stopp-Schicht bildet und in einem Bereich der Feld-Stopp-Schicht angeordnet ist, der nicht verarmt wird, wenn die Durchbruchspannung zwischen der Drain-Metallisierungsschicht und der Source-Metallisierungsschicht angelegt wird.

[0009] Gemäß einer Ausführungsform eines Halbleiterbauelements, das eine Durchbruchspannung aufweist, enthält das Halbleiterbauelement eine Source-Metallisierungsschicht, eine Drain-Metallisierungsschicht und einen Halbleiterkörper. Der Halbleiterkörper enthält eine Hauptoberfläche, eine Driftschicht von einem ersten Leitungstyp in ohmschem Kontakt mit der Drain-Metallisierungsschicht, eine Puffer- und Feld-Stopp-Schicht vom ersten Leitungstyp, die an die Driftschicht angrenzt und eine höhere maximale Dotierungskonzentration als die Driftschicht auf-

weist, und mehrere Einheitszellen. In einem vertikalen Querschnitt, der rechtwinklig zur Hauptoberfläche ist, enthalten die mehreren Einheitszellen mehrere beabstandete Kompensationsgebiete von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht und der Puffer- und Feld-Stopp-Schicht bildet und ohmschen Kontakt mit der Source-Metallisierungsschicht hat. Es wird ein oberer Bereich der Einheitszellen, die eine verschwindend geringe Netto-Dotierung aufweisen, und ein angrenzender unterer Bereich der Einheitszellen bereitstellt, der eine Netto-Dotierung vom ersten Leitungstyp aufweist. Im unteren Bereich wird ein Raumladungsgebiet gebildet, wenn eine Sperrspannung zwischen 30% und wenigstens 70% der Durchbruchspannung zwischen der Drain-Metallisierungsschicht und der Source-Metallisierungsschicht angelegt wird. In einem Avalanche-Modus erhöht sich mit dem Strom eine Eindringtiefe eines elektrischen Feldes in die Puffer- und Feld-Stopp-Schicht.

[0010] Fachleute werden zusätzliche Merkmale und Vorteile beim Lesen der folgenden ausführlichen Beschreibung und bei Betrachtung der zugehörigen Zeichnungen erkennen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0011] Die Komponenten in den Figuren sind nicht notwendigerweise maßstabsgetreu, weil stattdessen die Betonung darauf gelegt wird, die Grundlagen der Erfindung zu veranschaulichen. Außerdem bezeichnen in den Figuren gleiche Referenznummern die entsprechenden Elemente. In den Zeichnungen:

[0012] Fig. 1 veranschaulicht einen vertikalen Querschnitt durch einen Halbleiterkörper eines Halbleiterbauelements gemäß einer Ausführungsform;

[0013] Fig. 2 veranschaulicht ein Teilstück des vertikalen Querschnitts durch das in Fig. 1 veranschaulichte Halbleiterbauelement gemäß einer Ausführungsform;

[0014] Fig. 3 veranschaulicht einen vertikalen Querschnitt durch einen Halbleiterkörper eines Halbleiterbauelements gemäß einer Ausführungsform; und

[0015] Fig. 4 veranschaulicht einen vertikalen Querschnitt durch einen Halbleiterkörper eines Halbleiterbauelements gemäß einer Ausführungsform.

AUSFÜHRLICHE BESCHREIBUNG

[0016] In der folgenden „Ausführlichen Beschreibung“ wird Bezug auf die zugehörigen Zeichnungen genommen, die hiervon einen Teil bilden und in denen veranschaulichend spezifische Ausführungsformen gezeigt werden, in denen die Erfindung möglicherweise angewandt wird. In dieser Hinsicht wird

richtungsbezeichnende Begrifflichkeit, wie zum Beispiel „oben“, „unten“, „vorne“, „hinten“, „führend“, „folgend“ usw. hinsichtlich der Ausrichtung der Figur (en) verwendet, die beschrieben wird bzw. werden. Weil Komponenten von Ausführungsformen in mehreren unterschiedlichen Ausrichtungen positioniert sein können, wird die richtungsbezeichnende Begrifflichkeit zum Zweck der Veranschaulichung verwendet und ist in keiner Weise einschränkend. Es soll verstanden werden, dass möglicherweise andere Ausführungsformen genutzt werden und möglicherweise strukturelle oder logische Änderungen vorgenommen werden, ohne vom Schutzbereich der vorliegenden Erfindung abzuweichen. Die folgende ausführliche Beschreibung soll daher nicht in einem einschränkenden Sinne aufgenommen werden, und der Schutzbereich der vorliegenden Erfindung wird durch die beigefügten Ansprüche definiert.

[0017] Es wird jetzt im Detail Bezug auf verschiedene Ausführungsformen genommen, für die eines oder mehrere Beispiele in den Figuren veranschaulicht werden. Jedes Beispiel wird durch Erklärung bereitgestellt und ist nicht als eine Begrenzung der Erfindung gemeint. Zum Beispiel können Merkmale, die als Teil einer Ausführungsform veranschaulicht oder beschrieben werden, für oder in Verbindung mit anderen Ausführungsformen verwendet werden, damit sich noch eine weitere Ausführungsform ergibt. Es ist beabsichtigt, dass die vorliegende Erfindung solche Modifikationen und Varianten enthält. Die Beispiele werden unter Verwendung spezifischer Sprache beschrieben, die nicht so ausgelegt werden sollte, dass sie den Schutzbereich der beigefügten Ansprüche begrenzt. Die Zeichnungen sind nicht maßstabgetreu und dienen lediglich der Veranschaulichung. Zur Übersichtlichkeit wurden in den unterschiedlichen Zeichnungen die gleichen Elemente oder Herstellungsschritte mit den gleichen Referenzierungen bezeichnet, sofern nichts anderes angegeben ist.

[0018] Es ist beabsichtigt, dass der Begriff „horizontal“, wie er in dieser Darstellung verwendet wird, eine im Wesentlichen zu einer ersten oder Hauptoberfläche eines Halbleitersubstrats oder -Body parallele Ausrichtung beschreibt. Dies kann zum Beispiel die Oberfläche eines Wafers oder eines Die sein.

[0019] Es ist beabsichtigt, dass der Begriff „vertikal“, wie er in dieser Darstellung verwendet wird, eine Ausrichtung beschreibt, die im Wesentlichen zu einer ersten Oberfläche lotrecht angeordnet ist, d. h. parallel zur Normalenrichtung der ersten Oberfläche des Halbleitersubstrats oder -Body.

[0020] In dieser Darstellung wird eine zweite Oberfläche eines Halbleitersubstrats des Halbleiterkörpers als von der unteren oder rückseitigen Oberfläche gebildet angesehen, während die erste Oberfläche als von der oberen, vorderen oder Hauptoberfläche

des Halbleitersubstrats gebildet angesehen wird. Die Begriffe „oberhalb“ und „unterhalb“, wie sie in dieser Darstellung verwendet werden, beschreiben daher eine relative Position eines strukturellen Merkmals zu einem anderen strukturellen Merkmal in Anbetracht dieser Ausrichtung.

[0021] In dieser Darstellung wird n-dotiert als ein erster Leitungstyp bezeichnet, während p-dotiert als ein zweiter Leitungstyp bezeichnet wird. Alternativ können die Halbleiterbauelemente mit entgegengesetzter Dotierung gebildet werden, so dass der erste Leitungstyp p-dotiert sein kann und der zweite Leitungstyp n-dotiert sein kann. Weiterhin veranschaulichen einige Figuren relative Dotierungskonzentration durch Angabe von „-“ oder „+“ neben dem Leitungstyp. Zum Beispiel bedeutet „n-“ eine Dotierungskonzentration, die geringer als die Dotierungskonzentration eines „n“-Dotiergebiet ist, während ein „n⁺“-Dotiergebiet eine höhere Dotierungskonzentration als das „n“-Dotiergebiet aufweist. Allerdings bedeutet die Angabe der relativen Dotierungskonzentration nicht, dass Dotiergebiete der gleichen relativen Dotierungskonzentration die gleiche absolute Dotierungskonzentration aufweisen müssen, es sei denn, es ist anders angegeben. Zum Beispiel können zwei unterschiedliche n⁺-Dotiergebiete unterschiedliche absolute Dotierungskonzentration aufweisen. Das gleiche gilt zum Beispiel für ein n⁺-Dotier- und ein p⁺-Dotiergebiet.

[0022] Spezifische, in dieser Darstellung beschriebene Ausführungsformen betreffen, ohne darauf eingeschränkt zu sein, Halbleiterbauelemente, insbesondere Feldeffekt-Halbleitertransistoren. Innerhalb dieser Darstellung werden die Begriffe „Halbleiterbauelement“ und „Halbleiterkomponente“ synonym verwendet. Das Halbleiterbauelement ist typischerweise ein MOSFET, der einen pn-Übergang aufweist, der eine Inversdiode zwischen einem Driftgebiet vom ersten Leitungstyp und einem Bodygebiet vom zweiten Leitungstyp bildet, zum Beispiel ein vertikaler MOSFET mit einer Source-Metallisierungsschicht und einer isolierten Gateelektrode, die auf der ersten Oberfläche angeordnet sind, und einer Drain-Metallisierungsschicht, die mit dem Draingebiet verbunden ist und auf einer zweiten Oberfläche, gegenüber der ersten Oberfläche, angeordnet ist.

[0023] Im Kontext der vorliegenden Darstellung sollte der Begriff „MOS“ (metal-oxide-semiconductor, Metall-Oxid-Halbleiter) so verstanden werden, dass er den allgemeineren Begriff „MIS“ (metal-insulator-semiconductor, Metall-Isolator-Halbleiter) enthält. Zum Beispiel sollte der Begriff MOSFET (metal-oxide-semiconductor field-effect transistor, Metall-Oxid-Halbleiter-Feldeffekttransistor) so verstanden werden, dass er FETs enthält, die einen Gate-Isolator aufweisen, der kein Oxid ist, d. h. der Begriff MOSFET wird in der allgemeineren Bedeutung

des Begriffs IGFET (insulated-gate field-effect transistor, Isolierschicht-Feldeffekt-Transistor) bzw. von MISFET (metal-insulator-semiconductor field-effect transistor, Metall-Isolator-Halbleiter-Feldeffekt-Transistor) verwendet.

[0024] Im Kontext der vorliegenden Darstellung ist beabsichtigt, dass der Begriff „Gateelektrode“ eine Elektrode beschreibt, die neben dem Bodygebiet und davon isoliert liegt und die dazu ausgelegt ist, ein Kanal-Gebiet durch das Bodygebiet zu bilden und/oder zu steuern.

[0025] Es ist beabsichtigt, dass der Begriff „kommutieren“, wie er in dieser Darstellung verwendet wird, das Schalten des Stroms eines Halbleiterbauelements von einer Durchlassrichtung oder leitenden Richtung, in welcher ein pn-Übergang, zum Beispiel der pn-Übergang zwischen dem Bodygebiet und dem Driftgebiet eines MOSFET, vorwärts vorgespannt ist, in die entgegengesetzte Richtung oder Sperrichtung beschreibt, in der der pn-Übergang in Sperrichtung ist. Der Betrieb des Halbleiterbauelements mit pn-Übergang in Sperrichtung wird im Folgenden auch als Betrieb des Halbleiterbauelements in einem Sperrmodus bezeichnet. Gleichermaßen wird der Betrieb des Halbleiterbauelements mit pn-Übergang in Durchlassrichtung im Folgenden auch als Betrieb des Halbleiterbauelements in einem Durchlassmodus bezeichnet. Es ist beabsichtigt, dass der Begriff „hartes Kommutieren“, wie er in dieser Darstellung verwendet wird, Kommutieren mit einer Geschwindigkeit von wenigstens etwa 10^{10} V/s, typischerweise eher mit einer Geschwindigkeit von wenigstens etwa $2 \cdot 10^{10}$ V/s beschreibt.

[0026] Es ist beabsichtigt, dass die Begriffe „physikalische Durchbruchspannung“ und „Durchbruchspannung“, wie sie in dieser Darstellung verwendet werden, eine minimale Ruhespannung beschreiben, die über einem Halbleiterkörper eines Halbleiterbauelements angelegt wird, so dass ein pn-Übergang des Halbleiterkörpers bzw. eine Diodenstruktur des Halbleiterkörpers, zum Beispiel eine Inversdiode eines MOSFET, in Sperrichtung geschaltet wird und leitend wird. Der Begriff „Nenn-Durchbruchspannung“ eines Halbleiterbauelements, wie er in dieser Darstellung verwendet wird, bezeichnet typischerweise seine physikalische Durchbruchspannung abzüglich einer Sicherheitsspanne. Zum Beispiel weist ein MOSFET mit einer Nenn-Durchbruchspannung von 600 V möglicherweise eine physikalische Durchbruchspannung von bis zu etwa 650 V auf.

[0027] Typischerweise ist das Halbleiterbauelement ein Leistungshalbleiterbauelement, das eine aktive Fläche mit mehreren MOSFET-Zellen zum Übertragen und/oder Steuern eines Laststroms aufweist. Weiterhin weist das Leistungshalbleiterbauelement typischerweise eine Randfläche mit wenigstens einer

Randabschlussstruktur auf, welche die aktive Fläche wenigstens zum Teil umgibt, wenn sie von oben betrachtet wird.

[0028] Es ist beabsichtigt, dass der Begriff „Leistungshalbleiterbauelement“, wie er in dieser Darstellung verwendet wird, ein Halbleiterbauelement auf einem Einzel-Chip mit Fähigkeiten zum Schalten von Hochspannung und/oder Hochstrom beschreibt. Mit anderen Worten: Leistungshalbleiterbauelemente sind für hohen Strom, typischerweise im Ampere-Bereich, bestimmt. Innerhalb dieser Darstellung werden die Begriffe „Leistungshalbleiterbauelement“ und „Leistungshalbleiterkomponente“ synonym verwendet. Eine Nenn-Durchbruchspannung eines Leistungshalbleiterbauelements ist möglicherweise größer als etwa 400 V oder sogar größer als etwa 600 V.

[0029] Im Kontext der vorliegenden Darstellung ist beabsichtigt, dass die Begriffe „ohmschen Kontakt haben“, „ohmschen elektrischen Kontakt haben“ und „in ohmscher elektrischer Verbindung“ beschreiben, dass es einen ohmschen Strompfad zwischen entsprechenden Elementen oder Bereichen eines Halbleiterbauelements wenigstens dann gibt, wenn keine Spannungen an und/oder über dem Halbleiterbauelement angelegt sind. Gleichermaßen ist beabsichtigt, dass die Begriffe „niederohmigen elektrischen Kontakt haben“ und „in niederohmiger elektrischer Verbindung“ beschreiben, dass es einen niederohmigen Strompfad zwischen entsprechenden Elementen oder Bereichen eines Halbleiterbauelements wenigstens dann gibt, wenn keine Spannungen an und/oder über dem Halbleiterbauelement angelegt sind. In dieser Darstellung werden die Begriffe „niederohmigen elektrischen Kontakt haben“, „elektrisch verschaltet“ und „in niederohmiger elektrischer Verbindung“ synonym verwendet. In einigen Ausführungsformen wird der Widerstand eines niederohmigen Strompfades zwischen entsprechenden Elementen oder Bereichen eines Halbleiterbauelements, welcher gering ist, wenn geringe Spannungen an und/oder über dem Halbleiterbauelement angelegt werden, zum Beispiel eine Messspannung von weniger als einem oder wenigen Volt, oberhalb einer Schwellenspannung hoch, zum Beispiel aufgrund des Verarmens eines Halbleitergebiets, das wenigstens einen Teil des Strompfades bildet.

[0030] Im Kontext der vorliegenden Darstellung ist beabsichtigt, dass der Begriff „Gateelektrode“ eine Elektrode beschreibt, die neben dem Bodygebiet liegt und von diesem durch ein dielektrisches Gebiet isoliert ist und die dazu ausgelegt ist, ein Kanal-Gebiet durch das Bodygebiet zu bilden und/oder zu steuern. Das dielektrische Gebiet ist möglicherweise aus irgendeinem geeigneten dielektrischen Material gemacht, wie zum Beispiel aus Siliziumoxid, zum Beispiel aus thermischem Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid und Ähnlichem.

[0031] Im Kontext der vorliegenden Darstellung ist beabsichtigt, dass die Begriffe „Elektrode“ und „Metallisierungsschicht“ ein leitfähiges Gebiet beschreiben, das aus einem Material mit ausreichend hoher Leitfähigkeit gemacht ist, so dass das leitfähige Gebiet ein äquipotentiales Gebiet während des Betriebs des Bauelements bildet. Zum Beispiel ist das leitfähige Gebiet möglicherweise aus einem Material mit metallischer oder fast metallischer elektrischer Leitfähigkeit gemacht, wie zum Beispiel einem Metall, zum Beispiel Wolfram, hochdotiertes Polysilizium, ein Silicid oder Ähnliches.

[0032] Im Kontext der vorliegenden Darstellung ist beabsichtigt, dass der Begriff „Mesa“ oder „Mesa-Gebiet“ ein Halbleitergebiet zwischen zwei benachbarten Gräben beschreibt, das sich in einem vertikalen Querschnitt in das Halbleitersubstrat oder den Halbleiterkörper erstreckt.

[0033] Im Folgenden werden Ausführungsformen, die Halbleiterbauelemente und Herstellungsverfahren zum Bilden von Halbleiterbauelementen betreffen, hauptsächlich unter Bezugnahme auf Silizium(Si)-Halbleiterbauelemente erklärt. Dementsprechend ist ein monokristallines Halbleitergebiet oder Halbleiterschicht typischerweise ein monokristallines Si-Gebiet oder Si-Schicht. Allerdings sollte verstanden werden, dass der Halbleiterkörper aus irgendeinem Halbleitermaterial, das zur Herstellung eines Halbleiterbauelements geeignet ist, gemacht werden kann. Beispiele für solche Materialien enthalten, ohne darauf beschränkt zu sein, beispielhafte Halbleitermaterialien, wie zum Beispiel Silizium (Si) oder Germanium (Ge), Gruppe-IV-Verbindungshalbleitermaterialien, wie zum Beispiel Siliziumcarbid (SiC) oder Siliziumgermanium (SiGe), binäre, ternäre oder quaternäre III-IV-Halbleitermaterialien wie zum Beispiel Galliumnitrid (GaN), Galliumarsenid (GaAs), Galliumphosphid (GaP), Indiumphosphid (InP), Indiumgalliumphosphid (InGaP), Aluminiumgalliumnitrid (AlGaIn), Aluminiumindiumnitrid (AlInN), Indiumgalliumnitrid (InGaIn), Aluminiumgalliumindiumnitrid (AlGaInN) oder Indiumgalliumarsenidphosphid (InGaAsP) und binäre oder ternäre II-VI-Halbleitermaterialien, wie zum Beispiel Cadmiumtellurid (CdTe) und Quecksilbercadmiumtellurid (HgCdTe), um nur einige zu nennen. Die oben genannten Halbleitermaterialien werden auch als Homoübergangs-Halbleitermaterialien bezeichnet. Wenn zwei unterschiedliche Halbleitermaterialien kombiniert werden, wird ein Heteroübergangs-Halbleitermaterial gebildet. Beispiele für Heteroübergangs-Halbleitermaterialien enthalten, ohne darauf beschränkt zu sein, Aluminiumgalliumnitrid-(AlGaIn) Aluminiumgalliumindiumnitrid (AlGaInN), Indiumgalliumnitrid-(InGaIn)Aluminiumgalliumindiumnitrid(AlGaInN), Indiumgalliumnitrid-(InGaIn)Galliumnitrid(GaN), Aluminiumgalliumnitrid-(AlGaIn)Galliumnitrid(GaN), Indiumgalliumnitrid-(InGaIn)Aluminiumgalliumnitrid(AlGaIn), Silizium-Sili-

ziumcarbid ($\text{Si}_x\text{C}_{1-x}$) und Silizium-SiGe-Heteroübergangs-Halbleitermaterialien. Für Leistungshalbleiteranwendungen werden aktuell hauptsächlich Si-, SiC-, GaAs- und GaN-Materialien verwendet. Falls der Halbleiterkörper ein Material mit großer Bandlücke umfasst, wie zum Beispiel SiC oder GaN, das eine hohe kritische Avalanche-Feldstärke aufweist, kann die Dotierung der entsprechenden Halbleitergebiete höher gewählt werden, was den Einschaltwiderstand R_{on} reduziert, der im Folgenden auch als Ein-Widerstand R_{on} bezeichnet wird.

[0034] Unter Bezugnahme auf Fig. 1 wird eine erste Ausführungsform eines Halbleiterbauelements **100** erklärt. Fig. 1 veranschaulicht einen vertikalen Querschnitt durch einen Halbleiterkörper **40** des Halbleiterbauelements **100**. Der Halbleiterkörper **40** erstreckt sich zwischen einer ersten Oberfläche **101**, die eine Normalenrichtung aufweist, die eine vertikale Richtung e_n definiert, und einer zweiten Oberfläche **102**, die gegenüber der ersten Oberfläche **101** angeordnet ist. Im Folgenden wird der vertikale Querschnitt auch als erster Querschnitt bzw. als Querschnitt bezeichnet. Eine erste Metallisierungsschicht (in Fig. 1 nicht dargestellt), die typischerweise eine Source-Metallisierungsschicht bildet, wird typischerweise auf der ersten Oberfläche **101** angeordnet. Im Ausführungsbeispiel wird eine zweite Metallisierungsschicht **11**, die typischerweise eine Drain-Metallisierungsschicht bildet, auf der zweiten Oberfläche **102** angeordnet. Weiterhin wird eine dritte Metallisierungsschicht (in Fig. 1 ebenfalls nicht dargestellt), die typischerweise eine Gate-Metallisierungsschicht bildet, typischerweise auch auf der ersten Oberfläche **101** angeordnet und von der ersten Metallisierungsschicht und dem Halbleiterkörper **40** isoliert. Dementsprechend wird das Halbleiterbauelement **100** möglicherweise als ein dreipoliges Bauelement betrieben.

[0035] Der Halbleiterkörper **40** enthält typischerweise ein monokristallines Bulk-Material **4** und wenigstens eine darauf gebildete epitaktische Schicht **1c**, **1b**, **1a**. Die Verwendung der epitaktischen Schicht (en) **1** stellt mehr Freiraum bei der Anpassung der Hintergrunddotierung des Materials bereit, weil die Dotierungskonzentration während des Abscheidens der epitaktischen Schicht oder Schichten justiert werden kann.

[0036] In dem in Fig. 1 veranschaulichten Ausführungsbeispiel enthält der Halbleiterkörper **40** eine Drainschicht **1d**, **4**, die möglicherweise auch als Drain-Kontaktschicht bezeichnet wird, die sich bis zur zweiten Oberfläche **102** erstreckt und an die Drain-Metallisierungsschicht **11** angrenzt, eine n-Typ-Driftschicht **1a**, die sich bis zur ersten Oberfläche **101** erstreckt, und eine n-Typ-Puffer- und Feld-Stopp-Schicht **1b**, **1c**, die dazwischen angeordnet ist und ohmschen Kontakt mit der Drainschicht **1d**, **4** und der Driftschicht **1a** hat. Eine maximale Dotierungs-

konzentration der Puffer- und Feld-Stopp-Schicht **1b**, **1c** ist typischerweise größer als eine maximale Dotierungskonzentration der Driftschicht **1a** und geringer als eine maximale Dotierungskonzentration der Drainschicht **4**.

[0037] Typischerweise enthält die Puffer- und Feld-Stopp-Schicht **1b**, **1c** einen Pufferbereich **1b** und einen Feld-Stopp-Bereich **1c**, der eine größere mittlere Dotierungskonzentration und/oder eine größere maximale Dotierungskonzentration als der Pufferbereich **1b** aufweist. Der Pufferbereich **1b** weist möglicherweise im Wesentlichen die gleiche oder eine größere mittlere Dotierungskonzentration und/oder maximale Dotierungskonzentration als die Driftschicht **1a** auf. Der Pufferbereich **1b** ist zwischen dem Feld-Stopp-Bereich **1c** und der Driftschicht **1a** angeordnet. Der Feld-Stopp-Bereich **1c** ist zwischen dem Pufferbereich **1b** und der Drainschicht **4** angeordnet. Abhängig von der gewünschten Robustheit des Halbleiterbauelements **100** weist der Pufferbereich **1b** möglicherweise eine vertikale Ausdehnung in einem Bereich von etwa 2 µm bis etwa 10 µm auf. Der Feld-Stopp-Bereich **1c** weist möglicherweise eine vertikale Ausdehnung in einem Bereich von etwa 2 µm bis etwa 10 µm auf, zum Beispiel eine vertikale Ausdehnung von etwa 8 µm.

[0038] Gemäß einer Ausführungsform enthält der Halbleiterkörper **40** im vertikalen Querschnitt zwei oder mehr beabstandete p-Typ-Kompensationsgebiete **6**, typischerweise mehrere Kompensationsgebiete **6**, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht **1a** und der Puffer- und Feld-Stopp-Schicht **1b**, **1c** bildet und ohmschen Kontakt mit der Source-Metallisierungsschicht über ein entsprechendes p-Typ-Bodygebiet **5** hat. Eine maximale Dotierungskonzentration der p-Typ-Bodygebiete **5** ist typischerweise größer als eine maximale Dotierungskonzentration der p-Typ-Kompensationsgebiete **6**.

[0039] Im Ausführungsbeispiel werden die p-Typ-Kompensationsgebiete **6** als vertikal ausgerichtete Säulen gebildet. Alternativ werden die p-Typ-Kompensationsgebiete **6** als im Wesentlichen vertikal ausgerichtete streifenartige Parallelepipede gebildet.

[0040] Dass die Kompensationsgebiete **6** eine niederohmige elektrische Verbindung mit der Source-Metallisierungsschicht haben, wird in **Fig. 2** gezeigt, die einen vergrößerten Bereich des in **Fig. 1** veranschaulichten Halbleiterbauelements **100** veranschaulicht, der die typischerweise auf der ersten Oberfläche **101** gebildeten Strukturen enthält. Der veranschaulichte Bereich aus **Fig. 2** entspricht typischerweise einer von mehreren Einheitszellen **110'**, die im vertikalen Querschnitt eine horizontale Breite *w* aufweisen, bzw. einem oberen Teil des Halbleiterbauelements **100**.

[0041] Im Ausführungsbeispiel werden ein p⁺-Typ-Body-Kontaktgebiet **5c** und ein n⁺-Typ-Sourcegebiet **15** im Bodygebiet **5** gebildet. Weiterhin erstreckt sich ein p⁺-Typ-Kontaktgebiet **6c** zwischen dem Body-Kontaktgebiet **5c** und dem Kompensationsgebiet **6**. Das Body-Kontaktgebiet **5c**, das Sourcegebiet **15** und das Kontaktgebiet **6c** werden in **Fig. 1** und in den folgenden Figuren aus Gründen der Übersichtlichkeit nicht dargestellt.

[0042] Ein dielektrisches Gebiet **13** ist auf der ersten Oberfläche **101** angeordnet. Ein Bereich **13a** des dielektrischen Gebiets **13** ist zwischen der ersten Oberfläche **101** und der Gateelektrode **12** angeordnet, die sich in einer horizontalen Richtung vom Driftgebiet **1a** entlang des Bodygebiets **5** wenigstens bis zum Sourcegebiet **15** erstreckt, so dass möglicherweise ein Inversionskanal, der hierin auch als ein MOS-Kanal bezeichnet wird, durch den Feldeffekt im Bodygebiet **5** entlang des Bereichs **13a** gebildet wird, die ein Gatedielektrikumsgebiet bildet. Dementsprechend wird das Halbleiterbauelement **100** möglicherweise als ein MOSFET betrieben.

[0043] Der verbleibende Bereich des dielektrischen Bereichs **13** bildet ein Zwischendielektrikum zwischen einer Source-Metallisierungsschicht **10** und der Gateelektrode **12** bzw. der ersten Oberfläche **101**.

[0044] Im Ausführungsbeispiel stellt die Source-Metallisierungsschicht **10** elektrischen Kontakt zum Sourcegebiet **15** und zum Body-Kontaktgebiet **5c** (und somit zum p-Typ-Kompensationsgebiet **6**) über einen flachen Grabenkontakt her, der durch das Zwischendielektrikum **13** in den Halbleiterkörper **40** hinein gebildet ist. In anderen Ausführungsformen stellt die Source-Metallisierungsschicht **10** elektrischen Kontakt zum Sourcegebiet **15** und zum Bodykontaktgebiet **5c** an der ersten Oberfläche **101** her.

[0045] Gemäß einer Ausführungsform werden die Dotierungskonzentrationen der p-Typ-Kompensationsgebiete **6** und der ersten Bereiche **1a** des Driftgebiets so gewählt, dass ihre Ladungen im Aus-Zustand gegenseitig verarmt werden können und dass im Ein-Zustand ein nicht unterbrochener, niederohmiger Verbindungspfad von der Source-Metallisierungsschicht **10** zur Drain-Metallisierungsschicht **11** gebildet wird.

[0046] Gemäß einer anderen Ausführungsform werden die Gateelektrode **12** und das Gatedielektrikum **13a** möglicherweise in einem Graben gebildet, der sich von der ersten Oberfläche **101** in den Halbleiterkörper **40** hinein erstreckt. In dieser Ausführungsform grenzen das Bodygebiet **5** und das Sourcegebiet **15** an den oberen Teil des Grabens an, während das Driftgebiet **1a** an einen unteren Teil des Grabens angrenzt. In dieser Ausführungsform erstreckt sich

das Driftgebiet **1a** möglicherweise nicht bis zur ersten Oberfläche **101** in der aktiven Fläche.

[0047] Wiederum mit Bezug auf **Fig. 1** werden weitere Ausführungsformen erklärt. Jedes der Kompensationsgebiete **6** enthält einen ersten Bereich **6a** und einen zweiten Bereich **6b**. Der erste Bereich **6a** ist zwischen dem entsprechenden zweiten Bereich **6b** und der Source-Metallisierungsschicht **10** bzw. dem entsprechenden Bodygebiet **5** angeordnet. Die ersten Bereiche **6a** und wenigstens ein Bereich der Driftschicht **1a** bilden eine im Wesentlichen streifenförmige erste Fläche **1** (bzw. ein im Wesentlichen streifenförmiges erstes Gebiet) mit einer im Wesentlichen verschwindend geringen Netto-Dotierung, d. h. eine im Wesentlichen kompensierte streifenförmige erste Fläche **1**.

[0048] Weiterhin bilden die zweiten Bereiche **6b** und wenigstens die Puffer- und Feld-Stopp-Schicht **1b**, **1c** eine im Wesentlichen streifenförmige zweite Fläche **32** (bzw. ein im Wesentlichen streifenförmiges zweites Gebiet), die eine n-Typ-Netto-Dotierung aufweist. Mit anderen Worten: Die streifenförmige zweite Fläche **32** wird nur zum Teil kompensiert. Im Ausführungsbeispiel wird die zweite Fläche **32** von den zweiten Bereichen **6b**, der Puffer- und Feld-Stopp-Schicht **1b**, **1c** und einem angrenzenden Bereich der Driftschicht **1a** gebildet.

[0049] In dem Ausführungsbeispiel ist das Halbleiterbauelement **100** ein vertikales Halbleiterbauelement, das eine erste Fläche **1** und eine zweite Fläche **32** aufweist, die im vertikalen Querschnitt im Wesentlichen rechteckig sind. In anderen Ausführungsformen sind die Source-Metallisierungsschicht **10** und die Drain-Metallisierungsschicht **11** beide auf der Hauptoberfläche **101** angeordnet. In diesen Ausführungsformen sind die streifenförmige erste Fläche **1** und die zweite Fläche **32** typischerweise gebogen.

[0050] Das Halbleiterbauelement **100** enthält typischerweise mehrere paarweise aneinander angrenzende Einheitszellen **110**, **110'**, deren Definition einigermaßen beliebig ist. Allerdings wird die horizontale Breite w der Einheitszellen **110**, **110'** durch den Abstand w der Kompensationsgebiete **6** bestimmt. Unabhängig von der genauen Definition und für vertikale Halbleiterbauelemente ist ein Integral, das durch Integrieren einer Dichte von p-Typ-Dotierstoffen einer rechteckigen zweiten Fläche **32** der Einheitszelle **110** mit horizontaler Breite w (und zwischen den Linien k und l und/oder zwischen den Linie j und k) ermittelt wird, typischerweise kleiner als ein Integral, das durch Integrieren einer Dichte von n-Typ-Dotierstoffen der zweiten Fläche **32** ermittelt wird, während ein Integral, das durch Integrieren einer Dichte von p-Typ-Dotierstoffen einer rechteckigen ersten Fläche **1** der Einheitszelle **110** mit der horizontalen Breite w (und zwischen den Linien l und j) ermittelt wird, im

Wesentlichen einem Integral gleichkommt, das durch Integrieren einer Dichte von n-Typ-Dotierstoffen der rechteckigen ersten Fläche **1** der Einheitszelle **110** ermittelt wird.

[0051] Der Überschuss an n-Typ-Dotierstoffen der teilkompensierten, streifenförmigen zweiten Fläche **32** liegt typischerweise im Bereich von etwa 10^{15} cm^{-3} bis etwa 10^{16} cm^{-3} .

[0052] Der Überschuss an n-Typ-Dotierstoffen ist in einem zweiten Bereich **3** der teilkompensierten streifenförmigen zweiten Fläche **32** typischerweise größer im Vergleich mit einem ersten Bereich **2** der streifenförmigen zweiten Fläche **32**, die zwischen dem zweiten Bereich **3** und dem angrenzenden, komplett oder wenigstens im Wesentlichen kompensierten Bereich **1** angeordnet ist, der durch die Driftschicht **1a** und die Kompensationsgebiete **6** gebildet wird.

[0053] Typischerweise liegt eine effektive n-Dotierung oder Netto-Dotierung des ersten Bereichs **2**, d. h. eine integrierte Dotierung der n-Typ- und p-Typ-Gebiete **1b**, **6b**, in einem Bereich von etwa 10^{15} cm^{-3} bis etwa $6 \cdot 10^{15} \text{ cm}^{-3}$.

[0054] Im Sperrmodus, in dem eine Drain-Source-Sperrspannung $V_{DS} = V_D - V_S$, die größer als null ist, zwischen der Drain-Metallisierungsschicht **11** und der Source-Metallisierungsschicht **10** angelegt wird und in der über den Bodygebieten **5** keine Kanalgebiete gebildet werden, wird ein Raumladungsgebiet im Halbleiterkörper **40** gebildet.

[0055] Gemäß einer Ausführungsform werden die Geometrie und das Dotierungsverhältnis der Halbleitergebiete des Halbleiterbauelements **100** so gewählt, dass bei einer Drain-Source-Sperrspannung V_{DS} , die größer als etwa 30% der Durchbruchspannung des Halbleiterbauelements **100** ist, die Kompensationsgebiete **6** im Wesentlichen verarmt werden, während die Puffer- und Feld-Stopp-Schicht **1b**, **1c** nur zum Teil verarmt wird. Dies wird durch die Wölbung c in **Fig. 1** angezeigt, die eine Grenze des entsprechenden Raumladungsgebiets zeigt. Zum Vergleich wird zusätzlich in **Fig. 1** eine Linie a , die einem Raumladungsgebiet eines ähnlichen Bauelements mit der gleichen n-Typ-Dotierung, jedoch ohne die teilkompensierte Fläche **32** entspricht, bei etwa 30% ihrer Durchbruchspannung gezeigt.

[0056] Wenn die Drain-Source-Sperrspannung weiter erhöht wird, wird die teilkompensierte Fläche **32** weiter verarmt. Dementsprechend erstreckt sich das Raumladungsgebiet weiter in die n-Typ-Teilflächen **1b**, **1c** der teilkompensierten Fläche **32** hinein. Es ist beabsichtigt, dass mit der Formulierung, wie sie in dieser Darstellung verwendet wird, „ein Raumladungsgebiet wird weiterhin in einer zweiten Fläche gebildet“, beschrieben wird, dass die eine oder die

mehreren Teilflächen der zweiten Fläche, die vom zweiten Leitungstyp sind, bereits im Wesentlichen verarmt sind, während die eine oder die mehreren Teilflächen der zweiten Fläche, die vom ersten Leitungstyp sind, mit zunehmendem Spannungsabfall weiter verarmt werden. Gleichermaßen ist beabsichtigt, dass mit der Formulierung, wie sie in dieser Darstellung verwendet wird, „ein Raumladungsgebiet wird weiterhin in einem zweiten Bereich gebildet“, beschrieben wird, dass der eine oder die mehreren Teilbereiche des zweiten Bereichs, die vom zweiten Leitungstyp sind, bereits im Wesentlichen verarmt sind, während der eine oder die mehreren Teilbereiche des zweiten Bereichs, die vom ersten Leitungstyp sind, mit zunehmendem Spannungsabfall weiter verarmt werden.

[0057] Die Wölbung d in **Fig. 1** entspricht einer Grenze des Raumladungsgebiets bei einer Drain-Source-Sperrspannung, die der Durchbruchspannung des Halbleiterbauelements **100** gleichkommt. Ohne die teilkompensierte Fläche **32** würde die Grenze des Raumladungsgebiets bei Durchbruchspannung bei einer Tiefe von etwa der Linie k in **Fig. 1** liegen.

[0058] In dem Ausführungsbeispiel werden die Driftschicht und die Puffer- und Feld-Stopp-Schicht **1b**, **1c** mit sich erhöhender Drain-Source-Sperrspannung zuerst im Wesentlichen bei einer Drain-Source-Sperrspannung unterhalb von etwa 30% der Durchbruchspannung horizontal verarmt, und dann bei einer Drain-Source-Sperrspannung oberhalb von etwa 30% der Durchbruchspannung im Wesentlichen vertikal verarmt.

[0059] Weil sich, ähnlich wie bei Halbleiterbauelementen mit einer rein n-dotierten Pufferschicht, das Raumladungsgebiet (Verarmungsschicht) geschmeidig mit sich erhöhender Drain-Source-Sperrspannung in der vertikalen Richtung ausbreitet, bleiben die vorteilhaften elektrischen Effekte einer rein n-dotierten Pufferschicht erhalten. Zum Beispiel werden die gespeicherten Löcher in der Puffer- und Feld-Stopp-Schicht **1b**, **1c** möglicherweise geschmeidig mit der Spannung während des Kommutierens des Halbleiterbauelements **100** entfernt. Dies führt zu einer guten Schaltungsweichheit.

[0060] Aufgrund der Kompensationsgebiete **6**, die sich durch die Pufferschicht **1b** erstrecken, ist der Einschaltwiderstand R_{on} des Halbleiterbauelements **100** im Vergleich zu konventionellen Kompensationsbauelementen reduziert, während sich die Ausgangskapazität nur leicht erhöht. Als Ergebnis wird möglicherweise ein besserer Kompromiss zwischen Einschaltwiderstand R_{on} und Schaltverlusten erreicht.

[0061] Weiterhin kann in einem Avalanche-Modus, zum Beispiel während eines dynamischen Avalanche- oder eines Hochstrommodus, der durch kosmi-

sche Strahlen ausgelöst wird, das elektrische Feld weiter in die Feld-Stopp-Schicht **1c** in solcher Art und Weise eindringen, dass eine Eindringtiefe des elektrischen Feldes in die Feld-Stopp-Schicht **1c** sich mit dem Strom aufgrund einer Spannungsreserve erhöht, die in der Feld-Stopp-Schicht **1c** aufgebaut wird. Dies ist ähnlich wie bei Kompensationsbauelementen, die eine Feld-Stopp-Schicht unterhalb der Kompensationsstrukturen **6** aufweisen und vermeiden den sogenannten Snap-Back-Effekt bei hohen Stromdichten, der möglicherweise zu einem Zusammenbruch der Drain-Spannung und sogar zu Bauelementeschädigung führt.

[0062] Die Kompensationsgebiete **6** erstrecken sich möglicherweise nahe heran an oder sogar bis zu einer Grenzfläche, die zwischen der Feld-Stopp-Schicht **1c** und der Drainschicht **4** gebildet wird. Eine dünne, im Wesentlichen n-Typ-Schicht (nicht kompensiert) der Feld-Stopp-Schicht **1c**, zum Beispiel eine n-Typ-Schicht mit einer vertikalen Stärke von 2 μm oder weniger, wird möglicherweise unterhalb der potentialfreien Kompensationsgebiete **6** angeordnet. Aufgrund des teilkompensierten Gebiets **32**, das wenigstens in der Nähe der Drainschicht **4** liegt, ist der Einschaltwiderstand R_{on} möglicherweise im Vergleich zu konventionellen Kompensationsbauelementen geringer, die eine nicht kompensierte Feld-Stopp-Schicht unterhalb der vollständig kompensierten Kompensationsstrukturen aufweisen, während der Snap-Back-Effekt ebenfalls vermieden wird.

[0063] Typischerweise fallen höchstens 30% der Durchbruchspannung über dem Feld-Stopp-Bereich **1c** ab, wenn die Durchbruchspannung zwischen der Drain-Metallisierungsschicht **11** und der Source-Metallisierungsschicht **10** angelegt wird.

[0064] **Fig. 3** veranschaulicht einen vertikalen Querschnitt durch einen Halbleiterkörper **40** eines Halbleiterbauelements **100'**. Das Halbleiterbauelement **100'** ist dem Halbleiterbauelement **100** ähnlich, das oben in Bezug auf die **Fig. 1**, **Fig. 2** erklärt wird. Allerdings werden die p-Typ-Kompensationsgebiete **6** des Halbleiterbauelements **100'** als im Wesentlichen vertikal ausgerichtete streifenartige Parallelepipede gebildet. Dementsprechend weist das Halbleiterbauelement **100'** eine Kompensationsstruktur mit alternativen p-Typ-Säulen **6** und n-Typ-Säulen **1a**, **1b**, **1c** auf, von denen jede einen im Wesentlichen rechteckigen Querschnitt aufweist. Der Abstand w der p-Typ-Kompensationsgebiete **6** (p-Typ-Säulen **6**) bzw. die Breite w einer Einheitszelle **110'** wird im vertikalen Querschnitt durch die Summe der horizontalen Ausdehnung w_p der p-Typ-Säulen **6** (Kompensationsgebiete **6**) und des horizontalen Abstands w_n zwischen benachbarten p-Typ-Säulen **6** bzw. der horizontalen Breite w_n der n-Typ-Säulen **1a**, **1b**, **1c** bestimmt.

[0065] Gemäß einer Ausführungsform werden die Dotierungsverhältnisse so gewählt, dass die horizontale Komponente des elektrischen Feldes, das im Folgenden auch als laterales elektrisches Feld bezeichnet wird, im Raumladungsgebiet etwa $1/\sqrt{2}$ des elektrischen Durchbruchfeldes E_{BD} beträgt.

[0066] Bei Bezeichnung der horizontalen Richtung und der vertikalen Richtung in **Fig. 3** als x-Richtung bzw. z-Richtung kann die folgende Berechnung einer typischerweise gewünschten Dotierungskonzentration $N_{D32}(z)$ der n-Typ-Säulen **1a**, **1b**, **1c** in der teilkompensierten Fläche **32** vorgenommen werden. Die Netto-p-Dotierung wird durch das maximal zulässige laterale elektrische Feld (E_x) bestimmt. Die Netto-n-Dotierung in der teilkompensierten Fläche **32** wird so ausgelegt, dass die vertikal verarmbare Oberflächenladung der n-Typ-Säulen der vertikal verarmbaren Oberflächenladung eines ähnlichen Halbleiterbauelements, das aber eine reine n-Typ-Pufferschicht der Dotierung $N_D(z)$ unterhalb der p-Typ-Säulen aufweist, plus der horizontal verarmbaren Ladung der teilkompensierten Fläche **32** gleichkommt. Dies ergibt eine Dotierungskonzentration der n-Typ-Säulen **1a**, **1b**, **1c** in der teilkompensierten Fläche **32** von $N_{D32}(z) = N_D(z) \cdot w/w_n + N_{Ap}$, wobei N_{Ap} die p-Dotierung der p-Typ-Säulen **6** ist, die durch $N_{Ap} = \sqrt{2} \cdot E_{BD} \cdot \epsilon_0 \cdot \epsilon_r / (w_p \cdot q)$ gegeben ist, wobei sich ϵ_0 , ϵ_r und q auf die Vakuum-Dielektrizitätskonstante, die relative Dielektrizitätskonstante des Halbleitermaterials bzw. Elementarladung beziehen.

[0067] Mit solch einem Dotierungsverhältnis wird möglicherweise der Einschaltwiderstand R_{on} um 10% oder mehr im Vergleich zu konventionellen Kompensationshalbleiterbauelementen reduziert, ohne die Weichheit zu reduzieren und ohne das Risiko von Bauelementausfall in Hochstrommodi zu erhöhen.

[0068] **Fig. 4** veranschaulicht einen vertikalen Querschnitt durch einen Halbleiterkörper **40** eines Halbleiterbauelements **200**. Das Halbleiterbauelement **200** ist dem Halbleiterbauelement **100** ähnlich, das oben in Bezug auf die **Fig. 1**, **Fig. 2** erklärt wird. Auch bilden die zweiten Bereiche **6b** vom p-Typ der Kompensationsgebiete **6** zusammen mit der Pufferschicht **1b** und möglicherweise mit angrenzenden Bereichen der Driftschicht **1a** und der Feld-Stopp-Schicht **1c** eine teilkompensierte Fläche **32**. Allerdings erstrecken sich die p-Typ-Kompensationsgebiete **6** des Halbleiterbauelements **100** vertikal lediglich in einen Bereich der Puffer- und Feld-Stopp-Schicht **1b**, **1c**, die verarmt wird, wenn eine Drain-Source-Sperrspannung entsprechend der Durchbruchspannung angelegt wird. Eine Grenze des entsprechenden Raumladungsgebiets wird durch die Wölbung c in **Fig. 4** angezeigt.

[0069] Gemäß einer Ausführungsform sind die potentialfreien p-Typ-Kompensationsgebiete **6f** in einem Bereich der Feld-Stopp-Schicht **1c** angeordnet, die nicht verarmt wird, wenn die Durchbruchspannung zwischen der Drain-Metallisierungsschicht **11** und der Source-Metallisierungsschicht **10** angelegt wird. Im vertikalen Querschnitt bildet jedes der potentialfreien p-Typ-Kompensationsgebiete **6f** einen geschlossenen pn-Übergang mit der Feld-Stopp-Schicht **1c**.

[0070] Im Ausführungsbeispiel weisen die potentialfreien Kompensationsgebiete **6f** denselben Abstand wie die Kompensationsgebiete **6** auf und sind vertikal in Bezug auf diese zentriert. In anderen Ausführungsformen weisen die potentialfreien Kompensationsgebiete **6f** einen unterschiedlichen Abstand auf.

[0071] Die Netto-p-Dotierung der potentialfreien Kompensationsgebiete **6f** ist typischerweise geringer als die Netto-n-Dotierung der Feld-Stopp-Schicht **1c**. Dementsprechend bilden die Feld-Stopp-Schicht **1c** und die potentialfreien Kompensationsgebiete **6f** typischerweise eine weitere teilkompensierte Fläche **32b**, die unter statischen Bedingungen für Sperrspannungen bis zur Durchbruchspannung nicht verarmt wird, jedoch möglicherweise in einem dynamischen Avalanche-Modus oder einem anderen Hochstrommodus verarmt wird. Die teilkompensierte Fläche **32** und die weitere teilkompensierte Fläche **32b**, die auch als erste bzw. zweite teilkompensierte Flächen **32**, **32b** bezeichnet werden, werden voneinander durch eine dünne, im Wesentlichen n-Typ-Fläche (nicht kompensiert) **33** der Feld-Stopp-Schicht **1c** getrennt. Die dünne, im Wesentlichen n-Typ-Schicht **33** weist typischerweise eine vertikale Ausdehnung von weniger als etwa 3 μm auf, noch typischer von weniger als etwa 2 μm , zum Beispiel von etwa 1 μm .

[0072] Die potentialfreien Kompensationsgebiete **6f** erstrecken sich möglicherweise wenigstens bis nahe an eine Grenzfläche heran, die zwischen der Drainschicht **1d** und der Feld-Stopp-Schicht **1c** gebildet wird. In anderen Ausführungsformen wird eine dünne, im Wesentlichen n-Typ-Schicht (nicht kompensiert) der Feld-Stopp-Schicht **1c** unterhalb der potentialfreien Kompensationsgebiete **6f** angeordnet. Die dünne, im Wesentlichen n-Typ-Schicht weist typischerweise eine vertikale Ausdehnung von weniger als etwa 3 μm auf, noch typischer von weniger als etwa 2 μm .

[0073] Die Pufferschicht **1b** weist möglicherweise eine maximale Dotierung auf, die im Wesentlichen gleich oder höher als die maximale Dotierungskonzentration der Driftschicht **1a** ist, jedoch geringer als die maximale Dotierungskonzentration der Feld-Stopp-Schicht **1c** ist.

[0074] Weil die potentialfreien Kompensationsgebiete **6f** nicht mit der Source-Metallisierungsschicht **10** verbunden sind, tragen sie nicht zur Ausgangskapazität bei. Im dynamischen Fall werden die potentialfreien Kompensationsgebiete **6f** möglicherweise vollständig verarmt, während die Feld-Stopp-Schicht **1c** nur zum Teil verarmt wird. Während des Verarmens fließen die freien Ladungsträger vom Feld angesteuert zur Sourceelektrode bzw. zur Drainelektrode **11**. Falls der Transistor wieder geschaltet wird, werden die potentialfreien Kompensationsgebiete **6f** möglicherweise nicht sofort wieder mit Löchern gefüllt. Somit bleibt ein entsprechendes Raumladungsgebiet möglicherweise für eine Weile in benachbarten Gebieten der Feld-Stopp-Schicht **1c** erhalten. Dies führt möglicherweise zu einer kleinen zeitweisen Erhöhung des Einschaltwiderstands R_{on} . Typischerweise ist die zweitweise Erhöhung des Einschaltwiderstands R_{on} nicht größer als der entsprechende Widerstandswert einer „äquivalenten“, rein n-dotierten Schicht. Weiterhin werden thermisch erzeugte Ladungsträger die verarmten potentialfreien Kompensationsgebiete **6f** in darauffolgenden Betriebszyklen wieder auffüllen, so dass der Einschaltwiderstand R_{on} wieder reduziert wird.

[0075] Die Halbleiterbauelemente **100, 100', 200**, die oben in Bezug auf die **Fig. 1** bis **Fig. 4** erklärt werden, sind typischerweise Leistungshalbleiterbauelemente, zum Beispiel vertikale Leistungshalbleiterbauelemente, die mehrere Einheitszellen **110, 110'** aufweisen. Während sich die Zeichnungen auf n-Kanal-MOSFETs beziehen, werden möglicherweise ähnliche p-Kanal-MOSFETs mit entgegengesetzten Dotierungstypen der Halbleitergebiete bereitgestellt.

[0076] Gemäß einer Ausführungsform enthält das Leistungshalbleiterbauelement **100, 100', 200** eine Durchbruchspannung, eine Source-Metallisierungsschicht **10**, eine Drain-Metallisierungsschicht **11** und einen Halbleiterkörper **40**. Der Halbleiterkörper **40** enthält eine Hauptoberfläche **101**, eine Driftschicht **1a** von einem ersten Leitungstyp in ohmschen Kontakt mit der Drain-Metallisierungsschicht **11**, eine Puffer- und Feld-Stopp-Schicht **1b, 1c** vom ersten Leitungstyp, die an die Driftschicht **1a** angrenzt und eine höhere maximale Dotierungskonzentration als die Driftschicht **1a** aufweist, und mehrere Einheitszellen **110, 110'**. Die mehreren Einheitszellen **110, 110'** enthalten in einem vertikalen Querschnitt, der im Wesentlichen rechtwinklig zur Hauptoberfläche **101** ist, mehrere beabstandete Kompensationsgebiete **6** von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht **1a** und der Puffer- und Feld-Stopp-Schicht **1b, 1c** bildet und ohmschen Kontakt mit der Source-Metallisierungsschicht **10** hat. Ein oberer Bereich **1** der Einheitszellen **110, 110'** weist eine im Wesentlichen verschwindend geringe Netto-Dotierung auf, und ein angrenzender unterer Bereich **32** der Ein-

heitszellen **110, 110'** weist eine Netto-Dotierung vom ersten Leitungstyp auf. Ein Raumladungsgebiet wird weiterhin möglicherweise in Teilgebieten **1b, 1c** vom ersten Leitungstyp des unteren Bereichs **32** gebildet bzw. erstreckt sich möglicherweise weiterhin in Teilgebieten **1b, 1c** vom ersten Leitungstyp des unteren Bereichs **32**, wenn eine Sperrspannung zwischen etwa 30% und wenigstens 70%, typischerweise 100%, der Durchbruchspannung zwischen der Drain-Metallisierungsschicht **11** und der Source-Metallisierungsschicht **10** angelegt wird.

[0077] In einem Avalanche-Modus vergrößert sich mit dem Strom typischerweise eine Eindringtiefe eines elektrischen Feldes in die Puffer- und Feld-Stopp-Schicht **1b, 1c**.

[0078] Typischerweise enthält die Puffer- und Feld-Stopp-Schicht **1b, 1c** einen Pufferbereich **1b** (Pufferschicht) und einen Feld-Stopp-Bereich **1c** (Feld-Stopp-Schicht), die eine größere mittlere Dotierungskonzentration als der Pufferbereich **1b** aufweist. Der Pufferbereich **1b** ist zwischen dem Feld-Stopp-Bereich **1c** und der Driftschicht **1a** angeordnet.

[0079] Der Pufferbereich **1b** weist möglicherweise eine vertikale Ausdehnung in einem Bereich von etwa 2 μm bis etwa 10 μm auf.

[0080] Typischerweise fallen bei höchstens etwa 30% der Durchbruchspannung über dem Feld-Stopp-Bereich **1c** ab, wenn eine Drain-Source-Sperrspannung entsprechend der Durchbruchspannung zwischen der Drain-Metallisierungsschicht **11** und der Source-Metallisierungsschicht **10** angelegt wird.

[0081] Die Kompensationsgebiete **6** erstrecken sich typischerweise im Wesentlichen über den Pufferbereich **1b**. Die Kompensationsgebiete **6** erstrecken sich möglicherweise wenigstens in der Nähe einer Drainschicht **4**, wie in den **Fig. 1** bis **Fig. 3** veranschaulicht wird.

[0082] Alternativ ist möglicherweise unterhalb von jedem der Kompensationsgebiete **6** ein potentialfreies Kompensationsgebiet **6f** vom zweiten Leitungstyp angeordnet, das vollständig in den Feld-Stopp-Bereich **1c** eingebettet ist, wie in **Fig. 4** veranschaulicht wird. Eine Netto-p-Dotierung der potentialfreien Kompensationsgebiete **6f** ist typischerweise geringer als eine Netto-n-Dotierung der Feld-Stopp-Schicht **1c**.

Patentansprüche

1. Es wird Folgendes beansprucht: Halbleiterbauelement, das eine Durchbruchspannung aufweist und Folgendes umfasst:
 - eine Source-Metallisierungsschicht (**10**);
 - eine Drain-Metallisierungsschicht (**11**); und

– einen Halbleiterkörper (**40**), der Folgendes umfassend:

- eine Driftschicht (**1a**) von einem ersten Leitungstyp, die in ohmschen Kontakt mit der Drain-Metallisierungsschicht (**11**) steht;
- eine Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) vom ersten Leitungstyp, die an die Driftschicht (**1a**) angrenzt und eine größere maximale Dotierungskonzentration als die Driftschicht (**1a**) umfasst; und
- in einem vertikalen Querschnitt mehrere beabstandete Kompensationsgebiete (**6**) von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht (**1a**) und der Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) bildet und in ohmschen Kontakt mit der Source-Metallisierungsschicht (**10**) steht, wobei jedes der Kompensationsgebiete (**6**) einen zweiten Bereich (**6b**) und einen ersten Bereich (**6a**), der zwischen dem zweiten Bereich (**6b**) und der Source-Metallisierungsschicht (**10**) angeordnet ist, umfasst, wobei die ersten Bereiche (**6a**) und die Driftschicht (**1a**) im vertikalen Querschnitt eine kompensierte, streifenförmige erste Fläche (**1**) bilden, und wobei die zweiten Bereiche (**6b**) und zumindest die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) im vertikalen Querschnitt eine zum Teil kompensierte, streifenförmige zweite Fläche (**32**) bilden, die einen Überschuss an Dotierstoffen vom ersten Leitungstyp aufweist, wobei sich in der zweiten Fläche (**32**) ein Raumladungsgebiet bildet, wenn eine Sperrspannung zwischen 30% und wenigstens 70% der Durchbruchspannung zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

2. Halbleiterbauelement nach Anspruch 1, wobei die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) einen Pufferbereich (**1b**) und einen Feld-Stopp-Bereich (**1c**) umfasst, der eine höhere mittlere Dotierungskonzentration als der Pufferbereich (**1b**) umfasst, wobei der Pufferbereich (**1b**) zwischen dem Feld-Stopp-Bereich (**1c**) und der Driftschicht (**1a**) angeordnet ist.

3. Halbleiterbauelement nach Anspruch 2, wobei der Halbleiterkörper (**40**) eine Hauptoberfläche (**101**) umfasst, wobei der vertikale Querschnitt senkrecht zur Hauptoberfläche (**101**) ist und wobei der Pufferbereich (**1b**) in einer zur Hauptoberfläche (**101**) senkrechten Richtung eine Ausdehnung im Bereich von 2 μm bis 10 μm aufweist.

4. Halbleiterbauelement nach Anspruch 2 oder 3, wobei höchstens 30% der Durchbruchspannung über dem Feld-Stopp-Bereich (**1c**) abfällt, wenn die Durchbruchspannung zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

5. Halbleiterbauelement nach einem der Ansprüche 2 bis 4, wobei der Feld-Stopp-Bereich (**1c**) nur zum Teil verarmt wird, wenn die Durchbruchspannung

zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

6. Halbleiterbauelement nach einem der Ansprüche 2 bis 5, wobei die Kompensationsgebiete (**6**) sich über dem Pufferbereich (**1b**) erstrecken, weiterhin im vertikalen Querschnitt umfassend mehrere beabstandete potentialfreie Kompensationsgebiete (**6f**) vom zweiten Leitungstyp umfassen, die vollständig im Feld-Stopp-Bereich (**1c**) eingebettet sind und eine geringere effektive Dotierung als der Feld-Stopp-Bereich (**1c**) umfassen.

7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6, das weiterhin eine Drainschicht (**7**) vom ersten Leitungstyp umfasst, die zwischen der Drain-Metallisierungsschicht (**11**) und der Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) angeordnet ist und eine höhere maximale Dotierungskonzentration als die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) umfasst.

8. Halbleiterbauelement nach Anspruch 7, wobei die Drainschicht (**7**) und die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) eine Grenzfläche bilden und wobei die Kompensationsgebiete (**6**) sich bis nahe an die Grenzfläche erstrecken.

9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, wobei das Raumladungsgebiet in der ersten Fläche (**1**) gebildet wird, wenn eine Sperrspannung unterhalb von 30% der Durchbruchspannung zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

10. Halbleiterbauelement nach einem der Ansprüche 1 bis 9, wobei die Kompensationsgebiete (**6**) verarmt werden, wenn eine Sperrspannung von 30% der Durchbruchspannung zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

11. Halbleiterbauelement nach einem der Ansprüche 1 bis 10, wobei ein Überschuss an den Dotierstoffen eines Teilgebiets der zweiten Fläche (**32**), das an die erste Fläche (**1**) angrenzt, in einem Bereich von 10^{15} cm^{-3} bis $6 \cdot 10^{15} \text{ cm}^{-3}$ liegt.

12. Halbleiterbauelement nach einem der Ansprüche 1 bis 11, wobei sich in einem Avalanche-Modus oder einem anderen Hochstrommodus eine Eindringtiefe eines elektrischen Feldes in die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) mit dem Strom erhöht.

13. Halbleiterbauelement nach einem der Ansprüche 1 bis 12, wobei wenigstens eine der Flächen, die erste (**1**) oder die zweite (**32**), rechteckig ist.

14. Halbleiterbauelement, das eine Durchbruchspannung aufweist und Folgendes umfasst:

- eine Source-Metallisierungsschicht (**10**);
- eine Drain-Metallisierungsschicht (**11**); und
- einen Halbleiterkörper (**40**), umfassend:
 - eine Driftschicht (**1a**) von einem ersten Leitungstyp, die in ohmschen Kontakt mit der Drain-Metallisierungsschicht (**11**) steht;
 - eine Feld-Stopp-Schicht von einem ersten Leitungstyp, die zwischen der Drain-Metallisierungsschicht (**11**) und der Driftschicht (**1a**) angeordnet ist, ohmschen Kontakt mit der Driftschicht (**1a**) hat und eine höhere maximale Dotierungskonzentration als die Driftschicht (**1a**) aufweist;
 - in einem vertikalen Querschnitt wenigstens zwei beabstandete Kompensationsgebiete (**6**) von einem zweiten Leitungstyp, von denen jedes einen entsprechenden ersten pn-Übergang mit der Driftschicht (**1a**) bildet und in ohmschen Kontakt mit der Source-Metallisierungsschicht (**10**) steht; und
 - im vertikalen Querschnitt wenigstens zwei potentialfreie Kompensationsgebiete (**6f**) vom zweiten Leitungstyp, von denen jedes einen geschlossenen pn-Übergang mit der Feld-Stopp-Schicht bildet und in einem Bereich der Feld-Stopp-Schicht angeordnet ist, der nicht verarmt wird, wenn die Durchbruchspannung zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

15. Halbleiterbauelement nach Anspruch 14, wobei mehrere potentialfreie Kompensationsgebiete (**6f**) in der Feld-Stopp-Schicht angeordnet sind und wobei eine effektive p-Dotierung der mehreren potentialfreien Kompensationsgebiete (**6f**) geringer als eine effektive n-Dotierung der Feld-Stopp-Schicht ist.

16. Halbleiterbauelement nach Anspruch 14 oder 15, das weiterhin eine Pufferschicht vom ersten Leitungstyp umfasst, die zwischen der Driftschicht (**1a**) und der Feld-Stopp-Schicht angeordnet ist und eine maximale Dotierungskonzentration umfasst, die höher als die maximale Dotierungskonzentration der Driftschicht (**1a**) und geringer als die maximale Dotierungskonzentration der Feld-Stopp-Schicht ist, wobei sich die Kompensationsgebiete (**6**) in die Pufferschicht hinein erstrecken.

17. Halbleiterbauelement nach einem der Ansprüche 14 bis 16, wobei das Halbleiterbauelement im vertikalen Querschnitt mehrere angrenzende Einheitszellen umfasst und wobei in jeder der Einheitszellen ein Integral, das durch Integrieren einer Konzentration von n-Typ-Dotierstoffen einer rechteckigen ersten Fläche (**1**) ermittelt wird, einem Integral gleichkommt, das durch Integrieren einer Konzentration von p-Typ-Dotierstoffen der ersten Fläche (**1**) ermittelt wird, wobei die erste Fläche (**1**) neben der Source-Metallisierungsschicht (**10**) angeordnet ist und eine horizontale Ausdehnung der ersten rechteckigen Fläche einer horizontalen Ausdehnung der Einheitszelle entspricht.

18. Halbleiterbauelement nach Anspruch 17, wobei in jeder der Einheitszellen ein Integral, das durch Integrieren einer Konzentration von p-Typ-Dotierstoffen einer rechteckigen zweiten Fläche (**32**) der Einheitszelle ermittelt wird, sich von einem Integral unterscheidet, das durch Integrieren einer Konzentration von n-Typ-Dotierstoffen der zweiten Fläche (**32**) ermittelt wird, wobei die erste Fläche (**1**) zwischen der Source-Metallisierungsschicht (**10**) und der zweiten Fläche (**32**) angeordnet ist und eine horizontale Ausdehnung der zweiten rechteckigen Fläche einer horizontalen Ausdehnung der Einheitszelle entspricht.

19. Halbleiterbauelement nach Anspruch 18, das weiterhin eine Drainschicht (**7**) vom ersten Leitungstyp umfasst, die zwischen der Drain-Metallisierungsschicht (**11**) und der Feld-Stopp-Schicht angeordnet ist und eine höhere maximale Dotierungskonzentration als die Feld-Stopp-Schicht umfasst.

20. Halbleiterbauelement nach Anspruch 19, wobei die Drainschicht (**7**) und die Feld-Stopp-Schicht eine Grenzfläche bilden und wobei die potentialfreien Kompensationsgebiete (**6f**) sich bis nahe an die Grenzfläche erstrecken.

21. Halbleiterbauelement nach Anspruch 1, wobei das Halbleiterbauelement ein Leistungshalbleiterbauelement ist, wobei der vertikalen Querschnitt senkrecht zu einer Hauptoberfläche (**101**) des Halbleiterkörpers (**40**) ist, und wobei der Halbleiterkörper (**40**) im vertikalen Querschnitt mehrere Einheitszellen umfasst, und wobei sich in einem Avalanche-Modus eine Eindringtiefe eines elektrischen Feldes in die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) mit dem Strom vergrößert.

22. Halbleiterbauelement nach Anspruch 21, wobei die Puffer- und Feld-Stopp-Schicht (**1b**, **1c**) einen Pufferbereich (**1b**) und einen Feld-Stopp-Bereich (**1c**) umfasst, der eine höhere mittlere Dotierungskonzentration als der Pufferbereich (**1b**) umfasst, wobei der Pufferbereich (**1b**) zwischen dem Feld-Stopp-Bereich (**1c**) und der Driftschicht (**1a**) angeordnet ist.

23. Halbleiterbauelement nach Anspruch 22, wobei der Pufferbereich (**1b**) eine vertikale Ausdehnung in einem Bereich von 2 µm bis 10 µm aufweist.

24. Halbleiterbauelement nach Anspruch 22 oder 23, wobei höchstens 30% der Durchbruchspannung über dem Feld-Stopp-Bereich (**1c**) abfällt, wenn die Durchbruchspannung zwischen der Drain-Metallisierungsschicht (**11**) und der Source-Metallisierungsschicht (**10**) angelegt wird.

25. Halbleiterbauelement nach einem der Ansprüche 22 bis 24, wobei die Kompensationsgebiete (**6**) sich über den Pufferbereich (**1b**) erstrecken, wobei unterhalb von jedem der Kompensationsgebiete

(6) ein potentialfreies Kompensationsgebiet (6f) vom zweiten Leitungstyp angeordnet ist, das vollständig im Feld-Stopp-Bereich (1c) eingebettet ist, und wobei eine effektive Dotierung der potentialfreien Kompensationsgebiete (6f) geringer als eine effektive Dotierung der Feld-Stopp-Bereich (1c) ist.

Es folgen 4 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

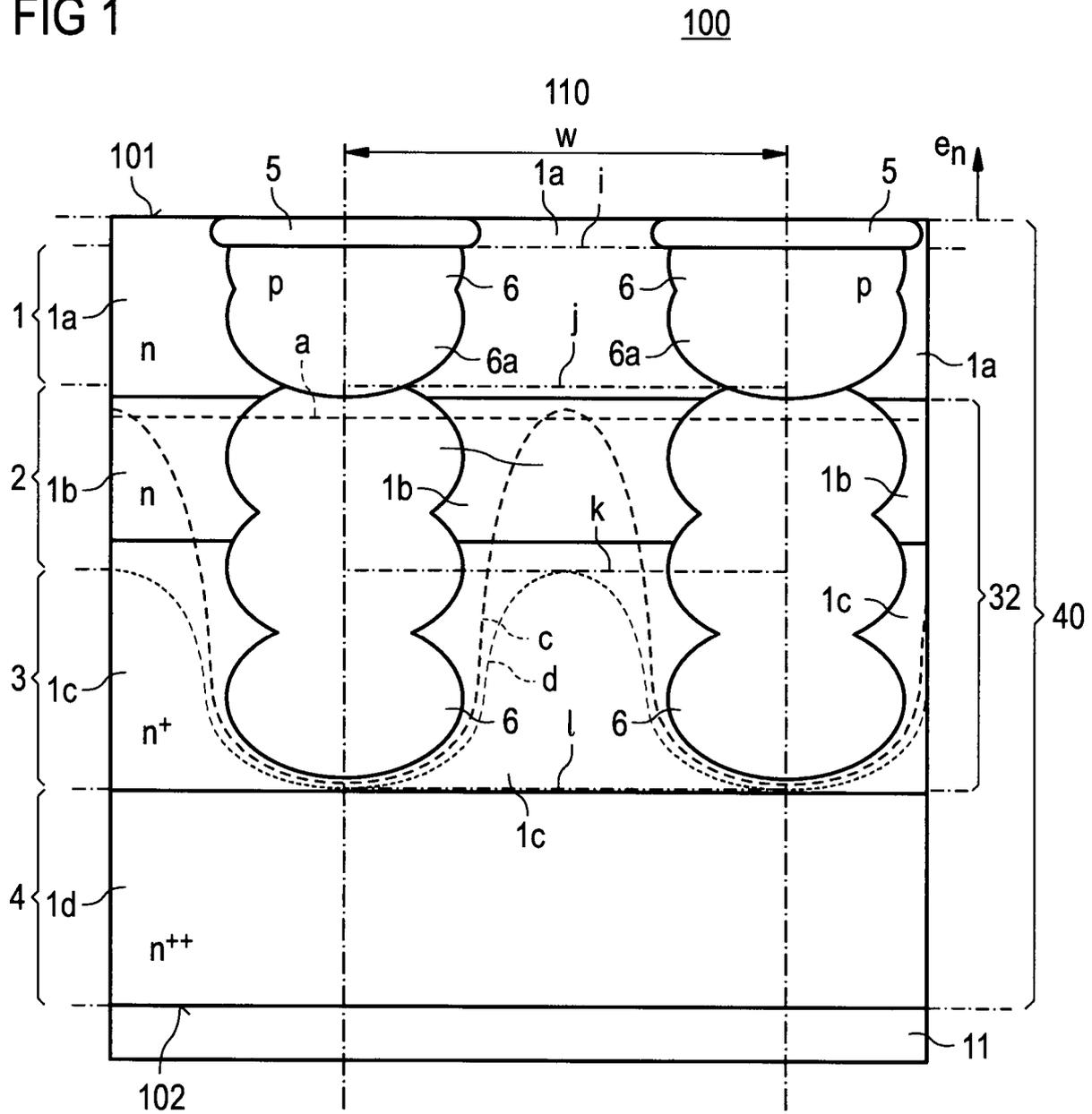


FIG 2

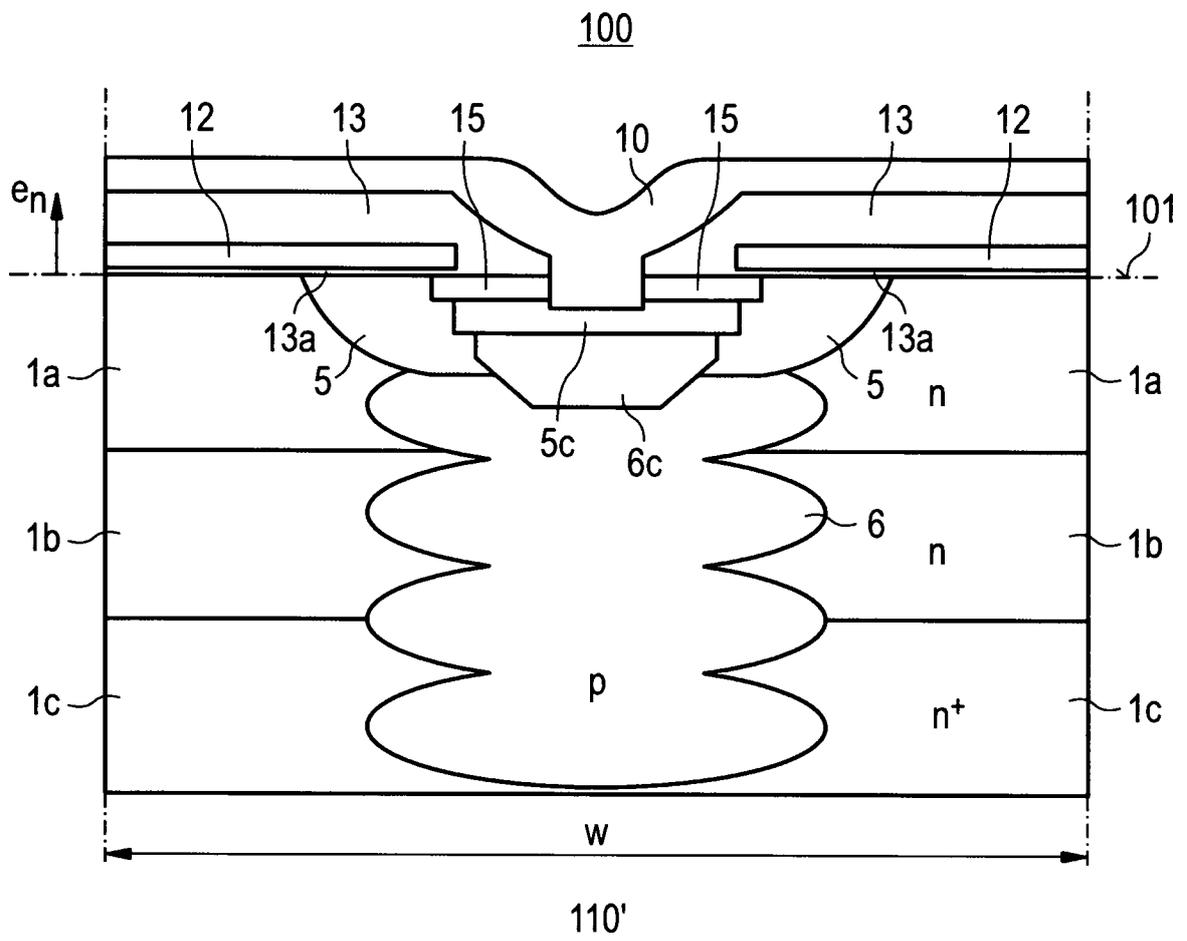


FIG 3

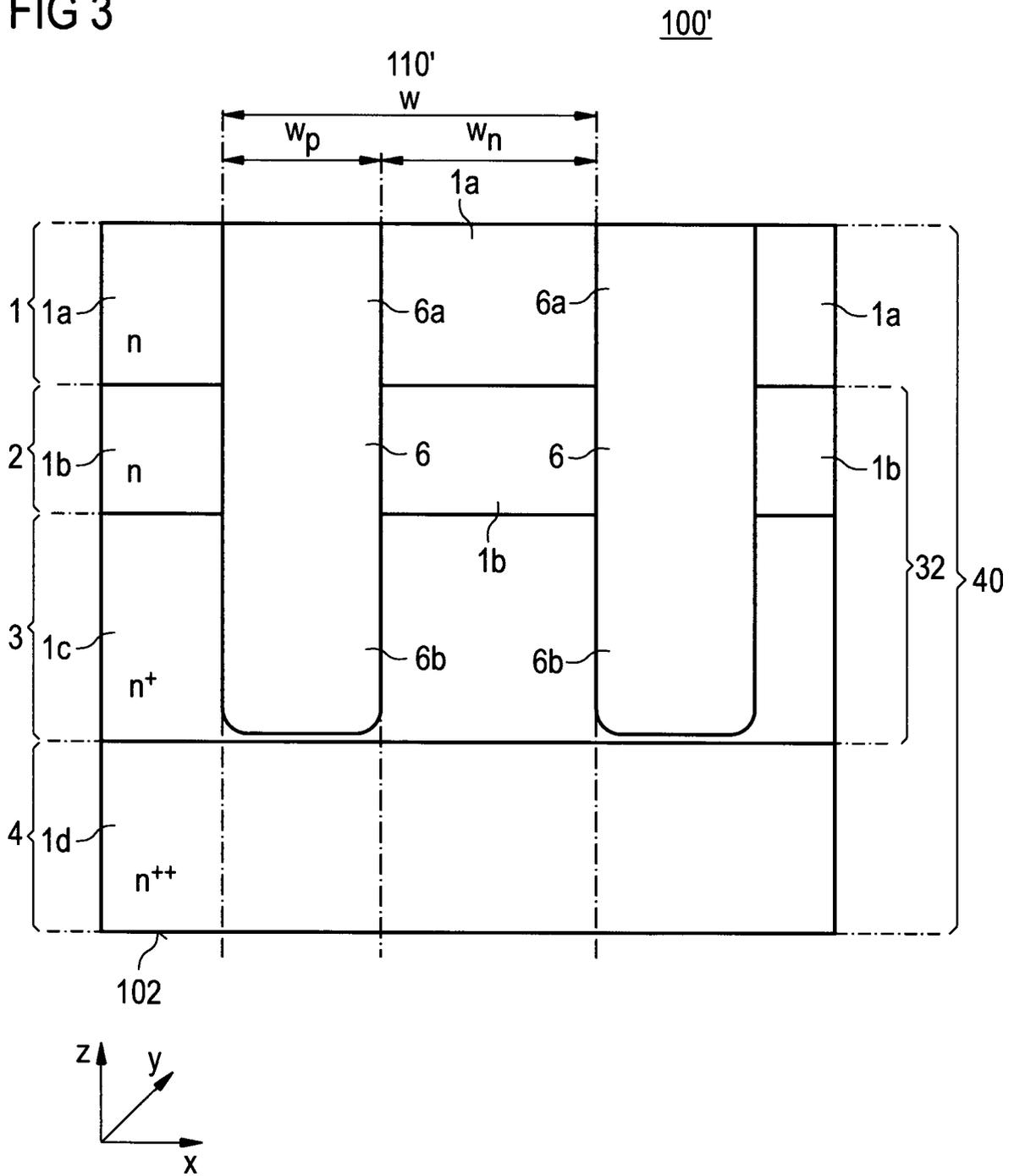


FIG 4

200

