

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3678769号  
(P3678769)

(45) 発行日 平成17年8月3日(2005.8.3)

(24) 登録日 平成17年5月20日(2005.5.20)

(51) Int. Cl.<sup>7</sup>

H01S 5/223

F I

H01S 5/223

請求項の数 2 (全 8 頁)

(21) 出願番号	特願平6-72568	(73) 特許権者	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成6年3月16日(1994.3.16)	(74) 代理人	100086298 弁理士 船橋 國則
(65) 公開番号	特開平7-263814	(72) 発明者	小沢 正文 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日	平成7年10月13日(1995.10.13)	(72) 発明者	中山 典一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
審査請求日	平成12年5月15日(2000.5.15)	(72) 発明者	日野 智公 東京都品川区北品川6丁目7番35号 ソニー株式会社内
審査番号	不服2003-6567(P2003-6567/J1)		
審査請求日	平成15年4月17日(2003.4.17)		

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基体の表面に絶縁材料を被着する半導体装置の製造方法であって、  
先ず、II-VI族化合物半導体から成る前記半導体基体の表面に、その表面の粗さが最大粗さにおいて $1 \times 10^{-8}$  m以上で前記半導体基体と前記下層基体との厚さの和未満となる凹凸を形成し、

次いで、300 以下の環境において前記凹凸が形成された半導体基体の表面に、SiO<sub>2</sub>、SiN<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、MgF<sub>2</sub>の中から選択された1つを前記絶縁材料として被着する

ことを特徴とする半導体装置の製造方法。

10

【請求項2】

下層基体の最上層となる活性層の上にII-VI族化合物半導体から成るクラッド層を形成する工程と、

前記クラッド層の表面に、その表面の粗さが最大粗さにおいて $1 \times 10^{-8}$  m以上で前記クラッド層と前記下層基体との厚さの和未満である凹凸を形成する工程と、

300 以下の環境において前記クラッド層の凹凸の上に、絶縁材料としてSiO<sub>2</sub>、SiN<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、MgF<sub>2</sub>の中から選択された1つを被着する工程と

を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

20

**【産業上の利用分野】**

本発明は、半導体基体の表面に絶縁材料を被着する半導体装置の製造方法に関する。

**【0002】****【従来の技術】**

半導体装置の製造においては、層間絶縁や外部保護、所定の構造形成等の目的で絶縁性の高い材料（以下、絶縁材料と言う）を被着する工程が必要不可欠である。

絶縁材料は、例えば酸化シリコン（以下、 $\text{SiO}_2$  と言う）や窒化シリコン（以下、 $\text{SiN}_x$  と言う）、酸化アルミニウム（以下、 $\text{Al}_2\text{O}_3$  と言う）などから構成され、CVD法や蒸着法等の種々の方法により表面の最大粗さが $1 \times 10^{-9} \text{m}$ （1nm）程度の半導体基体上に被着される。

10

**【0003】**

例えば、半導体レーザの場合においては、そのストライプ構造を形成のためストライプ部分以外に絶縁材料から成る絶縁層を所定の半導体基体上に被着している。

一般に、半導体レーザはGaAs等から成る化合物半導体を用いており、例えばGaAsから成る活性層をAlGaAsから成るクラッド層で挟んだダブルヘテロ構造を採っている。

また、クラッド層上にはストライプ部分を除いて絶縁膜が被着されており電極から注入されるキャリアの密度が高いストライプ構造を構成している。

**【0004】**

特に、近年においては発振波長が470nm～530nm程度の青色レーザ光を発光する半導体レーザの開発が盛んに行われており、ZnSeなどのII族-VI族から成る化合物半導体も用いられるようになっている。

20

**【0005】****【発明が解決しようとする課題】**

ところが、このような化合物半導体は単結晶半導体に比べて機械的特性が劣るため、絶縁材料の被着において低温によるプロセスを用いる必要がある。

特に、ZnSeなどのII族-VI族から成る化合物半導体では加熱による耐久性が乏しく、300以下でのプロセスが必要となる。

GaAsなどのIII族-V族から成る化合物半導体でも結晶保護等の観点から500以下でのプロセスが望ましい。

30

**【0006】**

このように、500以下の低温プロセスによって被着した絶縁材料ではそれ以上の高温プロセスによって被着した絶縁材料と比べて半導体基体との密着力が著しく低下することになり、剥がれ等による半導体装置の製造上の重大な問題となっている。

また、LSIから成る半導体装置の場合においては、近年高集積化や多層化が図られるようになり、形成した回路へのダメージをなるべく少なくするために低温による絶縁膜被着等のプロセスが必要となっている。

このため、単結晶Siを用いた場合であっても被着した絶縁材料の密着力低下が起こり、製造歩留りの低下や熱伝導性の低下という問題が生じている。

**【0007】****【課題を解決するための手段】**

本発明は、このような課題を解決するために成されたものである。

すなわち、本発明は半導体基体の表面に絶縁材料を被着するものであり、まず、半導体基体の表面に、その表面の粗さが最大粗さにおいて $1 \times 10^{-8} \text{m}$ 以上で半導体基体と下層基体との厚さの和未満となる凹凸を形成し、次いで、その凹凸が形成された半導体基体の表面に絶縁材料を被着する。

また、半導体基体として化合物半導体を用いたり、II-VI族化合物半導体を用いるものでもある。

40

**【0008】****【作用】**

50

本発明は、半導体基体の表面に所定粗さを構成する凹凸を形成した後、その凹凸が形成された半導体基体の表面に絶縁材料を被着している。

すなわち、絶縁材料を被着する半導体基体の表面は、形成された凹凸によってその表面積が増加することになり、これによって被着する絶縁材料の密着力が増すようになる。

特に、化合物半導体から成る半導体基体の場合には低温によるプロセスが必要となるが、このような凹凸を形成することで低温プロセスにおける絶縁材料の密着力低下を補うことができるようになる。

また、絶縁材料を被着する半導体基体を下層基体上に形成する場合には、その凹凸による半導体基体の表面の粗さを、最大粗さにおいて  $1 \times 10^{-8}$  m 以上で半導体基体と下層基体との厚さの和未満にすることにより、下層基体および製造する半導体装置に応じた最適な密着力が得られる。

10

【0009】

【実施例】

以下に、本発明の半導体装置の製造方法の実施例を図に基づいて説明する。

図1は、本発明の半導体装置の製造方法を工程順に説明する概略断面図であり、主に半導体基体1の表面に絶縁材料2を被着するプロセスに特徴がある。

まず、図1(a)に示す第1工程として、絶縁材料2を被着するための半導体基体1を用意する。

半導体基体1は、主として単結晶SiやGaAs、InP、InGaAsP、AlGaAs、GaAsP、AlGaAsPなどから成るIII族-V族の化合物半導体、またZnSe、ZnS、ZnSSe、ZnCdS、ZnMgSSeなどから成るII族-VI族の化合物半導体である。

20

【0010】

次に、図1(b)に示す第2工程として、上記の半導体基体1の表面に所定の凹凸1aを形成し、その表面積を増加させる。

凹凸1aを形成するには、HClやHF、 $H_2O_2$ 等から成るエッチャントを用いて形成したり、サンドブラスタやスパッタリング法等を用いて形成したりする。

【0011】

図2は半導体基体1(図1参照)の表面に形成した凹凸1a(図1参照)の状態を示す図であり、(a)はZnMgSSeの場合、(b)はZnSeの場合である。

30

例えば、図2(a)に示すZnMgSSeの場合には、表面の最大粗さが590nm程度であり、従来の表面粗さ(最大粗さ1nm程度)に比べて2桁ほど粗くなっている。

また、図2(b)に示すZnSeの場合には、表面の最大粗さが1060nm程度であり、従来の表面粗さに比べて3桁ほど粗くなっている。

このように、半導体基体1の表面に凹凸1aを設けてその粗さを増すことにより表面積を大幅に増加させることができる。

【0012】

次に、図1(c)に示す第3工程として、凹凸1aを形成した半導体基体1の表面に絶縁材料2を被着する。

絶縁材料2は、 $SiO_2$ や $SiN_x$ 、 $Al_2O_3$ 、 $TiO_2$ 、 $MgF_2$ などから成り、CVD法や電子ビーム蒸着法、スパッタリング法等の種々の方法により凹凸1a上に被着される。

40

絶縁材料2を被着する半導体基体1の表面は先に説明したような凹凸1aによって表面積が増加しているため、ここに被着する絶縁材料2の密着力が向上することになる。

【0013】

特に、半導体基体1として化合物半導体を用いた場合には、500以下の低温の環境にて絶縁材料2を被着することから、低温プロセスによる絶縁材料2の密着力低下を凹凸1aによる表面積増加によって補うことができる。

なお、絶縁材料2の密着力向上の観点においては、従来の半導体基体の表面粗さである最大粗さ1nmより1桁粗い10nm以上の粗さとなるよう凹凸1aを形成すれば実用上問

50

題のない絶縁材料 2 の密着力を備えることができる。

【 0 0 1 4 】

次に、図 3 ~ 図 6 に基づいて本発明の適応例を説明する。

図 3 は、本発明の製造方法の適応対象となる半導体レーザの構造図である。

この半導体レーザは、主として I I 族 - V I 族から成る化合物半導体を用いた青色レーザを発光する半導体装置であり、活性層 3 4 を p 型第 1 クラッド層 1 0 と n 型クラッド層 3 3 とで挟んだダブルヘテロ構造となっている。

この p 型第 1 クラッド層 1 0 が本発明における半導体基体 1 ( 図 1 参照 ) に相当しており、その上に被着された絶縁層 2 0 が本発明における絶縁材料 2 ( 図 1 参照 ) に相当する。

【 0 0 1 5 】

半導体基体 1 ( 図 1 参照 ) に相当する p 型第 1 クラッド層 1 0 は、n 型基板 3 1、n 型バッファ層 3 2、n 型クラッド層 3 3、活性層 3 4 から成る下層基体 3 上に形成されており、p 型第 1 クラッド層 1 0 の表面に形成された凹凸 1 a を介して絶縁層 2 0 が被着されている。

半導体レーザは、この絶縁層 2 0 によって p 型第 2 クラッド層 5 および p 型コンタクト層 6 によるストライプが構成され、p 型コンタクト層 6 に接続される電極 4 1 および n 型基板 3 1 に接続される電極 4 2 から高密度のキャリアを注入できるようになっている。

【 0 0 1 6 】

次に、このような半導体レーザの製造方法を図 4 ~ 図 5 の概略断面図に基づいて工程順に説明する。

まず、図 4 ( a ) に示す第 1 工程として、最上部に所定の活性層 3 4 が形成された下層基体 3 を構成しその活性層 3 4 上に例えば M B E 法 ( 分子線エピタキシャル成長法 ) によって Z n M g S S e から成る p 型第 1 クラッド層 1 0 を形成する。

【 0 0 1 7 】

次いで、図 4 ( b ) に示す第 2 工程として、Z n M g S S e から成る p 型第 1 クラッド層 1 0 の上に例えば M B E 法等を用いて Z n S e または Z n S S e から成る p 型第 2 クラッド層 5 を形成し、さらにその上に M B E 法等を用いて p 型コンタクト層 6 を形成する。そして、半導体レーザのストライプを構成するためのマスクとして p 型コンタクト層 6 上の所定位置にレジスト 7 を被着する。

【 0 0 1 8 】

次に、図 5 ( a ) に示す第 3 工程として、例えば H C l や H F、H<sub>2</sub> O<sub>2</sub> から成るエッチャントを用いて化学的なエッチングを施す。

すなわち、p 型コンタクト層 6 上に被着したレジスト 7 をマスクとしてエッチングを行い、レジスト 7 が被着する部分以外の p 型コンタクト層 6、p 型第 2 クラッド層 5、さらに p 型第 1 クラッド層 1 0 の途中まで除去する。

この際、Z n M g S S e から成る p 型第 1 クラッド層 1 0 の表面は化学的なエッチングによって所定の凹凸 1 0 a が形成されることになる。

例えば、p 型第 1 クラッド層 1 0 の厚さが 1 μ m 程度である場合、この凹凸 1 0 a によって p 型第 1 クラッド層 1 0 の表面を最大粗さ 5 0 n m ~ 1 0 0 n m 程度にする。

【 0 0 1 9 】

次いで、図 5 ( b ) に示す第 4 工程として、Z n M g S S e から成る p 型第 1 クラッド層 1 0 の表面に形成された凹凸 1 0 a 上に例えば A l<sub>2</sub> O<sub>3</sub> から成る絶縁層 2 0 を電子ビーム蒸着法等により被着する。

絶縁層 2 0 を被着する際の p 型第 1 クラッド層 1 0 の温度は、Z n M g S S e から成る p 型第 1 クラッド層 1 0 の場合にはその破損を防止するため 3 0 0 以下にしておく。

なお、このように 3 0 0 以下の低温において A l<sub>2</sub> O<sub>3</sub> から成る絶縁層 2 0 を被着しても、Z n M g S S e から成る p 型第 1 クラッド層 1 0 の表面に凹凸 1 0 a が設けられているためその表面積が増加しており、高い密着力を保つことができるようになる。

【 0 0 2 0 】

その後、p 型コンタクト層 6 と接触するよう電極 4 1 を形成し、下層基体 3 と接触するよ

10

20

30

40

50

う電極 4 2 を形成する。

なお、電極 4 2 は図 4 ( a ) に示す第 1 工程の段階で既に被着しておいてもよい。  
これらの工程によって、Z n M g S S e から成る p 型第 1 クラッド層 1 0 の表面に A l<sub>2</sub> O<sub>3</sub> から成る絶縁層 2 0 が密着した半導体レーザが製造できる。

【 0 0 2 1 】

また、他の製造方法の例として図 6 の概略断面図に示すように、凹凸 1 0 a による p 型第 1 クラッド層 1 0 の表面粗さを大きくしてさらにその表面積を増加させるようにしてもよい。

すなわち、化学的なエッチングや機械的な形成により p 型第 1 クラッド層 1 0 の表面の凹凸 1 0 a を大きくし、例えば p 型第 1 クラッド層 1 0 の厚さとほぼ等しい大きさにしたり、さらに下層基体 3 まで入り込む大きさの凹凸 1 0 a ( 図中破線参照 ) を形成する。

10

【 0 0 2 2 】

このように、凹凸 1 0 a を大きくして表面粗さ増すことで絶縁層 2 0 の密着力も増加するが、最大粗さ 1 0 n m 以上で p 型第 1 クラッド層 1 0 と下層基体 3 との厚さの和未満において凹凸 1 0 a を形成する。

これにより、製造する半導体レーザの特性に応じて最も絶縁層 2 0 の密着力が高まる凹凸 1 0 a の大きさを選択できるようになる。

【 0 0 2 3 】

なお、本実施例においては主として半導体レーザを例に半導体装置の製造方法を説明したが本発明はこれに限定されない。

20

すなわち、半導体レーザ以外にも、トランジスタやメモリ等から成る L S I や発光ダイオード、受光装置であるフォトダイオード、太陽電池であっても本発明の製造方法を適用することが可能である。

【 0 0 2 4 】

【 発明の効果 】

以上説明したように、本発明の半導体装置の製造方法によれば次のような効果がある。

すなわち、半導体基体の表面に絶縁材料を被着する場合において、その表面に所定の凹凸を形成した後に絶縁材料を被着しているため、半導体基体の表面の表面積が増加することで絶縁材料の密着力が向上することになる。

また、絶縁材料の密着力が向上することによりその後の各種プロセスを確実に行うことが可能となるとともに、絶縁材料を介した熱伝導が向上することから半導体装置の信頼性向上を果たすことが可能となる。

30

特に、半導体基体が化合物半導体から成る場合には、低温によるプロセスを行っても絶縁材料の密着力を向上できることから半導体装置の歩留りおよび品質を向上させることが可能となる。

【 図面の簡単な説明 】

【 図 1 】本発明を説明する概略断面図で、( a ) は第 1 工程、( b ) は第 2 工程、( c ) は第 3 工程である。

【 図 2 】凹凸の状態を説明する図で、( a ) は Z n M g S S e の場合、( b ) は Z n S e の場合である。

40

【 図 3 】半導体レーザの構造図である。

【 図 4 】本発明の適応例を説明する概略断面図 ( その 1 ) で、( a ) は第 1 工程、( b ) は第 2 工程である。

【 図 5 】本発明の適応例を説明する概略断面図 ( その 2 ) で、( a ) は第 3 工程、( b ) は第 4 工程である。

【 図 6 】他の例を説明する概略断面図である。

【 符号の説明 】

1 半導体基体

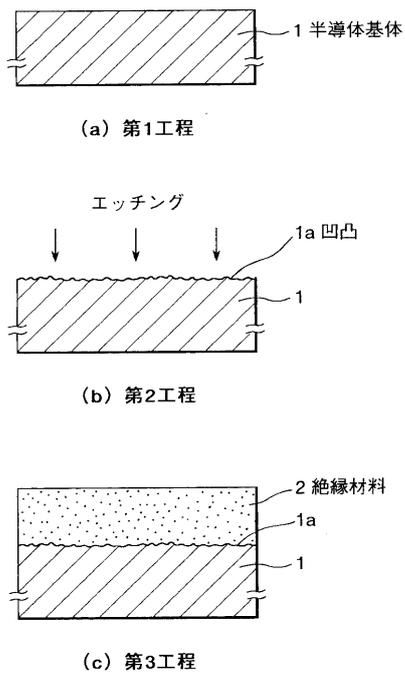
2 絶縁材料

1 a、1 0 a 凹凸

50

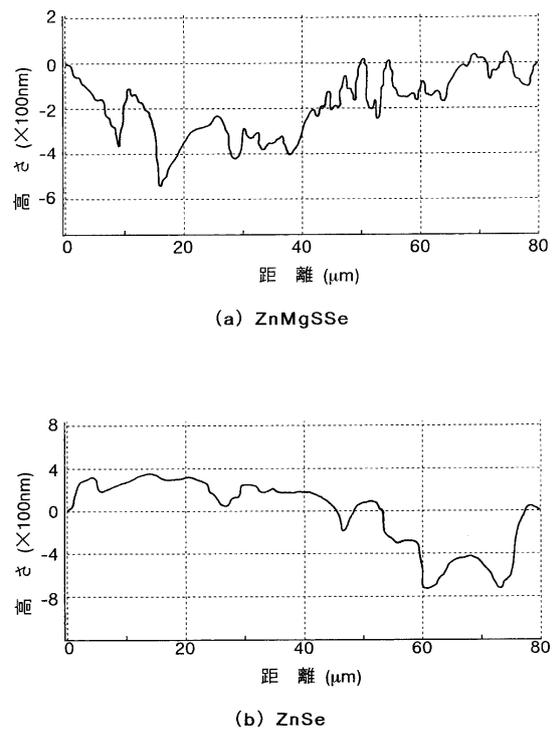
- 10 p型第1クラッド層
- 20 絶縁層

【図1】



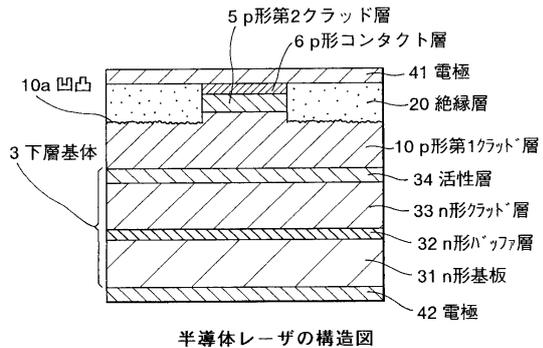
本発明を説明する概略断面図

【図2】



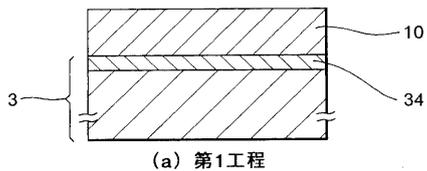
凹凸の状態を説明する図

【 図 3 】

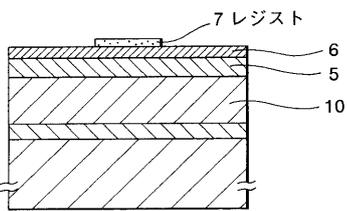


半導体レーザの構造図

【 図 4 】



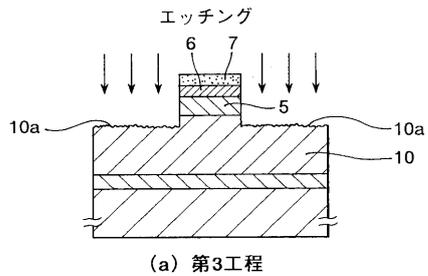
(a) 第1工程



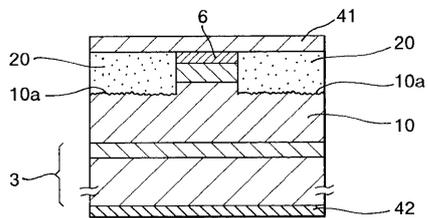
(b) 第2工程

適応例を説明する概略断面図 (その1)

【 図 5 】



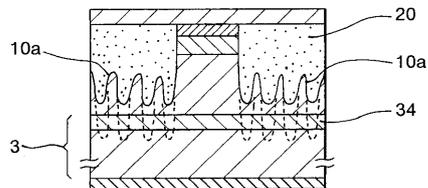
(a) 第3工程



(b) 第4工程

適応例を説明する概略断面図 (その2)

【 図 6 】



他の例を説明する概略断面図

---

フロントページの続き

合議体

審判長 向後 晋一

審判官 吉田 英一

審判官 吉田 禎治

(56)参考文献 特表平6 - 508003 (JP, A)

特開平3 - 24771 (JP, A)

特開平6 - 61580 (JP, A)

伊藤哲、森永優子、奥山浩之、宮嶋孝夫、池田昌夫、秋本克洋、「ZnSe系の結晶成長と緑  
青色レーザーダイオードの作製」、電子情報通信学会技術研究報告〔光・量子エレクトロニクス〕  
、平成4年12月17日、Vol.92, No.381, 31-36頁

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01S 5/00-5/50

H01L 33/00

H01L 29/06