



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2005 014 619 B4** 2010.05.20

(12)

Patentschrift

(21) Aktenzeichen: **10 2005 014 619.8**
 (22) Anmeldetag: **23.03.2005**
 (43) Offenlegungstag: **09.02.2006**
 (45) Veröffentlichungstag
 der Patenterteilung: **20.05.2010**

(51) Int Cl.⁸: **H01L 27/092 (2006.01)**
H01L 21/8238 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2004-0051852 05.07.2004 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:
Jung, Hyung-Suk, Suwon, KR; Lee, Jong-Ho, Suwon, KR; Rhee, Hwa-Sung, Seongnam, KR; Choi, Jae-Kwang, Suwon, KR

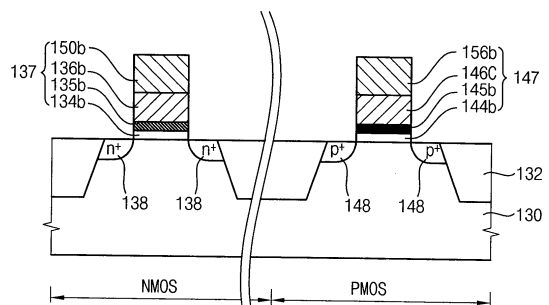
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE 10 2005 024417 A1
US 2003/01 19 292 A1
US 2002/01 90 302 A1
US 65 28 858 B1

Yee Chia Yeo u.a.: Effects of High-k Gate Dielectric Materials on Metal and Silicon Gate Workfunctions, in: IEEE El.Dev. Lett., 2002, Bd. 23, S. 342-344

(54) Bezeichnung: **Integriertes Schaltkreiselement mit Gatestruktur und zugehöriges Herstellungsverfahren**

(57) Hauptanspruch: Integriertes Schaltkreiselement mit
 – einem Halbleitersubstrat (130) mit einem ersten dotierten Bereich (138), der einen NMOS-Bereich beinhaltet, und einem zweiten dotierten Bereich (148), der einen PMOS-Bereich beinhaltet, mit einem anderen Dotiertyp als demjenigen des ersten dotierten Bereichs und
 – einer Gateelektrodenstruktur (137, 147) auf dem Halbleitersubstrat mit einer Gateisolationsschicht (134b, 144b), die einen auf dem ersten dotierten Bereich gebildeten ersten Teil, der einheitlich aus einem ersten Material mit hoher Dielektrizitätskonstante besteht, wobei das erste Material Hafniumsiliciumoxid oder Hafniumsiliciumoxynitrid ist, und einen auf dem zweiten dotierten Bereich gebildeten zweiten Teil umfasst, der einheitlich aus einem von dem ersten Material verschiedenen zweiten Material mit hoher Dielektrizitätskonstante besteht, wobei das zweite Material Hafniumaluminiumoxid oder Hafniumaluminiumoxynitrid ist, und mit einer Gateelektrode auf der Gateisolationsschicht.



Beschreibung

[0001] Die Erfindung bezieht sich auf ein integriertes Schaltkreisbauelement mit NMOS- und PMOS-Bereich sowie auf ein zugehöriges Herstellungsverfahren.

[0002] Es ist bekannt, Gatestrukturen für MOS-Feldeffekttransistoren bereitzustellen, die eine Gateelektrode aus einer Polysiliciumschicht und ein Gatedielektrikum aus Siliciumdioxid zwischen der Polysiliciumschicht und einem Barunterliegenden Halbleitersubstrat verwenden. MOS-Feldeffekttransistoren mit sehr dünnem Gatedielektrikum aus Siliciumdioxid können jedoch inakzeptable Gateleckströme aufweisen. Wenn die Dicke des Siliciumdioxid-Gatedielektrikums geringer als etwa 4 nm ist, kann direktes Tunneln durch das Gatedielektrikum hindurch zu einem darunterliegenden Kanalbereich auftreten, was Leckströme und Leistungsverbrauch erhöhen kann.

[0003] Das Bilden des Gatedielektrikums aus bestimmten dielektrischen Materialien mit hohem k-Wert, d. h. hoher Dielektrizitätskonstante, statt aus Siliciumdioxid kann Gateleckströme reduzieren. Für Materialien mit hoher Dielektrizitätskonstante, d. h. hohem k-Wert bzw. hohem ϵ -Wert, die für die Gatedielektrikumschicht verwendet werden, resultiert die hohe Permittivität ϵ des Materials allgemein in einer Erhöhung der Kapazität von der Gateelektrode zum Kanal. Die Kapazität ist allgemein charakterisiert als $C = \epsilon A / t_{ox}$, mit A als Flächenwert und t_{ox} als Dickenwert. Somit kann ein Gatedielektrikum mit einem höheren ϵ die Verwendung eines dickeren Gatedielektrikums (d. h. t_{ox} größer als 4 nm) ermöglichen, und es können eine größere Kapazität und Bauelementgeschwindigkeit mit geringerem Leckstrom bereitgestellt werden.

[0004] Ein potentieller Nachteil der Verwendung von dielektrischen Materialien mit hohem k-Wert für Gatedielektrikumschichten in integrierten Schaltkreis(IC)-Bauelementen besteht darin, dass die stark dielektrischen Materialien im Allgemeinen eine größere Anzahl von Volumeneinfangstellen und Grenzflächeneinfangstellen als thermisch gewachsenenes Siliciumdioxid (SiO_2) enthalten. Diese Einfangstellen beeinflussen typischerweise den Schwellenspannungs(V_t)-Betrieb des Transistors. Außerdem kann eine hohe Gateverarmung einer Polysilicium-Gateelektrode im Vergleich zu einem Siliciumdioxid- oder Siliciumoxynitrid(SiON)-Gatedielektrikum resultieren. Außerdem kann eine Degradation der Vorspannungstemperaturinstabilitäts(BTI)-Charakteristik des Transistors und eine Mobilitätsdegradation im Vergleich zu der Siliciumdioxid- oder Siliciumoxynitrid-Gatedielektrikumstruktur auftreten. Bezüglich der BTI-Charakteristik eines Transistors liefern eine negative BTI (NBTI) für einen PMOS-Transistor oder

eine positive BTI (PBTI) für einen NMOS-Transistor einen Zuverlässigkeitstest für Dünnschichtqualität.

[0005] In der Offenlegungsschrift US 2003/0119292 A1 ist ein integriertes Schaltkreisbauelement mit NMOS- und PMOS-Bereich offenbart, das metallische Gatestrukturen verwendet, wobei für die zugehörigen Gateisolationsschichten die Verwendung gleicher oder unterschiedlicher Materialien vorgeschlagen wird, z. B. Siliciumoxid mit oder ohne Siliciumnitrid oder ein Material mit hoher Dielektrizitätskonstante, wie entsprechende Metalloxide, Perovskitmaterialien oder Silikatmaterialien.

[0006] In der Patentschrift US 6528858 B1 wird die Verwendung unterschiedlicher dielektrischer Materialien für die Gateisolationsschichten eines NMOS-Bereichs einerseits und eines PMOS-Bereichs andererseits in einem integrierten Schaltkreisbauelement vorgeschlagen, und zwar ein Material mit einem Standardwert der Dielektrizitätskonstanten für den PMOS-Bereich, z. B. aus einem entsprechenden Nitrid wie Siliciumnitrid oder einem entsprechenden Oxynitrid wie Siliciumoxynitrid, und ein Material mit demgegenüber höherer Dielektrizitätskonstante für den NMOS-Bereich, wofür eine Vielzahl möglicher Materialien angegeben wird, u. a. Hafniumsiliciumoxynitrid.

[0007] Auch in der nachveröffentlichten Offenlegungsschrift DE 10 2005 024 417 A1 wird für ein integriertes Schaltkreisbauelement mit NMOS- und PMOS-Bereich die Verwendung unterschiedlicher Materialien für die zugehörigen Gateisolationsschichten vorgeschlagen, für den NMOS-Bereich u. a. HfSiO_x oder ein Nitrid hiervon und für den PMOS-Bereich vorzugsweise HfO_2 , HfSiO_x , Al_2O_3 , ZrO_2 , ZrSiO_x , Ta_2O_5 , La_2O_3 , Nitride hiervon, Si_xN_y , SiON , SiO_2 oder Kombinationen hiervon.

[0008] Der Erfindung liegt als technisches Problem die Bereitstellung eines integrierten Schaltkreisbauelements der eingangs genannten Art sowie eines zugehörigen Herstellungsverfahrens zugrunde, mit denen sich die oben genannten Schwierigkeiten des Standes der Technik wenigstens teilweise vermeiden lassen.

[0009] Die Erfindung löst dieses Problem durch die Bereitstellung eines integrierten Schaltkreisbauelements mit den Merkmalen des Anspruchs 1 sowie eines Herstellungsverfahrens mit den Merkmalen des Anspruchs 6.

[0010] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0011] Vorteilhafte Ausführungsformen der Erfindung sind in den Zeichnungen dargestellt und werden nachfolgend beschrieben. Hierbei zeigen:

[0012] [Fig. 1](#) eine Querschnittansicht einer Gatestruktur eines integrierten Schaltkreiselementes,

[0013] [Fig. 2](#) eine Querschnittansicht einer weiteren Gatestruktur eines integrierten Schaltkreiselementes,

[0014] [Fig. 3](#) eine schematische Querschnittsdarstellung einer Struktur entlang einer Breitenrichtung des Bauelements von [Fig. 1](#),

[0015] [Fig. 4](#) eine schematische Querschnittsdarstellung einer Struktur entlang einer Breitenrichtung des Bauelements von [Fig. 2](#),

[0016] [Fig. 5](#) eine rasterelektronenmikroskopische Aufnahme einer Draufsicht auf ein integriertes Schaltkreiselement,

[0017] [Fig. 6A](#) bis [Fig. 6I](#) Querschnittansichten, die ein Verfahren zur Herstellung einer Gatestruktur in einem integrierten Schaltkreiselement in aufeinanderfolgenden Herstellungsstufen veranschaulichen,

[0018] [Fig. 7](#) eine graphische Darstellung von Wahrscheinlichkeitsverteilungen einer Schwellenspannung für NMOS- und PMOS-Transistoren mit Gatestrukturen mit unterschiedlichen Gateisolationmaterialien,

[0019] [Fig. 8A](#) eine graphische Darstellung von Mobilitätsresultaten für NMOS-Transistoren mit Gatestrukturen mit unterschiedlichen Gateisolationmaterialien,

[0020] [Fig. 8B](#) eine graphische Darstellung entsprechend [Fig. 8A](#) für PMOS-Transistoren,

[0021] [Fig. 9A](#) eine graphische Darstellung der Vorspannungstemperaturinstabilität für NMOS-Transistoren mit Gatestrukturen mit unterschiedlichen Gateisolationmaterialien,

[0022] [Fig. 9B](#) eine graphische Darstellung entsprechend [Fig. 9A](#) für PMOS-Transistoren,

[0023] [Fig. 10A](#) eine graphische Darstellung von C/C_{ox} in Abhängigkeit von der Spannung für NMOS-Transistoren mit einer MIPS-Gateelektrode bzw. einer Polysilicium-Gateelektrode und

[0024] [Fig. 10B](#) eine graphische Darstellung entsprechend [Fig. 10A](#) für PMOS-Transistoren.

[0025] Hierbei versteht es sich, dass wenn ein Element oder eine Schicht als "auf", "verbunden mit" oder "gekoppelt mit" einem anderen Element oder einer anderen Schicht bezeichnet wird, diese(s) direkt auf, verbunden oder gekoppelt mit dem anderen Element oder der Schicht sein kann oder zwischenlie-

gende Elemente oder Schichten vorhanden sein können. Wenn im Gegensatz dazu ein Element als "direkt auf", "direkt verbunden mit" oder "direkt gekoppelt mit" einem anderen Element oder einer anderen Schicht bezeichnet wird, gibt es keine zwischenliegenden Elemente oder Schichten.

[0026] Räumlich relative Ausdrücke, wie "unterhalb", "unter", "unterer", "über", "oberer" und dergleichen können hierin zwecks Einfachheit der Beschreibung verwendet werden, um die Beziehung eines Elements oder eines Merkmals zu einem anderen Element (Elementen) oder Merkmal (Merkmalen) zu beschreiben, wie in den Figuren dargestellt. Es versteht sich, dass die räumlich relativen Ausdrücke dazu gedacht sind, verschiedene Orientierungen des Bauelements bei Verwendung oder im Betrieb zusätzlich zu der in den Figuren dargestellten Orientierung einzuschließen. Wenn zum Beispiel das Bauelement in den Figuren herumgedreht wird, wären dann Elemente, die als "unter" oder "unterhalb" anderer Elemente oder Merkmale beschrieben sind, "über" den anderen Elementen oder Merkmalen orientiert.

[0027] Ausführungsformen der Erfindung sind hierin unter Bezugnahme auf Querschnittsdarstellungen beschrieben, die schematische Darstellungen idealisierter Ausführungsformen der Erfindung sind. Derart sind Variationen von den Formen der Darstellungen als ein Ergebnis von zum Beispiel Fertigungstechniken und/oder Toleranzen zu erwarten. Somit sollten Ausführungsformen der Erfindung nicht als auf die speziellen, hierin dargestellten Formen von Bereichen betrachtet werden, sondern sollen Abweichungen von Formen umfassen, die zum Beispiel aus der Fertigung resultieren. Ein geätzter Bereich zum Beispiel, der als Rechteck dargestellt ist, weist typischerweise abgerundete oder gekrümmte Merkmale auf. Somit sind die in den Figuren dargestellten Bereiche schematisch in ihrer Natur, und ihre Formen sind nicht dazu gedacht, die präzise Form eines Bereichs eines Bauelements darzustellen.

[0028] Nunmehr werden Ausführungsformen der Erfindung zuerst unter Bezugnahme auf die [Fig. 1](#) und [Fig. 2](#) beschrieben. [Fig. 1](#) ist eine Querschnittansicht, die eine Gatestruktur für ein integriertes Schaltkreiselement gemäß der Erfindung darstellt, entlang einer Längsrichtung gemäß einer Linie AA' in [Fig. 5](#) für eine PMOS-Struktur und gemäß einer Linie CC' in [Fig. 5](#) für eine NMOS-Struktur. Wie in [Fig. 1](#) gezeigt, beinhaltet ein Halbleitersubstrat **130** darin ausgebildete Isolationsbereiche **132**. Die Isolationsbereiche **132** trennen aktive NMOS- und PMOS-Bereiche des integrierten Schaltkreiselements. Die Isolationsbereiche **132** können zum Beispiel tiefe Grabenisolationsbereiche sein. Nunmehr bezugnehmend auf den NMOS-Bereich auf der linken Seite von [Fig. 1](#) ist ein Transistorbauelement ge-

zeigt, das n-leitende Source-/Drainbereiche **138** mit einem sich dazwischen erstreckenden Kanalbereich beinhaltet. Eine Gateelektrodenstruktur **137** ist auf dem Kanalbereich zwischen den Source-/Drainbereichen **138** ausgebildet. Die gezeigte Gateelektrodenstruktur **137** beinhaltet eine erste Gateisolation- oder Gatedielektrikumschicht **134b**. Eine Polysilicium-Gateelektrode mit eingefügtem Metall (MIPS-Gateelektrode) ist bei den Ausführungsformen von [Fig. 1](#) auf der Gateisolationsschicht **134b** ausgebildet. Die Gateelektrode beinhaltet eine Metall(oder Metallnitrid)-Gateleiterschicht **135b** und eine leitfähige Polysilicium-Gateleiterschicht, die als eine erste Polysiliciumschicht **136b** und eine zweite Polysiliciumschicht **150b** dargestellt ist. Die Polysiliciumschichten können dotiert oder dergleichen sein, um zusammen mit der Metallschicht **135b** einen leitenden Pfad für die Gateelektrode bereitzustellen.

[0029] In gleicher Weise sind für den auf der rechten Seite in [Fig. 1](#) dargestellten aktiven PMOS-Bereich p-leitende Source-/Drainbereiche **148** in dem Halbleitersubstrat **130** mit einem sich dazwischen erstreckenden Kanalbereich ausgebildet. Eine Gateelektrodenstruktur **147** ist auf dem Kanalbereich zwischen den Source-/Drainbereichen **148** ausgebildet. Die Gateelektrodenstruktur **147** beinhaltet eine Gateisolation- oder Gatedielektrikumschicht **144b** auf dem Halbleitersubstrat **130**. Wie bei der zuvor beschriebenen Struktur auf der NMOS-Seite beinhaltet die in den Ausführungsformen von [Fig. 1](#) vorgesehene Struktur auf der PMOS-Seite eine Mehrschicht-Gateelektrode auf der Gateisolationsschicht **144b**. Die Gateelektrode in dem PMOS-Bereich von [Fig. 1](#) beinhaltet eine Metall(oder Metallnitrid)-Schicht **145b** und zwei leitfähige Gateschichten, wie dotierte Polysiliciumschichten **146C**, **156b**.

[0030] Für die sich zwischen dem dotierten Source-/Drainbereich **138** erstreckende Gateelektrodenstruktur **137** ist die Gateisolationsschicht **134b** aus einem ersten Material mit hoher Dielektrizitätskonstante gebildet, das basierend auf der in dem dotierten NMOS-Bereich verwendeten Dotierung ausgewählt wird. Die Gateisolationsschicht **144b** für die Gateelektrodenstruktur **147** ist in dem dotierten PMOS-Bereich aus einem zweiten Material mit hoher Dielektrizitätskonstante gebildet, das sich von dem ersten Material mit hoher Dielektrizitätskonstante unterscheidet. Speziell beinhaltet das erste Material mit hoher Dielektrizitätskonstante wenigstens eines von Hafniumsiliciumoxid und Hafniumsiliciumoxynitrid, und das zweite Material mit hoher Dielektrizitätskonstante beinhaltet wenigstens eines von Hafniumaluminiumoxid und Hafniumaluminiumoxynitrid.

[0031] Wie unter Bezugnahme auf die Ausführungsformen von [Fig. 1](#) beschrieben, sind die Gateelektrodenstrukturen **137**, **147** beide Mehrschichtstrukturen mit einer Metall(oder Metallnitrid)-Gateleiterschicht

und einer Polysilicium-Gateleiterschicht. Es versteht sich jedoch, dass die Erfindung nicht auf eine derartige Gateelektrodenstruktur beschränkt ist, sondern die Gateelektrodenstruktur auch aus anderen bekannten Typen von leitfähigen Elektrodenstrukturen bestehen kann, wie einer Polysilicium-Gateelektrode.

[0032] Nunmehr werden weitere Ausführungsformen der Erfindung unter Bezugnahme auf die Querschnittsdarstellung von [Fig. 2](#) beschrieben. Wie bei der Darstellung von [Fig. 1](#) verläuft die Querschnittansicht von [Fig. 2](#) in Längsrichtung entsprechend den Linien AA' und CC' von [Fig. 5](#) für PMOS- beziehungsweise NMOS-Bereiche. Gleichartige Elemente wie bei [Fig. 1](#) sind in [Fig. 2](#) mit gleichen Bezugszeichen versehen und werden nicht nochmals detailliert erörtert. Die Ausführungsformen von [Fig. 2](#) unterscheiden sich von jenen von [Fig. 1](#) dahingehend, dass die in dem PMOS-Bereich der Ausführungsformen von [Fig. 2](#) gezeigte Gateelektrode eine leitende Gateschicht **160b** aus einer einzelnen Schicht auf der Metallschicht **145b** beinhaltet. Des Weiteren ist die leitende Gateschicht **160b** so strukturiert, dass sie einen Teil der Gateelektrodenstruktur sowohl in dem NMOS- als auch dem PMOS-Bereich bildet.

[0033] Wenngleich die jeweiligen Gatestrukturen des NMOS- und PMOS-Bereichs unter Bezugnahme auf die Ausführungsformen von [Fig. 1](#) und [Fig. 2](#) als eigenständige Strukturen erscheinen, versteht es sich aus der Betrachtung der Draufsicht von [Fig. 5](#), dass die jeweiligen unterschiedlichen NMOS- und PMOS-Strukturen Bereiche einer einzelnen Gatestruktur **520** sein können, die sich in einer Richtung erstreckt, die hierin als Breitenrichtung bezeichnet wird und parallel zu einer Linie BB' in [Fig. 5](#) verläuft. Die Struktur derartiger Ausführungsformen in der Breitenrichtung wird nunmehr unter Bezugnahme auf spezielle, in den [Fig. 3](#) und [Fig. 4](#) dargestellte Ausführungsformen weiter beschrieben. Die Ausführungsformen von [Fig. 3](#) entsprechen im Allgemeinen der Querschnittsdarstellung von [Fig. 1](#) und jene von [Fig. 4](#) der Querschnittsdarstellung von [Fig. 2](#). Speziell entspricht [Fig. 3](#) der Darstellung von [Fig. 1](#), wobei die Beziehung zwischen den NMOS- und PMOS-Bereichen beim Bezugszeichen **300** gezeigt ist, wonach sich der NMOS-Bereich links befindet und der PMOS-Bereich rechts befindet. Wie beim Bezugszeichen **305** von [Fig. 3](#) gezeigt, kann die PMOS-Struktur jedoch auch so angeordnet sein, wie allgemein unter Bezugnahme auf die Schichten der NMOS-Struktur von [Fig. 1](#) beschrieben ist, und umgekehrt für die NMOS-Struktur. Für die Zwecke der Beschreibung hierin werden die Ausführungsformen von [Fig. 3](#) unter Bezugnahme auf die NMOS- und PMOS-Anordnung beschrieben, wie sie beim Bezugszeichen **300** von [Fig. 3](#) gezeigt ist. In ähnlicher Weise werden für [Fig. 4](#) die darin repräsentierten Ausführungsformen unter Bezugnahme auf den jeweiligen aktiven Dotierbereich des ersten und zwei-

ten Typs beschrieben, wie sie beim Bezugszeichen **400** gezeigt sind, um ihrer jeweiligen Darstellung in **Fig. 2** zu entsprechen, wenngleich die mit dem Bezugszeichen **405** gezeigte alternative Anordnung in weiteren Ausführungsformen der Erfindung ebenfalls verwendet werden kann. Bei der Beschreibung von **Fig. 3** werden gleichartige Bezugszeichen für verschiedene Ausführungsformen der darin dargestellten Schichten verwendet, um eine Bezugnahme auf die entsprechenden Elemente von **Fig. 1** zu erleichtern, d. h. das Bezugszeichen **136b** entspricht dem gleichartigen Bezugszeichen **336b** etc. Ebenso werden verschiedene Schichten in **Fig. 4** zur Bezugnahme auf entsprechende, zuvor unter Bezugnahme auf **Fig. 2** beschriebene Strukturen in gleichartiger Weise bezeichnet.

[0034] Nunmehr beziehend auf **Fig. 3** beinhaltet ein Halbleitersubstrat **330** für verschiedene Ausführungsformen der Erfindung einen Isolationsbereich **332**, wie einen tiefen Grabenisolationsbereich, zwischen dem jeweiligen ersten dotierten und zweiten dotierten aktiven Bereich, die als NMOS- oder PMOS-Bereiche mit Bezugszeichen **300** und **305** bezeichnet sind. Eine erste Gateisolationsschicht **334b** ist auf dem ersten dotierten Bereich des Halbleitersubstrats **330** ausgebildet. Eine erste Gateelektrode ist auf der ersten Gateisolationsschicht **334b** ausgebildet, die in der Darstellung von **Fig. 3** eine Mehrschichtstruktur aus einer Metall(oder Metallnitrid)-Schicht **335b**, einer ersten Polysiliciumschicht **336b** und einer weiteren Polysiliciumschicht **350b** beinhaltet. Dies stellt eine erste Gateelektrodenstruktur in dem dotierten NMOS-Bereich von **Fig. 3** dar, welche die erste Gateisolationsschicht **334b**, die Metallnitridschicht **335b** und die leitfähigen Polysiliciumschichten **336b** und **350b** beinhaltet.

[0035] Nunmehr wird die Gateelektrodenstruktur in dem PMOS-Bereich auf der rechten Seite von **Fig. 3** beschrieben. Eine zweite Gateisolationsschicht **344b** ist auf dem Halbleitersubstrat **330** ausgebildet. Eine zweite Gateelektrodenstruktur ist auf der zweiten Gateisolationsschicht **344b** ausgebildet, die in **Fig. 3** als Mehrschichtstruktur mit einer Metall(oder Metallnitrid)-Schicht **345b**, einer Polysiliciumschicht **346c** und der weiteren Polysiliciumschicht **350b** gezeigt ist.

[0036] Wie des Weiteren aus den Ausführungsformen von **Fig. 3** und unter Bezugnahme auf die Draufsicht einer Gateelektrodenstruktur **520** in **Fig. 5** ersichtlich, erstreckt sich die Gateelektrodenstruktur von **Fig. 3** zwischen dem ersten und dem zweiten dotierten Bereich über einem Isolationsbereich **332** zwischen dem ersten und dem zweiten dotierten aktiven Bereich. Die Gateelektrodenstruktur **520** beinhaltet eine Begrenzungsstruktur **370** über dem Isolationsbereich **332** zwischen dem ersten und dem zweiten dotierten aktiven Bereich, die unter Bezugnahme auf

die Darstellung von **Fig. 3** ein NMOS- bzw. PMOS-Bereich oder ein PMOS- bzw. NMOS-Bereich sein kann, wie mit den Bezugszeichen **300** und **305** gezeigt. Die Begrenzungsstruktur **370** kann eine Schicht aus einem der Materialien mit hoher Dielektrizitätskonstante der Gateisolationsschichten **334b**, **344b** beinhalten, die sich von dem Halbleitersubstrat **330** weg in die Gateelektrodenstruktur **520** hinein erstreckt. Im Beispiel von **Fig. 3** beinhaltet die Begrenzungsstruktur **370** eine Schicht aus dem Material mit hoher Dielektrizitätskonstante der zweiten Gateisolationsschicht **344b** und des Weiteren eine Schicht aus dem Material der zweiten Metallschicht **345b**. Wie unter Bezugnahme auf die Querschnittsdarstellung von **Fig. 1** und jener von **Fig. 3** weiter ersichtlich, erstreckt sich die Gateelektrodenstruktur in entsprechenden Ausführungsformen der Erfindung von einem Kanalbereich eines NMOS-Bauelements in dem ersten dotierten Bereich bis zu einem Kanalbereich eines PMOS-Bauelements in dem zweiten dotierten Bereich. Wenngleich die Begrenzungsstruktur **370** in **Fig. 3** über dem Isolationsbereich **332** liegt, kann sie in anderen Ausführungsformen der Erfindung an anderer Stelle zwischen den Kanalbereichen des jeweiligen NMOS-Bauelements und PMOS-Bauelements positioniert sein.

[0037] Nunmehr beziehend auf die Querschnitt-Breitendarstellung von **Fig. 4** sind dort allgemein Elemente entsprechend **Fig. 3** gezeigt, jedoch für die in **Fig. 2** in Querschnittlängsansicht gezeigten Ausführungsformen. **Fig. 4** wird nachfolgend unter Bezugnahme auf die Anordnung gemäß einem Bezugszeichen **400** beschrieben, mit einem NMOS-Bereich auf der linken Seite und einem PMOS-Bereich auf der rechten Seite, um der in **Fig. 2** gezeigten Anordnung zu entsprechen. Es versteht sich jedoch, dass in anderen Ausführungsformen der Erfindung der dotierte aktive PMOS-Bauelementbereich die auf der linken Seite in **Fig. 4** dargestellte Gatestruktur beinhalten kann und der NMOS-Bereich die auf der rechten Seite dargestellte Gatestruktur beinhalten kann, wie mit dem Bezugszeichen **405** gezeigt.

[0038] Wie in **Fig. 4** gezeigt, beinhaltet ein Halbleitersubstrat **430** einen Isolationsbereich **432**, wie einen tiefen Grabenisolationsbereich, zwischen den dotierten aktiven Bereichen vom NMOS- und PMOS-Bauelementtyp. Die Gateelektrodenstruktur in dem NMOS-Bereich beinhaltet eine erste Gateisolationsschicht **434b** aus einem ersten Material mit hoher Dielektrizitätskonstante, die für die erste Gateelektrode auf dem Halbleitersubstrat ausgebildet ist. In den Ausführungsformen von **Fig. 4** ist eine Mehrschicht-Gateelektrode auf der ersten Gateisolationsschicht **434b** ausgebildet. Die Gateelektrode beinhaltet eine Metall(oder Metallnitrid)-Schicht **435b** sowie darauf ausgebildet eine erste leitfähige Polysiliciumschicht **436b** und eine zweite leitfähige Polysiliciumschicht **460b**. In dem PMOS-Bereich sind eine zweite

Gateisolationsschicht **444b** mit hoher Dielektrizitätskonstante auf dem Halbleitersubstrat **430** und auf dieser eine Mehrschicht-Gateelektrode ausgebildet. Die Gateelektrode in dem PMOS-Bereich beinhaltet für die Ausführungsformen gemäß [Fig. 4](#) eine Metall(oder Metallnitrid)-Schicht **445b** und die darauf ausgebildete zweite leitfähige Polysiliciumschicht **460b**. Eine Begrenzungsstruktur **470** erstreckt sich über dem Isolationsbereich **432** von dem Halbleitersubstrat **430** weg. Die Begrenzungsstruktur **470**, die in den Ausführungsformen von [Fig. 4](#) dargestellt ist, beinhaltet eine Schicht aus einem Material mit hoher Dielektrizitätskonstante, die von der zweiten Gateisolationsschicht **444b** und einer Metallschicht in Form der Metall(oder Metallnitrid)-Schicht **445b** gebildet wird.

[0039] Nunmehr bezugnehmend auf die Draufsicht von [Fig. 5](#) ist eine Mehrzahl von aktiven Bereichen integrierter Schaltkreiselemente mit Gateelektroden **520** gezeigt, die sich zwischen aktiven Bereichen eines ersten und zweiten Dotiertyps erstrecken, speziell zwischen aktiven PMOS-Bereichen **505** und aktiven NMOS-Bereichen **510**. Isolationsbereiche **515** sind in [Fig. 5](#) als gegenüber den aktiven Bereichen **505**, **510** hellere Flächen zu erkennen.

[0040] Nunmehr wird unter Bezugnahme auf die Querschnittsdarstellungen der [Fig. 6A](#) bis [Fig. 6H](#) ein Verfahren zur Bildung eines integrierten Schaltkreiselements mit einer Gateelektrodenstruktur beschrieben, die eine Schicht aus einem Material mit hoher Dielektrizitätskonstante aufweist. Wie aus [Fig. 6H](#) ersichtlich, kann das unter Bezugnahme auf die [Fig. 6A](#) bis [Fig. 6H](#) beschriebene Verfahren dazu verwendet werden, die zuvor unter Bezugnahme auf [Fig. 1](#) beschriebene Struktur zu erhalten. Es versteht sich jedoch, dass durch ohne Weiteres ersichtliche Modifikationen dieses Verfahrens in gleicher Weise integrierte Schaltkreiselemente mit der Struktur gemäß [Fig. 2](#) hergestellt werden können.

[0041] Nunmehr bezugnehmend auf [Fig. 6A](#) wird zunächst der Grabenisolationsbereich **132** in dem Halbleitersubstrat **130** gebildet. Eine erste Gateisolationsschicht **134** wird auf dem Halbleitersubstrat **130** gebildet, zum Beispiel durch chemische Gasphasenabscheidung (CVD) oder atomare Schichtdeposition (ALD). Es versteht sich außerdem, dass die erste Gateisolationsschicht **134** nicht direkt auf dem Halbleitersubstrat **130** gebildet werden braucht, sondern eine Grenzschicht, wie eine Siliciumdioxid(SiO₂)- oder Siliciumoxynitrid(SiON)-Schicht, zwischen dem Substrat **130** und der ersten Gateisolationsschicht **134** ausgebildet sein kann. Wie des Weiteren für die Ausführungsformen in [Fig. 6A](#) dargestellt, wird eine erste Metall(oder Metallnitrid)-Schicht **135** auf der ersten Gateisolationsschicht **134** gebildet. Die erste Metall(oder Metallnitrid)-Schicht **135** kann z. B. aus Molybdän (Mo), Molybdänitrid (MoN), Titan (Ti), Ti-

tannitrid (TiN), Tantal (Ta), Tantalnitrid (TaN), Hafnium (Hf), Hafniumnitrid (HfN), Zirkonium (Zr), Zirkoniumnitrid (ZrN), Aluminium (Al), Aluminiumnitrid (AlN), Tantal-siliciumnitrid (TaSiN) oder dergleichen gebildet sein. In entsprechenden Ausführungsformen der Erfindung ist die erste Metallschicht **135** mit einer Dicke von weniger als etwa 20 nm ausgebildet. Es versteht sich des Weiteren, dass auf die Metallschicht oder Metallnitridschicht **135** bei Ausführungsformen verzichtet werden kann, die eine leitfähige Polysiliciumelektrode anstelle einer MIPS-Elektrode verwenden. Auf der ersten Metallschicht **135** ist eine erste leitfähige Gateelektrodenschicht **136** ausgebildet. Die erste leitfähige Gateelektrodenschicht **136** kann zum Beispiel dotiertes Polysilicium oder eine Mehrschichtstruktur aus Polysilicium und Metallnitrid oder dergleichen sein.

[0042] Wie außerdem in [Fig. 6A](#) gezeigt, wird eine Photoresiststruktur **605** auf der leitfähigen Gateelektrodenschicht **136** ausgebildet. Dann wird das integrierte Schaltkreiselement zum Beispiel durch Nass- oder Trockenätzen bearbeitet. Als Ergebnis des Ätzzvorgangs werden eine strukturierte erste leitfähige Schicht **136a**, eine erste Gateisolationsschicht **134a** und eine erste Metallschicht **135a** gebildet, wie aus [Fig. 6B](#) ersichtlich. Wie außerdem in [Fig. 6B](#) gezeigt, wird eine zweite Gateisolationsschicht **144** auf der ersten leitfähigen Schichtstruktur **136a** und entlang der Oberfläche des Halbleitersubstrats **130** in dem PMOS-Bereich gebildet. Wie vorstehend erörtert, wird die zweite Gateisolationsschicht **144** aus einem zweiten Material mit hoher Dielektrizitätskonstante gebildet, das sich von einem ersten Material mit hoher Dielektrizitätskonstante unterscheidet, das für die erste Gateisolationsschicht **134a** verwendet wird. Die zweite Metall(oder Metallnitrid)-Schicht **145** kann aus dem gleichen Material oder einem anderen Material als jenem gebildet werden, das zur Bildung der ersten Metallschicht **135** verwendet wird. Außerdem kann in Ausführungsformen, bei denen keine MIPS-Elektrode verwendet wird, auf die zweite Metallschicht **145** verzichtet werden, wie vorstehend unter Bezugnahme auf die erste Metallschicht **135** erörtert, die in [Fig. 6B](#) als strukturierte Metallschicht **135a** gezeigt ist.

[0043] Nunmehr werden weitere Details zur Bildung der Gateisolationsschicht **144** unter Bezugnahme auf spezielle Materialien mit hoher Dielektrizitätskonstante beschrieben, z. B. ein Verfahren zur Bildung einer HfSiO-Schicht als Gateisolationsschicht. Für dieses spezielle Beispiel wird ein CVD-Prozess mit einer Hf-Quelle, einer Si-Quelle und einer Sauerstoffquelle bei etwa 400°C bis etwa 500°C und bei einem Druck von etwa 1 hPa bis etwa 7 hPa verwendet. Die Hf-Quelle kann HfCl₄ sein, die Si-Quelle kann DCS(SiH₂Cl₂), SiH₄ oder ein Gemisch derselben sein und die Sauerstoffquelle kann O₂, O₃ und/oder ein Sauerstoffradikal sein. Ein ALD-Prozess kann mit ei-

ner Hf-Quelle, einer Si-Quelle und einer Sauerstoffquelle bei etwa 150°C bis etwa 500°C und bei einem Druck von etwa 0,1 hPa bis etwa 7 hPa verwendet werden. In einem derartigen Prozess kann die Hf-Quelle $\text{Hf}(\text{OtBu})_4$, $\text{Hf}(\text{NETMe})_4$, $\text{Hf}(\text{MMP})_4$, $\text{Hf}(\text{NET}_2)_4$ und/oder $\text{Hf}(\text{NMe}_2)_4$ sein. Die Si-Quelle kann TDMAS (Tetradimethylaminosilicium) sein, und die Sauerstoffquelle kann ein H_2O -, H_2O_2 -, O_3 -, O_2 -Plasma und/oder D_2O sein. Bei einem spezielleren Beispiel wird die Bildung der HfSiO -Schicht bei etwa 300°C und bei einem Druck von etwa 1 Torr durchgeführt. Der Prozess kann in diesem speziellen Beispiel $\text{Hf}(\text{OtBu})_4$ 1 s (Bildung einer chemisch absorbierten Schicht), Ar 1 s (Entfernung einer physikalisch absorbierten Schicht), O_3 3 s, Ar 3 s (Entfernung von nicht reagiertem O_3), TDMAS 1 s (Bildung einer chemisch absorbierten Schicht), Ar 1 s (Entfernung einer physikalisch absorbierten Schicht), O_3 3 s, Ar 3 s (Entfernung von nicht reagiertem O_3) beinhalten, mit Wiederholung, um eine Schicht mit einer Höhe von etwa 1 nm zu bilden. Nitrierungstemporen kann nach Bildung der isolierenden Schicht durchgeführt werden.

[0044] Nunmehr wird ein Verfahren zur Bildung einer HfAlO -Schicht als Gateisolationsschicht beschrieben. Für dieses spezielle Beispiel kann ein ALD-Prozess mit einer Hf-Quelle, einer Al-Quelle und einer Sauerstoffquelle bei etwa 200°C bis etwa 500°C und bei einem Druck von etwa 0,1 hPa bis etwa 7 hPa verwendet werden. Die Hf-Quelle und die Sauerstoffquelle können wie vorstehend beschrieben sein, und die Al-Quelle kann TMA (Trimethylaluminium), AlCl_3 , $\text{AlH}_3\text{N}(\text{CH}_3)_3$, $\text{C}_6\text{H}_{15}\text{AlO}$, $(\text{C}_4\text{H}_9)_2\text{AlH}$, $(\text{CH}_3)_2\text{AlCl}$, $(\text{C}_2\text{H}_5)_3\text{Al}$ und/oder $(\text{C}_4\text{H}_9)_3\text{Al}$ sein. Als spezielleres Beispiel kann die Bildung bei etwa 300°C und bei einem Druck von etwa 1 hPa stattfinden. Der Prozess kann in diesem speziellen Beispiel $\text{Hf}(\text{OtBu})_4$ 1 s (Bildung einer chemisch absorbierten Schicht), Ar 1 s (Entfernung einer physikalisch absorbierten Schicht), O_3 3 s, Ar 3 s (Entfernung von nicht reagiertem O_3), TMA 1 s (Bildung einer chemisch absorbierten Schicht), Ar 1 s (Entfernung einer physikalisch absorbierten Schicht), O_3 3 s, Ar 3 s (Entfernung von nicht reagiertem O_3) umfassen, mit Wiederholung zur Bildung einer Schicht mit einer Höhe von etwa 1 nm. Nach der Bildung der Isolationsschicht kann ein Nitrierungstempervorgang durchgeführt werden.

[0045] Nunmehr bezugnehmend auf [Fig. 6C](#) werden weitere Vorgänge beschrieben, die mit der Bildung eines integrierten Schaltkreisbauelements mit einer Gateelektrodenstruktur gemäß Ausführungsformen der Erfindung in Beziehung stehen. [Fig. 6C](#) stellt speziell die Bildung einer zweiten leitfähigen Gateschicht **146** sowohl in dem NMOS- als auch dem PMOS-Bereich der Gateelektrodenstruktur dar. Die zweite leitfähige Gateschicht **146** kann in verschiedenen Ausführungsformen der Erfindung dotiertes Polysilicium oder eine Mehrschichtstruktur aus Polysili-

cium und einem Metallnitrid oder dergleichen sein. Wie aus [Fig. 6C](#) ersichtlich, resultiert in den Bereichen, die als die NMOS- und PMOS-Bereiche gezeigt sind, aufgrund des Stufenmusters der aufgetragenen zweiten Gateisolationsschicht **144** und der Metall(oder Metallnitrid)-Schicht **145** über den strukturierten und nicht geätzten Schichten **134a**, **135a**, **136a** im NMOS-Bereich eine Höhendifferenz. In einigen Ausführungsformen der Erfindung ist die Stufenhöhe geringer als etwa 50 nm.

[0046] Wie in [Fig. 6D](#) gezeigt, wird die zweite leitfähige Leiterschicht **146** zum Beispiel durch chemisch-mechanisches Polieren (CMP) bearbeitet, um eine dickenreduzierte zweite leitfähige Gateschicht **146a** zu bilden. In speziellen Ausführungsformen der Erfindung wird die zweite leitfähige Gateschicht **146** durch Ätzen statt chemisch-mechanischem Polieren in ihrer Dicke reduziert, und in weiteren Ausführungsformen durch eine Kombination aus chemisch-mechanischem Polieren und Ätzen. In derartigen Ausführungsformen kann der chemisch-mechanische Poliervorgang die zweite Gateleiterschicht **146** auf der Metallschicht **145** in dem NMOS-Bereich in einem gewissen Maß belassen, indem die zweite Gateleiterschicht **146** bis zu einer Tiefe poliert wird, in der die zweite Gateisolationsschicht **145** in dem Bereich mit Dotierung vom NMOS-Bauelementtyp noch nicht freigelegt ist.

[0047] Wie in [Fig. 6E](#) gezeigt, wird die Gatestruktur zum Beispiel durch trockenes Zurückätzen weiter bearbeitet, um in dem zweiten leitfähigen Gatemuster **146b** in dem PMOS-Bereich zu resultieren und die Metallschicht **145** und die zweite Gateisolationsschicht **144** von dem NMOS-Bereich zu strukturieren, um die strukturierten entsprechenden Schichten **144a** und **145a** in dem PMOS-Bereich zu definieren. Das zweite leitfähige Muster **146a** weist in einigen Ausführungsformen der Erfindung eine Dicke von nicht mehr als 50 nm auf.

[0048] Die Metallschichten **135**, **145** können mit einer Dicke von weniger als etwa 20 nm gebildet werden. In speziellen Ausführungsformen der Erfindung werden die Metallschichten **135**, **145** mit einer Dicke von zwischen etwa 0,1 nm und etwa 5 nm gebildet.

[0049] Wie in [Fig. 6F](#) gezeigt, wird eine dritte Gateleiterschicht **150** zum Beispiel aus dotiertem Polysilicium gebildet. Das integrierte Schaltkreisbauelement wird dann zum Beispiel durch chemisch-mechanisches Polieren weiter bearbeitet, um die in [Fig. 6G](#) dargestellte, dritte leitfähige Gateschichtstruktur **150a** bereitzustellen. In einigen Ausführungsformen der Erfindung weist die dritte leitfähige Gateschichtstruktur **150a** eine Dicke von etwa 45 nm auf. Die dritte leitfähige Gateschicht **150a** kann z. B. aus dotiertem Polysilicium, einem Metall wie Wolfram (W), Molybdän (Mo), Titan (Ti), Tantal (Ta), Alumi-

um (Al), Kupfer (Cu), Hafnium (Hf) oder Zirkonium (Zr) oder aus einem Metallnitrid gebildet werden, wie Molybdännitrid (MoN), Titanitrid (TiN), Tantalnitrid (TaN), Hafniumnitrid (HfN), Zirkoniumnitrid (ZrN), Aluminiumnitrid (AlN) oder Tantal-siliciumnitrid (TaSiN). in einigen Ausführungsformen der Erfindung weist die erste Gateleiterschicht **135a** in dem Bereich mit Dotierung vom NMOS-Bauelementtyp eine Dicke von weniger als der Hälfte einer Gesamtdicke der ersten und der dritten Gateleiterschicht **136a**, **150a** oder der zweiten und der dritten Gateleiterschicht **146b**, **150a** auf. Die Struktur von [Fig. 6G](#) wird dann strukturiert, um die erste Gatestruktur **137** und die zweite Gatestruktur **147** zu bilden, wie in [Fig. 6H](#) dargestellt und zuvor unter Bezugnahme auf [Fig. 1](#) beschrieben.

[0050] Das Halbleitersubstrat **130** wird dotiert, um den ersten Source-/Drainbereich **138** und den zweiten Source-/Drainbereich **148** mit den jeweiligen Dotierungen in den entsprechenden dotierten aktiven NMOS- und PMOS-Bereichen zu bilden, wie in [Fig. 6H](#) dargestellt. Es versteht sich, dass die Abfolge von Strukturieren und Dotieren in den jeweiligen Bereichen während der Bildung derselben variieren kann. Außerdem kann, wie in [Fig. 6I](#) gezeigt, an den Seitenwänden der jeweiligen Gatestrukturen **137**, **147** eine Isolationsschicht **600** gebildet werden. In derartigen Ausführungsformen können die jeweiligen Source-/Drainbereiche **138**, **148** eine schwach dotierte Drainelektrode (LDD) beinhalten, die vor der Bildung der Seitenwände **600** gebildet wird, wonach eine stark dotierte Störstellenverteilung implantiert werden kann, um die Bildung der Source-/Drainbereiche **138**, **148** abzuschließen.

[0051] Nunmehr werden unter Bezugnahme auf die [Fig. 7](#), [Fig. 8A](#), [Fig. 8B](#), [Fig. 9A](#), [Fig. 9B](#), [Fig. 10A](#) und [Fig. 10B](#) Testergebnisse für spezielle Ausführungsformen der Erfindung beschrieben. [Fig. 7](#) stellt Schwellenspannungs-Verteilungswahrscheinlichkeiten für ein PMOS-Bauelement dar, das eine Gateisolationsschicht aus Hafniumsiliciumoxynitrid (HfSiON) **705**, Hafnialuminiumoxynitrid (HfAlON) **710** bzw. als Kontrollreferenz Siliciumoxynitrid (SiON) **715** verwendet. Entsprechende Ergebnisse für ein NMOS-Bauelement sind ebenfalls gezeigt, siehe die zugehörigen Bezugszeichen **705'**, **710'** bzw. **715'**. Im Vergleich zu den Ergebnissen für das Siliciumoxynitrid zeigt Hafnialuminiumoxynitrid als Gateisolationsschicht für ein PMOS-Bauelement bessere Ergebnisse für Schwellenspannungscharakteristika als Hafniumsiliciumoxynitrid, da die Ergebnisse der Daten **710** dichter als die Daten **705** bei den Ergebnissen der Daten **715** liegen. Das Hafniumsiliciumoxynitrid **705'** liegt hingegen für die Bauelemente vom NMOS-Typ dichter beim Siliciumoxynitrid **715'**.

[0052] [Fig. 8A](#) stellt Mobilitätsergebnisse für ein NMOS-Transistorbauelement dar, während [Fig. 8B](#)

entsprechende Daten für ein PMOS-Transistorbauelement beinhaltet. Wiederum sind Daten für eine Siliciumoxynitrid-Gateisolationsschicht **805**, **820** als Referenz, eine Hafniumsiliciumoxynitrid-Gateisolationsschicht **810**, **825** und eine Hafnialuminiumoxynitrid-Gateisolationsschicht **815**, **830** gezeigt. Während sich hinsichtlich Mobilität für das PMOS-Bauelement nur geringe Unterschiede ergeben, wie in [Fig. 8B](#) dargestellt, zeigt [Fig. 8A](#), dass Hafniumsiliciumoxynitrid **810** für ein NMOS-Transistorbauelement eine vergleichsweise bessere Leistungsfähigkeit als das Hafnialuminiumoxynitrid **815** bereitstellen kann.

[0053] Testergebnisse für eine Vorspannungstemperaturinstabilität sind in [Fig. 9A](#) für ein PMOS-Bauelement (negative Vorspannungstemperaturinstabilität (NBTI)) und in [Fig. 9B](#) für ein NMOS-Bauelement (positive Vorspannungstemperaturinstabilität (PBTI)) gezeigt. Bezüglich [Fig. 9A](#) ist eine geringe Variation zwischen den verschiedenen Gateisolationmaterialien zu sehen. Unter Bezugnahme auf [Fig. 9B](#) ist jedoch eine Variation zwischen den Ergebnissen **925** der Siliciumoxynitrid-Gateisolationsschicht, den Ergebnissen **915**, **920** des Hafniumsiliciumoxynitrids und den Ergebnissen **905**, **910** des Hafnialuminiumoxynitrids zu erkennen. Es sei erwähnt, dass die mehreren Ergebnisse für jedes der Gateisolationmaterialien mit hoher Dielektrizitätskonstante auf der Dicke der verwendeten Schichten basieren. Die Ergebnisse **920** entsprechen zum Beispiel einer Hafniumsiliciumoxynitridschicht mit einer Dicke von 2,5 nm, während die Ergebnisse **915** einer Hafniumsiliciumoxynitridschicht mit einer Dicke von 3 nm entsprechen. Es versteht sich, dass diese Variation allgemein auch auf dem Verhältnis von Hafnium zu Silicium in den jeweiligen Schichten ebenso wie von der Dicke jener Schichten abhängig sein kann. Die auf einer Vorspannungstemperaturinstabilität beruhenden Ergebnisse, wie sie in [Fig. 9B](#) gezeigt sind, zeigen eine verbesserte Leistungsfähigkeit für das Hafniumsiliciumoxynitrid im Fall eines NMOS-Bauelements an, da eine geringere Änderung der Schwellenspannung allgemein wünschenswert ist.

[0054] Testergebnisse für die Kapazitäts- und Spannungskurven sind in den [Fig. 10A](#) und [Fig. 10B](#) dargestellt. Die Testergebnisse in den [Fig. 10A](#) und [Fig. 10B](#) werden dazu verwendet, Unterschiede zwischen einer MIPS- und einer Polysiliciumelektroden-schicht-Struktur darzustellen. Für das NMOS-Bauelement von [Fig. 10A](#) ist eine Polysiliciumgateelektrode durch Daten **1005** gezeigt, und eine MIPS-Gateelektrode ist durch Daten **1010** gezeigt, jeweils für eine Hafniumsiliciumoxynitrid-Gateisolationsschicht. Die MIPS-Struktur kann eine Polysiliciumgateelektrode mit einer Tantalnitridmetallschicht mit einer Dicke von etwa 2 nm beinhalten. Es sei erwähnt, dass für das in [Fig. 10A](#) dargestellte NMOS-Bauelement der Betriebsbereich in dem positiven Spannungsbereich liegt, wo die Daten **1010** des MIPS-Bauelements eine

verbesserte Leistungsfähigkeit anzuzeigen scheinen. Für das PMOS-Bauelement von [Fig. 10B](#) liegt der jeweilige Betriebsbereich in dem negativen Spannungsbereich, wo die Daten **1015** der MIPS-Struktur eine bessere Leistungsfähigkeit als die Daten **1020** der Polysiliciumgateelektrode anzuzeigen scheinen. Es sei erwähnt, dass die Daten von [Fig. 10B](#) auf einer Gateisolationsschicht beruhen, die aus Hafniumaluminiumoxynitrid anstelle von Hafniumsiliciumoxynitrid gebildet ist, wie unter Bezugnahme auf [Fig. 10A](#) beschrieben.

[0055] Um allgemein die Testergebnisse der [Fig. 7](#) bis [Fig. 10B](#) zusammenzufassen, kann für eine Gateisolationsschicht aus einem Hafniumaluminiumoxynitridmaterial mit hoher Dielektrizitätskonstante in einer NMOS-Transistorstruktur oder einer PMOS-Transistorstruktur eine gewisse Degradation der Schwellenspannung im Vergleich zu einer Siliciumoxynitrid-Gateisolationsschicht vorliegen. Eine gewisse Degradation der Vorspannungstemperaturinstabilität kann außerdem in der NMOS-Struktur resultieren, wenngleich sich keine nennenswerte Degradation für Hafniumaluminiumoxynitrid zeigt, wenn es mit einem PMOS-Bauelement verwendet wird. Das Hafniumaluminiumoxynitrid kommt außerdem den Mobilitätscharakteristika der Siliciumoxynitridstruktur in dem NMOS-Bauelement näher. Wenngleich eine gewisse Gateverarmung für eine Hafniumaluminiumoxynitrid-Gateisolationsschicht auftreten kann, können die Effekte der Gateverarmung bei Verwendung einer MIPS-Struktur reduziert werden, wie für einige Ausführungsformen hierin beschrieben.

[0056] Bezüglich den auf der Gateisolationsschicht mit hoher Dielektrizitätskonstante aus Hafniumsiliciumoxynitrid basierenden Daten zeigt sich im Wesentlichen keine Degradation der Schwellenspannungscharakteristika für ein NMOS-Bauelement, während sich eine gewisse Degradation für ein PMOS-Bauelement zeigt. Daher kann Hafniumaluminiumoxynitrid in einigen Ausführungsformen der Erfindung für die Gateisolationsschicht der Gateelektrodenstruktur im PMOS-Bereich verwendet werden. Die Gateisolationsschicht aus Hafniumsiliciumoxynitrid zeigt weder für die NMOS- noch die PMOS-Struktur eine signifikante Degradation der Vorspannungstemperaturinstabilität. Es zeigt sich ein begrenztes Maß an Mobilitätsdegradation sowohl für das PMOS-Bauelement, für das die Degradation sehr begrenzt ist, als auch das NMOS-Bauelement. Die gezeigten Gateverarmungseigenschaften sind ähnlich jenen, die mit dem Hafniumaluminiumoxynitrid verknüpft sind, wie zuvor erörtert. Somit kann unter Zusammenfassung der speziellen, hierin beschriebenen Resultate in einigen Ausführungsformen der Erfindung basierend auf Schwellenspannungscharakteristika Hafniumaluminiumoxynitrid für die Gateisolationsschicht des PMOS-Transistors gewählt werden, und basierend

auf Degradationscharakteristika hinsichtlich Vorspannungstemperaturinstabilität kann Hafniumsiliciumoxynitrid für die Gateisolationsschicht der NMOS-Gateelektrode gewählt werden. Außerdem kann in weiteren Ausführungsformen der Erfindung eine MIPS-Gateelektrode verwendet werden, um Gateverarmung zu reduzieren.

Patentansprüche

1. Integriertes Schaltkreisbauelement mit
 - einem Halbleitersubstrat (**130**) mit einem ersten dotierten Bereich (**138**), der einen NMOS-Bereich beinhaltet, und einem zweiten dotierten Bereich (**148**), der einen PMOS-Bereich beinhaltet, mit einem anderen Dotiertyp als demjenigen des ersten dotierten Bereichs und
 - einer Gateelektrodenstruktur (**137**, **147**) auf dem Halbleitersubstrat mit einer Gateisolationsschicht (**134b**, **144b**), die einen auf dem ersten dotierten Bereich gebildeten ersten Teil, der einheitlich aus einem ersten Material mit hoher Dielektrizitätskonstante besteht, wobei das erste Material Hafniumsiliciumoxid oder Hafniumsiliciumoxynitrid ist, und einen auf dem zweiten dotierten Bereich gebildeten zweiten Teil umfasst, der einheitlich aus einem von dem ersten Material verschiedenen zweiten Material mit hoher Dielektrizitätskonstante besteht, wobei das zweite Material Hafniumaluminiumoxid oder Hafniumaluminiumoxynitrid ist, und mit einer Gateelektrode auf der Gateisolationsschicht.
2. Integriertes Schaltkreisbauelement nach Anspruch 1, dadurch gekennzeichnet, dass der Gateisolationsschichtteil aus dem ersten Material mit hoher Dielektrizitätskonstante auf einem Kanalbereich eines NMOS-Bauelements liegt und der Gateisolationsschichtteil aus dem zweiten Material mit hoher Dielektrizitätskonstante auf einem Kanalbereich eines PMOS-Bauelements liegt.
3. Integriertes Schaltkreisbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Gateelektrodenstruktur eine Begrenzungsstruktur über einem Isolationsbereich zwischen dem ersten und dem zweiten dotierten Bereich beinhaltet, wobei die Begrenzungsstruktur eine Schicht aus dem ersten oder dem zweiten Material mit hoher Dielektrizitätskonstante beinhaltet, die sich von dem Halbleitersubstrat weg in die Gateelektrode erstreckt.
4. Integriertes Schaltkreisbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Gateelektrode einen ersten Gateelektrodenenteil auf dem ersten Gateisolationsschichtteil und einen zweiten Gateelektrodenenteil auf dem zweiten Gateisolationsschichtteil umfasst und der erste und/oder der zweite Gateelektrodenenteil eine Mehrschichtstruktur mit einer Metallschicht oder Metallnitridschicht (**135b**, **145b**) und einer Polysiliciumschicht

(136b, 146c) beinhaltet.

5. Integriertes Schaltkreiselement nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass sich die Gateelektrode zwischen einem NMOS- und einem PMOS-Bauelement über einen Isolationsbereich zwischen dem ersten und dem zweiten dotierten Bereich hinweg und mit einem ersten Gateelektrodenanteil auf dem ersten Gateisolationsschichtteil und mit einem zweiten Gateelektrodenanteil auf dem zweiten Gateisolationsschichtteil erstreckt und die Begrenzungsstruktur über dem Isolationsbereich beinhaltet.

6. Verfahren zur Bildung eines integrierten Schaltkreiselements, mit folgenden Schritten:

- Bereitstellen eines Halbleitersubstrats (130) mit einem ersten dotierten Bereich (138), der einen NMOS-Bereich beinhaltet, und einem zweiten dotierten Bereich (148), der einen PMOS-Bereich beinhaltet,
- Bilden einer ersten Gateisolationsschicht (134) aus einem ersten Material mit hoher Dielektrizitätskonstante auf dem Halbleitersubstrat, wobei das erste Material Hafniumsiliciumoxid oder Hafniumsiliciumoxynitrid beinhaltet,
- Bilden einer ersten Gateleiterschicht (136) auf der ersten Gateisolationsschicht,
- Entfernen der ersten Gateleiterschicht und der ersten Gateisolationsschicht über dem zweiten dotierten Bereich,
- Bilden einer zweiten Gateisolationsschicht (144) aus einem zweiten Material mit hoher Dielektrizitätskonstante auf der ersten Gateleiterschicht über dem ersten dotierten Bereich und auf dem Halbleitersubstrat über dem zweiten dotierten Bereich, wobei das zweite Material Hafniumaluminiumoxid oder Hafniumaluminiumoxynitrid beinhaltet,
- Bilden einer zweiten Gateleiterschicht (146) auf der zweiten Gateisolationsschicht,
- Ätzen und/oder Polieren des Halbleitersubstrats mit der zweiten Gateleiterschicht darauf bis zu einer Tiefe, die ausreichend ist, um die zweite Gateisolationsschicht über dem ersten dotierten Bereich zu entfernen, und
- Bilden einer dritten Gateleiterschicht (150) auf der zweiten Gateleiterschicht.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass vor dem Bilden der ersten Gateleiterschicht eine Metallschicht (135) auf der ersten Gateisolationsschicht gebildet wird und das Entfernen der ersten Gateleiterschicht und der ersten Gateisolationsschicht in dem zweiten dotierten Bereich das Entfernen der Metallschicht in dem zweiten dotierten Bereich beinhaltet.

8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass vor dem Bilden der zweiten Gateleiterschicht eine Metallschicht (145) auf der

zweiten Gateisolationsschicht gebildet wird.

9. Verfahren nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass die jeweilige Metallschicht wenigstens eines von Molybdän, Titan, Tantal, Hafnium, Zirkonium, Aluminium, Wolfram, Tantalsilicid, Tantalaluminium, Titansilicid, Titanaluminium oder Nitride derselben beinhaltet.

10. Verfahren nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, dass die jeweilige Metallschicht mit einer Dicke von weniger als 20 nm gebildet wird.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Metallschicht mit einer Dicke zwischen 0,1 nm und 5 nm gebildet wird.

12. Verfahren nach einem der Ansprüche 6 bis 11, dadurch gekennzeichnet, dass vor dem Bilden der ersten Gateisolationsschicht ein Isolationsbereich (132) zwischen dem ersten und dem zweiten dotierten Bereich gebildet wird.

13. Verfahren nach einem der Ansprüche 6 bis 12, dadurch gekennzeichnet, dass vor dem Bilden der ersten Gateisolationsschicht eine Grenzflächenschicht auf dem Halbleitersubstrat gebildet wird und die erste Gateisolationsschicht auf der Grenzflächenschicht gebildet wird.

14. Verfahren nach einem der Ansprüche 6 bis 13, dadurch gekennzeichnet, dass die erste und die zweite Gateleiterschicht Polysilicium beinhalten.

15. Verfahren nach einem der Ansprüche 6 bis 14, dadurch gekennzeichnet, dass der erste dotierte Bereich einen p-leitend dotierten Bereich beinhaltet und der zweite dotierte Bereich einen n-leitend dotierten Bereich beinhaltet und das Bilden der ersten Gateisolationsschicht folgende Schritte umfasst:

- Aufbringen eines Metalloxids, das Hafnium als Metall beinhaltet, und
- Nitrierungstempern des aufgebracht Metalloxids.

16. Verfahren nach einem der Ansprüche 6 bis 15, dadurch gekennzeichnet, dass das Bilden der zweiten Gateisolationsschicht folgende Schritte umfasst:

- Aufbringen eines Metalloxids, das Hafnium und Aluminium beinhaltet, und anschließendes
- Nitrierungstempern des aufgebracht Metalloxids.

17. Verfahren nach einem der Ansprüche 6 bis 16, gekennzeichnet durch folgende weitere Schritte:

- Bilden eines n-leitend dotierten Source- und Drainbereichs in dem ersten dotierten Bereich, wobei sich die erste Gateleiterschicht dazwischen erstreckt, und
- Bilden eines p-leitend dotierten Source- und Drainbereichs in dem zweiten dotierten Bereich, wobei

sich die zweite Gateleiterschicht dazwischen erstreckt.

18. Verfahren nach einem der Ansprüche 6 bis 17, dadurch gekennzeichnet dass der Ätz- und/oder Poliervorgang folgende Schritte umfasst:

- Polieren der zweiten Gateleiterschicht bis zu einer Tiefe, in der die zweite Gateisolationsschicht über dem ersten dotierten Bereich noch nicht freigelegt ist, und anschließendes
- Ätzen der polierten Gateleiterschicht und der zweiten Gateisolationsschicht, um die zweite Gateisolationsschicht über dem ersten dotierten Bereich zu entfernen.

Es folgen 13 Blatt Zeichnungen

FIG. 1

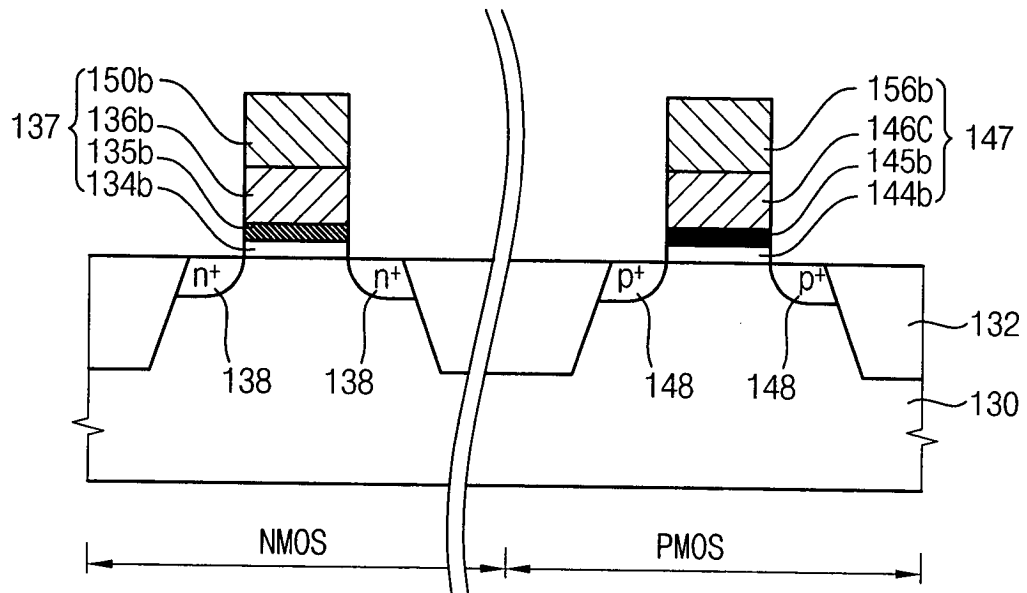


FIG. 2

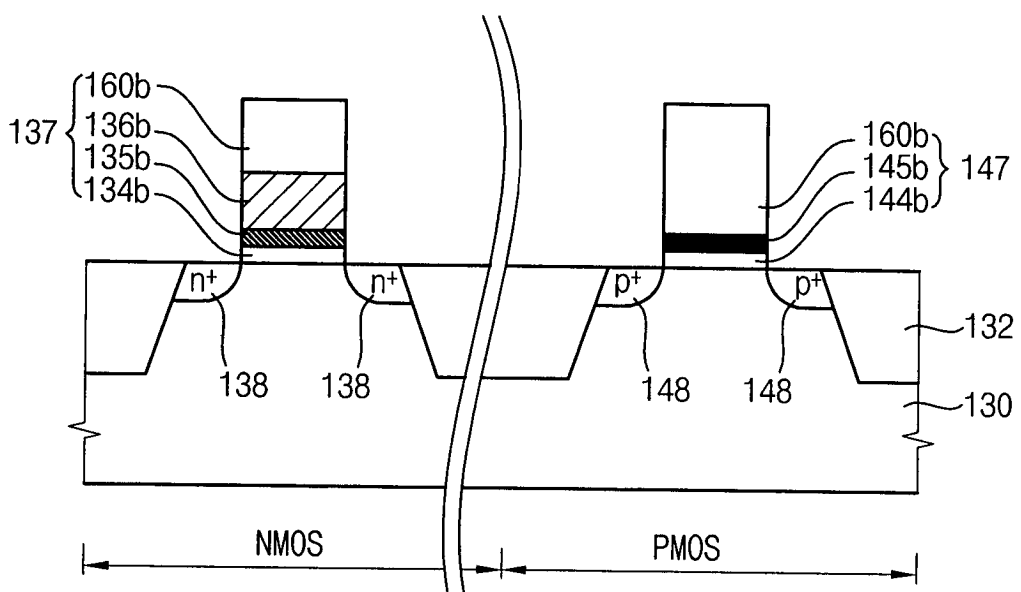


FIG. 3

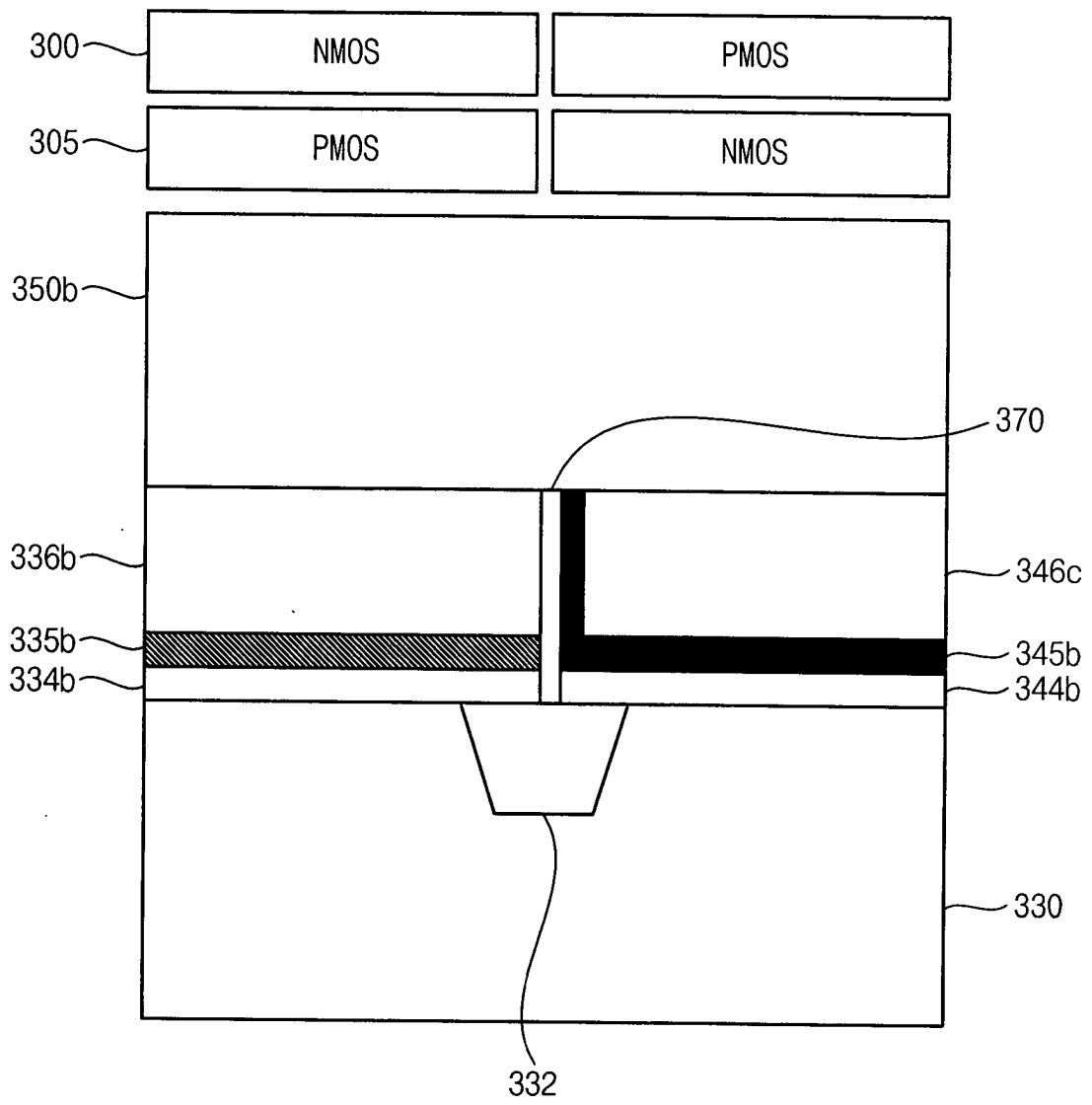


FIG. 4

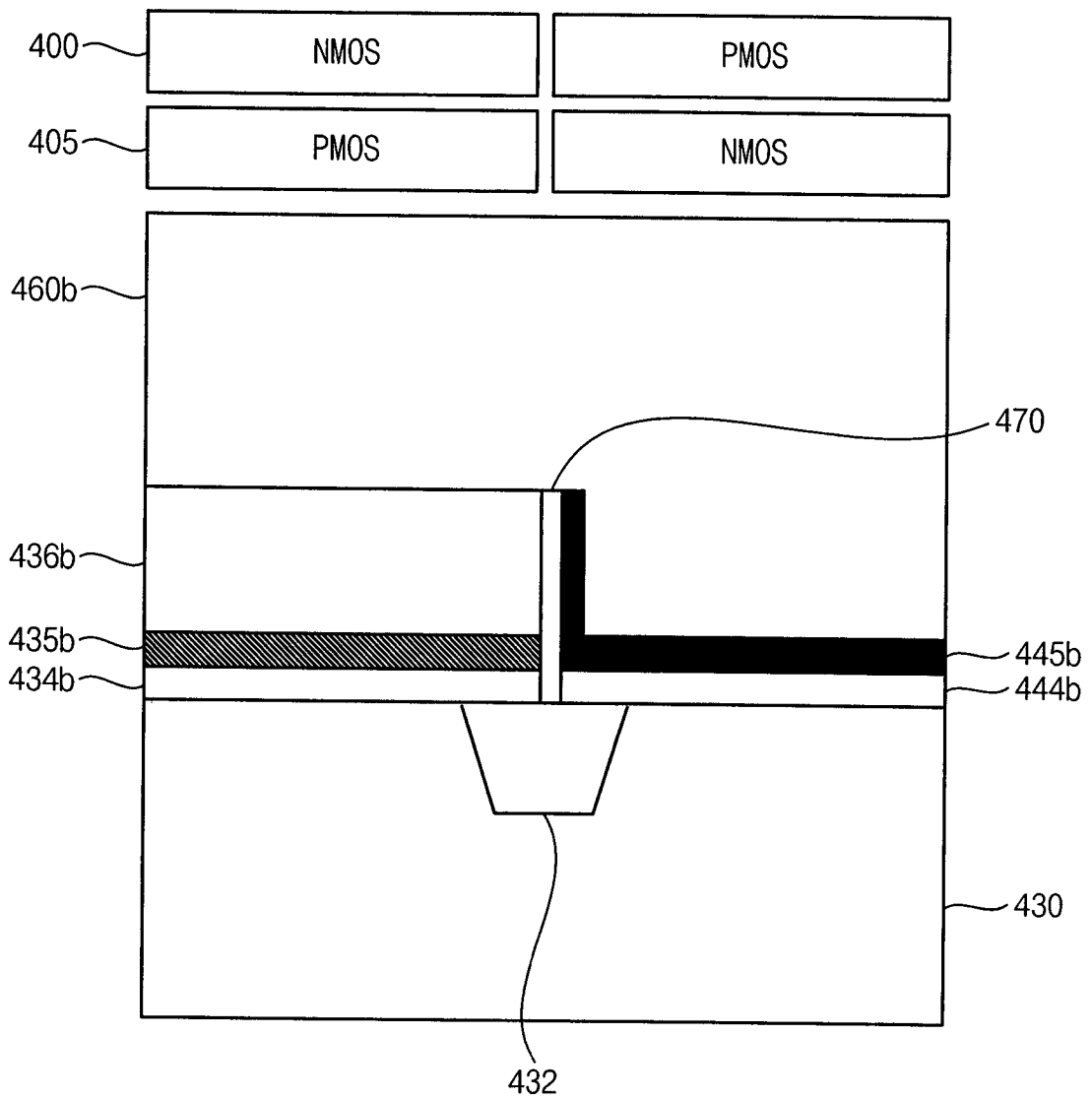


FIG. 5

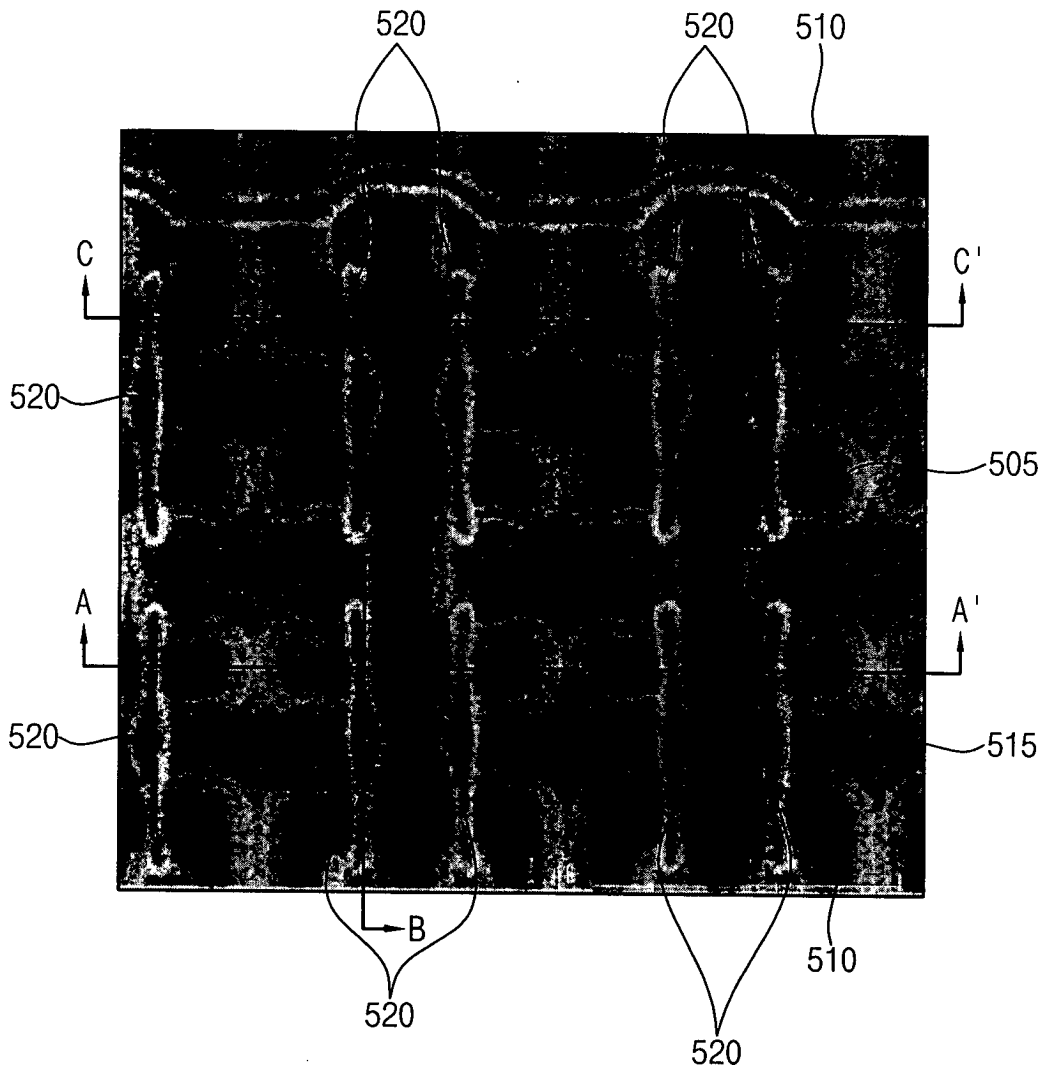


FIG. 6A

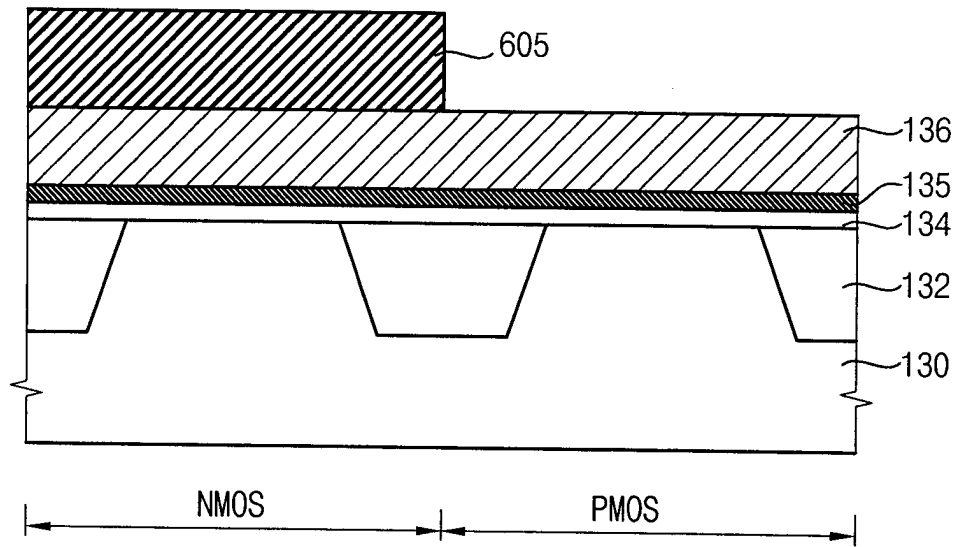


FIG. 6B

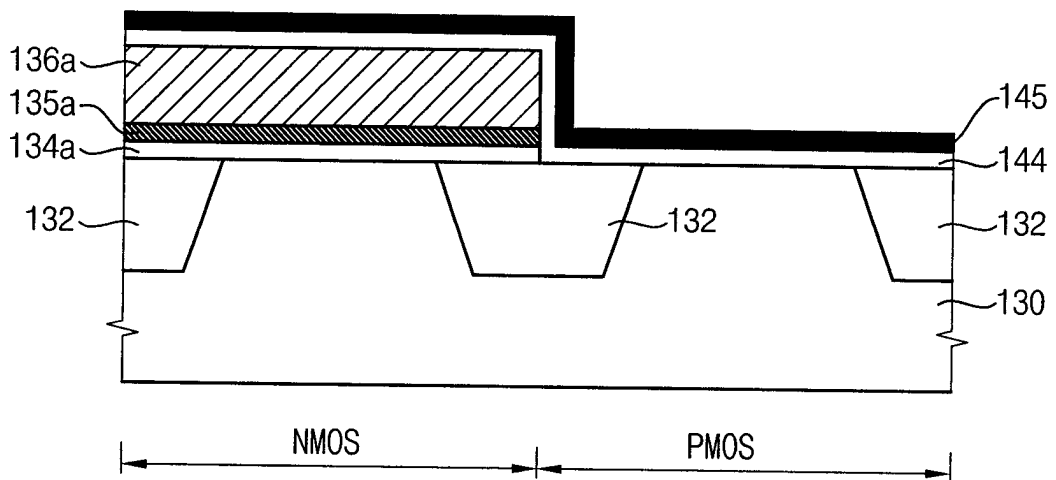


FIG. 6C

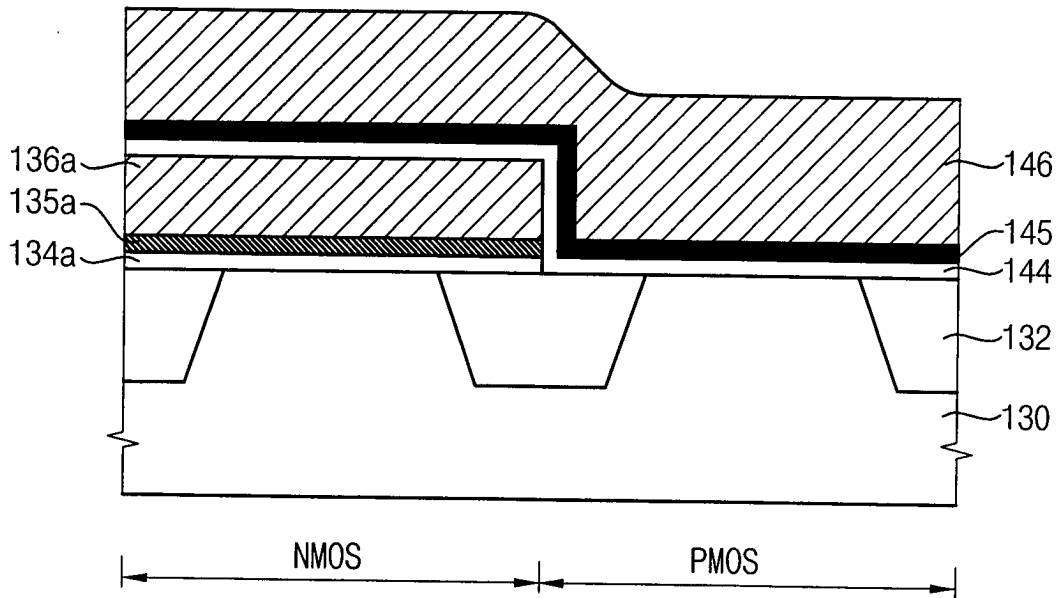


FIG. 6D

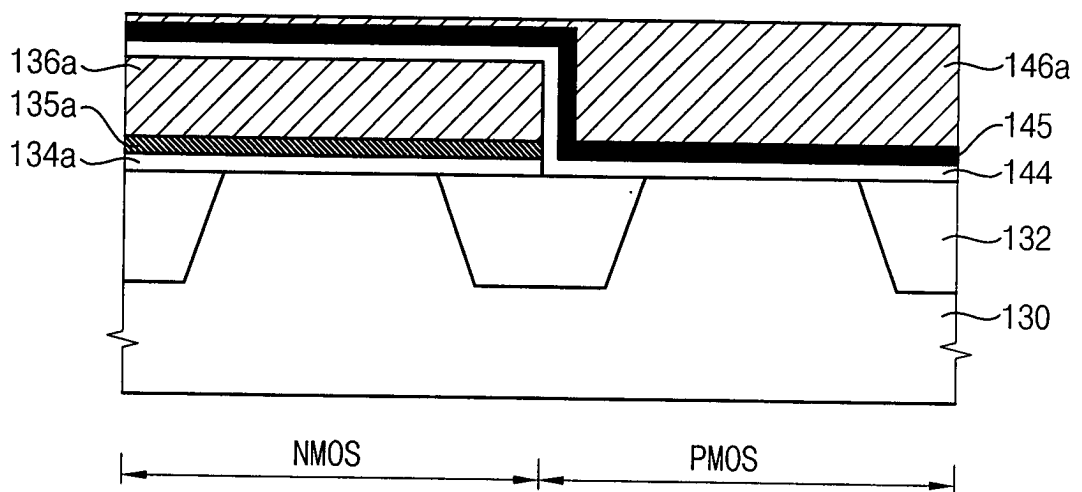


FIG. 6E

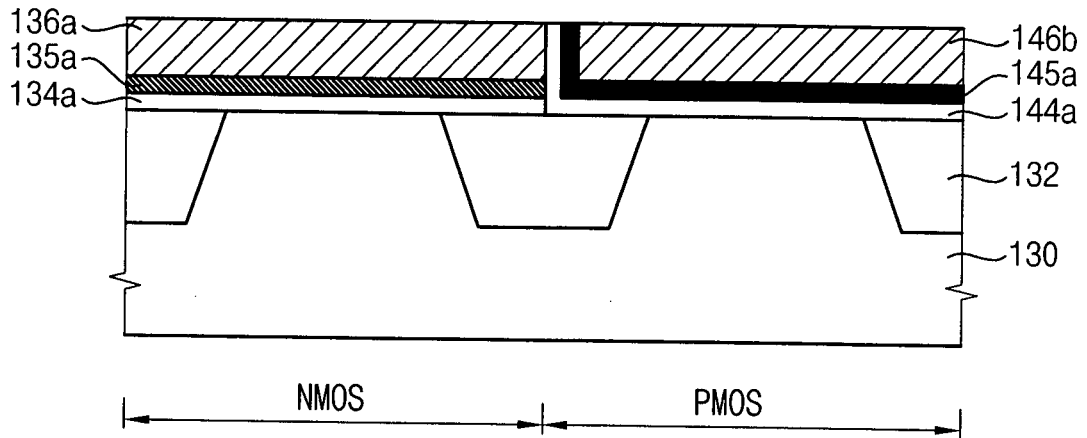


FIG. 6F

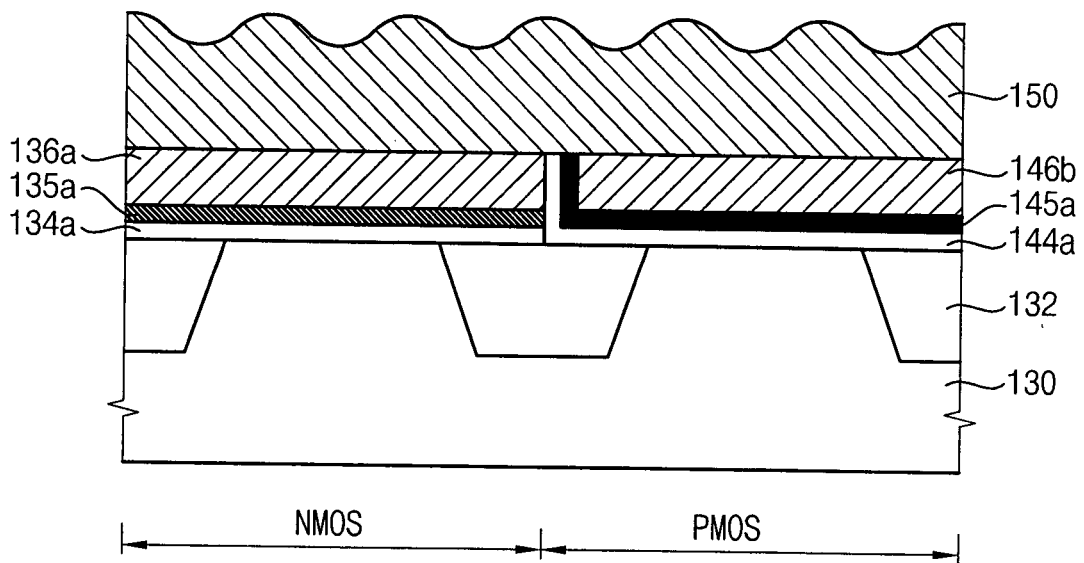


FIG. 6G

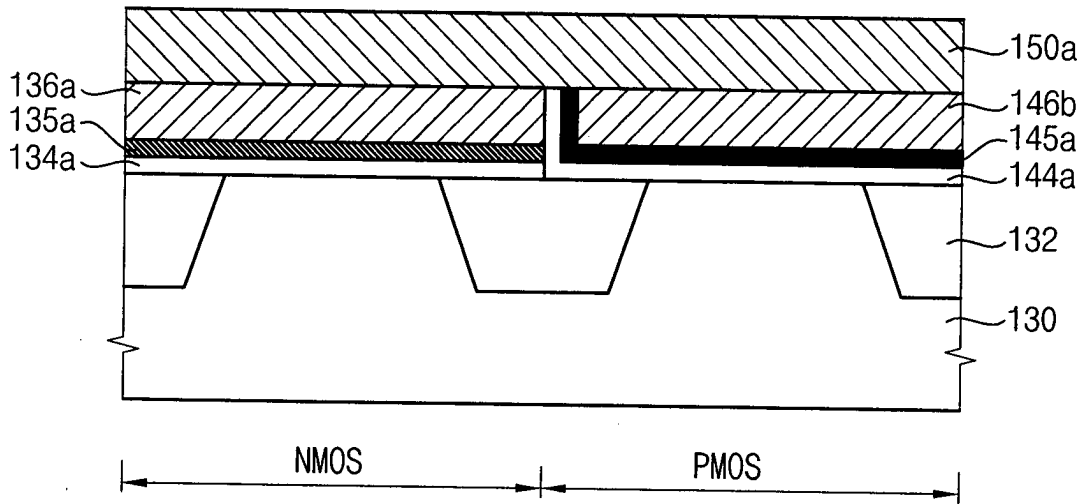


FIG. 6H

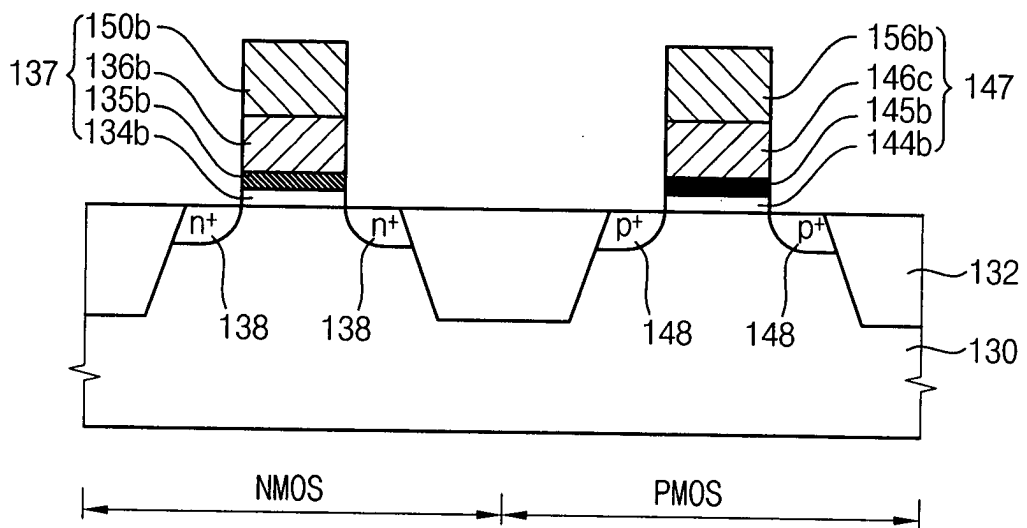


FIG. 6I

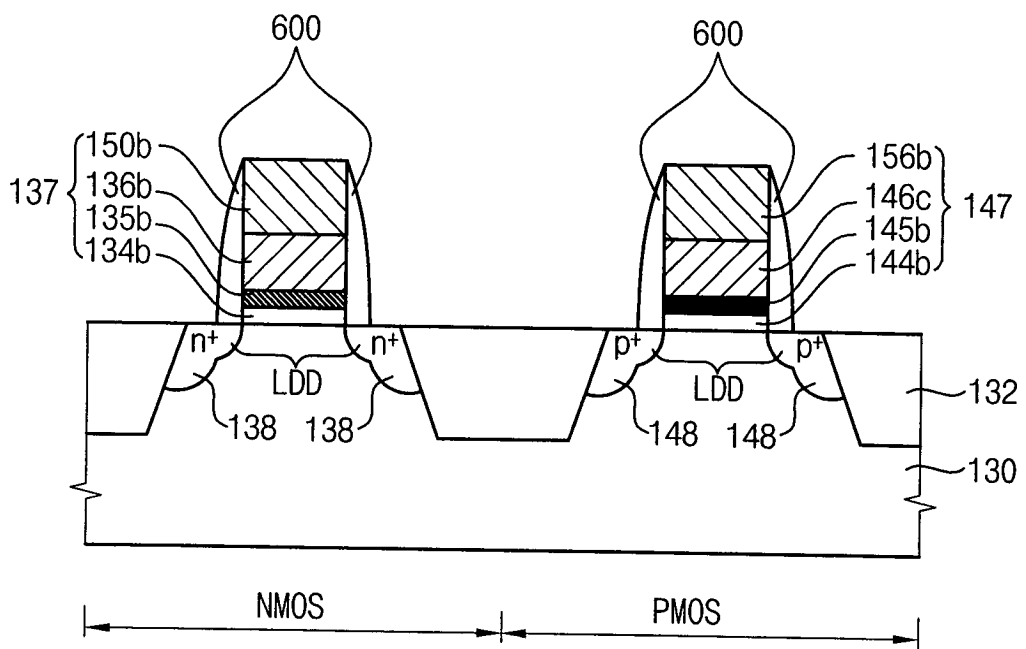


FIG. 7

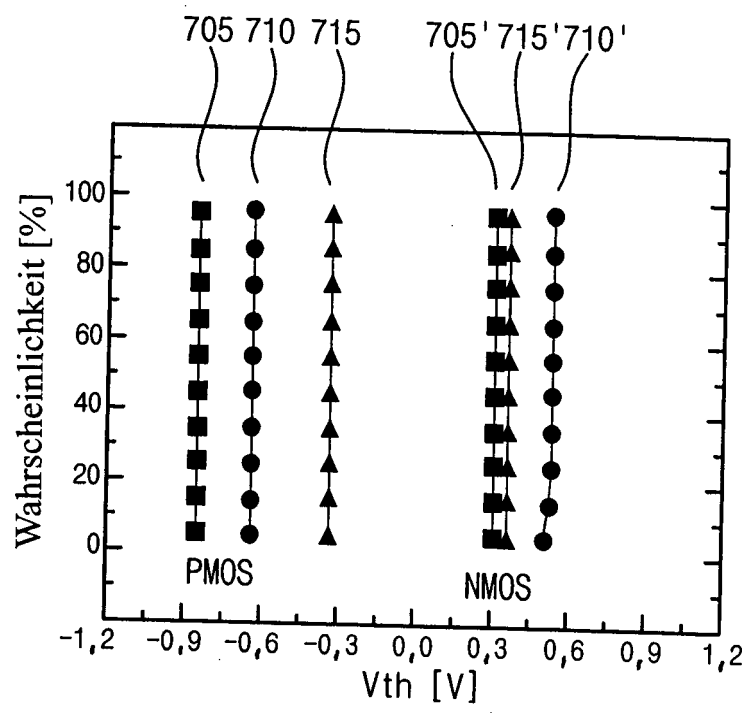


FIG. 8A

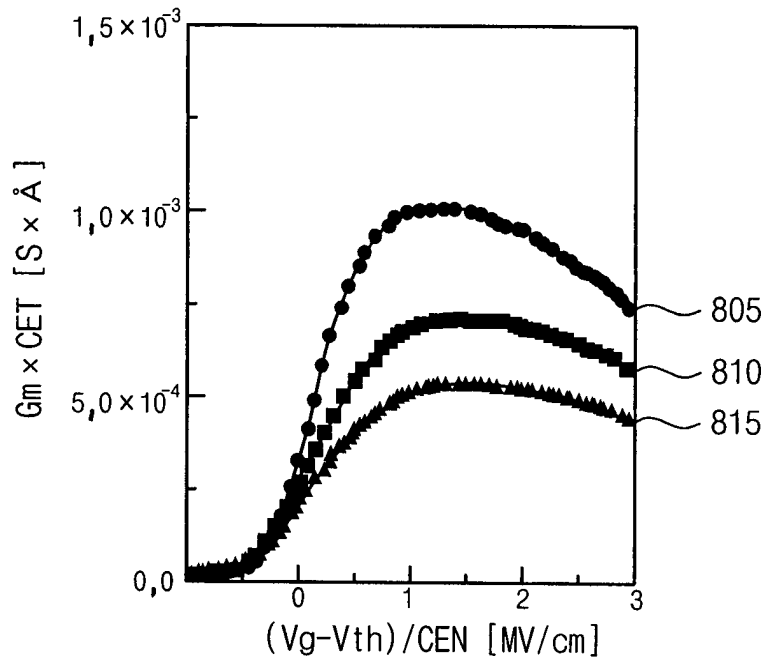


FIG. 8B

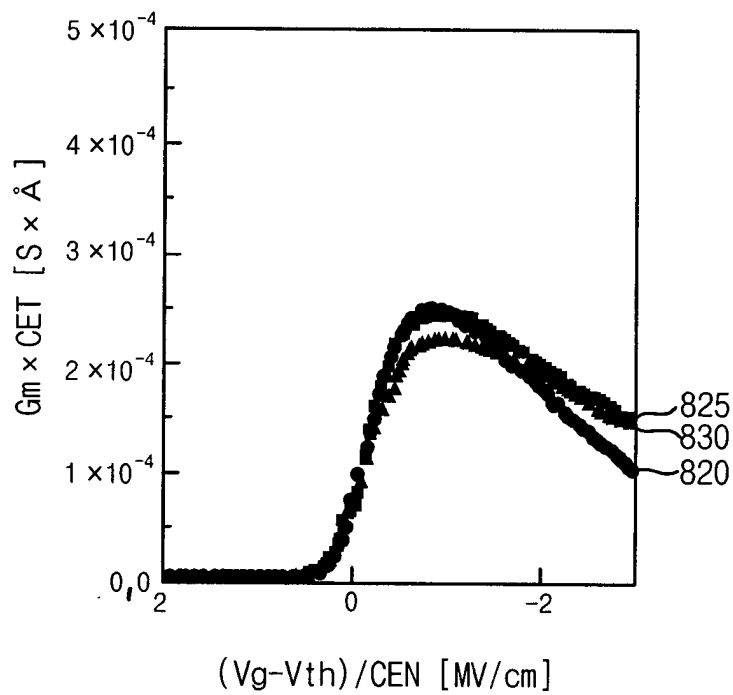


FIG. 9A

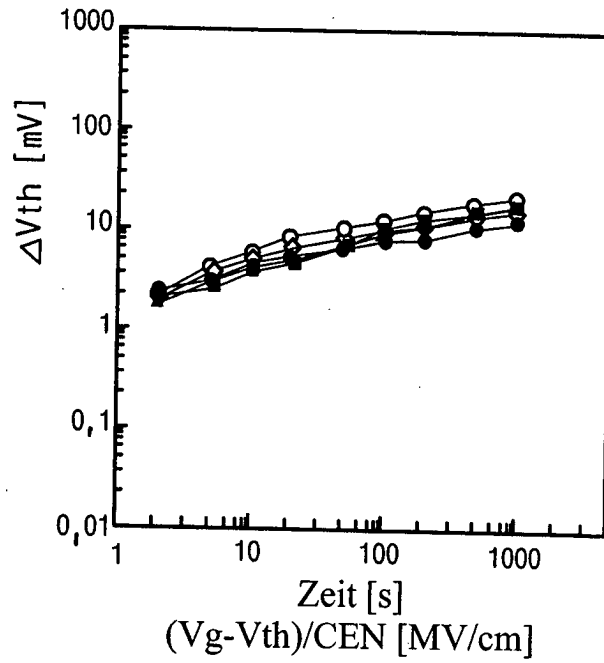


FIG. 9B

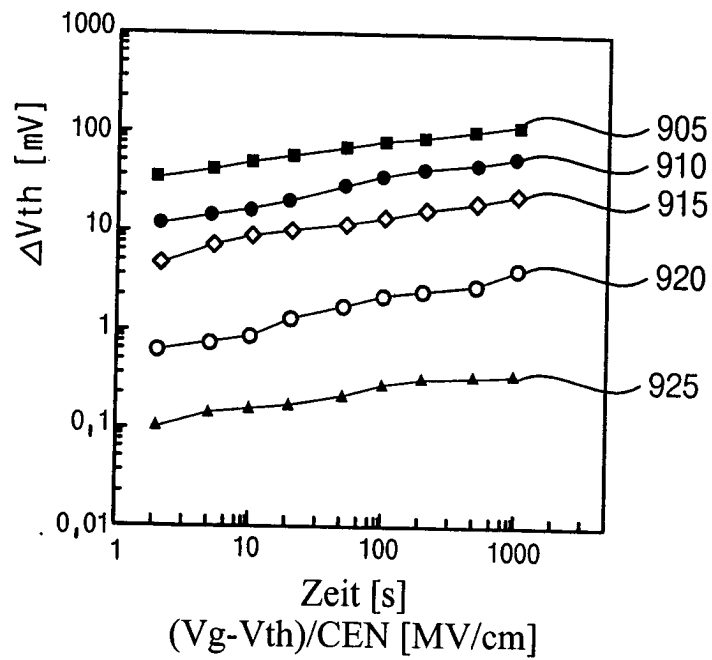


FIG. 10A

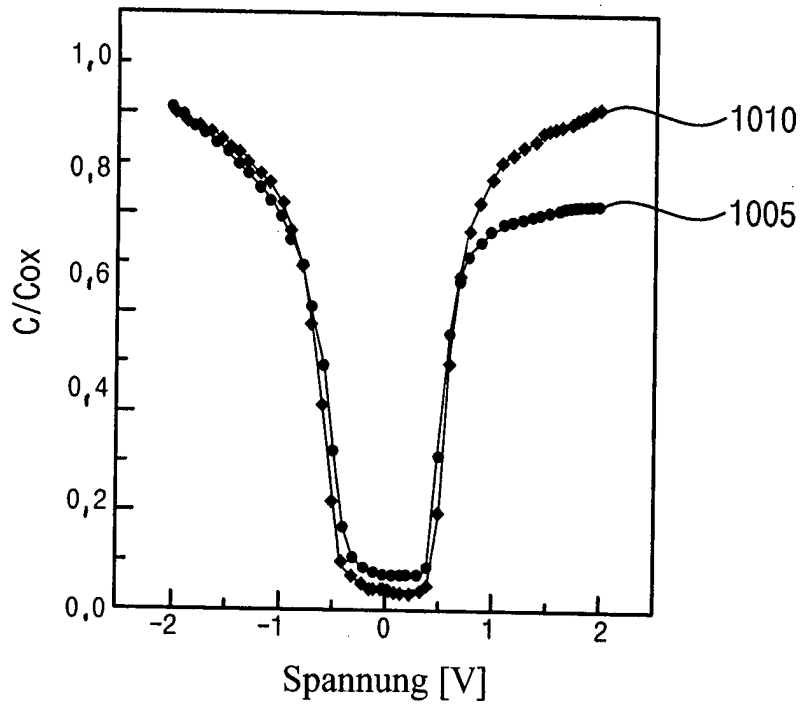


FIG. 10B

